

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

H01L 45/00 (2006.01)

H01L 27/24 (2006.01)



# [12] 发明专利说明书

专利号 ZL 200380106497.5

[45] 授权公告日 2008年7月9日

[11] 授权公告号 CN 100401547C

[22] 申请日 2003.12.5

[21] 申请号 200380106497.5

[30] 优先权

[32] 2002.12.19 [33] EP [31] 02080430.8

[32] 2003.3.7 [33] EP [31] 03100583.8

[32] 2003.9.10 [33] EP [31] 03103338.4

[86] 国际申请 PCT/IB2003/005734 2003.12.5

[87] 国际公布 WO2004/057618 英 2004.7.8

[85] 进入国家阶段日期 2005.6.17

[73] 专利权人 NXP 股份有限公司

地址 荷兰艾恩德霍芬

[72] 发明人 M·H·R·拉克霍斯特

F·P·维德肖文

R·A·M·沃特斯

W·S·M·M·科特拉亚斯

E·R·梅恩德斯

[56] 参考文献

US5789758A 1998.8.4

WO0057498A1 2000.9.28

US5933365A 1999.8.3

US5534712A 1996.7.9

US6339544B1 2002.1.15

CN1064366A 1992.9.9

审查员 吴黎

[74] 专利代理机构 中科专利商标代理有限责任公司

代理人 王波波

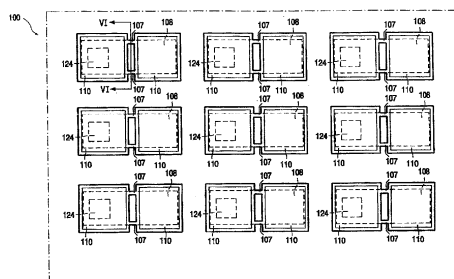
权利要求书 2 页 说明书 14 页 附图 7 页

[54] 发明名称

具有相变材料的电子器件及其制造方法

[57] 摘要

电子器件(100)具有包含电阻器(107)的体部(102),电阻器(107)包含能够在第一相位和第二相位之间变化的相变材料。当相变材料处于第一相位时电阻器(107)具有第一电阻,并且当相变材料处于第二相位时电阻器(107)具有不同于第一电阻的第二电阻。相变材料构成第一接触面积和第二接触面积之间的导电通路,导电通路的横截面小于第一接触面积和第二接触面积。体部(102)还具有能够传导电流的加热元件106,以便能够从第一相位转换到第二相位。该加热元件(106)优选地与电阻器(107)平行排列。



1. 一种具有包含电阻器(107)的体部(102)的电子器件(100), 电阻器(107)包含能够在第一相位和第二相位之间变化的相变材料, 当相变材料处于第一相位时电阻器(107)具有第一电阻, 并且当相变材料处于第二相位时电阻器(107)具有不同于第一电阻的第二电阻, 相变材料构成第一接触面积和第二接触面积之间的导电通路, 导电通路的横截面小于第一接触面积和第二接触面积, 还包括能够传导电流的加热元件(106), 以便能够从第一相位转换到第二相位, 其中, 加热元件(106)具有小于第一电阻和第二电阻的加热元件电阻。

2. 如权利要求1所述的电子器件(100), 其中, 加热元件(106)与电阻器(107)平行排列。

3. 如权利要求1所述的电子器件(100), 其中, 导电通路具有所述横截面的部分构成一个体积的相变材料, 该体积的电阻大于在第一接触面积和/或第二接触面积上的电接触电阻, 与相变材料是处于第一相位还是第二相位无关。

4. 如权利要求1-3中任一项所述的电子器件(100), 其中, 加热元件电阻大于第一电阻和第二电阻中的最小值的0.3倍。

5. 如权利要求1所述的电子器件(100), 其中, 加热元件(106)与电阻器(107)直接接触。

6. 如权利要求1所述的电子器件(100), 其中, 电阻器(107)构成存储元件(170), 并且体部(102)包括:

存储器单元阵列, 每个存储器单元包括相应的存储器元件(170)和相应的选择器件(171), 和

选择线(120、121)的网格, 每个存储器单元分别可经由连接到相应选择器件(171)的相应的选择线(120、121)来访问。

7. 如权利要求6所述的电子器件(100), 其中:

选择器件(171)包括具有源极区(172)、漏极区(173)和栅极区(174)的金属氧化物半导体场效应晶体管, 并且

选择线(120、121)的网格包括N条第一选择线(120)、M条第二选择线(121),以及一条输出线,

每个存储器元件(170)的电阻器(107)把从对应的金属氧化物半导体场效应晶体管的源极区(172)和漏极区(173)选择的第一区电子地连接到输出线,从源极区(172)和漏极区(173)选择并且不与第一区接触的对应的金属氧化物半导体场效应晶体管的第二区电子地连接到N条第一选择线(120)的其中之一,栅极区(174)电子地连接到M条第二选择线(121)的其中之一。

8. 制造如权利要求1所述的电子器件(100)的方法,包括步骤:

提供具有相变材料层(107)的预先制作的电子器件(100)的主表面,并且

减少第一接触面积和第二接触面积之间的层(107)中的导电通路的横截面,该横截面小于第一接触面积和第二接触面积。

9. 如权利要求8所述的方法,其中,主表面具有台阶状剖面,并且减少横截面的步骤包括各向同性蚀刻的步骤,用于沿着至少一部分的台阶状剖面形成侧墙隔板。

10. 如权利要求8所述的方法,其中,导电通路具有所述横截面的部分构成一个体积的相变材料,并且减少横截面的步骤包括子步骤:

提供对电子敏感的保护层,

用电子束将图案写进该保护层,该图案至少定义了相变材料的体积,并且

形成保护。

## 具有相变材料的电子器件及其制造方法

### 技术领域

本发明涉及具有包含电阻器的体部的电子器件，电阻器包含能够在第一相位和第二相位之间变化的相变材料，并且当相变材料处于第一相位时电阻器具有第一电阻，并且当相变材料处于第二相位时电阻器具有不同于第一电阻的第二电阻。

本发明还涉及制造这种电子器件的方法。

### 背景技术

US-5, 933, 365 公开了一种具有包含相变材料的电阻器的电子器件实施例，相变材料能够处于第一相位，例如结晶体相位，和第二相位，例如非晶体相位，具有处于第一相位的相变材料的电阻器和具有处于第二相位的相变材料的电阻器具有不同的电阻值。第一相位和/或第二相位可以是部分的非晶体和部分的结晶体。在本文后面的部分，术语“结晶体”和“非晶体”分别用于称呼结晶体相位或主要为结晶体相位以及非晶体相位或主要为非晶体相位。

电阻器电子地连接到第一导体和第二导体，以便测量电阻值。电阻器、第一导体和第二导体能够传导电流，该电流经过加热能使相变材料在第一相位和第二相位之间转换。可以相信，对于从具有相对良好的导电性的相位，比如结晶体相位或主要为结晶体相位，到具有相对较差的导电性的相位，比如非晶体相位或主要为非晶体相位的转换，通过足够强的电流加热来融化相变材料。当切断电流时结束加热，相变材料接着冷却并呈现更加非晶体的顺序。

当引起从具有相对低的导电率的相位到具有相对高的导电率的相位的转换时，加热初始地受到较差导电性的抵消，这限制了通过相变材料传导的电流。可以相信，通过在电阻器两端应用足够高的电压，即高于所谓门限电压的电压，就可能局部地引起在相变材料中的电击穿，这导

致高的局部电流密度。因此，对应的加热足够用于增加相变材料的温度到其结晶化温度之上，由此能够进行从非晶体相位到晶体相位的转换。

已知的电子器件是电可写和可擦除的存储器单元，其携带了在电阻值中加密的信息。例如当电阻相对较低时，存储器单元赋值为“0”，当电阻相对较高时，赋值为“1”。该电阻可以容易通过在电阻器两端施加电压并测量对应的电流而被测量。通过引起上述的从第一相位到第二相位的转换来写和擦除存储元件。

已知电子器件的缺点在于，当在第一相位和第二相位之间重复切换时，使电子器件恶化，即电子器件的寿命，也叫生命周期或称为持久性受到限制。

#### 发明内容

本发明的一个目的是提供如开篇描述的具有相对良好持久性的电子器件。

由独立权利要求限定本发明。从属权利要求限定优选实施例。

根据本发明，实现这个目的在于，相变材料构成第一接触面积和第二接触面积之间的导电通路，导电通路的横截面小于第一接触面积和第二接触面积。这里，“接触面积”定义了相变材料电子地连接诸如第一导体和第二导体的电导体的面积，电导体是由不同于相变材料的材料组成，在已知的器件中，相变材料位于一个孔径中。接触面积和导电通路的横截面都等于孔径的横截面，即接触面积等于导电通路的横截面。在已知的器件中，相变出现在一个相变材料的体积中，其包括这个接触面积。在接口处，即在这个接触面积处，重复的相变和对应的高电流密度引起材料恶化，尤其是当相变材料包括诸如Te的相对活性的原子时，导致了电子器件的恶化。在根据本发明的电子器件中，导电通路的最小横截面也很好地位于相变材料的内侧，并且与接触面积不相等，这与已知的电子器件相同。因此，相变材料内侧的电流密度最高，因此焦耳加热在相变材料内侧更有效。这降低了相变材料和接口—即第一接触面积和/或第二接触面积处的其他材料之间的相互作用，从而导致改善的持久性。

在一个实施例中，导电通路具有所述横截面的部分构成一个体积的相变材料，该体积具有大于在第一接触面积和/或第二接触面积上的电接触电阻的电阻，与相变材料是处于第一相位还是第二相位无关。在这样

一个电子器件中，第一接触面积和/或第二接触面积上的焦耳加热均小于相变材料中电流密度高的体积内侧的焦耳加热，这进一步降低了相变材料和第一接触面积和/或第二接触面积处的其他材料之间的相互作用，从而导致改善的持久性。另外的优点是，电能被耗散，即主要在相变出现的位置转换成了热量。通过降低在没有出现相变的位置的耗散，降低了引起相位转换所要求的总电能。

优选地，所述体积的电阻大于在第一接触面积和第二接触面积的电接触电阻，与相变材料处于第一相位或第二相位无关。在该情况下，假设相变出现在该体积，该体积位于相变材料的内侧。

优选地，在第一接触面积和第二接触面积的接触电阻小于  $10^{-7} \text{V cm}^2/\text{A}$ ，因为在这种情况下第一接触面积和第二接触面积的耗散相对较小。

在一个实施例中，电子器件还包括能够传导电流以通过焦耳加热来促进相位转换的加热元件。当引起相位转换时，通过该加热元件进行加热可以更有效地利用电能。如果加热元件与电阻器平行排列，将是有利的。具有与电阻器平行排列的加热元件的电子器件由同一申请人在欧洲专利申请“具有相变材料和平行加热器的电子器件”中描述，该申请的提交日期与本申请相同。将其整体引用在此作为参考。在该情况下，进一步增加了电子器件的持久性，因为切换操作不再需要由大于阈值电压的电压所引起的电击穿。在根据本实施例的电子器件中，由加热元件进行的焦耳加热即使在相变材料处于非晶体相位时也是有效的，因为加热元件与电阻器平行排列。在相变材料处于非晶体相位时，施加到电阻器上的电压导致电流至少部分流经加热元件，由此导致相变材料的有效加热而不需要电击穿。这样加热促进了相变，由此改善了电子器件的持久性。

在一个实施例中，加热元件具有加热元件电阻  $R_H$ ，其小于第一电阻和第二电阻，即尤其小于具有处于非晶体相位的相变材料的电阻器的电阻  $R_{R,A}$ 。结果，当相变材料处于非晶体状态时，电流主要流经加热元件。如果加热元件电阻  $R_H$  是十的因数或比电阻  $R_{R,A}$  更小，将十分有利。当引起相位转换是由经过电子器件的电流控制时，下面成立：加热元件电阻  $R_H$  相对于电阻  $R_{R,A}$  越小，流经加热元件的电流和对应的焦耳加热越高。当引起相位转换是由电阻器两端的电压控制时，平行的加热元件具有可使

用更低电压的优点。加热元件电阻  $R_H$  相对于电阻  $R_{R,A}$  越小，加热元件和电阻两端要求的电压也越小。在更低的电压下，引起相变所要求的焦耳加热就通过更高的电流经过加热元件来达到。这在电子器件被集成到电压相对较低的先进的 IC 过程中时具有特别的优势。同时，降低了经过相变材料的电流，从而降低了相变材料中的电迁移，从而导致改善的持久性。

在前面段落中描述的实施例中，引起了相位转换而没有在相变材料上的电击穿。尤其对于包括诸如 Te 的相对活性的原子的相变材料来说，通过电击穿重复切换相变材料恶化了电子器件。因此，根据本发明的该实施例的避免了电击穿的电子器件具有改善的持久性。

与通过电击穿来切换关联的另一个缺点是，电击穿是一个统计过程。因此，击穿电压的值也是统计参数，该参数可能依赖于温度和从上一次切换过去的时间。为了保证可靠的切换，远在平均阈值电压之上的电压必须被施加到已知的电子器件中。但是，对于 CMOS 器件可用的电压随着 COMS 器件的尺寸的降低而降低。因此，在今后应该在相对较低的电压上可靠地操作电子器件。在根据本发明的该实施例的电子器件中，不要求电击穿并且在阈值电压以下的电压足够用于引起相位转换。

加热元件电阻  $R_H$  优选的更低界限大于第一电阻和第二电阻中最小值的 0.3 倍，即大于具有处于结晶体相位的相变材料的电阻器的电阻  $R_{R,C}$  的 0.3 倍。满足这个条件的电子器件具有可以可靠测量电阻变化的优点。

当电阻器和加热元件平行连接时，这两个元件的总电阻  $R_T$  由  $R_T = R_R * R_H / (R_R + R_H)$  给出。电阻器的电阻  $R_R$  依赖于相变材料的相位，而加热元件电阻  $R_H$  独立于相变材料的相位。在加热元件电阻  $R_H$  远小于电阻  $R_{R,A}$  的情况下，具有处于非晶体相位的相变材料的总电阻  $R_{T,A}$  近似等于  $R_H$ 。

如果缩放因子  $k$  被定义为  $R_H = k * R_{R,C}$ ，具有处于结晶体相位的相变材料的总电阻  $R_{T,C}$  是  $R_{T,C} = R_{R,C} * k / (k + 1)$ 。总电阻的变化为  $\Delta R_T = R_{R,A} - R_{T,C} \approx R_H - R_{T,C} = (k - k / (k + 1)) * R_{R,C} = R_{R,C} * k^2 / (k + 1)$ 。在这个近似中，总电阻的相对变化是  $\Delta R_T / R_{T,C} = k$ 。总电阻的相对变化越小，就越难可靠地测量它。总电阻的相对变化越小通常要求更完善的检测电路和/或更长的测量时间。发明人证实了 0.3 即 30% 或更多的相对变化可在相对较短的时间内相对容易

地测量。

优选地，缩放因子  $k$  应当在 1 和 4 之间，即  $1 \leq k \leq 4$ ，因为此时总电阻的变化  $\Delta RT$  的检测是相对健壮的，而与此同时通过加热元件的焦耳加热也相对有效。

如果加热元件和电阻器直接接触，那是十分有利的，因为此时加热元件的焦耳加热特别有效。因为相同的原因，如果加热元件与相变材料具有小于第一接触面积和第二接触面积的横截面的体积直接接触，将是十分有利的。

在一个实施例中，加热元件由加热元件材料组成，加热元件材料具有成分  $X_{100-(t+s)}Si_sY_t$ ，其中  $t$  和  $s$  表示满足  $t < 0.7$  和  $s+t > 0.3$  的原子百分比，并且  $X$  包括一个或多个从 Ti 和 Ta 选择的元素， $Y$  包括一个或多个从 C 和 N 选择的元素。优选地， $X$  基本上没有 Ti，因为 Ta 对相变材料的活性比 Ti 小。优选地， $s$  小于或等于 0.7，否则平行的加热器的导电率相对较小，从而要求相对较大的平行的加热器。当相变材料包括 Ge 时，Ge 与 Si 的混合在当  $s$  小于或等于 0.7 时降低。如果  $Y$  包括 N，将有进一步的优点，因为加热元件材料通常具有由于氮原子的存在而稳定的多晶体结构，即当加热相变材料时，多晶体结构变化的程度相对较小。

在一个实施例中，电阻器构成存储元件，体部包括存储器单元阵列，每个存储器单元包括相应的存储器元件和相应的选择器件，并且包括选择线的网格，每个存储器单元分别可经由连接到相应选择器件的相应的选择线来访问。选择器件可包括双极晶体管或二极管，诸如 pn 二极管。这样的电子器件是随机访问存储器 (RAM) 器件，该器件适合作为非易失性存储器器件。

在该实施例优选的变化中，选择器件包括具有源极区、漏极区和栅极区的金属氧化物半导体场效应晶体管 (MOSFET)，并且选择线网格包括  $N$  条第一选择线、 $M$  条第二选择线， $N$  和  $M$  都为整数，以及一条输出线，每个存储器元件的电阻器把从对应的金属氧化物半导体场效应晶体管的源极区和漏极区选择的第一区电子地连接到输出线，从源极区和漏极区选择且不与第一区接触的对应的金属氧化物半导体场效应晶体管的第二区电子地连接到  $N$  条第一选择线的其中之一，栅极区电子地连接到  $M$  条第二选择线的其中之一。在这样的存储器器件中，由允许相对较高的操



作速度和相对较低的操作电压的 MOSFET 选择存储器元件。

制造根据本发明的电子器件的方法包括步骤：提供具有相变材料层的预先制作的电子器件的主表面，和减少第一接触面积和第二接触面积之间的层中的导电通路的横截面，该横截面小于第一接触面积和第二接触面积。在制造过程中更方便的是，首先通过例如层沉积形成相变材料层，并接着改变其形状，从而减少该横截面而不是直接形成具有所需要的小横截面的层。根据本发明，减少横截面的步骤可在相变材料层接触到第一接触面积和/或第二接触面积之前执行。

在该方法的一个实施例中，主表面具有台阶状剖面，并且减少横截面的步骤包括各向异性蚀刻步骤，用于沿着至少一部分的台阶状剖面形成侧墙隔板。那么，横截面是侧墙隔板的横截面并且由相变材料层的厚度和台阶状剖面的高度确定。可例如通过沉积例如电介质材料层来获得台阶状剖面，其随后通过例如光刻技术形成图案。在该情况下，台阶状剖面的高度等于电介质材料层的厚度。因此，可能获得具有完全由这两个层的厚度确定的横截面的相变材料层，即例如与可由光刻技术获得的最小尺寸无关。横截面的尺寸通常低于 20nm 乘以 20nm。优选地，它们低于 10nm 乘以 110nm。

#### 附图说明

参考下列附图，根据本发明的电子器件的这些和其他方面将更进一步说明和描述，其中：

图 1 是在制造第一阶段的电子器件的一个实施例的顶视图，

图 2 是图 1 的沿着 II-II 线的预先制作的电子器件的横截面，

图 3 是在制造第二阶段的预先制作的电子器件的顶视图，

图 4 是图 3 的沿着 IV-IV 线的预先制作的电子器件的横截面，

图 5 是在制造第三阶段的预先制作的电子器件的顶视图，

图 6 是图 5 的沿着 VI-VI 线的预先制作的电子器件的横截面，

图 7 和图 8 分别是在制造第五阶段和第六阶段的电子器件的其他实施例的顶视图，

图 9 是作为 Sb/Te 比率的函数的结晶速度的曲线图。

附图不是按比例作出的。

具体实施方式

如图 1-8 中的制造的不同阶段所显示的, 电子器件 100 具有包括体衬底 101 的体部 102, 衬底 101 包括例如单晶 p 型掺杂的硅半导体晶片。在体部 102 中, 电阻器 107 嵌入在电介质 123 和 126 中, 例如二氧化硅中。电阻器 107 由可在第一相位和第二相位之间转换的相变材料构成。当相变材料处于第一相位时电阻器 107 具有第一电阻, 并且当相变材料处于第二相位时电阻器 107 具有不同于第一电阻的第二电阻。

在一个实施例中, 相变材料具有成分  $Sb_{1-c}M_c$ , 其中  $c$  满足  $0.05 < c < 0.61$ , 并且  $M$  是从 Ge、In、Ag、Ga、Te、Zn 和 Sn 的组中选择一个或多个元素。在申请号为 03100583.8、代理人案号为 PHNL030259 的非提前公开的欧洲专利申请中描述了具有该成分的相变材料的电子器件, 本申请要求了该申请的优先权并将其作为整体合并于此作为参考。优选地,  $c$  满足  $0.05 < c < 0.5$ 。更优选地,  $c$  满足  $0.10 < c < 0.5$ 。有利的相变材料组具有一个或多个不同于 Ge 和 Ga 的元素  $M$ , Ge 和 Ga 的总浓度小于 25 个原子百分数和/或包括总数少于 30 个原子百分数的 Ge 和/或 Ga。包括多于 20 个原子百分数的 Ge 和 Ga 以及一个或多个从总浓度在 5 到 20 个原子百分数之间的 In 和 Sn 选择的元素的相变材料具有相对较高的结晶速度并且同时具有非晶体相位的相对较高的稳定性。

在一个实施例中, 相变材料是公式  $Sb_aTe_bX_{100-(a+b)}$  的成分, 其中  $a$ 、 $b$  和  $100-(a+b)$  表示满足  $1 < a/b < 8$  和  $4 < 100-(a+b) < 22$  的原子百分数, 并且  $X$  是从 Ge、In、Ag、Ga、和 Zn 的组中选择一个或多个元素。相变材料可以是例如  $Sb_{72}Te_{20}Ge_8$ 。

在又一个实施例中, 相变材料是公式  $(Te_aGe_bSb_{100-(a+b)})_cTM_{100-c}$  的成分, 其中下标是原子百分数,  $a$  在 70 个百分数以下,  $b$  在 5 个百分数以上 50 个百分数以下,  $c$  在 90 到 99.99 百分数之间, 并且  $TM$  表示一个或多个过渡金属元素。可替换地, 可以省略该过渡金属, 并且相变材料是公式  $Te_aGe_bSb_{100-(a+b)}$  的成分, 其中下标是原子百分数,  $a$  在 70 个百分数以下,  $b$  在 5 个百分数以上 50 个百分数以下, 例如  $Ge_2Sb_2Te_5$ 。相变材料的其他例子是  $Te_{81}Ge_{15}S_2As_2$  和  $Te_{81}Ge_{15}S_2Sb_2$ 。

相变材料可通过溅蚀来沉积, 如论文 “Phase-change media for high-numerical-aperture and blue-wavelength recording” by H. J

Borg et al., Japanese Journal of Applied Physical, volume 40, pages 1592-1597, 2001 中所描述的。

电阻器 107 构成存储器元件 170, 并且体部 102 包括存储器单元阵列, 每个存储器单元包括相应的存储器元件 170 和相应的选择器件 171。在图 1-8 所示的实施例中, 电子器件 100 具有  $3 \times 3$  的阵列, 但是本发明不局限于这个尺寸的阵列也不限于这种形状的阵列。体部 102 还包括选择线 120、121 的网格, 使得每个存储器单元分别可由连接到相应选择器件 171 的相应的选择线 120、121 来访问。

在图 1-8 所示的实施例中, 选择器件 171 包括金属氧化物半导体场效应晶体管 (MOSFET), 更具体的为 NMOS 晶体管。MOSFET 具有 n 型掺杂的源极区 172、n 型掺杂的漏极区 173 和栅极区 174。源极区 172 和漏极区 173 可包括多于一个部分的 n 型掺杂材料, 诸如轻掺杂 n- 部分和较重掺杂的 n+ 部分。n 型掺杂的源极区 172 和漏极区 173 由沟道区分开。由在沟道区上面形成的栅极区 174 控制从源极区 172 流经沟道区到漏极区 173 的电流。栅极区 174 优选地包括多晶硅层。栅极区 174 通过栅极电介质层与沟道区分开。

选择线 120、121 的网格包括  $N = 3$  条的第一选择线 120 和  $M = 3$  条的第二选择线 121, 和输出线。每个存储元件 170 的电阻器 107 电子地将从对应 MOSFET 的源极区 172 和漏极区 173 选择的第一区连接到输出线。从源极区 172 和漏极区 173 选择的并且不与第一区接触的对应 MOSFET 的第二区电子地连接到  $N$  条第一选择线 120 的其中之一。栅极区 174 电子地连接到  $M$  条第二选择线 121 的其中之一。在图 2-9 所示的实施例中, 第一区是源极区 172, 以及第二区是漏极区 173。在另一个实施例 (未示出) 中, 第一区是漏极区 173, 以及第二区是源极区 172。选择线 120、121 分别连接到线选择器件和行选择器件。后面提到的这些选择器件没有示出。

栅极区 174 和漏极区 173 配有硅化钨和钨插塞 122 层, 用于分别电子地将栅极区 174 和漏极区 173 连接到选择线 121 和 120。通过诸如铝或铜的导电材料来形成选择线 120 和 121。源极区 172 也配有硅化钨和钨插塞层。

在制造电子器件 100 的过程中, 首先例如利用标准 IC 技术形成选择器件 171 的阵列和选择线 120、121 的网格。在每个选择器件 171

的一个接线端，在图 1-8 的实施例中，源极区 172 配有电导体 124，诸如钨插塞。选择器件 171、选择线 120、121 和电导体 124 通过电介质材料 123 相互绝缘并嵌入在电介质材料 123 中，例如二氧化硅中，使得电导体 124 如图 1 和 2 所示的那样暴露。优选地，包括暴露的电导体 124 的表面通过化学机械抛光 (CMP) 被抛光，以获得相对光滑和相对平整的表面。

在后续的步骤中，该表面配有诸如氮化硅或碳化硅的电介质材料层 109。在层 109 中，开口 108 通过例如光刻技术的方式形成，使得电导体 124 和与电导体 124 相邻的电介质 123 的部分如图 4 中所示的那样暴露。由此获得的预先制作的电子器件 100 的主表面具有台阶状剖面。随后，由此获得的预先制作的电子器件 100 的主表面，即层 109 和开口 108 配有如图 4 所示的相变材料层 107。通常为 5-50nm，优选大概为 15nm 的层 107 的厚度 LT 确定了相变材料的最小横截面的宽度，这将在下面描述。在一个实施例中，诸如 TiN 的导电材料的层 110 被沉积到层 107 上。层 110 用于减少电导体 124 和正进行相变的层 107 的部分之间的电阻。在另一个未示出的实施例中，省略层 110。

在层 107 之上，如果有的话，在层 110 之上，通过例如光刻技术或电子束成象来形成掩模 111 和 112。掩模 111 的每一个覆盖部分的层 107 和层 110 (如果存在)，被覆盖的部分覆盖了相应的电导体 124。掩模 112 覆盖层 107 和层 110 (如果存在) 的其他部分，在其之上将在之后形成另外的电导体 125。对于每个存储元件，掩模 111 和 112 相距的距离为 L，通常小于 300nm，并且优选地在 20 和 200nm 之间。当光刻技术用于形成掩模 111 和掩模 112 时，最小距离 L 优选地近似等于光刻技术可获得的最小尺寸。距离 L 越短，引起第一和第二相位之间相位转换所需的电能也就越小。距离 L 确定了相变材料的长度，该相变材料具有的横截面小于在电导体 124 上的相变材料的横截面，这将在下面进行描述。具有减少的横截面的相变材料被称为相变材料的体积。

如果存在的话，层 110 不被掩模 111 和 112 覆盖的部分通过利用例如包括 HF 解决方案的各向同性选择蚀刻来移除。制造电子器件 100 的过程的这个阶段所获得的结果如图 4 所示。注意，由于各向同性

蚀刻，发生下部蚀刻，参看图 4 和 5。接着，层 107 不被掩模 111 和 112 覆盖的部分利用例如包括 C1 的活性离子蚀刻被各向异性地蚀刻。结果，由相变材料组成的侧墙隔板在不被掩模 111 和 112 覆盖的位置处的开口 108 的内侧形成。这暗指减少了由掩模 111 覆盖的第一接触面积和由掩模 112 覆盖的第二接触面积之间的层 107 中的导电通路的横截面。该横截面小于第一接触面积和第二接触面积。对于每个存储元件 170，由层 107 形成的侧墙隔板电子地连接到层 107 和层 110（如果存在）在蚀刻步骤期间被掩模 111 和 112 覆盖的那些部分。如图 6 的横截面所示，由层 107 形成的侧墙隔板具有基本上等于层 107 的厚度 LT 的宽度 W。换句话说，主表面具有由层 109 形成的台阶状剖面，并且降低横截面的步骤包括各向同性蚀刻步骤，用于沿着至少一部分的台阶状剖面形成侧墙隔板。

在移除掩模 111 和 112 之后，获得在图 5 的顶视图所示的预先制作的电子器件 100。该电子器件 100 的每个存储单元具有相变材料层 107，包括由掩模 111 定义的部分和掩模 112 定义的部分。这两个部分通过两个由层 107 形成的侧墙隔板连接。

在一个实施例中，该方法还包括步骤：通过加热元件材料的层 106 来覆盖图 5 中所示的预先制作的电子器件 100，形成能够传导电流的加热元件 106，以便能够从第一相位转换到第二相位。层 106 由具有熔点高于相变材料的加热元件材料构成。加热元件材料的熔点优选地至少比相变材料的熔点高 100 摄氏度，更优选地，至少高 250 摄氏度。优选地，加热元件材料不与相变材料发生反应。优选地，加热元件材料的电阻率在 0.1 到 10cm mV/A 的范围。当相变材料是从  $\text{Te}_a\text{Ge}_b\text{Sb}_{100-(a+b)}$  的族中选择的时候，其中下标是原子百分数，a 在 70 个百分数以下，b 在 5 个百分数以上 50 个百分数以下，相变材料具有 1 到 4cm mV/A 的电阻率，例如 2cm mV/A，并且加热元件材料的电阻率优选地在 0.5 和 20cm mV/A 之间。当相变材料是从  $\text{Sb}_{1-c}\text{M}_c$  的族选择的时，其中 c 满足  $0.05 < c < 0.61$ ，并且 M 是从 Ge、In、Ag、Ga、Te、Zn 和 Sn 的组中选择一个或多个元素，相变材料具有大概 0.2 到 0.8cm mV/A 的电阻率，并且加热元件材料的电阻率优选地在 0.1 和 4cm mV/A 之间。

在一个实施例中，加热元件材料具有成分  $\text{X}_{100-(t+s)}\text{Si}_t\text{Y}_s$ ，其中 t

和  $s$  表示满足  $t < 0.7$  和  $s + t > 0.3$  的原子百分比, 并且  $X$  包括一个或多个从  $Ti$  和  $Ta$  选择的元素,  $Y$  包括一个或多个从  $C$  和  $N$  选择的元素。优选地,  $X$  基本上没有  $Ti$ , 因为  $Ta$  对相变材料的活性比  $Ti$  小。优选地,  $s$  小于或等于  $0.7$ , 否则平行的加热器的导电率相对较小, 从而要求相对较大的平行的加热器。当相变材料包括  $Ge$  时,  $Ge$  与  $Si$  的混合在当  $s$  小于或等于  $0.7$  时降低。如果  $Y$  包括  $N$ , 将有进一步的优点, 因为加热元件材料通常具有由氮原子稳定的多晶体结构, 即当加热相变材料时, 多晶体结构变化的程度很小。加热元件材料的该族的例子为  $TaSiN$ 、 $Ta_{20}Si_{40}N_{40}$ 、 $TiSiN$  或  $Ta_{20}Si_{40}C_{40}$ 。可替换地, 加热元件材料可以由  $TiN$ 、 $TaSi_2$ 、 $TaN_x$ 、 $TiAlN$ 、 $TiC$ 、 $TiWC$  或  $p$  型掺杂的多晶体硅组成, 其中  $x$  满足  $0.3 < x < 0.7$ 。

在提供加热元件材料的层 106 之后, 形成掩模 111' 和 112', 它们类似于掩模 111 和 112。接着, 利用例如包括  $CF_4$ :  $CHF_3$  的等离子体蚀刻, 层 106 被各向异性地蚀刻。如图 6 的横截面所示, 以类似于形成层 107 的侧墙隔板的方式由层 106 形成侧墙隔板。由层 106 形成的侧墙隔板具有基本上等于层 106 的厚度的宽度  $V$ 。

在一个替换实施例中, 交换层 107 和层 106, 即在将层 107 提供到层 106 的顶端之前提供层 106。在另一个实施例中, 层 106 由一个可能包括例如二氧化硅的中间层与层 107 分开。并且, 在该实施例中, 加热元件 106 平行于电阻器 107。与前述的实施例对比, 在该实施例中, 电阻器 107 没有与加热元件 106 直接接触。

在一个替换实施例中, 在形成掩模 111 和 112 之前提供层 107 和层 106。接着, 层 107 和层 106 都被各向异性蚀刻而不需要形成掩模 111' 和 112' 的附加步骤。

在一个实施例中, 制造电子器件 100 的方法包括以下步骤, 其中提供具有开口 129 的掩模 128, 使得对于每个存储器单元, 由层 107 形成的两个侧墙隔板之一如图 7 那样暴露。在后续步骤中, 该掩模继续用于例如通过蚀刻移除层 106 和层 107 的暴露部分。结果, 在每个存储器单元中, 这两个部分现在通过由层 107 形成的仅一个侧墙隔板连接。随后, 移除掩模 128。在另一个实施例中, 省略掩模 128, 并且层 106 和层 107 的每一个具有两个侧墙隔板。

预先制作的电子器件 100 配有电介质层 126, 例如二氧化硅。在

一个实施例中，图7所示的预先制作的电子器件接着受到材料移除处理，比如化学机械抛光，以减少层106和层107的侧墙隔板的高度并获得对后续处理有利的光滑表面。如果层109由不同材料的两个层组成，例如相对较硬的材料，例如氮化硅的较低层，以及在其上存在例如二氧化硅的相对较软的材料层，将是有利的。在材料移除处理期间，相对较硬的层被用作停止层，产生的层107具有良好定义的高度H的一个侧墙隔板，高度H优选地为10到100nm。在这个材料移除处理之后，获得如图7所示的表面199。由此获得的、即具有一个或两个侧墙隔板的层107形成电子器件100的电阻器170。

接着，提供附加的电介质层126'，在其中创建如图8所示的开口132，以为每个存储器单元暴露部分的层106（如果存在）、导电层110（如果存在）、或在较早阶段由掩模112覆盖的层107。这些开口132配有另一个用于电子地接触电阻器170的电导体。在之后的步骤中，该另一个电导体电子地连接到输出线。

由此获得的电子器件100具有体部102，其具有电阻器170。电阻器170由可在第一相位和第二相位之间变化的相变材料层107构成。当相变材料处于第一相位时电阻器170具有第一电阻，并且当相变材料处于第二相位时电阻器170具有不同于第一电阻的第二电阻。体部102还具有由层106形成的加热元件。该加热元件能够传导电流，以便能够从第一相位转换到第二相位。该加热元件与电阻器平行排列。

相变材料构成第一接触面积和第二接触面积之间的导电通路。当省略层110时，第一接触面积是电导体124接触相变材料层107的面积，参看图1和4，并且第二接触面积是提供给开口132的另一个电导体接触相变材料层107的面积，参看图8。由相变材料层构成的导电通路的横截面小于第一接触面积和第二接触面积。当层110存在时，第一接触面积和第二接触面积有效地为电流从层110移动到层107的面积。由于层110的各向同性蚀刻以及层107的各向异性蚀刻，层110没有直接接触层107的侧墙隔板，而是有一定的距离，参看图4和5。在该情况下，第一接触面积和第二接触面积仍然不由侧墙隔板定义的体积的边界，并且大于侧墙隔板的横截面。

在侧墙隔板内侧的电流密度高于第一接触面积和第二接触面积的电流密度，因此将是在侧墙隔板上的相变材料而不是在第一接触面积和/或第二接触面积上的相变材料上进行相位转换。

在一个实施例中，层 110 被省略，并且具有减少的横截面的相变材料的体积具有 50nm 的长度 L、20nm 的高度 H 和 15nm 的宽度 W。横截面因此为 H 乘以 W，等于  $300\text{nm}^2$ 。由电导体 124 定义的第一接触面积等于由开口 132 定义的第二接触面积，等于 100nm 乘以 100nm。因此，第一接触面积和第二接触面积的每一个具有  $10000\text{nm}^2$  的尺寸，大于  $300\text{nm}^2$  的横截面。相变材料是  $\text{Sb}_{72}\text{Te}_{20}\text{Ge}_8$ 。具有减少的横截面的电阻器的体积在相变材料处于结晶体相位时，具有 800 Ohm 的电阻，并且在相变材料处于非晶体相位时，具有大于 100 kOhm 的电阻。电导体 124 和另一个电导体由钨组成。第一接触面积和第二接触面积中的接触电阻的每一个为 100 Ohm。因此，在第一接触面积和第二接触面积上的接触电阻的每一个小于具有减少的横截面的相变材料的体积的电阻。

当相变材料是以 1 m/s 或更高的结晶速度的快速生长材料时，电子器件 100 是尤其有利的。这种类型的相变材料包括公式为  $\text{Sb}_{1-c}\text{M}_c$  的成分，其中 c 满足  $0.05 < c < 0.61$ ，并且 M 是从 Ge、In、Ag、Ga、Te、Zn 和 Sn 的组中选择一个或多个元素，对于 M 包括 Te 的情况，这种相变材料具有结晶速度  $v_{rc}$ ，近似地为速率 Sb/M 的线性函数，参看图 9。对于给定想要的切换时间 t，其受选择器件 171 的带宽影响，调整相变材料的长度 L 和成分，以便使  $L/(2t) \approx v_{rc}$ 。这里，因子 2 说明以下事实，结晶开始于具有减少的横截面的相变材料的体积的两个外部末端。

在制造电子器件 100 的方法的一个可替换实施例中，省略层 109。在图 1 所示的预先制作的电子器件 100 上直接提供相变材料层 107。接着，提供对电子敏感的保护层。用电子束将图案写进该保护层。图案至少定义了相变材料的体积。在一个实施例中，电子束还通过掩模 111 和 112 写出由前一实施例定义的图案。在一个可替换实施例中，以类似于上述实施例的方式通过光刻法形成掩模 111 和 112，并且电子束仅仅用于写出定义具有减少的横截面的相变材料的体积的图案。后一实施例具有通过量相对较高的优点，因为电子束



必须仅用于定义图案相对较小的部分。之后，形成保护并且以类似于前述实施例的方式进一步处理其他的电子器件。

综上所述，电子器件 100 具有包含电阻器 107 的体部 102，电阻器 107 包含能够在第一相位和第二相位之间变化的相变材料。当相变材料处于第一相位时电阻器 107 具有第一电阻，并且当相变材料处于第二相位时电阻器 107 具有不同于第一电阻的第二电阻。相变材料构成第一接触面积和第二接触面积之间的导电通路。导电通路的横截面小于第一接触面积和第二接触面积。体部 102 还可具有能够传导电流的加热元件 106，以便能够从第一相位转换到第二相位。该加热元件 106 与电阻器 107 平行排列。

应当注意，上述的实施例说明而不是限制本发明，并且本领域的技术人员将能够设计许多可替换的实施例而不需要偏离所附权利要求的范围。在权利要求中，在括号之间放置的任何参考标记都不能被理解为限制权利要求。词语“包括”不排除除了在权利要求中所列出之外的其他元素或步骤的存在。在元素之前的词语“一”或“一个”不排除多个这样的元素的存在。

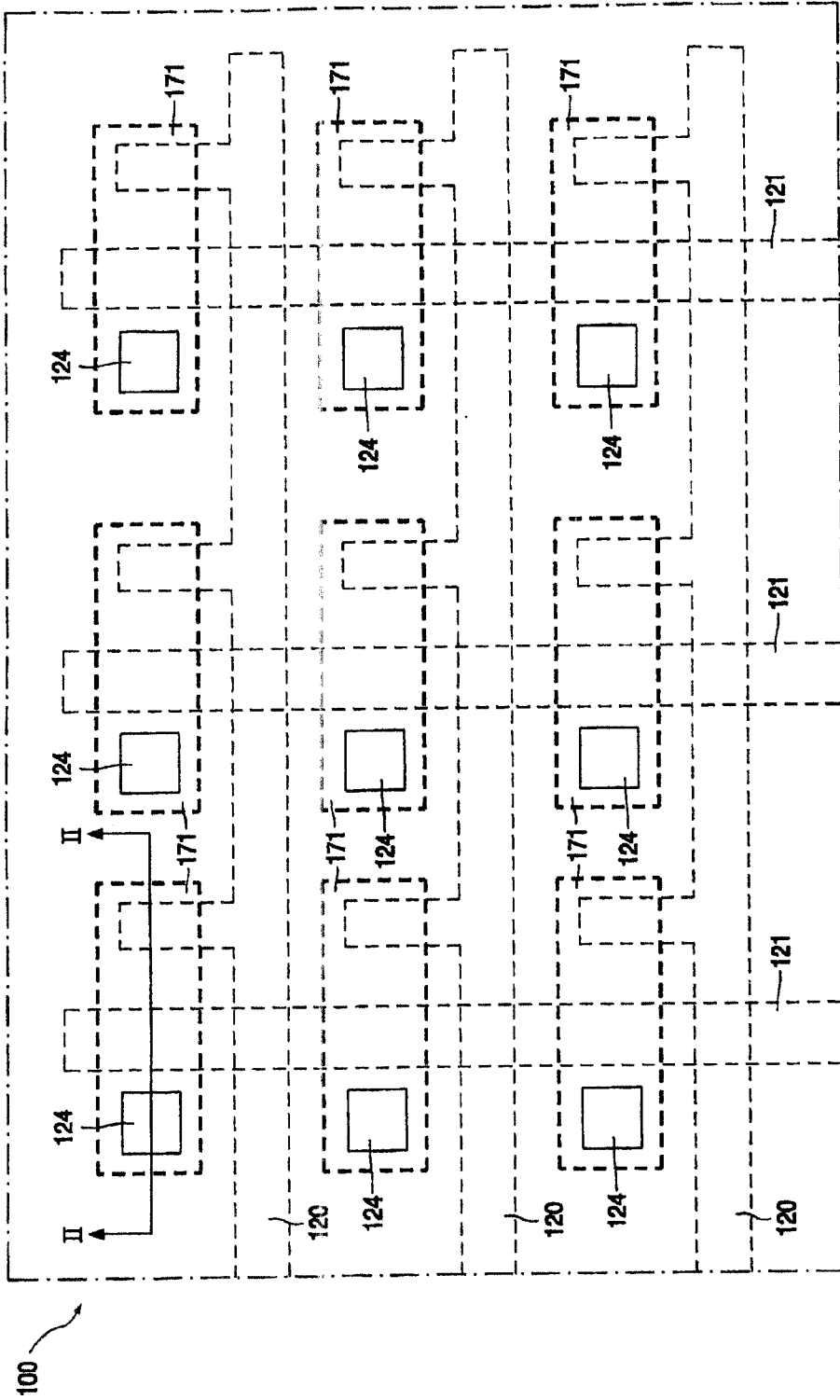


图 1

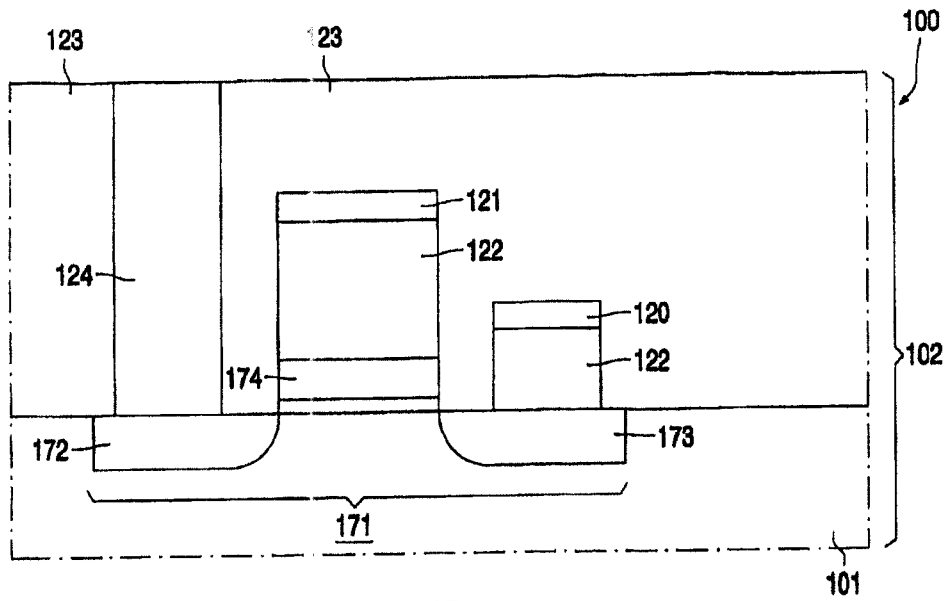


图 2

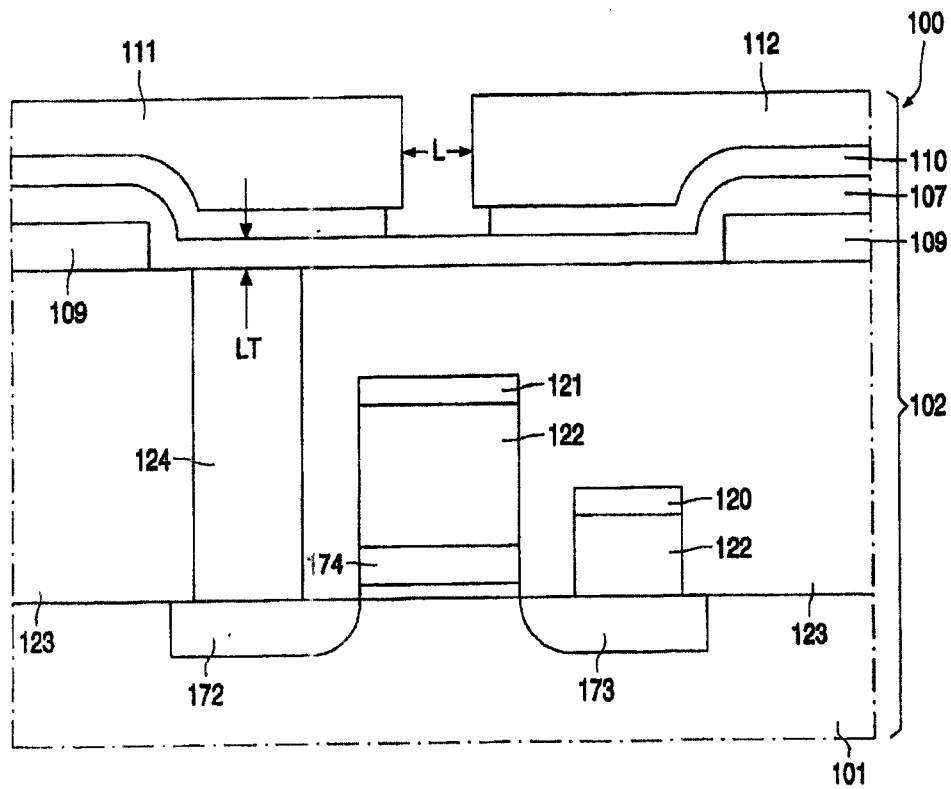


图 4

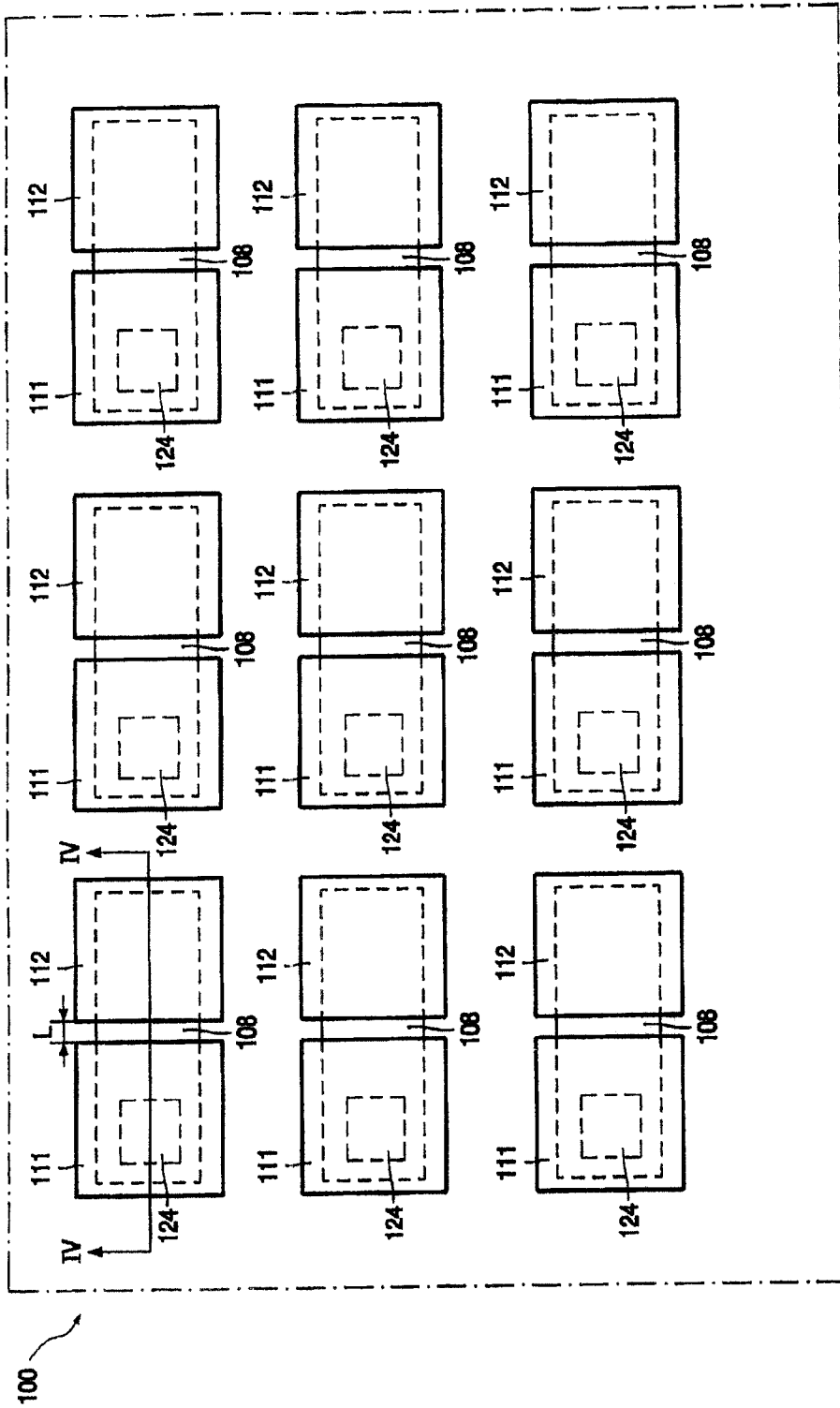


图 3

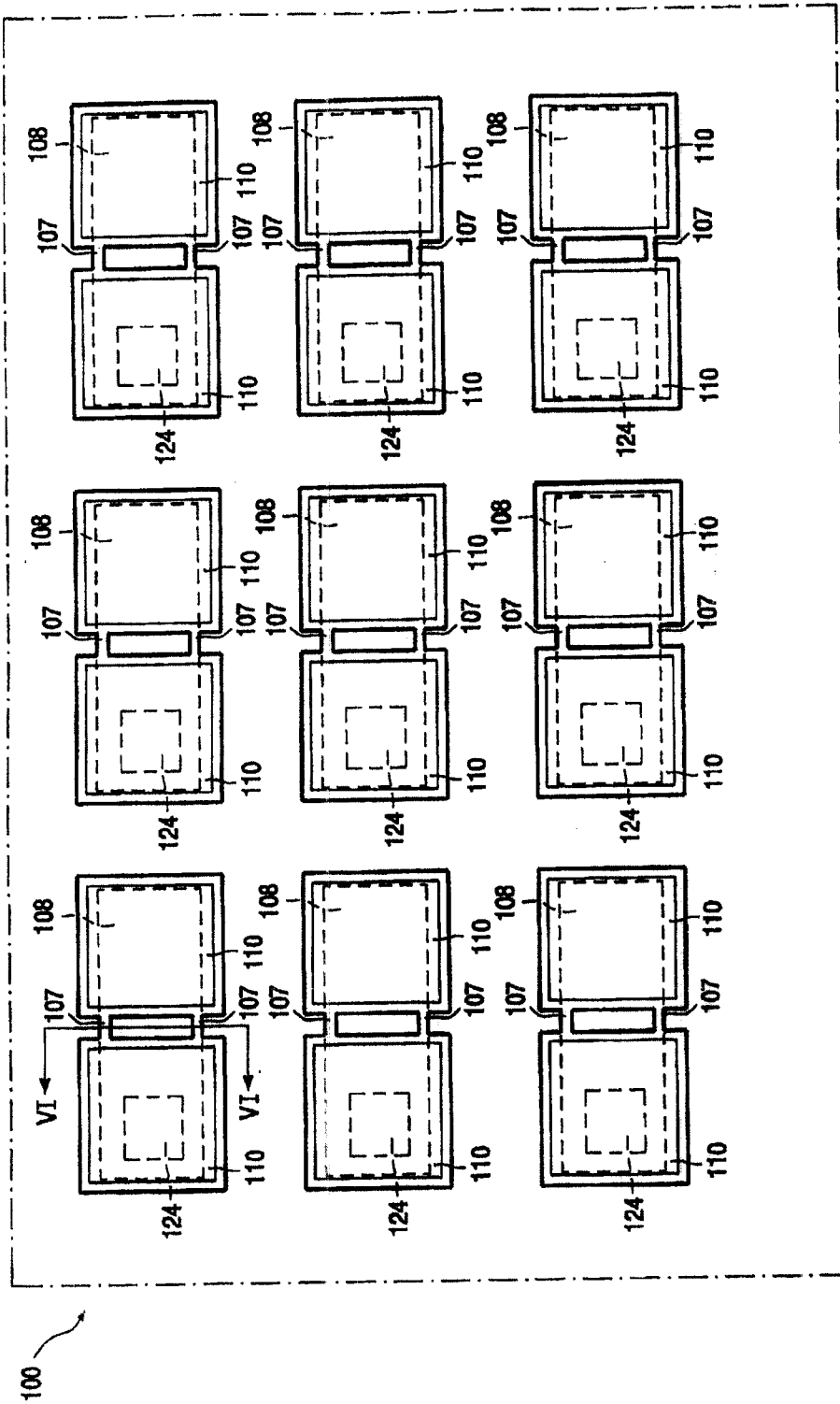


图 5

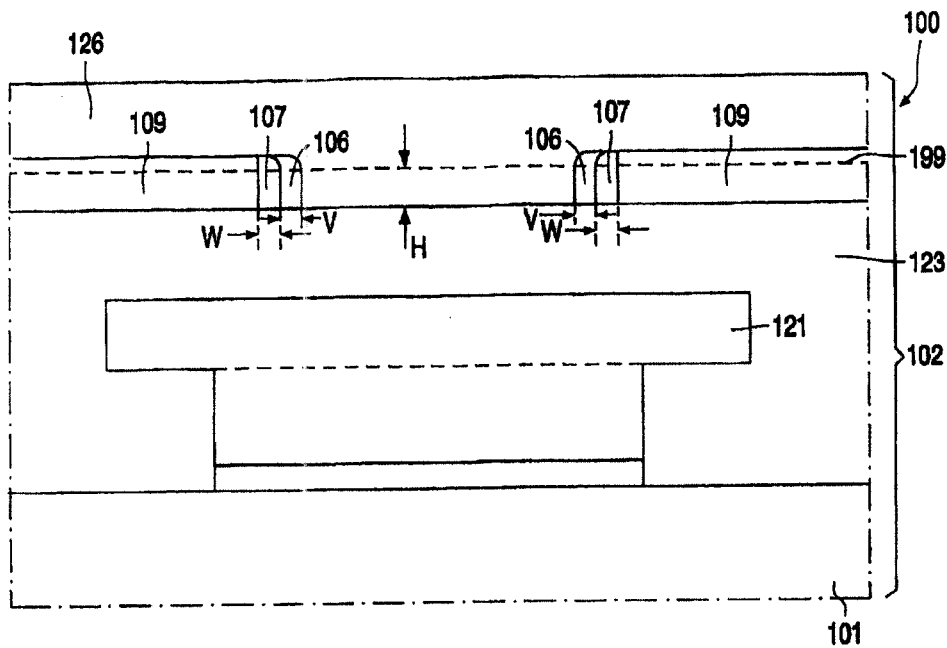


图 6

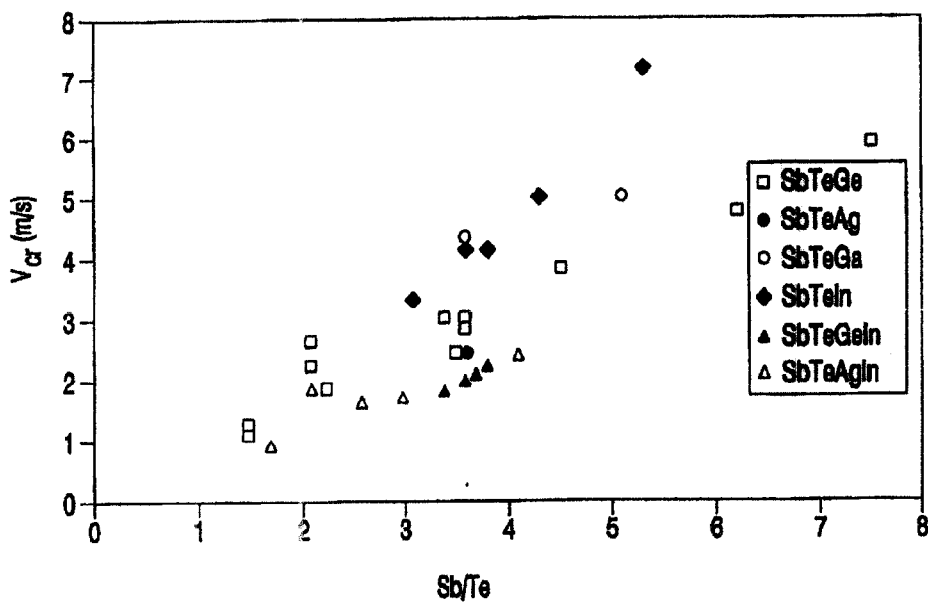


图 9

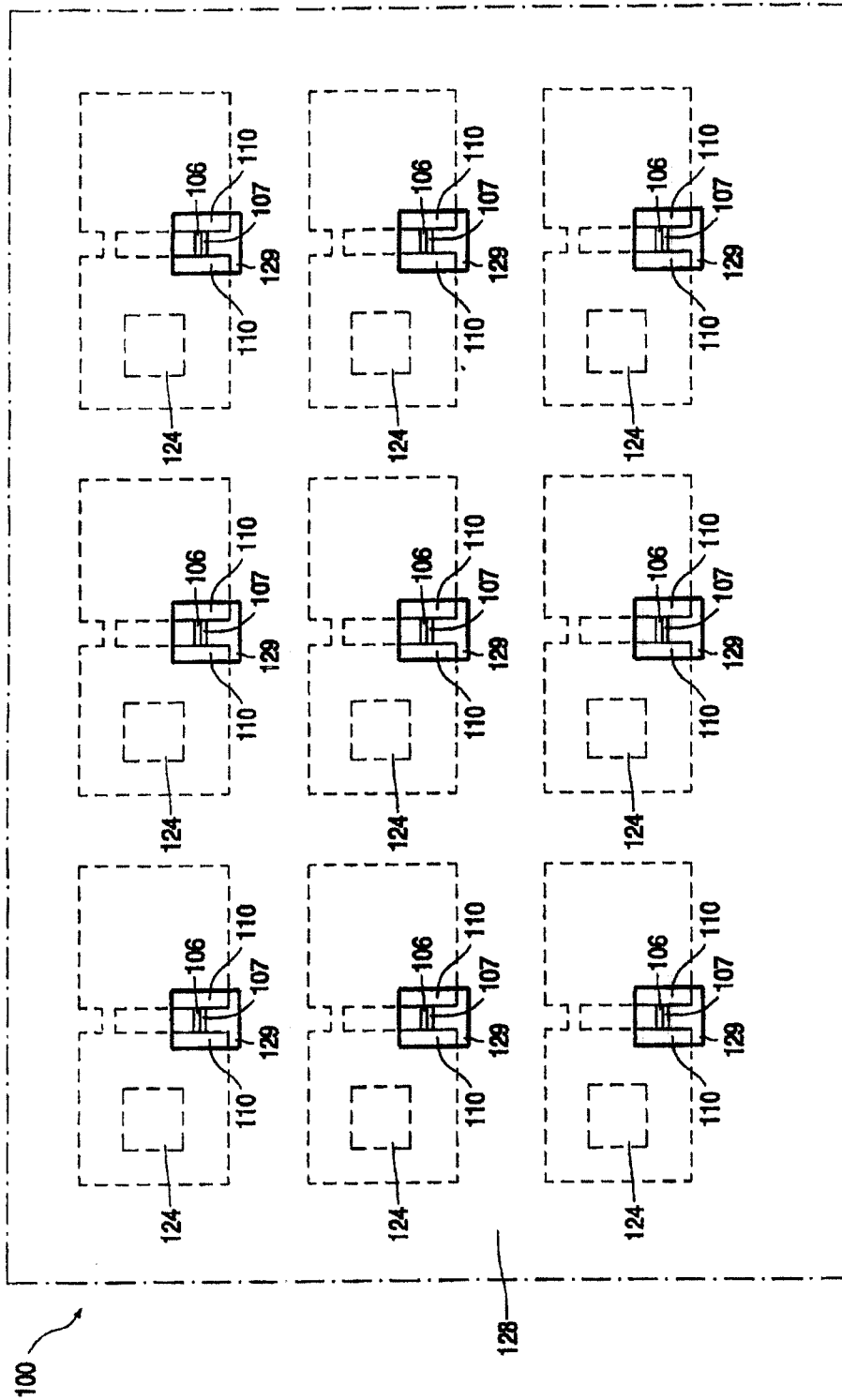


图 7

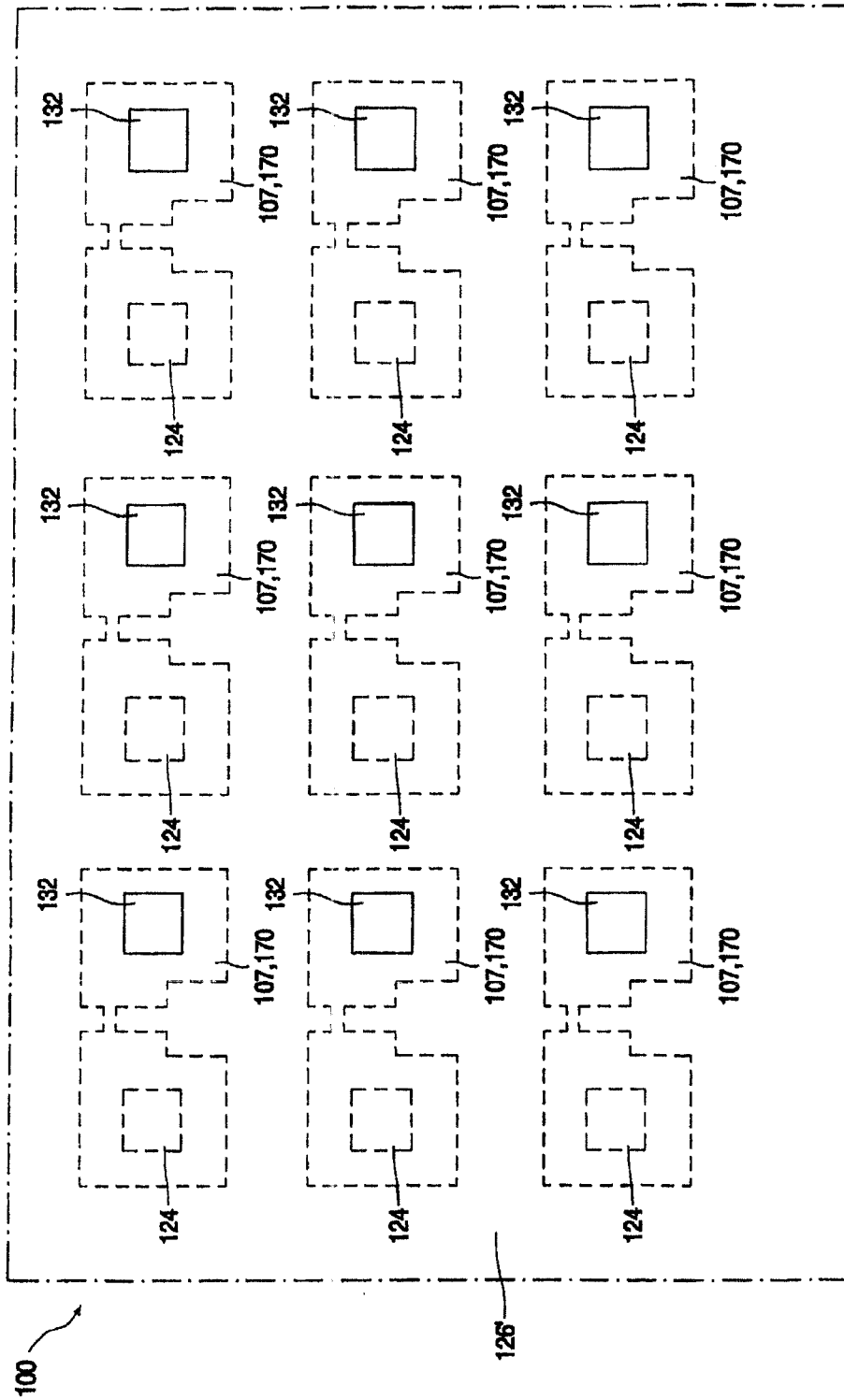


图 8