

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2007-194595

(P2007-194595A)

(43) 公開日 平成19年8月2日(2007.8.2)

(51) Int. Cl.	F I	テーマコード (参考)
HO1C 17/06 (2006.01)	HO1C 17/06 V	5E001
HO1G 4/12 (2006.01)	HO1G 4/12 400	5E032
HO1F 27/29 (2006.01)	HO1G 4/12 448	5E062
HO1F 41/04 (2006.01)	HO1F 15/10 C	5E070
HO1G 4/33 (2006.01)	HO1F 41/04 B	5E082

審査請求 未請求 請求項の数 6 O L (全 23 頁) 最終頁に続く

(21) 出願番号 特願2006-323396 (P2006-323396)
 (22) 出願日 平成18年11月30日 (2006.11.30)
 (31) 優先権主張番号 特願2005-364596 (P2005-364596)
 (32) 優先日 平成17年12月19日 (2005.12.19)
 (33) 優先権主張国 日本国 (JP)

(71) 出願人 000005821
 松下電器産業株式会社
 大阪府門真市大字門真1006番地
 (74) 代理人 100097445
 弁理士 岩橋 文雄
 (74) 代理人 100109667
 弁理士 内藤 浩樹
 (74) 代理人 100109151
 弁理士 永野 大介
 (72) 発明者 中尾 光明
 大阪府門真市大字門真1006番地 パナソニックエレクトロニクス株式会社内

最終頁に続く

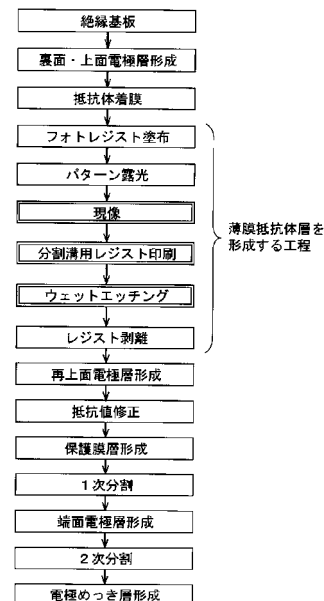
(54) 【発明の名称】 薄膜チップ抵抗器、薄膜チップコンデンサおよび薄膜チップインダクタの製造方法

(57) 【要約】

【課題】本発明は、抵抗体パターン形成過程でのウェットエッチングの際における分割溝付近での薄膜抵抗体の露出および局部電池反応による過エッチング現象を抑制することができ、これにより、抵抗体パターンの過エッチングによる不良を低減できて、抵抗値の歩留りを改善することができる薄膜チップ抵抗器の製造方法を提供することを目的とするものである。

【解決手段】薄膜抵抗体層を形成するフォトリソプロセス工程における現像工程とウェットエッチング工程との間に、分割溝内に位置する薄膜上面電極層、抵抗体着膜部、フォトレジストを覆うように分割溝用レジストを印刷する分割溝用レジスト印刷工程を設けたものである。

【選択図】 図2



【特許請求の範囲】

【請求項 1】

分割溝を有するシート状の絶縁基板の上面に前記分割溝を跨いで複数の薄膜上面電極層を形成する工程と、前記複数の薄膜上面電極層と電氣的に接続されるように複数の薄膜抵抗体層を形成する工程とを少なくとも備え、前記薄膜抵抗体層を形成する工程は、抵抗体着膜工程とフォトレジスト塗布工程とパターン露光工程と現像工程とウェットエッチング工程とを備えるとともに、前記現像工程とウェットエッチング工程との間に、分割溝内に位置する薄膜上面電極層、抵抗体着膜部、フォトレジストを覆うように分割溝用レジストを印刷する分割溝用レジスト印刷工程を設けた薄膜チップ抵抗器の製造方法。

【請求項 2】

薄膜上面電極層を形成する材料として、薄膜抵抗体層より貴な金属を用いた請求項 1 記載の薄膜チップ抵抗器の製造方法。

【請求項 3】

分割溝を有するシート状の絶縁基板の上面に前記分割溝を跨いで複数の薄膜上面電極層を形成する工程と、前記複数の薄膜上面電極層と電氣的に接続されるように容量素子を構成する複数の薄膜金属層を形成する工程と、前記複数の薄膜金属層の間に薄膜誘電体層を形成する工程を少なくとも備え、前記薄膜金属層を形成する工程は、薄膜金属層着膜工程とフォトレジスト塗布工程とパターン露光工程と現像工程とウェットエッチング工程を備えるとともに、前記現像工程とウェットエッチング工程との間に、分割溝上に位置する薄膜上面電極層、薄膜金属層、フォトレジストを覆うように分割溝用レジストを印刷する分割溝用レジスト印刷工程を設けた薄膜チップコンデンサの製造方法。

【請求項 4】

薄膜上面電極層を形成する材料として、薄膜金属層より貴な金属を用いた請求項 3 記載の薄膜チップコンデンサの製造方法。

【請求項 5】

分割溝を有するシート状の絶縁基板の上面に前記分割溝を跨いで複数の薄膜上面電極層を形成する工程と、前記複数の薄膜上面電極層と電氣的に接続されるようにインダクタ素子を構成する 1 層以上の薄膜金属配線層を形成する工程とを少なくとも備え、前記薄膜金属配線層を形成する工程は、薄膜金属配線層着膜工程とフォトレジスト塗布工程とパターン露光工程と現像工程とウェットエッチング工程を備えるとともに、前記現像工程とウェットエッチング工程との間に、分割溝上に位置する薄膜上面電極層、薄膜金属配線層、フォトレジストを覆うように分割溝用レジストを印刷する分割溝用レジスト印刷工程を設けた薄膜チップインダクタの製造方法。

【請求項 6】

薄膜上面電極層を形成する材料として、薄膜金属配線層より貴な金属を用いた請求項 5 記載の薄膜チップインダクタの製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、各種電子機器に用いられる薄膜チップ抵抗器、薄膜チップコンデンサおよび薄膜チップインダクタの製造方法に関するものである。

【背景技術】

【0002】

近年、電子機器の小形化に伴い、その回路基板の実装密度を高めるため、搭載される電子部品に対する小形化への要求が高まっている。例えば、薄膜抵抗素子を備えた薄膜チップ抵抗器に対しても小形化が進められるとともに、高精度（抵抗値許容差、抵抗温度特性）で、かつ電流雑音特性に優れた薄膜チップ抵抗器への要求が高まっている。

【0003】

図 17 は従来 of 薄膜チップ抵抗器の断面図、図 18 は同薄膜チップ抵抗器の製造方法を示すフローチャートである。

10

20

30

40

50

【0004】

従来の薄膜チップ抵抗器は、図17に示すように、方形の96%アルミナからなる絶縁基板1の上面の両端部に形成した金からなる一对の薄膜上面電極層2と、前記絶縁基板1の裏面の両端部に形成した金からなる一对の薄膜裏面電極層3と、前記一对の薄膜上面電極層2を覆い、かつ一对の薄膜上面電極層2と電氣的に接続されるように形成されたニッケルクロム系合金等からなる薄膜抵抗体層4と、この薄膜抵抗体層4を覆い、かつ前記絶縁基板1の上面の両端部に形成した一对の導体樹脂からなる再上面電極層5と、前記薄膜抵抗体層4を覆うとともに、前記一对の再上面電極層5の一部を覆うエポキシ系樹脂からなる保護膜層6と、前記再上面電極層5と薄膜裏面電極層3を電氣的に接続するように前記絶縁基板1の両端部にそれぞれ形成した一对の薄膜端面電極層7と、露出した電極部に形成された電極めっき層8とにより構成していた。 10

【0005】

次に、従来の薄膜チップ抵抗器の製造方法を図18のフローチャート、図19(a)~(c)、図20(a)~(c)、図21(a)~(c)および図22(a)~(d)の製造工程図に基づいて説明する。

【0006】

まず、図19(a)に示すように、1次分割溝1aと2次分割溝1bを有し、かつ96%アルミナからなるシート状の絶縁基板1を用意する。

【0007】

次に、図19(b)に示すように、絶縁基板1の上面および裏面に金を主成分とする金属有機物からなる電極ペーストを1次分割溝1aを跨ぐようにスクリーン印刷して乾燥させ、その後、金属有機物からなる電極ペーストの有機成分だけを飛ばし、そして金属成分だけを絶縁基板1上に焼き付けるために、ベルト式連続焼成炉によって焼成し、薄膜上面電極層2および薄膜裏面電極層3(図示せず)を形成する(図18の裏面・上面電極層形成工程)。 20

【0008】

次に、図19(c)に示すように、絶縁基板1の上面全体にニッケルクロム系合金等からなる薄膜抵抗体層4をスパッタを用いて形成する(図18の抵抗体着膜工程)。

【0009】

次に、図20(a)~(c)に示すように、前記薄膜抵抗体層4を所定の抵抗体パターン4aに形成するフォトリソプロセス工程(フォトリソ塗布・乾燥、パターン露光、現像、エッチング、レジスト剥離の各工程)を行った後、抵抗体パターン4aを安定な膜にするために、300~400の雰囲気中で熱処理を行う(図18の薄膜抵抗体層を形成する工程)。 30

【0010】

次に、図21(a)に示すように、薄膜上面電極層2上の薄膜抵抗体層4を覆うように導体樹脂からなる再上面電極層5を形成する(図18の再上面電極層形成工程)。

【0011】

次に、図21(b)に示すように、抵抗体パターン4aの抵抗値を所定の値に修正するためにレーザートリミングにより抵抗値修正を行って、抵抗値修正済みの抵抗体パターン4bとする(図18の抵抗値修正工程)。 40

【0012】

次に、図21(c)に示すように、抵抗値修正済みの抵抗体パターン4bを保護するために、熱硬化性のエポキシ系樹脂からなる保護膜層6を形成する(図18の保護膜層形成工程)。

【0013】

次に、図22(a)に示すように、シート状の絶縁基板1を1次分割溝1aに沿って分割することにより短冊状基板1cを得る。

【0014】

次に、図22(b)に示すように、短冊状基板1cの端面にスパッタを用いて、薄膜端 50

面電極層 7 を形成する (図 1 8 の端面電極形成工程) 。

【 0 0 1 5 】

次に、図 2 2 (c) に示すように、短冊状基板 1 c を 2 次分割溝 1 b に沿って分割することにより個片状基板 1 d を得る。

【 0 0 1 6 】

最後に、図 2 2 (d) に示すように、露出した電極部に電極めっき層 8 を形成する工程 (図 1 8 の電極めっき層形成工程) を行うことにより、従来の薄膜チップ抵抗器を製造していた。

【 0 0 1 7 】

上記のようにして製造された従来の薄膜チップ抵抗器は、ニッケルクロム系合金等からなる薄膜抵抗層 4 を用いているため、高精度で、かつ低 T C R 特性を実現できるものである。

【 0 0 1 8 】

なお、この出願の発明に関する先行技術文献情報としては、例えば、特許文献 1 が知られている。

【特許文献 1】特開 2 0 0 3 - 4 5 7 0 3 号公報

【発明の開示】

【発明が解決しようとする課題】

【 0 0 1 9 】

しかしながら、上記した従来の薄膜チップ抵抗器の製造方法においては、図 2 3 に示すように、1次分割溝 1 a を跨いで薄膜上面電極層 2 を形成し、そして薄膜抵抗層 4 を着膜し、その後、薄膜抵抗パターンを露光するためにフォトリソを塗布した場合、1次分割溝 1 a において段差が生じる部分にフォトリソが均一に塗布されず、金からなる薄膜上面電極層 2 とニッケルクロム系合金等からなる薄膜抵抗層 4 の材料が1次分割溝 1 a の段差部分で露出してしまうため、フォトリソプロセス工程における抵抗パターン形成過程でのウェットエッチングの際に薄膜抵抗の露出部がエッチングされる現象および局部電池反応による薄膜抵抗の過エッチング現象が生じていた。この過エッチング現象とは、相対的に貴な金属と卑な金属を電気的に接合させた場合に、前記貴な金属と卑な金属との間に標準電極電位の差による電位差が発生して局部的には電池のようになり、この状態でエッチング液 (以下エッチャントと記す) 中に露出された場合にエッチャントを通じて通電状態になるため、エッチングされる卑な金属が通常のエッチングの作用とは別に電気分解の作用も加わることにより、レジストパターンでマスクされた部分の側面からさらに進んで過度にエッチングされる現象のことを意味する。従来は、この過エッチング現象が生じてもエッチング後の抵抗値にほとんど影響のない程度の線幅の太い抵抗パターンで設計が可能であったため課題とならなかったが、近年、薄膜チップ抵抗器の小形化が要求されている中で、シート抵抗値に上限のある抵抗材料を用いて大きな抵抗値を有する薄膜チップ抵抗器を得るためには抵抗パターンを長く、かつ線幅を細くした微細パターンを形成する必要があるが、この場合、上記過エッチング現象が発生すると、所望の薄膜抵抗の微細パターンが精度良く得られず、抵抗値歩留りが悪化するという問題点を有していた。この問題点は、薄膜抵抗層を用いた薄膜チップ抵抗器のみならず、分割溝を有するシート状の絶縁基板上に薄膜金属層を形成することにより構成される容量素子を用いた薄膜チップコンデンサや薄膜金属配線層を形成することにより構成されるインダクタ素子を用いた薄膜チップインダクタにおいても、デバイスの小形化や高精度化の要求を満たすためには微細なパターンを精度良く形成しなければならないために生じるものである。

【 0 0 2 0 】

本発明は上記従来の問題点を解決するもので、第 1 の目的は、抵抗パターン形成過程でのウェットエッチングの際における分割溝付近での薄膜抵抗の露出および局部電池反応による過エッチング現象を抑制することができ、これにより、抵抗パターンの過エッチングによる不良を低減できて、抵抗値の歩留りを改善することができる薄膜チップ抵抗

10

20

30

40

50

器の製造方法を提供することを目的とするものである。

【0021】

第2の目的は、薄膜誘電体層を挟む薄膜金属層形成過程でのウェットエッチングの際における分割溝付近での薄膜金属層の露出および局部電池反応による過エッチング現象を抑制することができ、これにより、誘電体層を挟む薄膜金属層の過エッチングによる不良を低減できて、容量値の歩留りを改善することができる薄膜チップコンデンサの製造方法を提供することを目的とするものである。

【0022】

第3の目的は、薄膜インダクタ素子を構成する薄膜金属配線層形成過程でのウェットエッチングの際における分割溝付近での薄膜金属配線層の露出および局部電池反応による過エッチング現象を抑制することができ、これにより、薄膜インダクタ素子を構成する薄膜金属配線層の過エッチングによる不良を低減できて、インダクタンス値の歩留りを改善することができる薄膜チップインダクタの製造方法を提供することを目的とするものである。

10

【課題を解決するための手段】

【0023】

上記目的を達成するために、本発明は以下の構成を有するものである。

【0024】

本発明の請求項1に記載の発明は、分割溝を有するシート状の絶縁基板の上面に前記分割溝を跨いで複数の薄膜上面電極層を形成する工程と、前記複数の薄膜上面電極層と電気的に接続されるように複数の薄膜抵抗体層を形成する工程とを少なくとも備え、前記薄膜抵抗体層を形成する工程は、抵抗体着膜工程とフォトレジスト塗布工程とパターン露光工程と現像工程とウェットエッチング工程とを備え、るとともに、前記現像工程とウェットエッチング工程との間に、分割溝内に位置する薄膜上面電極層、抵抗体着膜部、フォトレジストを覆うように分割溝用レジストを印刷する分割溝用レジスト印刷工程を設けたもので、この製造方法によれば、現像工程とウェットエッチング工程との間に、分割溝内に位置する薄膜上面電極層、抵抗体着膜部、フォトレジストを覆うように分割溝用レジストを印刷する分割溝用レジスト印刷工程を設けているため、フォトレジストで完全に覆いきれていなかった分割溝段差部の薄膜上面電極層を分割溝用レジストで完全に覆うことができ、これにより、抵抗体パターン形成過程でのウェットエッチングの際における分割溝付近での抵抗体パターンの欠損を低減でき、これにより、抵抗値歩留りが大幅に改善した薄膜チップ抵抗器が得られるという作用効果を有するものである。

20

30

【0025】

本発明の請求項2に記載の発明は、特に、薄膜上面電極層を形成する材料として、薄膜抵抗体層より貴な金属を用いたもので、この製造方法によれば、薄膜上面電極層を形成する材料として薄膜抵抗体層より貴な金属を用いているため、エッチング工程において分割溝内部にエッチャントが滲入した場合でも、薄膜抵抗体層よりも先に薄膜上面電極層が溶解するという不具合が起こるとはなくなり、また、現像工程とウェットエッチング工程との間に、分割溝内に位置する薄膜上面電極層、抵抗体着膜部、フォトレジストを覆うように分割溝用レジストを印刷する分割溝用レジスト印刷工程を設けているため、フォトレジストで完全に覆いきれていなかった分割溝段差部の薄膜上面電極層を分割溝用レジストで完全に覆うことができ、これにより、抵抗体パターン形成過程でのウェットエッチングの際における分割溝付近での抵抗体パターンの欠損を低減でき、これにより、抵抗値歩留りが大幅に改善した薄膜チップ抵抗器が得られるという作用効果を有するものである。

40

【0026】

本発明の請求項3に記載の発明は、分割溝を有するシート状の絶縁基板の上面に前記分割溝を跨いで複数の薄膜上面電極層を形成する工程と、前記複数の薄膜上面電極層と電気的に接続されるように容量素子を構成する複数の薄膜金属層を形成する工程と、前記複数の薄膜金属層の間に薄膜誘電体層を形成する工程を少なくとも備え、前記薄膜金属層を形

50

成する工程は、薄膜金属層着膜工程とフォトレジスト塗布工程とパターン露光工程と現像工程とウェットエッチング工程を備えるとともに、前記現像工程とウェットエッチング工程との間に、分割溝上に位置する薄膜上面電極層、薄膜金属層、フォトレジストを覆うように分割溝用レジストを印刷する分割溝用レジスト印刷工程を設けたもので、この製造方法によれば、現像工程とウェットエッチング工程との間に、分割溝上に位置する薄膜上面電極層、薄膜金属層、フォトレジストを覆うように分割溝用レジストを印刷する分割溝用レジスト印刷工程を設けているため、フォトレジストで完全に覆いきれていなかった分割溝段差部の薄膜上面電極層を分割溝用レジストで完全に覆うことができ、これにより、薄膜金属層パターン形成過程でのウェットエッチングの際における分割溝付近での薄膜金属層パターンの欠損を低減でき、これにより、容量値歩留りが大幅に改善した薄膜チップコンデンサが得られるという作用効果を有するものである。

10

【0027】

本発明の請求項4に記載の発明は、特に、薄膜上面電極層を形成する材料として、薄膜金属層より貴な金属を用いたもので、この製造方法によれば、薄膜上面電極層を形成する材料として薄膜金属層より貴な金属を用いているため、エッチング工程において分割溝内部にエッチャントが滲入した場合でも、薄膜金属層よりも先に薄膜上面電極層が溶解するという不具合が起こるといふことはなくなり、また、現像工程とウェットエッチング工程との間に、分割溝内に位置する薄膜上面電極層、薄膜金属層着膜部、フォトレジストを覆うように分割溝用レジストを印刷する分割溝用レジスト印刷工程を設けているため、フォトレジストで完全に覆いきれていなかった分割溝段差部の薄膜上面電極層を分割溝用レジストで完全に覆うことができ、これにより、薄膜金属層パターン形成過程でのウェットエッチングの際における分割溝付近での薄膜金属層パターンの欠損を低減でき、これにより、容量値歩留りが大幅に改善した薄膜チップコンデンサが得られるという作用効果を有するものである。

20

【0028】

本発明の請求項5に記載の発明は、分割溝を有するシート状の絶縁基板の上面に前記分割溝を跨いで複数の薄膜上面電極層を形成する工程と、前記複数の薄膜上面電極層と電気的に接続されるようにインダクタ素子を構成する1層以上の薄膜金属配線層を形成する工程とを少なくとも備え、前記薄膜金属配線層を形成する工程は、薄膜金属配線層着膜工程とフォトレジスト塗布工程とパターン露光工程と現像工程とウェットエッチング工程を備えるとともに、前記現像工程とウェットエッチング工程との間に、分割溝上に位置する薄膜上面電極層、薄膜金属配線層、フォトレジストを覆うように分割溝用レジストを印刷する分割溝用レジスト印刷工程を設けたもので、この製造方法によれば、現像工程とウェットエッチング工程との間に、分割溝内に位置する薄膜上面電極層、薄膜金属配線層着膜部、フォトレジストを覆うように分割溝用レジストを印刷する分割溝用レジスト印刷工程を設けているため、フォトレジストで完全に覆いきれていなかった分割溝段差部の薄膜上面電極層を分割溝用レジストで完全に覆うことができ、これにより、薄膜金属配線層パターン形成過程でのウェットエッチングの際における分割溝付近での薄膜金属配線層パターンの欠損を低減でき、これにより、インダクタンス値歩留りが大幅に改善した薄膜チップインダクタが得られるという作用効果を有するものである。

30

40

【0029】

本発明の請求項6に記載の発明は、特に、薄膜上面電極層を形成する材料として、薄膜金属配線層より貴な金属を用いたもので、この製造方法によれば、薄膜上面電極層を形成する材料として、薄膜金属配線層より貴な金属を用いているため、エッチング工程において分割溝内部にエッチャントが滲入した場合でも、薄膜金属配線層よりも先に薄膜上面電極層が溶解するという不具合が起こるといふことはなくなり、また、現像工程とウェットエッチング工程との間に、分割溝内に位置する薄膜上面電極層、薄膜金属配線層着膜部、フォトレジストを覆うように分割溝用レジストを印刷する分割溝用レジスト印刷工程を設けているため、フォトレジストで完全に覆いきれていなかった分割溝段差部の薄膜上面電極層を分割溝用レジストで完全に覆うことができ、これにより、薄膜金属配線層パターン

50

形成過程でのウェットエッチングの際における分割溝付近での薄膜金属配線層パターンの欠損を低減でき、これにより、インダクタンス値歩留りが大幅に改善した薄膜チップインダクタが得られるという作用効果を有するものである。

【発明の効果】

【0030】

以上のように本発明の薄膜チップ抵抗器の製造方法は、現像工程とウェットエッチング工程との間に、分割溝内に位置する薄膜上面電極層、抵抗体着膜部、フォトレジストを覆うように分割溝用レジストを印刷する分割溝用レジスト印刷工程を設けているため、フォトレジストで完全に覆いきれていなかった分割溝段差部の薄膜上面電極層を分割溝用レジストで完全に覆うことができ、これにより、抵抗体パターン形成過程でのウェットエッチングの際における分割溝付近での抵抗体パターンの欠損を低減でき、これにより、抵抗値歩留りが大幅に改善した薄膜抵抗素子が得られ、この薄膜抵抗素子を用いて小形かつ高精度の薄膜チップ抵抗器が得られるという優れた効果を奏するものである。

10

【発明を実施するための最良の形態】

【0031】

(実施の形態1)

以下、本発明の実施の形態1を用いて、本発明の特に請求項1、2に記載の発明について、図面を参照しながら説明する。

【0032】

図1(a)は本発明の実施の形態1における薄膜チップ抵抗器の断面図、図1(b)は同薄膜チップ抵抗器のウェットエッチング工程直前の基板の要部拡大断面図、図2は同薄膜チップ抵抗器の製造方法を示すフローチャートである。本発明の実施の形態1における薄膜チップ抵抗器の製造方法の特徴とするところは、図2のフローチャートに示すように、薄膜抵抗体層を形成する工程、すなわちフォトリソプロセス工程の中において、現像工程とウェットエッチング工程との間に分割溝用レジスト印刷工程を付加した点である。なお、図1(a)に示す本発明の実施の形態1における薄膜チップ抵抗器の断面構造は、図17に示した従来の薄膜チップ抵抗器の断面構造と同一であるため、その構造の説明は省略する。

20

【0033】

次に、本発明の実施の形態1における薄膜チップ抵抗器の製造方法を図2のフローチャート、図3(a)~(c)、図4(a)~(c)、図5(a)~(c)および図6(a)~(e)の製造工程図に基づいて説明する。

30

【0034】

まず、図3(a)に示すように、1次分割溝1aと2次分割溝1bを有する96%アルミナからなるシート状の絶縁基板1を用意する。

【0035】

次に、図3(b)に示すように、絶縁基板1の上面および裏面に金を主成分とする金属有機物からなる電極ペースト、例えば金レジネートペーストを1次分割溝1aを跨ぐようにスクリーン印刷して乾燥させ、その後、金属有機物電極ペーストの有機成分だけを飛ばし、そして金属成分だけを絶縁基板1上に焼き付けるために、ベルト式連続焼成炉によって焼成し、薄膜上面電極層2および薄膜裏面電極層3(図示せず)を形成する(図2の裏面・上面電極層形成工程)。

40

【0036】

次に、図3(c)に示すように、絶縁基板1の上面全体にNi-Cr系合金等からなる薄膜抵抗体層4をスパッタを用いて形成する(図2の抵抗体着膜工程)。

【0037】

次に、図4(a)に示すように、前記薄膜抵抗体層4を所定の抵抗体パターン4aに形成するフォトリソプロセス工程の前半部分、すなわちフォトレジスト塗布・乾燥、パターン露光、現像の各工程を行う。ここでフォトレジストの塗布にはロールコート法、スピニングコート法等を用い、その膜厚は所望の抵抗体パターン4aを忠実に再現するために膜厚ば

50

らつきの少ない数 μm 程度の均一な膜厚とする。

【0038】

次に、図4(b)に示すように、1次分割溝1aを跨ぐように分割溝用レジスト10を印刷する。この時、従来は図23に示すように、薄膜上面電極層2と薄膜抵抗層4が1次分割溝1aの段差部に露出していたため、フォトリソプロセス工程における抵抗パターン形成過程でのウェットエッチングの際に局部電池反応による過エッチング現象を引き起こし、抵抗パターンが断線する要因となっていたが、本発明の実施の形態1においては、上記図4(b)で示したように1次分割溝1aを跨ぐように分割溝用レジスト10を印刷することにより、図1(b)に示すように1次分割溝1aの段差部の薄膜上面電極層2と薄膜抵抗層4の露出部分を分割溝用レジスト10で完全に覆うようにしているため、図4(c)に示すウェットエッチング工程においては、フォトレジスト9に形成した抵抗パターンに従ってエッチングされることになり、これにより、過エッチングによる抵抗パターンの欠損を低減できるものである。なお、このウェットエッチングには、薄膜上面電極層2の材料を溶解せず薄膜抵抗層4の材料を選択的に溶解する強酸性の水溶液が用いられる。

10

【0039】

次に、図5(a)に示すように、フォトレジスト9と分割溝用レジスト10の両者を剥離するレジスト剥離工程を実施し、その後、抵抗パターン4aを安定な膜にするために、300~400の雰囲気中で熱処理を行う(図2の薄膜抵抗層を形成する工程)。なお、レジスト剥離工程を設けずに、フォトレジスト9と分割溝用レジスト10を保護膜の一部として用いても良いものである。

20

【0040】

次に、図5(b)に示すように、薄膜上面電極層2上の薄膜抵抗層4を覆うように導体樹脂からなる再上面電極層5を形成する(図2の再上面電極層形成工程)。この再上面電極層5は、後述する抵抗値修正工程においてトリミング検針の接触を良好にするために設けるものである。

【0041】

次に、図5(c)に示すように、抵抗パターン4aの抵抗値を所定の値に修正するためにレーザートリミングにより抵抗値修正工程を行って、抵抗値修正済みの抵抗パターン4bとする(図2の抵抗値修正工程)。

30

【0042】

次に、図6(a)に示すように、抵抗値修正済みの抵抗パターン4bを保護するために、熱硬化性のエポキシ樹脂からなる保護膜層6を形成する(図2の保護膜層形成工程)。

【0043】

次に、図6(b)に示すように、シート状の絶縁基板1を1次分割溝1aに沿って分割することにより短冊状基板1cを得る。

【0044】

次に、図6(c)に示すように、短冊状基板1cの端面にスパッタを用いて薄膜端面電極層7を形成する(図2の端面電極層形成工程)。

【0045】

次に、図6(d)に示すように、短冊状基板1cを2次分割溝1bに沿って分割することにより個片状基板1dを得る。ここで2次分割溝1bの内部にはウェットエッチングで十分に除去できていない抵抗体が残存しているため、この2次分割溝1bに沿って分割する際にはレーザースクライブ等の残存抵抗体を除去するのに有効な方法を用いる。この場合、2次分割溝1bの内部の抵抗体除去が不十分であると、後述する電極めっき工程で薄膜端面電極層7以外の部分にもめっきが付着して外観不良品が発生する。

40

【0046】

最後に、図6(e)に示すように、はんだ付け時の信頼性の確保のために、露出した電極部に電極めっき層8を形成する工程(図2の電極めっき層形成工程)を行うことにより、本発明の実施の形態1における薄膜チップ抵抗器を完成させる。

50

【0047】

上記した本発明の実施の形態1における薄膜チップ抵抗器の製造方法においては、フォトリソで完全に覆いきれていなかった1次分割溝1aの段差部の薄膜上面電極層2と薄膜抵抗体層4の露出部分を分割溝用レジスト10の印刷によって完全に覆うようにしているため、抵抗体パターン形成過程でのウェットエッチングの際における1次分割溝1a付近での局部電池反応による過エッチング現象を抑制することができ、これにより、抵抗体パターンの過エッチングによる不良を低減でき、抵抗値歩留りを大幅に改善することができるという優れた効果を奏するものである。また、この効果は、薄膜上面電極層2を形成する材料として金レジネート等の貴金属有機物ペーストを用い、かつ薄膜抵抗体層4を形成する材料に薄膜上面電極層2よりも卑な金属を用いているため、従来の技術において

10

【0048】

なお、上記本発明の実施の形態1においては、薄膜抵抗体層4を着膜する場合、図3(c)に示すように絶縁基板1の上面全体に着膜していたが、マスクパッタ法を用いて1次分割溝1aとその付近を除いた絶縁基板1の上面すべての箇所に薄膜抵抗体層4を着膜するようにしてもよいものである。このようにすれば、1次分割溝1aに薄膜抵抗体層4が最初から存在しないため、分割溝用レジスト10を印刷した際に隣接する素子の分割溝用レジストと短絡した場合においても素子同士の電氣的な短絡は発生せず、また、1次分割溝1a付近の絶縁基板1の上面には薄膜抵抗体層4が存在せず、薄膜上面電極層2が絶縁基板1の上面に露出する部分が存在するため、再上面電極層5と薄膜上面電極層2との接触が図れて電氣的接続が安定するものである。

20

【0049】

また、マスクパッタ法を用いて2次分割溝1bとその付近を除く絶縁基板1の上面すべての箇所に薄膜抵抗体層4を着膜するようにしてもよく、このようにした場合は、エッチングで十分に除去できない2次分割溝1b内部の薄膜抵抗体層4をレーザースクライブ等で除去する工程を省くことができ、かつ薄膜端面電極層7以外の部分にめっきが付着する外観不良が発生する割合を低減することができるものである。

【0050】

(実施の形態2)

次に、本発明の実施の形態2を用いて、本発明の特に請求項3、4に記載の発明について、図面を参照しながら説明する。

30

【0051】

図7は本発明の実施の形態2における薄膜チップコンデンサの断面図、図8は同薄膜チップコンデンサの第1の薄膜金属層のウェットエッチング工程後の要部拡大断面図、図9は同薄膜チップコンデンサの薄膜誘電体層のウェットエッチング工程後の要部拡大断面図、図10は同薄膜チップコンデンサの第2の薄膜金属層のウェットエッチング工程後の要部拡大断面図、図11は同薄膜チップコンデンサの製造方法を示すフローチャートである。

40

【0052】

本発明の実施の形態2における薄膜チップコンデンサの製造方法の特徴とするところは、図11のフローチャートに示すように、薄膜金属層を形成する工程、すなわち薄膜金属層のフォトリソプロセス工程の中において、現像工程とウェットエッチング工程との間に分割溝用レジスト印刷工程を付加した点である。

【0053】

次に本発明の実施の形態2における薄膜チップコンデンサの断面構造を、図7を参照しながら説明する。21はアルミナ含有量が96%以上のアルミナ基板等からなる絶縁基板である。22は前記絶縁基板21の上面の両端部に形成された一对の薄膜上面電極層である。23は前記絶縁基板21の裏面の両端部に形成された一对の薄膜裏面電極層である。

50

24は前記一对の薄膜上面電極層22を覆うように絶縁基板21上に形成された第1の薄膜金属層である。25は前記第1の薄膜金属層24の少なくとも一部を覆うように形成された薄膜誘電体層である。26は前記第1の薄膜金属層24の少なくとも一部と前記薄膜誘電体層25を介して対向するように形成された第2の薄膜金属層で、この第2の薄膜金属層26と前記第1の薄膜金属層24および薄膜誘電体層25により容量素子を構成している。27は少なくとも前記第1の薄膜金属層24と第2の薄膜金属層26が薄膜誘電体層25を介して対向する部分を覆うように形成された保護膜層である。28は前記薄膜裏面電極層23、薄膜上面電極層22、第1の薄膜金属層24および第2の薄膜金属層26と電気的に接続されるように前記絶縁基板21の端面に形成された端面電極層である。29は前記薄膜裏面電極層23、端面電極層28および第2の薄膜金属層26を覆うように形成された第1のめっき層である。30は第1のめっき層29を覆うように形成された第2のめっき層である。

10

【0054】

次に、本発明の実施の形態2における薄膜チップコンデンサの製造方法を図8～図10に示した断面図、図11に示したフローチャートに基づいて説明する。

【0055】

まず、図8に示すように、1次分割溝21aを有する96%アルミナからなるシート状の絶縁基板21を用意し、そしてこの絶縁基板21の上面および裏面に金を主成分とする金属有機物からなる電極ペースト、例えば金レジネートペーストを1次分割溝21aを跨ぐようにスクリーン印刷して乾燥させ、その後、金属有機物電極ペーストの有機成分だけを飛ばし、かつ金属成分だけを絶縁基板21上に焼き付けるために、ベルト式連続焼成炉によって焼成し、薄膜上面電極層22および薄膜裏面電極層23を形成する(図11の裏面・上面電極層形成工程)。

20

【0056】

次に、前記絶縁基板21の上面全体に前記薄膜上面電極層22を覆うように金系の金属からなる第1の薄膜金属層24をスパッタを用いて形成する。このとき金の密着を高めるために金の下地としてチタン等の密着層をスパッタ等を用いて形成する(図11の第1の薄膜金属層着膜工程)。

【0057】

次に、前記第1の薄膜金属層24を所定のパターンに形成するフォトリソプロセス工程の前半部分、すなわち、第1のフォトレジスト31の塗布・乾燥、パターン露光、現像の各工程を行う。ここで前記第1のフォトレジスト31の塗布にはロールコート法、スピコート法等を用い、その膜厚は所望のパターンを忠実に再現するために膜厚ばらつきの少ない数 μm 程度の均一な膜厚で形成する(図11の第1のフォトレジスト塗布、パターン露光、現像の各工程)。

30

【0058】

次に、1次分割溝21aを跨ぐように第1の分割溝用レジスト32を印刷して乾燥させることにより、1次分割溝21aの段差部の薄膜上面電極層22と第1の薄膜金属層24の露出部分をこの第1の分割溝用レジスト32で完全に覆う。そしてこの状態で、前記第1の薄膜金属層24の第1のウェットエッチングを行う。ここで金系の金属からなる第1の薄膜金属層24をエッチングする場合には、エッチャントとして塩酸と硝酸からなる王水を40～80の温度で使用する(図11の第1の分割溝用レジスト印刷、第1のウェットエッチングの各工程)。

40

【0059】

このとき、1次分割溝21aのエッジは急で溝が深いため、第1の分割溝用レジスト32の印刷工程がない場合には、第1のフォトレジスト31が1次分割溝21aの端部で極端に薄くなり、薄膜上面電極層22と第1の薄膜金属層24が1次分割溝21aの段差部付近で露出してしまうため、ウェットエッチングの際に薄膜上面電極層22と第1の薄膜金属層24が1次分割溝21aの周辺でエッチングされてしまう要因となっていたが、本発明の実施の形態2においては、図8に示すように、1次分割溝21aを跨ぐように第1

50

の分割溝用レジスト 3 2 を印刷することにより、1 次分割溝 2 1 a の段差部の薄膜上面電極層 2 2 と第 1 の薄膜金属層 2 4 の露出部分を第 1 の分割溝用レジスト 3 2 で完全に覆うようにしているため、第 1 のウェットエッチング工程においては、第 1 のフォトレジスト 3 1 に形成したパターンに従ってエッチングされることになり、これにより、第 1 の薄膜金属層 2 4 のパターンの欠陥は発生し難くなるものである。

【0060】

次に、図 8 に示した第 1 のフォトレジスト 3 1 と第 1 の分割溝用レジスト 3 2 の両者を剥離するレジスト剥離工程を実施する。このとき、レジスト剥離液としては NaOH 水溶液等のアルカリ性の剥離液や溶剤等からなる第 1 のフォトレジスト 3 1 と第 1 の分割溝用レジスト 3 2 を両方とも剥離させる能力のある剥離液を使用し、剥離後は純水で充分すすいだ後、乾燥させる（図 1 1 の第 1 のレジスト剥離工程）。

10

【0061】

次に、前記第 1 の薄膜金属層 2 4 を覆うように絶縁基板 2 1 の上面全体に薄膜誘電体層 2 5 をスパッタリングを用いて形成する。薄膜誘電体層 2 5 の材料としては、チタン酸ストロンチウム（以下 STO と記す）、チタン酸バリウムストロンチウム（以下 BST と記す）、チタン酸バリウム（以下 BTO と記す）、二酸化ケイ素（以下 SiO₂ と記す）等が挙げられるが、所望の静電容量を作成するために適切な誘電率の材料を選択し、適切な厚みで成膜する（図 1 1 の薄膜誘電体層着膜工程）。

【0062】

次に、前記薄膜誘電体層 2 5 を所定のパターンに形成するフォトリソプロセス工程の前半部分、すなわち、第 2 のフォトレジスト 3 3 の塗布・乾燥、パターン露光、現像の各工程を行う。ここで前記第 2 のフォトレジスト 3 3 の塗布にはロールコート法、スピンコート法等を用い、その膜厚は所望のパターンを忠実に再現するために膜厚ばらつきの少ない数 μm 程度の均一な膜厚で形成する（図 1 1 の第 2 のフォトレジスト塗布、パターン露光、現像の各工程）。

20

【0063】

次に、図 9 に示すように、前記第 1 の薄膜金属層 2 4 上に形成された薄膜誘電体層 2 5 における第 2 のフォトレジスト 3 3 以外の部分を取り除くように第 2 のウェットエッチングを行う。このとき、薄膜誘電体層 2 5 の材料として STO、BST、BTO、SiO₂ などの材料を使用した場合、薄膜誘電体層 2 5 のウェットエッチングにはフッ酸の水溶液を使用し、常温でエッチングを実施する。また、このとき、1 次分割溝 2 1 a 上に形成された薄膜誘電体層 2 5 も取り除く必要があるため、薄膜誘電体層 2 5 のウェットエッチング時には分割溝用レジストは形成しないものである（図 1 1 の第 2 のウェットエッチング工程）。

30

【0064】

次に、図 9 に示した第 2 のフォトレジスト 3 3 を剥離するレジスト剥離工程を実施する。このとき、レジスト剥離液としては NaOH 水溶液等のアルカリ性の剥離液や溶剤等からなる第 2 のフォトレジスト 3 3 を剥離させる能力のある剥離液を使用し、剥離後は純水で充分すすいだ後、乾燥させる（図 1 1 の第 2 のレジスト剥離工程）。

【0065】

次に、図 1 0 に示すように、前記第 1 の薄膜金属層 2 4 および薄膜誘電体層 2 5 を覆うように絶縁基板 2 1 の上面全体に銅系の金属からなる第 2 の薄膜金属層 2 6 をスパッタを用いて形成する。このとき、銅系の薄膜金属層の密着力を高めるために、銅系の金属の下地としてクロム等の密着層をスパッタ等を用いて形成する（図 1 1 の第 2 の薄膜金属層着膜工程）。

40

【0066】

次に、前記第 2 の薄膜金属層 2 6 を所定のパターンに形成するフォトリソプロセス工程の前半部分、すなわち、第 3 のフォトレジスト 3 4 の塗布・乾燥、パターン露光、現像の各工程を行う。ここで第 3 のフォトレジスト 3 4 の塗布にはロールコート法、スピンコート法等を用い、その膜厚は所望のパターンを忠実に再現するために膜厚ばらつきの少ない

50

数 μm 程度の均一な膜厚で形成する（図 11 の第 3 のフォトリソ塗布、パターン露光、現像の各工程）。

【0067】

次に、1次分割溝 21a を跨ぐように第 2 の分割溝用レジスト 35 を印刷して乾燥させることにより、1次分割溝 21a の段差部の薄膜上面電極層 22 と、第 1 の薄膜金属層 24 および第 2 の薄膜金属層 26 の露出部分を第 2 の分割溝用レジスト 35 で完全に覆う。この状態で、第 2 の薄膜金属層 26 の第 3 のウェットエッチングを行う。ここで第 2 の薄膜金属層 26 がクロム系の金属と銅系の金属の 2 層構造で構成される場合には、エッチャントとしてまず過硫酸アンモニウムの水溶液で銅系の金属のエッチングを行い、その後、過マンガン酸カリウムとメタ珪酸ナトリウムの水溶液でクロム系の金属のエッチングを行う（図 11 の第 3 のウェットエッチング工程）。

10

【0068】

このとき、1次分割溝 21a のエッジは急で溝が深いため、第 2 の分割溝用レジスト 35 の形成工程がない場合には、第 3 のフォトリソ 34 が 1 次分割溝 21a の端部で極端に薄くなり、薄膜上面電極層 22 と第 1 の薄膜金属層 24 が 1 次分割溝 21a の段差部付近で露出してしまうため、第 3 のウェットエッチングの際に貴な金属である金系の金属からなる薄膜上面電極層 22 および第 1 の薄膜金属層 24 と、金に比べて相対的に卑な金属である銅系の金属からなる第 2 の薄膜金属層 26 との間に電位差が生じ、局部電池反応によって過エッチングされてしまう要因となっていたが、本発明の実施の形態 2 においては、図 10 に示すように 1 次分割溝 21a を跨ぐように第 2 の分割溝用レジスト 35 を印刷することにより、1次分割溝 21a の段差部の薄膜上面電極層 22 と、第 1 の薄膜金属層 24 および第 2 の薄膜金属層 26 の露出部分を第 2 の分割溝用レジスト 35 で完全に覆うようにしているため、第 3 のウェットエッチング工程においては、第 3 のフォトリソ 34 に形成したパターンに従ってエッチングされることになり、これにより、第 2 の薄膜金属層 26 のパターンの欠陥は発生し難くなるものである。

20

【0069】

次に、第 3 のフォトリソ 34 と第 2 の分割溝用レジスト 35 の両者を剥離するレジスト剥離工程を実施する。このとき、レジスト剥離液としては NaOH 水溶液等のアルカリ性の剥離液や溶剤等からなる第 3 のフォトリソ 34 と第 2 の分割溝用レジスト 35 を両方とも剥離させる能力のある剥離液を使用し、剥離後は純水で充分すすいだ後、乾燥させる（図 11 の第 3 のレジスト剥離工程）。

30

【0070】

次に、容量素子の形成部を保護するために、熱硬化性のエポキシ樹脂等からなる保護膜層 27 を印刷および硬化により形成する（図 11 の保護膜層形成工程）。

【0071】

その後、1次分割工程、端面電極形成工程、2次分割工程、電極めっき層形成工程を行うが、これらは上記した本発明の実施の形態 1 における薄膜チップ抵抗器の製造工程と同一であるため、その説明は省略する。そして上記した工程の実施により、本発明の実施の形態 2 における薄膜チップコンデンサは製造されるものである。

【0072】

上記した本発明の実施の形態 2 における薄膜チップコンデンサの製造方法においては、第 1 の薄膜金属層 24 の形成過程で、第 1 のフォトリソ 31 で完全に覆いきれていなかった 1 次分割溝 21a の段差部の薄膜上面電極層 22 と第 1 の薄膜金属層 24 の露出部分を第 1 の分割溝用レジスト 32 の印刷によって完全に覆うようにしているため、第 1 の薄膜金属層 24 のパターン形成過程での第 1 のウェットエッチングにおける 1 次分割溝 21a 付近での第 1 の薄膜金属層 24 と薄膜上面電極層 22 の露出が抑えられ、これにより、1次分割溝 21a 付近の第 1 の薄膜金属層 24 と薄膜上面電極層 22 の過度なエッチングを抑制することができ、また第 2 の薄膜金属層 26 の形成過程では、第 3 のフォトリソ 34 で完全に覆いきれていなかった 1 次分割溝 21a の段差部の薄膜上面電極層 22 と第 1 の薄膜金属層 24 および第 2 の薄膜金属層 26 の露出部分を第 2 の分割溝用レジ

40

50

ト 3 5 の印刷によって完全に覆うようにしているため、第 3 のウェットエッチングの際における 1 次分割溝 2 1 a 付近での局部電池反応による第 2 の薄膜金属層 2 6 の過エッチング現象を抑制することができ、これにより、第 1 の薄膜金属層 2 4 および第 2 の薄膜金属層 2 6 のパターン不良を低減できるため、容量値の歩留りを大幅に改善することができるという優れた効果を奏するものである。

【 0 0 7 3 】

また、上記本発明の実施の形態 2 においては、絶縁基板 2 1 上に直接第 1 の薄膜金属層 2 4 を形成しているが、絶縁基板 2 1 上の容量素子を形成する範囲にガラスグレースを施して、より平滑な面を出すようにしても同様の効果が得られるものである。

【 0 0 7 4 】

(実施の形態 3)

次に、本発明の実施の形態 3 を用いて、本発明の特に請求項 5 、 6 に記載の発明について、図面を参照しながら説明する。

【 0 0 7 5 】

図 1 2 は本発明の実施の形態 3 におけるチップインダクタの断面図、図 1 3 は同チップインダクタの第 1 の薄膜金属配線層エッチング後の要部拡大断面図、図 1 4 は同チップインダクタの層間絶縁層のウェットエッチング工程後の要部拡大断面図、図 1 5 は同チップインダクタの第 2 の薄膜金属配線層エッチング後の要部拡大断面図、図 1 6 は同チップインダクタの製造方法を示すフローチャートである。

【 0 0 7 6 】

本発明の実施の形態 3 におけるチップインダクタの製造方法の特徴とするところは、図 1 6 のフローチャートに示すように、第 1 の薄膜金属配線層形成工程の中のフォトリソプロセス工程および第 2 の薄膜金属配線層形成工程の中のフォトリソプロセス工程において、現像工程とウェットエッチング工程との間に分割溝用レジスト印刷工程を付加した点である。

【 0 0 7 7 】

次に本発明の実施の形態 3 におけるチップインダクタの断面構造を、図 1 2 を参照しながら説明する。4 1 はアルミナ含有量が 9 6 % 以上のアルミナ基板等からなる絶縁基板である。4 2 は前記絶縁基板 4 1 の上面の両端部に形成された一对の薄膜上面電極層である。4 3 は前記絶縁基板 4 1 の裏面の両端部に形成された一对の薄膜裏面電極層である。4 4 は前記一对の薄膜上面電極層 4 2 を覆うように絶縁基板 4 1 上に形成された第 1 の薄膜金属配線層で、この第 1 の薄膜金属配線層 4 4 は絶縁基板 4 1 上では螺旋形状を有し、インダクタ素子を形成するものである。4 5 は前記第 1 の薄膜金属配線層 4 4 の少なくとも一部を覆うように形成されたポリイミド等からなる層間絶縁層である。4 6 は前記第 1 の薄膜金属配線層 4 4 の少なくとも一部と層間絶縁層 4 5 を介して対向するとともに、前記第 1 の薄膜金属配線層 4 4 の一部と層間絶縁層 4 5 に設けられたスルーホールによって電氣的に接続された第 2 の薄膜金属配線層で、この第 2 の薄膜金属配線層 4 6 はさらに前記一对の薄膜上面電極層 4 2 と電氣的に接続されるように形成されているものである。そしてこの第 2 の薄膜金属配線層 4 6 は前記第 1 の薄膜金属配線層 4 4 等とでインダクタ素子を構成している。4 7 は少なくとも前記第 1 の薄膜金属配線層 4 4 と第 2 の薄膜金属配線層 4 6 が層間絶縁層 4 5 を介して対向する部分を覆うように形成された保護膜層である。4 8 は前記薄膜裏面電極層 4 3 、薄膜上面電極層 4 2 、第 1 の薄膜金属配線層 4 4 および第 2 の薄膜金属配線層 4 6 と電氣的に接続されるように前記絶縁基板 4 1 の端面に形成された端面電極層である。4 9 は前記薄膜裏面電極層 4 3 、端面電極層 4 8 および第 2 の薄膜金属配線層 4 6 を覆うように形成された第 1 のめっき層である。5 0 は第 1 のめっき層 4 9 を覆うように形成された第 2 のめっき層である。

【 0 0 7 8 】

次に、本発明の実施の形態 3 におけるチップインダクタの製造方法を図 1 3 ~ 図 1 5 に示した断面図、図 1 6 に示したフローチャートに基づいて説明する。

【 0 0 7 9 】

10

20

30

40

50

まず、図13に示すように、1次分割溝41aを有する96%アルミナからなるシート状の絶縁基板41を用意し、そしてこの絶縁基板41の上面および裏面に金を主成分とする金属有機物からなる電極ペーストを1次分割溝41aを跨ぐようにスクリーン印刷して乾燥させ、その後、金属有機物電極ペーストの有機成分だけを飛ばし、かつ金属成分だけを絶縁基板41上に焼き付けるために、ベルト式連続焼成炉によって600以上の温度で焼成し、薄膜上面電極層42および薄膜裏面電極層43を形成する(図16の裏面・上面電極層形成工程)。

【0080】

次に、前記絶縁基板41の上面全体に前記薄膜上面電極層42を覆うように銅系の金属からなる第1の薄膜金属配線層44をスパッタリングなどの成膜方法を用いて形成する。このとき銅の密着力を高めるために銅の下地としてクロム等の密着層をスパッタなどを用いて形成する(図16の第1の薄膜金属配線層着膜工程)。

10

【0081】

次に、前記第1の薄膜金属配線層44を所定のパターン(インダクタ素子を形成する螺旋形状)に形成するフォトリソプロセス工程の前半部分、すなわち、第1のフォトレジスト51の塗布・乾燥、パターン露光、現像の各工程を行う。ここで前記第1のフォトレジスト51の塗布にはロールコート法、スピコート法等を用い、その膜厚は所望のパターンを忠実に再現するために膜厚ばらつきの少ない数 μm 程度の均一な膜厚で形成する(図16の第1のフォトレジスト塗布、パターン露光、現像の各工程)。

【0082】

次に、1次分割溝41aを跨ぐように第1の分割溝用レジスト52を印刷して乾燥させることにより、1次分割溝41aの段差部の薄膜上面電極層42と第1の薄膜金属配線層44の露出部分を第1の分割溝用レジスト52で完全に覆う。そしてこの状態で、前記第1の薄膜金属配線層44の第1のウェットエッチングを行う。ここで第1の薄膜金属配線層44がクロム系の金属と銅系の金属の2層構造で構成される場合には、エッチャントとしてまず過硫酸アンモニウムの水溶液で銅系の金属のエッチングを行い、その後、過マンガン酸カリウムとメタ珪酸ナトリウムの水溶液でクロム系の金属のエッチングを行う(図16の第1のウェットエッチング工程)。

20

【0083】

このとき、1次分割溝41aのエッジは急で溝が深いため、第1の分割溝用レジスト52の形成工程がない場合には、第1のフォトレジスト51が1次分割溝41aの端部で極端に薄くなり、薄膜上面電極層42と第1の薄膜金属配線層44が1次分割溝41aの段差部付近で露出してしまいうため、第1のウェットエッチングの際に第1の薄膜金属配線層44が1次分割溝41aの周辺でエッチングされてしまう要因となっていたが、本発明の実施の形態3においては、図13に示すように、1次分割溝41aを跨ぐように第1の分割溝用レジスト52を印刷することにより、1次分割溝41aの段差部の薄膜上面電極層42と第1の薄膜金属配線層44の露出部分を第1の分割溝用レジスト52で完全に覆うようにしているため、第1のウェットエッチング工程においては、第1のフォトレジスト51に形成したパターンに従ってエッチングされることになり、これにより、第1の薄膜金属配線層44のパターンの欠陥は発生し難くなるものである。

30

40

【0084】

次に、図13に示した第1のフォトレジスト51と第1の分割溝用レジスト52の両者を剥離するレジスト剥離工程を実施する。このとき、レジスト剥離液としてはNaOH水溶液などのアルカリ性の剥離液や溶剤等からなる第1のフォトレジスト51と第1の分割溝用レジスト52の両方とも剥離させる能力のある剥離液を使用し、剥離後は純水で充分すすいだ後、乾燥させる(図16の第1のレジスト剥離工程)。

【0085】

次に、前記第1の薄膜金属配線層44が形成された絶縁基板41の上面全体に感光性ポリイミド等からなる層間絶縁層45の材料を、スピコート等の方法で塗布して乾燥させる(図16の層間絶縁層塗布工程)。

50

【0086】

次に、前記層間絶縁層45を所定のパターンに形成するフォトリソプロセス工程、すなわちパターン露光、現像の各工程を行う。層間絶縁層45の材料として感光性ポリイミドを使用した場合には、上記したパターン露光、現像の工程によって所望のパターン形成が完了するものである(図16のパターン露光、現像の各工程)。なお、層間絶縁層45の材料としては、非感光性ポリイミド材料を使用することもできる。その場合は、非感光性ポリイミド材料をスピコート等の方法で塗布して乾燥させた後、絶縁層用フォトレジスト53をスピコート、ロールコート等の方法で塗布して乾燥させ、そして前記絶縁層用フォトレジスト53を露光、現像した後、ウェットエッチングを行って図14に示すような形状を得、その後、絶縁層用フォトレジスト53を剥離することによって層間絶縁層45を形成するものである。

10

【0087】

次に、上記ポリイミドからなる層間絶縁層45を、300～500の温度で硬化させる(図16のベーキング(焼付け)工程)。なお、層間絶縁層45は上記ポリイミド以外にスパッタリングやCVD等の方法で成膜したSiO₂等の無機絶縁層を、フォトリソグラフィの工法でパターンニングして形成してもよいものである。

【0088】

次に、図15に示すように、前記第1の薄膜金属配線層44および層間絶縁層45を覆うように絶縁基板41の上面全体に銅系の金属からなる第2の薄膜金属配線層46をスパッタを用いて形成する。このとき、銅系の金属の密着力を高めるために銅系の金属の下地としてクロム等の密着層をスパッタ等を用いて形成する(図16の第2の薄膜金属配線層着膜工程)。

20

【0089】

次に、前記第2の薄膜金属配線層46を所定のパターンに形成するフォトリソプロセス工程の前半部分、すなわち、第2のフォトレジスト54の塗布・乾燥、パターン露光、現像の各工程を行う。ここで第2のフォトレジスト54の塗布にはロールコート法、スピコート法等を用い、その膜厚は所望のパターンを忠実に再現するために膜厚ばらつきの少ない数μm程度の均一な膜厚で形成する(図16の第2のフォトレジスト塗布、パターン露光、現像の各工程)。

【0090】

次に、図15に示すように、1次分割溝41aを跨ぐように第2の分割溝用レジスト55を印刷して乾燥させることにより、1次分割溝41aの段差部の薄膜上面電極層42と、第1の薄膜金属配線層44および第2の薄膜金属配線層46の露出部分を第2の分割溝用レジスト55で完全に覆う。この状態で、第2の薄膜金属配線層46の第2のウェットエッチングを行う。ここで第2の薄膜金属配線層46がクロム系の金属と銅系の金属の2層構造で構成される場合には、エッチャントとしてまず過硫酸アンモニウムの水溶液で銅系の金属のエッチングを行い、その後、過マンガン酸カリウムとメタ珪酸ナトリウムの水溶液でクロム系の金属のエッチングを行う(図16の第2のウェットエッチング工程)。

30

【0091】

このとき、1次分割溝41aのエッジは急で溝が深いため、第2の分割溝用レジスト55の形成工程がない場合には、第2のフォトレジスト54が1次分割溝41aの端部で極端に薄くなり、金からなる薄膜上面電極層42と銅からなる第1の薄膜金属配線層44が1次分割溝41aの段差部付近で露出してしまうため、第2のウェットエッチングの際に相対的に貴な金属である金系の金属からなる薄膜上面電極層42と、金に比べて相対的に卑な金属である銅系の金属からなる第1の薄膜金属配線層44および第2の薄膜金属配線層46との間に電位差が生じて局部電池反応による過エッチングが生じていたが、本発明の実施の形態3においては、1次分割溝41aを跨ぐように第2の分割溝用レジスト55を印刷することにより、1次分割溝41aの段差部の薄膜上面電極層42と第2の薄膜金属配線層46の露出部分を第2の分割溝用レジスト55で完全に覆うようにしているため、第2のウェットエッチング工程においては第2のフォトレジスト54に形成したパター

40

50

ンに従ってエッチングされることになり、これにより、第2の薄膜金属配線層46のパターンの欠陥は発生し難くなるものである。

【0092】

次に、第2のフォトレジスト54と第2の分割溝用レジスト55の両者を剥離するレジスト剥離工程を実施する。このとき、レジスト剥離液としてはNaOH水溶液などのアルカリ性の剥離液や溶剤等からなる第2のフォトレジスト54と第2の分割溝用レジスト55を両方とも剥離させる能力のある剥離液を使用し、剥離後は純水で充分すすいだ後、乾燥させる(図16の第2のレジスト剥離工程)。

【0093】

次に、薄膜インダクタ素子の形成部を保護するために、熱硬化性のエポキシ樹脂等からなる保護膜層47を印刷および硬化により形成する(図16の保護膜層形成工程)。

【0094】

その後、1次分割工程、端面電極形成工程、2次分割工程、電極めっき層形成工程を行うが、これらは上記した本発明の実施の形態1における薄膜チップ抵抗器の製造工程と同一であるため、その説明は省略する。そして上記した工程の実施により、本発明の実施の形態3における薄膜チップインダクタは製造されるものである。

【0095】

上記した本発明の実施の形態3における薄膜チップインダクタの製造方法においては、第1の薄膜金属配線層44の形成過程で、第1のフォトレジスト51で完全に覆いきれていなかった1次分割溝41aの段差部の薄膜上面電極層42と第1の薄膜金属配線層44の露出部分を第1の分割溝用レジスト52の印刷によって完全に覆うようにしているため、第1の薄膜金属配線層44のパターン形成過程での第1のウェットエッチングにおける1次分割溝41a付近での第1の薄膜金属配線層44と薄膜上面電極層42の露出が抑えられ、これにより、1次分割溝41a付近の第1の薄膜金属配線層44と薄膜上面電極層42の過度なエッチングを抑制することができ、また第2の薄膜金属配線層46の形成過程では、第2のフォトレジスト54で完全に覆いきれていなかった1次分割溝41aの段差部の薄膜上面電極層42と第1の薄膜金属配線層44および第2の薄膜金属配線層46の露出部分を第2の分割溝用レジスト55の印刷によって完全に覆うようにしているため、第2のウェットエッチングの際における1次分割溝41a付近での局部電池反応による第2の薄膜金属配線層46の過エッチング現象を抑制することができ、これにより、第1の薄膜金属配線層44および第2の薄膜金属配線層46のパターン不良を低減できるため、歩留りを大幅に改善することができるという優れた効果を奏するものである。

【0096】

また、上記本発明の実施の形態3においては、絶縁基板41上に直接第1の薄膜金属配線層44を形成しているが、絶縁基板41上の薄膜インダクタ素子を形成する範囲にガラスグレーズを施して、より平滑な面を出すようにしても同様の効果が得られるものである。

【産業上の利用可能性】

【0097】

本発明に係る薄膜チップ抵抗器、薄膜チップコンデンサおよび薄膜チップインダクタの製造方法は、ウェットエッチングでパターンを形成する際に分割溝付近での局部電池反応による過エッチング現象を抑制することができるという効果を有するものであり、特に小形で、かつ高精度が要求される薄膜チップ抵抗器、薄膜チップコンデンサおよび薄膜チップインダクタの製造方法に適用することにより有用となるものである。

【図面の簡単な説明】

【0098】

【図1】(a)本発明の実施の形態1における薄膜チップ抵抗器の断面図、(b)同薄膜チップ抵抗器のウェットエッチング工程直前の基板の要部拡大断面図

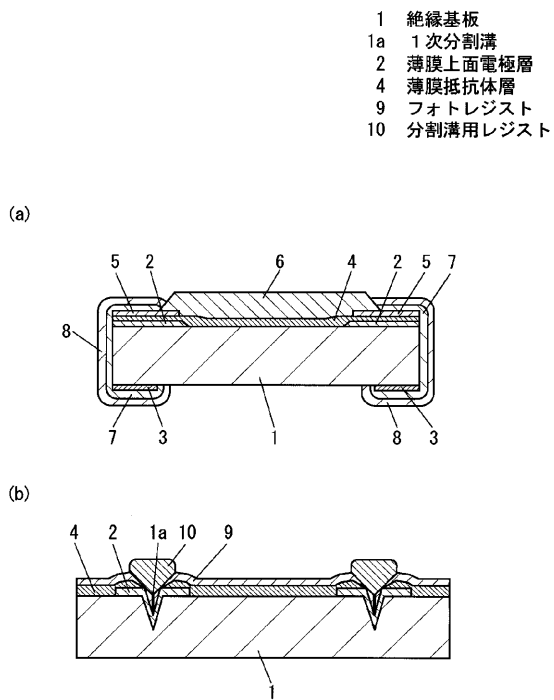
【図2】同薄膜チップ抵抗器の製造方法を示すフローチャート

【図3】(a)~(c)同薄膜チップ抵抗器の製造工程図

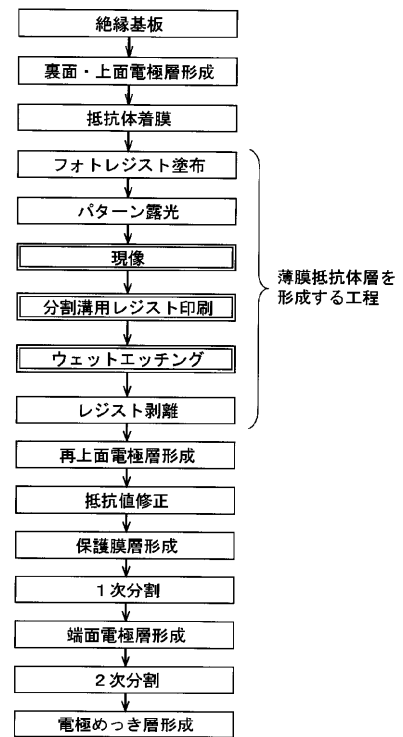
【図4】(a)～(c)同薄膜チップ抵抗器の製造工程図	
【図5】(a)～(c)同薄膜チップ抵抗器の製造工程図	
【図6】(a)～(e)同薄膜チップ抵抗器の製造工程図	
【図7】本発明の実施の形態2における薄膜チップコンデンサの断面図	
【図8】同薄膜チップコンデンサの第1の薄膜金属層エッチング後の基板の要部拡大断面図	
【図9】同薄膜チップコンデンサの誘電体層エッチング後の基板の要部拡大断面図	
【図10】同薄膜チップコンデンサの第2の薄膜金属層エッチング後の基板の要部拡大断面図	
【図11】同薄膜チップコンデンサの製造方法を示すフローチャート	10
【図12】本発明の実施の形態3における薄膜チップインダクタの断面図	
【図13】同薄膜チップインダクタの第1の薄膜金属配線層エッチング後の基板の要部拡大断面図	
【図14】同薄膜チップインダクタの層間絶縁層エッチング後の基板の要部拡大断面図	
【図15】同薄膜チップインダクタの第2の薄膜金属配線層エッチング後の基板の要部拡大断面図	
【図16】同薄膜チップインダクタの製造方法を示すフローチャート	
【図17】従来の薄膜チップ抵抗器の断面図	
【図18】同薄膜チップ抵抗器の製造方法を示すフローチャート	
【図19】(a)～(c)同薄膜チップ抵抗器の製造工程図	20
【図20】(a)～(c)同薄膜チップ抵抗器の製造工程図	
【図21】(a)～(c)同薄膜チップ抵抗器の製造工程図	
【図22】(a)～(d)同薄膜チップ抵抗器の製造工程図	
【図23】同薄膜チップ抵抗器のウェットエッチング工程直前の基板の要部拡大断面図	
【符号の説明】	
【0099】	
1 絶縁基板	
1 a 1次分割溝	
1 b 2次分割溝	
2 薄膜上面電極層	30
4 薄膜抵抗体層	
9 フォトレジスト	
10 分割溝用レジスト	
21 絶縁基板	
21 a 1次分割溝	
22 薄膜上面電極層	
24 第1の薄膜金属層	
25 薄膜誘電体層	
26 第2の薄膜金属層	
31 第1のフォトレジスト	40
32 第1の分割溝用レジスト	
33 第2のフォトレジスト	
34 第3のフォトレジスト	
35 第2の分割溝用レジスト	
41 絶縁基板	
41 a 1次分割溝	
42 薄膜上面電極層	
44 第1の薄膜金属配線層	
46 第2の薄膜金属配線層	
51 第1のフォトレジスト	50

- 5 2 第 1 の分割溝用レジスト
- 5 3 絶縁層用フォトレジスト
- 5 4 第 2 のフォトレジスト
- 5 5 第 2 の分割溝用レジスト

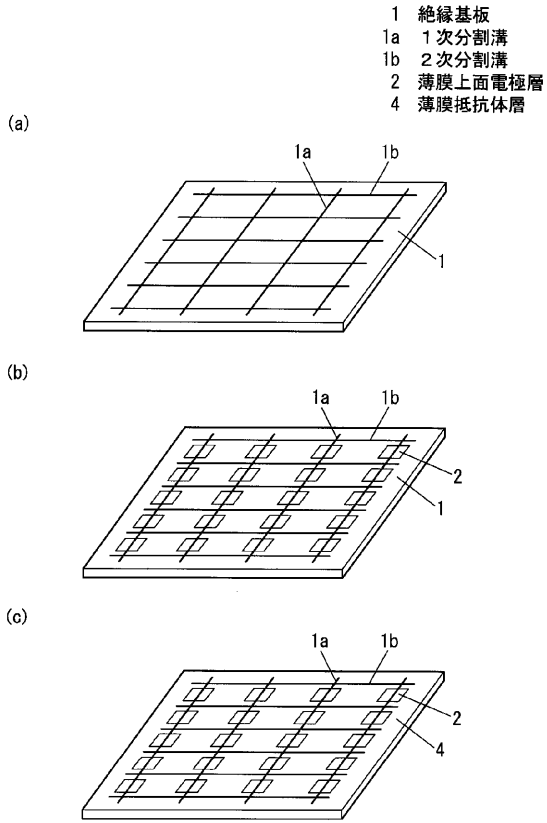
【 図 1 】



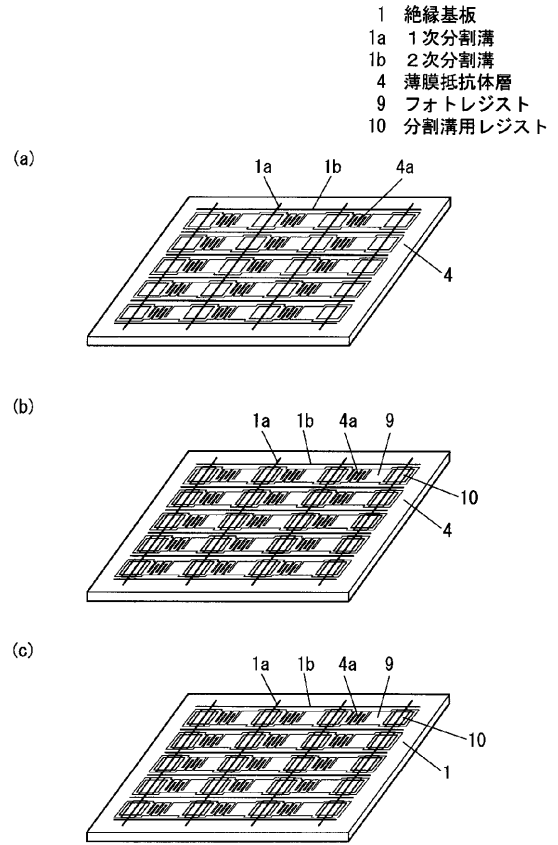
【 図 2 】



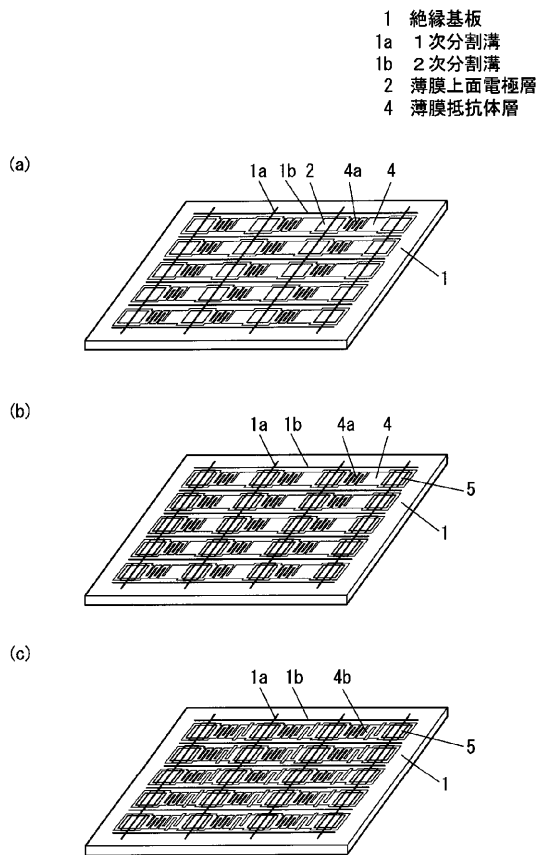
【 図 3 】



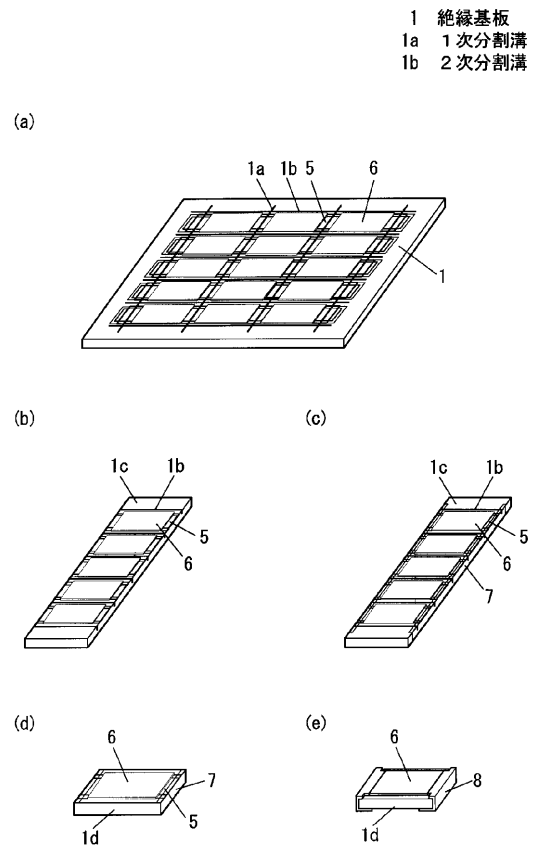
【 図 4 】



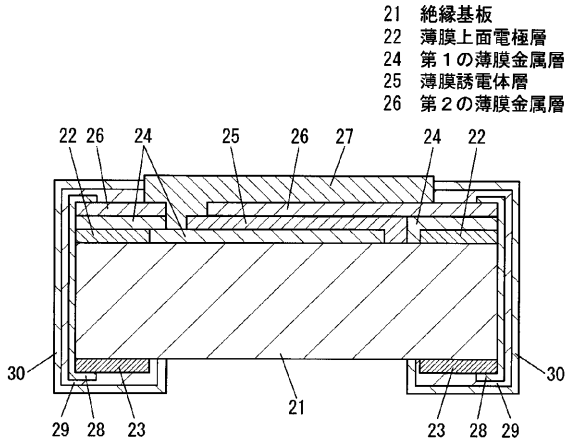
【 図 5 】



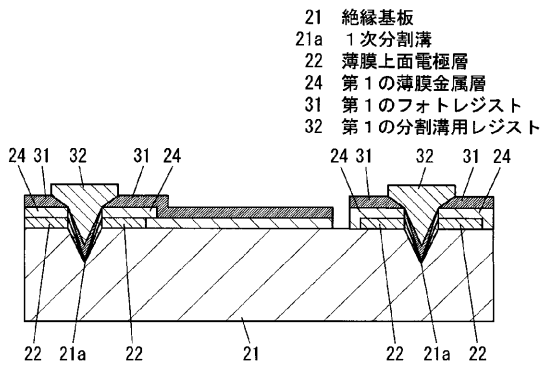
【 図 6 】



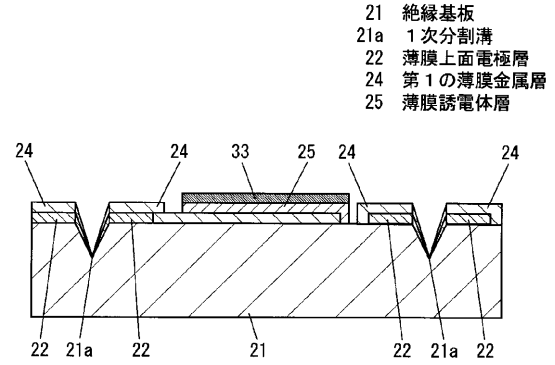
【 図 7 】



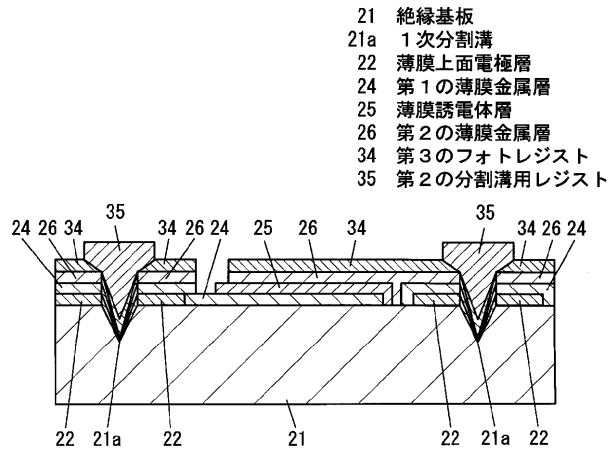
【 図 8 】



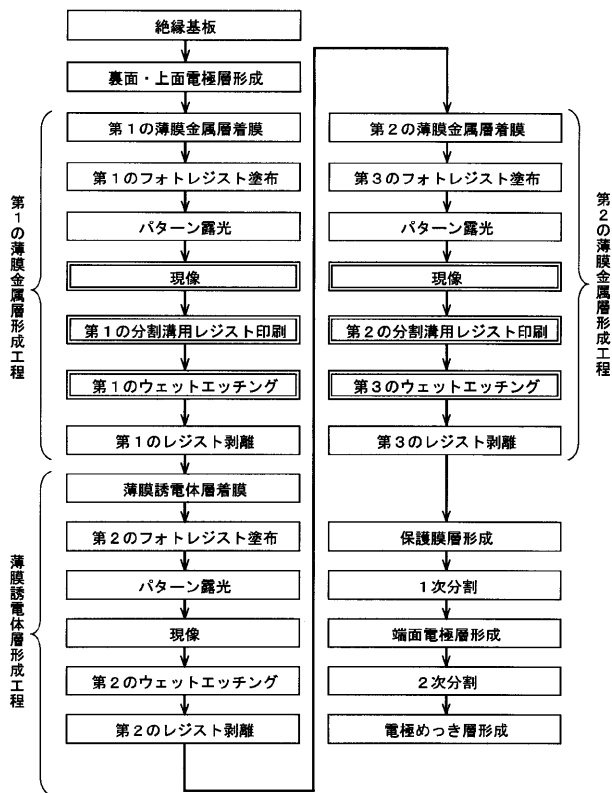
【 図 9 】



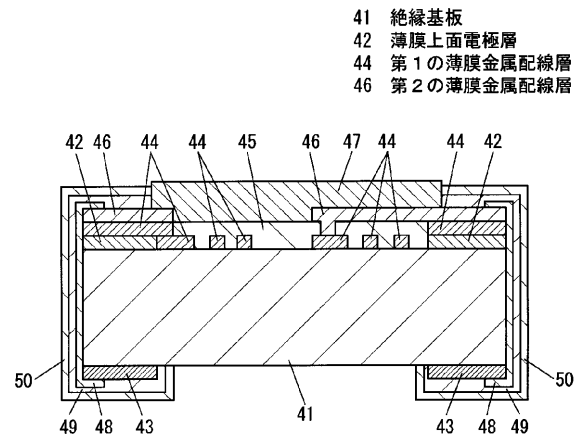
【 図 10 】



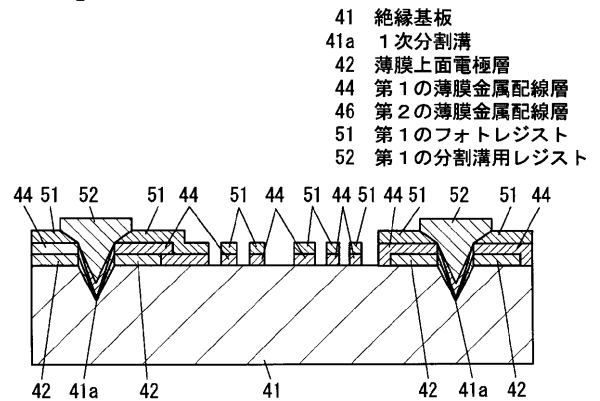
【 図 11 】



【 図 12 】

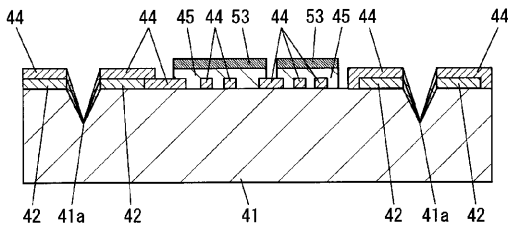


【 図 13 】



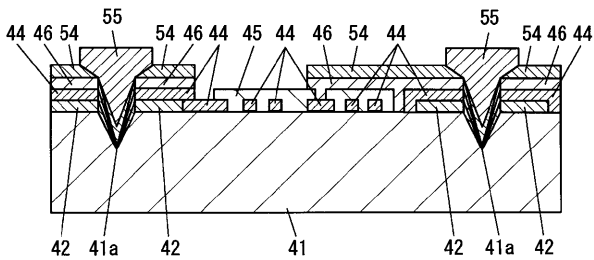
【図14】

- 41 絶縁基板
- 41a 1次分割溝
- 42 薄膜上面電極層
- 44 第1の薄膜金属配線層

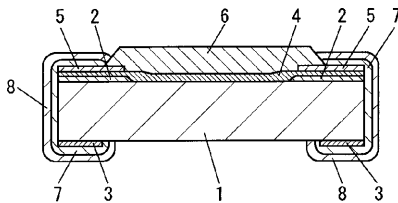


【図15】

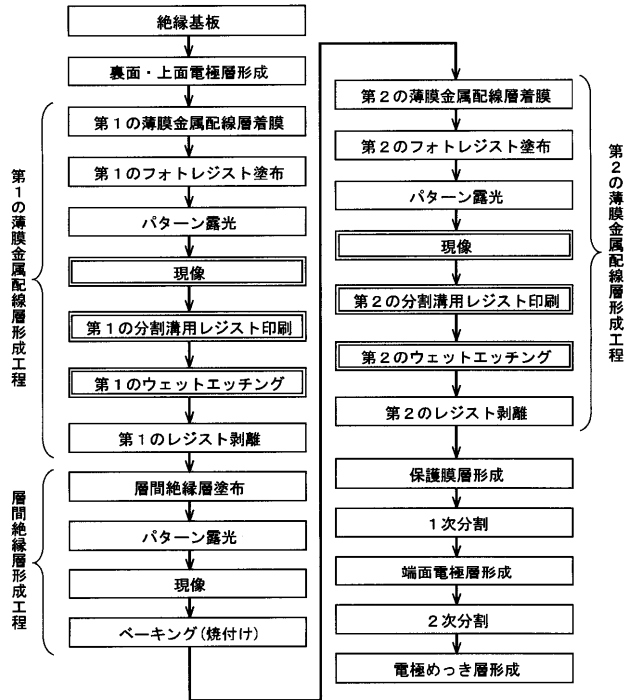
- 41 絶縁基板
- 41a 1次分割溝
- 42 薄膜上面電極層
- 44 第1の薄膜金属配線層
- 46 第2の薄膜金属配線層
- 54 第2のフォトレジスト
- 55 第2の分割溝用レジスト



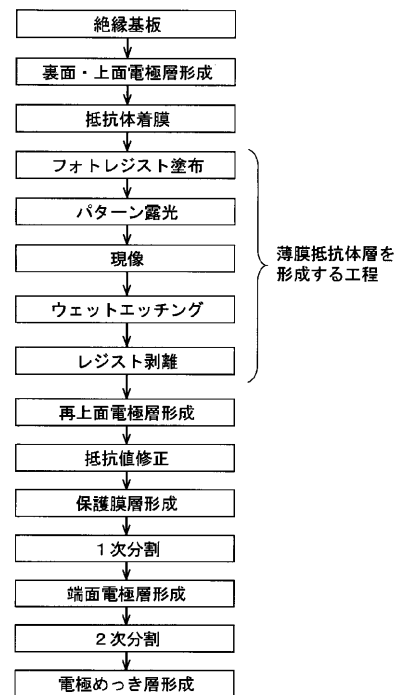
【図17】



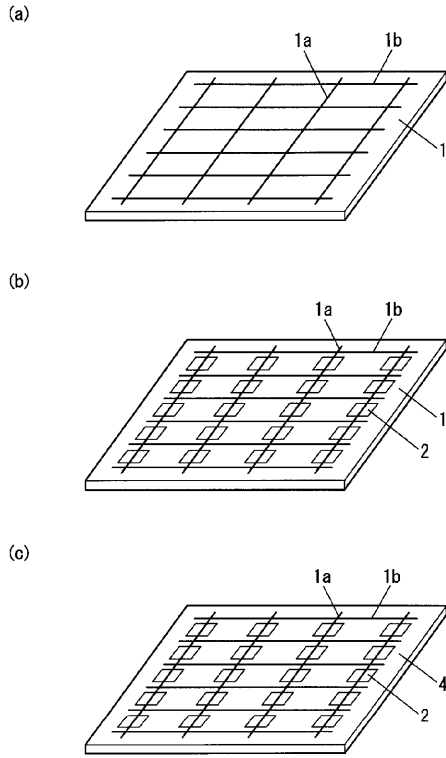
【図16】



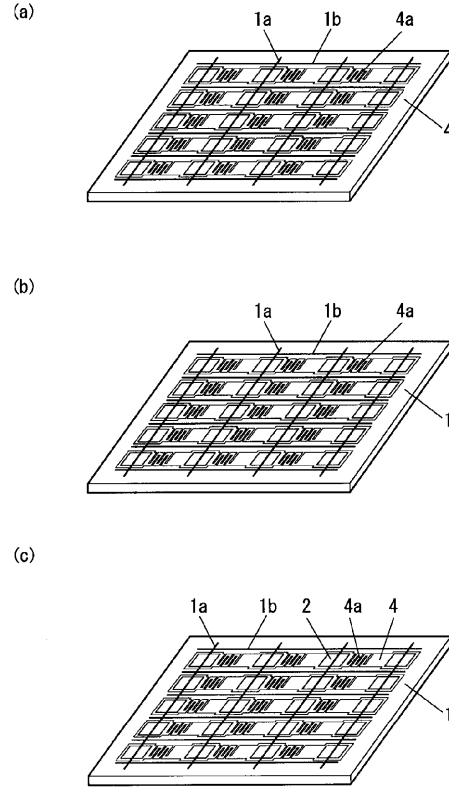
【図18】



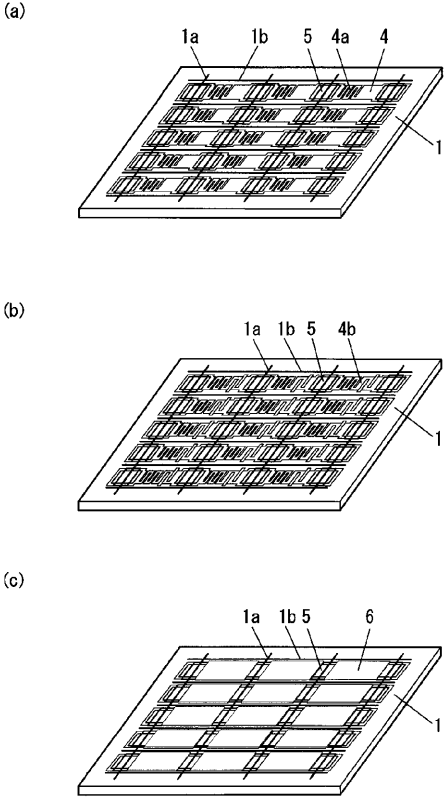
【 図 19 】



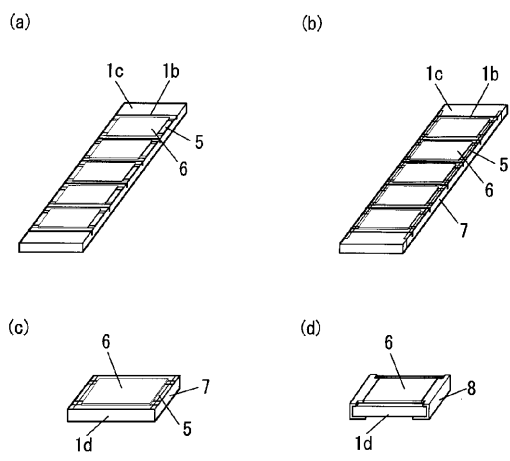
【 図 20 】



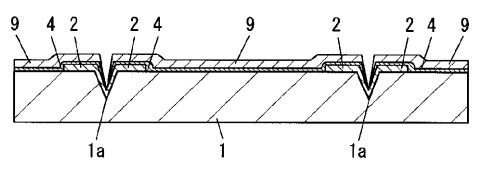
【 図 21 】



【 図 22 】



【 図 23 】



フロントページの続き

(51) Int.Cl. F I テーマコード(参考)
H 0 1 G 4/06 1 0 2

(72)発明者 神田 一宏

大阪府門真市大字門真 1 0 0 6 番地 パナソニックエレクトロニックデバイス株式会社内

(72)発明者 森野 貴

大阪府門真市大字門真 1 0 0 6 番地 パナソニックエレクトロニックデバイス株式会社内

(72)発明者 井関 健

大阪府門真市大字門真 1 0 0 6 番地 パナソニックエレクトロニックデバイス株式会社内

F ターム(参考) 5E001 AB06 AH01 AH06 AJ04

5E032 BA03 BB01 CA01 CC03 DA01

5E062 DD01 FF03

5E070 AA01 AB02 CB01 CB12 CC01 EA01 EB04

5E082 EE04 EE35 FG03 FG42 LL03