

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第4区分

【発行日】平成17年10月27日(2005.10.27)

【公開番号】特開2004-72829(P2004-72829A)

【公開日】平成16年3月4日(2004.3.4)

【年通号数】公開・登録公報2004-009

【出願番号】特願2002-225165(P2002-225165)

【国際特許分類第7版】

H 02 M 3/155

G 05 F 3/26

H 03 K 19/0185

【F I】

H 02 M 3/155 H

G 05 F 3/26

H 03 K 19/00 101D

【手続補正書】

【提出日】平成17年7月14日(2005.7.14)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

第1の振幅の信号を、第1の振幅の信号の中心電位と異なる中心電位を有する第2の振幅の信号に変換するレベルシフト回路を備えた半導体集積回路において、

上記レベルシフト回路は、

上記第1の振幅の信号が入力される回路と上記第2の振幅の信号が出力される回路との間に設けられドレインが高耐圧構造に形成されたドレイン高耐圧MOSトランジスタと、

このドレイン高耐圧MOSトランジスタのドレイン・ソース間に流れる電流を制限する電流制限回路とを備えていることを特徴とする半導体集積回路。

【請求項2】

上記レベルシフト回路は第1の振幅の信号を当該第1の振幅より中心電位の高い第2の振幅の信号にレベルシフトするものであり、

上記ドレイン高耐圧MOSトランジスタは、ソース端子が上記第1の振幅の信号をゲートに受けて駆動する駆動MOSトランジスタのドレイン端子側に、ドレイン端子が上記第2の振幅の信号を生成する負荷MOSトランジスタのドレイン端子に、またゲート端子が上記第1の振幅の信号を生成する電源電圧の端子にそれぞれ接続され、

上記電流制限回路は、制限された電流をMOSトランジスタに流す電流回路と、該MOSトランジスタとカレントミラー接続されるとともに、上記ドレイン高耐圧MOSトランジスタと上記駆動MOSトランジスタとの電流パスに直列に接続された電流制限用のMOSトランジスタとから構成されることを特徴とする請求項1記載の半導体集積回路。

【請求項3】

上記レベルシフト回路には、

上記ドレイン高耐圧MOSトランジスタのドレイン電位が上記第2の振幅のロウレベルのときに当該ドレインに電流を供給する電流供給回路が設けられていることを特徴とする請求項2記載の半導体集積回路。

【請求項4】

請求項 1 ~ 3 の何れかに記載の半導体集積回路と、電圧入力端子と基準電位端子との間に直列に接続された 2 個の N チャネル形パワー MOS ランジスタと、これらのトランジスタの中間ノードに一方の端子が接続されたインダクタンス素子と、該インダクタンス素子の他方の端子に接続された平滑容量とを備え、上記 2 個のパワー MOS ランジスタを上記半導体集積回路で交互にオン・オフさせて上記インダクタンス素子に電流を流し、上記平滑容量で出力電圧を平滑して出力する電源回路であって、

基準電位端子側に接続された一方のパワー MOS ランジスタは第 1 の振幅のスイッチング信号により駆動され、

電圧入力端子側に接続された他方のパワー MOS ランジスタは上記第 1 の振幅の信号の中心電位よりも中心電位が高くなるようにレベルシフトされた第 2 の振幅のスイッチング信号により駆動されるように構成されていることを特徴とする電源回路。

【請求項 5】

上記第 2 の振幅のスイッチング信号はこの第 2 の振幅のスイッチング信号を生成する電源電圧の端子に正電源端子が接続されたバッファ回路を介して上記パワー MOS ランジスタに供給されるとともに、該バッファ回路の負電源端子が上記中間ノードに結合されていることを特徴とする請求項 4 記載の電源回路。

【請求項 6】

上記レベルシフト回路は、上記第 1 の振幅の信号を受ける入力 MOS ランジスタを有し、上記電流制限回路は電流制限用 MOS ランジスタを有し、上記ドレイン高耐圧 MOS ランジスタのソースと上記電流制限用 MOS ランジスタのドレインが接続され、上記電流制限用 MOS ランジスタのソースと上記ドレイン高耐圧 MOS ランジスタのドレインが接続されるよう構成され、上記電流制限用 MOS ランジスタは、制限された電流を MOS ランジスタに流す電流回路の MOS ランジスタとカレントミラー接続されることを特徴とする請求項 1 記載の半導体集積回路。

【請求項 7】

上記ドレイン高耐圧 MOS ランジスタは、該ドレイン高耐圧 MOS ランジスタのドレイン拡散層の上部に、上記ドレイン高耐圧 MOS ランジスタのソース・基板間よりも厚い酸化膜を有することを特徴とする請求項 1 記載の半導体集積回路。