

【公報種別】特許法第 17 条の 2 の規定による補正の掲載  
 【部門区分】第 7 部門第 4 区分  
 【発行日】平成 17 年 10 月 27 日 (2005.10.27)

【公開番号】特開 2004-72829 (P2004-72829A)  
 【公開日】平成 16 年 3 月 4 日 (2004.3.4)  
 【年通号数】公開・登録公報 2004-009  
 【出願番号】特願 2002-225165 (P2002-225165)  
 【国際特許分類第 7 版】

H 0 2 M 3/155  
 G 0 5 F 3/26  
 H 0 3 K 19/0185

【F I】

H 0 2 M 3/155 H  
 G 0 5 F 3/26  
 H 0 3 K 19/00 1 0 1 D

【手続補正書】  
 【提出日】平成 17 年 7 月 14 日 (2005.7.14)  
 【手続補正 1】

【補正対象書類名】明細書  
 【補正対象項目名】特許請求の範囲  
 【補正方法】変更  
 【補正の内容】  
 【特許請求の範囲】  
 【請求項 1】

第 1 の振幅の信号を、第 1 の振幅の信号の中心電位と異なる中心電位を有する第 2 の振幅の信号に変換するレベルシフト回路を備えた半導体集積回路において、

上記レベルシフト回路は、

上記第 1 の振幅の信号が入力される回路と上記第 2 の振幅の信号が出力される回路との間に設けられドレインが高耐圧構造に形成されたドレイン高耐圧 MOS トランジスタと、このドレイン高耐圧 MOS トランジスタのドレイン・ソース間に流れる電流を制限する電流制限回路とを備えていることを特徴とする半導体集積回路。

【請求項 2】

上記レベルシフト回路は第 1 の振幅の信号を当該第 1 の振幅より中心電位の高い第 2 の振幅の信号にレベルシフトするものであり、

上記ドレイン高耐圧 MOS トランジスタは、ソース端子が上記第 1 の振幅の信号をゲートに受けて駆動する駆動 MOS トランジスタのドレイン端子側に、ドレイン端子が上記第 2 の振幅の信号を生成する負荷 MOS トランジスタのドレイン端子に、またゲート端子が上記第 1 の振幅の信号を生成する電源電圧の端子にそれぞれ接続され、

上記電流制限回路は、制限された電流を MOS トランジスタに流す電流回路と、該 MOS トランジスタとカレントミラー接続されるとともに、上記ドレイン高耐圧 MOS トランジスタと上記駆動 MOS トランジスタとの電流パスに直列に接続された電流制限用の MOS トランジスタとから構成されることを特徴とする請求項 1 記載の半導体集積回路。

【請求項 3】

上記レベルシフト回路には、

上記ドレイン高耐圧 MOS トランジスタのドレイン電位が上記第 2 の振幅のロウレベルのときに当該ドレインに電流を供給する電流供給回路が設けられていることを特徴とする請求項 2 記載の半導体集積回路。

【請求項 4】

請求項 1 ~ 3 の何れかに記載の半導体集積回路と、電圧入力端子と基準電位端子との間に直列に接続された 2 個の N チャネル形パワー MOS トランジスタと、これらのトランジスタの中間ノードに一方の端子が接続されたインダクタンス素子と、該インダクタンス素子の他方の端子に接続された平滑容量とを備え、上記 2 個のパワー MOS トランジスタを上記半導体集積回路で交互にオン・オフさせて上記インダクタンス素子に電流を流し、上記平滑容量で出力電圧を平滑して出力する電源回路であって、

基準電位端子側に接続された一方のパワー MOS トランジスタは第 1 の振幅のスイッチング信号により駆動され、

電圧入力端子側に接続された他方のパワー MOS トランジスタは上記第 1 の振幅の信号の中心電位よりも中心電位が高くなるようにレベルシフトされた第 2 の振幅のスイッチング信号により駆動されるように構成されていることを特徴とする電源回路。

【請求項 5】

上記第 2 の振幅のスイッチング信号はこの第 2 の振幅のスイッチング信号を生成する電源電圧の端子に正電源端子が接続されたバッファ回路を介して上記パワー MOS トランジスタに供給されるとともに、該バッファ回路の負電源端子が上記中間ノードに結合されていることを特徴とする請求項 4 記載の電源回路。

【請求項 6】

上記レベルシフト回路は、上記第 1 の振幅の信号を受ける入力 MOS トランジスタを有し、上記電流制限回路は電流制限用 MOS トランジスタを有し、上記ドレイン高耐圧 MOS トランジスタのソースと上記電流制限用 MOS トランジスタのドレインが接続され、上記電流制限用 MOS トランジスタのソースと上記ドレイン高耐圧 MOS トランジスタのドレインが接続されるよう構成され、上記電流制限用 MOS トランジスタは、制限された電流を MOS トランジスタに流す電流回路の MOS トランジスタとカレントミラー接続されることを特徴とする請求項 1 記載の半導体集積回路。

【請求項 7】

上記ドレイン高耐圧 MOS トランジスタは、該ドレイン高耐圧 MOS トランジスタのドレイン拡散層の上部に、上記ドレイン高耐圧 MOS トランジスタのソース・基板間よりも厚い酸化膜を有することを特徴とする請求項 1 記載の半導体集積回路。