

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2016-25110

(P2016-25110A)

(43) 公開日 平成28年2月8日(2016.2.8)

(51) Int.Cl.	F I	テーマコード (参考)
H O 1 L 33/48 (2010.01)	H O 1 L 33/00 4 0 0	2 C 1 6 2
B 4 1 J 2/447 (2006.01)	B 4 1 J 2/447 1 0 1 A	2 H 0 7 6
B 4 1 J 2/45 (2006.01)	B 4 1 J 2/45	5 C 0 5 1
G O 3 G 15/04 (2006.01)	G O 3 G 15/04 1 1 1	5 F 1 4 2
H O 4 N 1/036 (2006.01)	H O 4 N 1/036 A	
審査請求 未請求 請求項の数 8 O L (全 14 頁)		

(21) 出願番号 特願2014-146020 (P2014-146020)
 (22) 出願日 平成26年7月16日 (2014.7.16)

(71) 出願人 000006747
 株式会社リコー
 東京都大田区中馬込1丁目3番6号
 (74) 代理人 100081422
 弁理士 田中 光雄
 (74) 代理人 100100158
 弁理士 鮫島 睦
 (72) 発明者 道吉 啓
 東京都大田区中馬込1丁目3番6号 株式
 会社リコー内
 (72) 発明者 建部 哲郎
 東京都大田区中馬込1丁目3番6号 株式
 会社リコー内

最終頁に続く

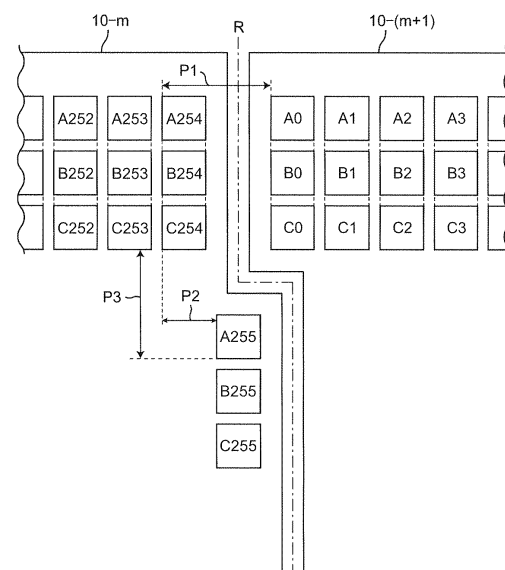
(54) 【発明の名称】 発光素子アレイチップ、チップ実装基板、及び画像形成装置

(57) 【要約】

【課題】発光素子アレイチップの基板上への実装における配置マージンを大きくさせることができる発光素子アレイチップを提供する。

【解決手段】副走査方向に配置される自然数N個の発光素子を有する複数の発光素子群が配置される発光素子アレイチップであって、複数の発光素子群が主走査方向に互いに所定の第1の間隔で配置された第1の発光素子群ブロックと、発光素子アレイチップのいずれか一方の端部側の1つ以上の発光素子群が、第1の発光素子群ブロックの各発光素子群の位置を基準位置として、当該基準位置から所定の第2の間隔だけ副走査方向にずらして配置された第2の発光素子群ブロックとを備えた。

【選択図】 図3



【特許請求の範囲】**【請求項 1】**

副走査方向に配置される自然数 N 個の発光素子を有する複数の発光素子群が配置される発光素子アレイチップであって、

上記複数の発光素子群が主走査方向に互いに所定の第 1 の間隔で配置された第 1 の発光素子群ブロックと、

上記発光素子アレイチップのいずれか一方の端部側の 1 つ以上の発光素子群が、上記第 1 の発光素子群ブロックの各発光素子群の位置を基準位置として、当該基準位置から所定の第 2 の間隔だけ副走査方向にずらして配置された第 2 の発光素子群ブロックとを備えたことを特徴とする発光素子アレイチップ。

10

【請求項 2】

上記第 2 の間隔は、上記各発光素子群の副走査方向の幅以上に設定されることを特徴とする請求項 1 記載の発光素子アレイチップ。

【請求項 3】

上記第 2 の発光素子群ブロックの各発光素子群の発光素子の数はそれぞれ、 $(N + 1)$ 個以上であることを特徴とする請求項 1 または 2 記載の発光素子アレイチップ。

【請求項 4】

上記第 2 の発光素子群ブロックの各発光素子群の発光素子は、主走査方向に互いに等間隔だけずらして配置されることを特徴とする請求項 3 記載の発光素子アレイチップ。

【請求項 5】

20

請求項 4 記載の発光素子アレイチップが主走査方向に互いに隣接して配置されるチップ実装基板であって、

上記第 2 の発光素子群ブロックの各発光素子群の発光素子から、動作させる N 個の発光素子を選択するデータを格納する記憶手段を備えたことを特徴とするチップ実装基板。

【請求項 6】

請求項 1 から 4 のうちのいずれか 1 つに記載の発光素子アレイチップが主走査方向に互いに隣接して配置されるチップ実装基板であって、

上記各発光素子アレイチップは、上記第 2 の発光素子群ブロックの端部側の発光素子群の各発光素子配置に沿ってダイシングされることを特徴とするチップ実装基板。

【請求項 7】

30

上記各発光素子アレイチップは、上記第 2 の発光素子群ブロックの端部側の発光素子群の各発光素子配置に沿って矩形状でもしくは所定の角度で屈曲してダイシングされることを特徴とする請求項 6 記載のチップ実装基板。

【請求項 8】

請求項 5 から 7 のうちのいずれか 1 つに記載のチップ実装基板を備えたことを特徴とする画像形成装置。

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、例えば複写機、プリンタ、ファクシミリなどの画像形成装置のための発光素子アレイチップ、チップ実装基板、及び画像形成装置に関する。

40

【背景技術】**【0002】**

例えば複写機、プリンタ、ファクシミリなどの画像形成装置における画像書き込み装置または露光装置として、LED（発光ダイオード）、OLED（有機エレクトロルミネセンス）素子などの発光素子を、複数ライン状に配列してなる発光素子アレイチップ、もしくは例えば発光アレイヘッドなどの固体走査型ラインヘッド（以下、ラインヘッドという。）を用いたものがある。ラインヘッドを用いたプリンタでは、帯電させられた感光体ドラムの表面をラインヘッドによって照射して静電潜像を形成し、この静電潜像にトナーを付着させてトナー像を形成することにより現像を行い、このトナー像を用紙に転写し定

50

着させる。

【0003】

近年、複写機やプリンタにおいては、印字品質の向上に向けて更なる高密度印字が行なわれつつある。従って、従来の600dpi程度の印字密度から1200dpi以上の印字密度が要求されている。

【0004】

ここで、1200dpi間隔の場合には、発光素子間距離は約21 μ m間隔となる。発光素子アレイチップを隣り合わせて1列に基板上に実装するうえでは、チップの実装誤差及び発光素子とチップ端との距離を考慮する必要がある。近年の製造技術では、チップの実装誤差は $\pm 6\mu$ m程度、発光素子とチップ端との距離は3 μ m程度が可能である。従って、発光素子のサイズは、一辺3 μ mとする必要がある（実際には、さらにチップのダイシング誤差も重畳されるため、さらに発光素子サイズを小さくする必要がある。）。感光体への露光エネルギーは発光素子サイズに比例する。発光素子サイズが小さい場合には、エネルギーの不足分は発光素子を駆動する電流量を増やすことで補うことが可能ではあるが、その場合には、発光素子の寿命劣化が進んでしまい、機器寿命は十分に満足することができないという問題が生じる。これに対して、駆動電流量を減らすために発光素子サイズは極力大きくすることで対応していた。

【0005】

このような問題を解決するために、特許文献1には、隣接するLEDチップを発光部の配列方向に一部重ねて配列する方法が開示されている。また、特許文献2には、各発光素子アレイチップの両端の発光部の幅を他の発光部の幅より狭くする方法が開示されている。

【発明の概要】

【発明が解決しようとする課題】

【0006】

しかしながら、特許文献1では、発光素子アレイチップを副走査方向に複数列並べるので、ヘッド幅が広くなりヘッドが大型化することによりコストアップとなるという問題があった。また、副走査方向にずれた発光点で印字するために複雑な発光部制御を行わなくてはならないため、制御にかかるコストがアップするという問題があった。また、特許文献2では、発光素子アレイチップの両端部の発光素子が他の発光素子より小さいため、両端部の発光素子に印加する電流値を高くして、他の発光素子と同じ明るさとするように発光させることが必要になるが、この両端の発光素子の電流密度は高くなるため、他の発光素子に比べ両端の素子の劣化が加速されるという問題があった。

【0007】

本発明の目的は上記の問題点を解決し、発光素子アレイチップの端部の発光素子を小さくすることなしに、発光素子アレイチップの基板上への実装における配置マージンを大きくさせることができる発光素子アレイチップを提供することにある。

【課題を解決するための手段】

【0008】

本発明の一態様に係る発光素子アレイチップは、副走査方向に配置される自然数N個の発光素子を有する複数の発光素子群が配置される発光素子アレイチップであって、

上記複数の発光素子群が主走査方向に互いに所定の第1の間隔で配置された第1の発光素子群ブロックと、

上記発光素子アレイチップのいずれか一方の端部側の1つ以上の発光素子群が、上記第1の発光素子群ブロックの各発光素子群の位置を基準位置として、当該基準位置から所定の第2の間隔だけ副走査方向にずらして配置された第2の発光素子群ブロックとを備えたことを特徴とする。

【発明の効果】

【0009】

10

20

30

40

50

本発明によれば、発光素子アレイチップの基板上への実装において、従来の方法に比べ、発光素子アレイチップの端部の発光素子を小さくすることなしに、発光素子アレイチップの基板上への実装における配置マージンを大きくさせることが可能となる。

【図面の簡単な説明】

【 0 0 1 0 】

【図 1】本発明の実施形態 1 に係る画像形成装置 1 0 0 の構成を示す概略側面図である。

【図 2】図 1 のチップ実装基板 1 の平面図である。

【図 3】図 2 の領域 E の拡大図である。

【図 4】本発明の実施形態 2 に係る画像形成装置 1 0 0 A の構成を示す概略側面図である。

【図 5】図 4 の発光素子アレイチップ 1 0 A - m の端部の要部拡大図である。

【図 6】(a) は、図 2 の発光素子アレイチップ 1 0 - m と発光素子アレイチップ 1 0 - (m + 1) とを隣接して配置された第 1 の状態を示す発光素子 1 0 - m の端部の拡大図であり、(b) は、(a) の印字結果を示す概略図である。

【図 7】(a) は、図 5 の発光素子アレイ 1 0 A - m と発光素子アレイチップ 1 0 A - (m + 1) とを隣接して配置された第 1 の状態を示す発光素子 1 0 A - m の端部の拡大図であり、(b) は、(a) の印字結果を示す概略図である。

【図 8】(a) は、図 2 の発光素子アレイチップ 1 0 - m と発光素子アレイチップ 1 0 - (m + 1) とを隣接して配置された第 2 の状態を示す発光素子 1 0 - m の端部の拡大図であり、(b) は、(a) の印字結果を示す概略図である。

【図 9】(a) は、図 5 の発光素子アレイ 1 0 A - m と発光素子アレイチップ 1 0 A - (m + 1) とを隣接して配置された第 2 の状態を示す発光素子 1 0 A - m の端部の拡大図であり、(b) は、(a) の印字結果を示す概略図である。

【図 1 0】(a) は、図 2 の発光素子アレイチップ 1 0 - m と発光素子アレイチップ 1 0 - (m + 1) とを隣接して配置された第 3 の状態を示す発光素子 1 0 - m の端部の拡大図であり、(b) は、(a) の印字結果を示す概略図である。

【図 1 1】(a) は、図 5 の発光素子アレイ 1 0 A - m と発光素子アレイチップ 1 0 A - (m + 1) とを隣接して配置された第 3 の状態を示す発光素子 1 0 A - m の端部の拡大図であり、(b) は、(a) の印字結果を示す概略図である。

【発明を実施するための形態】

【 0 0 1 1 】

以下、本発明に係る実施形態について図面を参照して説明する。なお、以下の各実施形態において、同様の構成要素については同一の符号を付している。

【 0 0 1 2 】

実施形態 1 .

図 1 は、本発明の実施形態 1 に係る画像形成装置 1 0 0 の構成を示す概略側面図である。また、図 2 は、図 1 のチップ実装基板 1 の平面図である。図 1 の画像形成装置 1 0 0 は、発光制御回路 7 と、複数 M 個の発光素子アレイチップ（以下、チップという。） 1 0 - 1 , ... , 1 0 - M が主走査方向 X で互いに隣接して形成されるチップ実装基板 1 と、光を集光する結像素子からなる光書き込みユニット 8 と、当該光書き込みユニット 8 を介して光を照射して画像（静電潜像）を形成する感光体ドラム 9 とを備えて構成される。また、図 2 に示すように、発光素子アレイチップ 1 0 - m (m = 1 , 2 , ... , M) は、複数の発光素子 A 0 ~ C 0 , ... , A 2 5 5 ~ C 2 5 5 が 1 列に主走査方向 X で整列配置される。すなわち、発光素子アレイチップ 1 0 - m は、3 個の発光素子 A n ~ C n (n = 0 , 1 , ... , 2 5 5) が副走査方向 Y に等間隔で配置されて形成される発光素子群を主走査方向 X に等間隔で 2 5 6 列配置して形成される。なお、本実施形態では、発光素子 A 0 ~ C 0 , ... , A 2 5 5 ~ C 2 5 5 は、例えば無機 L E D、有機 L E D、有機エレクトロルミネッセンス素子などを用いて構成される。

【 0 0 1 3 】

図 2 のチップ実装基板 1 は、主走査方向 X にワイヤーボンディングパッド 4 を有する発

10

20

30

40

50

光素子アレイチップ 10 - 1 ~ 10 - M が互いに隣接して配置される。各発光素子アレイチップ 10 - m は、発光素子 A 0 ~ C 0 , ... , A 255 ~ C 255 と、当該各発光素子 A 0 ~ C 0 , ... , A 255 ~ C 255 を選択的に点灯もしくは非点灯させるように制御する駆動回路 3 とをそれぞれ備える。

【0014】

図 2 において、各発光素子アレイチップ 10 - 1 , ... , 10 - M は、ボンディングワイヤ 5 を介してチップ実装基板 1 と電氣的に接続される。次に、各発光素子アレイチップ 10 - 1 , ... , 10 - M は、当該チップ実装基板 1 のコネクタ 6 を介して発光制御回路 7 から発光制御信号を受信する。次に、各発光素子アレイチップ 10 - 1 , ... , 10 - M は、当該発光制御信号に基づいて、各発光素子 A 0 ~ C 0 , ... , A 255 ~ C 255 を選択的に点灯もしくは非点灯して感光体ドラム 9 を多重露光することにより各画素を階調表現する。図 2 において、各発光素子アレイチップ 10 - 1 ~ 10 - M の端部の一端の発光素子 A 255 ~ C 255 を副走査方向 Y にずらして配置する。次に、このずらした発光素子 A 255 ~ C 255 の配置に沿って各発光素子アレイチップ 10 - 1 ~ 10 - M の端部を矩形状でもしくは所定の角度で屈曲してダイシングする。次に、ダイシングされた各発光素子アレイチップ 10 - 1 ~ 10 - M は、チップ実装基板 1 上に 1 列に主走査方向 X で配置して実装される。

【0015】

図 3 は、図 2 の領域 E の拡大図である。すなわち、図 3 は、発光素子アレイチップ 10 - m と発光素子アレイチップ 10 - (m + 1) とを隣接して配置する場合の発光素子 10 - m の端部の拡大図を図示する。図 3 において、各発光素子 A n ~ C n (n = 0 ~ 255) の発光素子サイズは $18 \mu\text{m} \times 18 \mu\text{m}$ の正形状である。また、各発光素子 A n ~ C n (n = 0 , 1 , ... , 255) は、ピッチ P 2 (P 2 = $21 \mu\text{m}$) の間隔 (1200 dpi) で、主走査方向 X に 256 個、副走査方向 Y に 3 個の発光素子が整列配置される。本実施形態では、発光素子アレイチップ 10 - m の右端の発光素子 A 255 ~ C 255 が副走査方向 Y に (発光素子ピッチ P 2 × (副走査方向に整列配置される発光素子の数 + 1)) の距離だけ移動して配置する。すなわち、発光素子アレイチップ 10 - m は、各発光素子 A 0 ~ C 0 , ... , A 254 ~ C 254 からなる各発光素子群が主走査方向 X に互いに所定の第 1 の間隔で複数列配置された第 1 の発光素子群ブロックを備える。また、発光素子アレイチップ 10 - m は、発光素子アレイチップ 10 - m のいずれか一方の端部側の発光素子 A 255 ~ C 255 からなる発光素子群が、基準位置から所定の間隔だけ副走査方向 Y にずらして配置された第 2 の発光素子群ブロックを備える。ここで、第 1 の発光素子群ブロックの各発光素子群の位置を基準位置とし、第 2 の間隔は、各発光素子群の副走査方向 Y の幅以上に設定される。

【0016】

図 3 において、発光素子アレイチップ 10 - m の発光素子 A 254 ~ C 254 からなる発光素子群の左端から発光素子アレイチップ 10 - (m + 1) の発光素子 A 0 ~ C 0 からなる発光素子群の左端までの距離 P 1 は $42 \mu\text{m}$ である。また、第 1 の発光素子群ブロックの下端から第 2 の発光素子群ブロックの発光素子 A 255 の下端までの距離 P 3 は $42 \mu\text{m}$ である。この移動により、発光素子アレイチップ 10 - m のダイシング領域に配置マージンを従来例に比較してより大きく持たせることが可能となる。同時に、隣接するチップ間での実装時のダイボンド基準位置 R に対する配置マージンを従来例に比較してより大きく持たせることが可能となる。

【0017】

以上のように構成された実施形態 1 に係る画像形成装置 100 の動作について以下に説明する。

【0018】

図 1 の発光制御回路 7 からの発光制御信号に基づいて 3 つの発光素子 A n ~ C n (n = 0 , 1 , ... , 255) を選択的に点灯もしくは非点灯して感光体ドラム 9 を多重露光することにより各画素を 3 階調表現する。すなわち、3 つの発光素子 A n ~ C n (n = 0 , 1

10

20

30

40

50

、...、255)は主走査方向Xの同一位置を多重露光して1画素を形成する。

【0019】

図1において、発光素子Anより描画領域Dに対して露光を行い、感光体ドラム9を時計方向9rに回転させることで、発光素子アレイチップ10-mに対して描画領域Dを相対的に副走査方向Yに移動させる。次に、発光素子Bnより描画領域Dに対して露光を行い、感光体ドラム9を時計方向9rに回転させることで発光素子アレイチップ10-mに対して描画領域Dを相対的に副走査方向Yに移動させる。同様に、発光素子Cnより描画領域Dに対して露光を行う。これにより、描画領域Dに対して最大3回の多重露光を行うことができる。

【0020】

以上の実施形態に係る画像形成装置100によれば、発光素子アレイチップ10-mのチップ実装基板1上への実装において、発光素子アレイチップ10-mの両端部のいずれか一端の発光素子群を副走査方向Yにずらして配置する。さらに、このずらした発光素子群の各発光素子の配置に沿って発光素子アレイチップ10-mの端部を矩形状でダイシングした発光素子アレイチップ10-mを1列に主走査方向Xで配列する。従って、発光素子アレイチップ10-mの端部の発光素子を小さくすることなしに、発光素子アレイチップ10-mのチップ実装基板1上への実装における配置マージンを従来例に比較してより大きくすることが可能となる。さらに、密度の高い印刷を行う場合でも画像品位を低下させることがない画像形成装置を提供することができる。

【0021】

なお、上述した実施形態では、発光素子アレイチップ10-mの右端の1列分の発光素子A255~C255のみを副走査方向Yに移動させたが、本発明はこれに限定されない。例えば、発光素子アレイチップ10-mの右端の2列の発光素子A254~C254及びA255~C255を副走査方向Yに移動させて配置してもよい。また、発光素子アレイチップ10-mの右端の3列以上の発光素子をそれぞれ副走査方向Yに移動させてもよい。この場合には、本実施形態に比較すると、発光素子アレイチップ10-mのチップ実装基板1上への実装における配置マージンをさらに大きくすることが可能となる。

【0022】

実施形態2。

上述した実施形態1に係る画像形成装置100においては、各発光素子アレイチップ10-mのチップ実装基板1上への実装時の誤差が発生する。従って、印字結果に縦方向の筋上の濃淡(縦筋)が発生する。これに対して、本実施形態では、当該実装時の誤差を低減させるための発光素子を追加させて印字結果に現れる縦筋を低減させることを特徴とする。

【0023】

図4は、本発明の実施形態2に係る画像形成装置100Aの構成を示す概略側面図である。図4の画像形成装置100Aは、図1の画像形成装置100に比較すると、チップ実装基板1の代わりにチップ実装基板1Aを備えたことを特徴とする。チップ実装基板1Aは、チップ実装基板1に比較すると、発光素子アレイチップ10-m(m=0、1、...、M)の代わりに発光素子アレイチップ10A-m(m=0、1、...、M)を備えたことを特徴とする。また、チップ実装基板1Aは、実装時の発光素子の位置ばらつき(実装時の誤差)を補正するための素子選択のための補正用データを格納する記憶手段であるレジスタ2をさらに備えたことを特徴とする。すなわち、補正用データに基づいて、第2の発光素子群ブロックの各発光素子群の発光素子から、動作させる3個の発光素子が選択される。ここで、レジスタ2は、例えばマスクROM、FRAM(登録商標)、EPROM、EEPROM、FeROM、及びフラッシュメモリなどの不揮発性メモリなどの記憶保持型メモリである。なお、補正用データは、出荷前に予め設定され、発光素子A0~C0、...、A255~C255は、例えば無機LED、有機LED、もしくは有機エレクトロルミネッセンス素子などを用いて構成される。

【0024】

図5は、図4の発光素子アレイチップ10A-mの端部の要部拡大図である。すなわち、図5は、発光素子アレイチップ10A-mと発光素子アレイチップ10A-(m+1)とを隣接して配置する場合の発光素子10A-mの端部の拡大図を図示する。図5の発光素子アレイチップ10A-mは、図3の発光素子アレイチップ10-mと比較すると、発光素子A255~C255の代わりに発光素子A255~E255を備えたことを特徴とする。ここで、発光素子A255~E255は第2の発光素子群ブロックを構成し、各発光素子A255~E255は主走査方向Xに互いに等間隔でずらして配置される。

【0025】

以上のように構成された実施形態2に係る画像形成装置100Aの動作は、実施形態1に係る画像形成装置100の動作と同様である。以下に、実施形態1に係る画像形成装置100の動作との差異について説明する。

【0026】

図6(a)は、図2の発光素子アレイチップ10-mと発光素子アレイチップ10-(m+1)とを隣接して配置された第1の状態を示す発光素子10-mの端部の拡大図であり、図6(b)は、図6(a)の印字結果を示す概略図である。図6(a)では、隣接チップ10-(m+1)が目標位置T近辺、すなわち隣接チップ同士の間隔が、右端の発光素子を含めて、主走査方向Xに見た発光素子間隔がほぼピッチ通りとなるように実装された場合が図示される。この場合には、図6(b)に図示するように、主走査方向Xの発光素子ピッチは隣接チップ間においてもほぼ等間隔となるので、印字結果に縦筋は発生しない。なお、発光素子は、当該発光素子自身のサイズよりも広がって発光するので、発光素子の外側にも印字されている。

【0027】

図7(a)は、図5の発光素子アレイ10A-mと発光素子アレイチップ10A-(m+1)とを隣接して配置された第1の状態を示す発光素子10A-mの端部の拡大図であり、図7(b)は、図7(a)の印字結果を示す概略図である。図7(a)では、隣接チップ10A-(m+1)が目標位置T近辺、すなわち隣接チップ同士の間隔が、右端の発光素子を含めて、主走査方向Xに見た発光素子間隔がほぼピッチ通りとなるように実装された場合が図示される。この場合には、補正用データに基づいて、発光素子B255、C255、D255が使用され、発光素子A255、E255が使用されないように設定される。この設定により、右端の発光素子と、その隣の列の発光素子との間での重なりは発生しないので、発光素子を少しずつ主走査方向Xにずらして配置した場合でも縦筋は発生することはない。

【0028】

図8(a)は、図2の発光素子アレイチップ10-mと発光素子アレイチップ10-(m+1)とを隣接して配置された第2の状態を示す発光素子10-mの端部の拡大図であり、図8(b)は、図8(a)の印字結果を示す概略図である。図8(a)では、隣接チップ10-(m+1)が目標位置Tより内側の場合、すなわち隣接チップ同士の間隔が狭く、主走査方向Xに見た発光素子間隔がピッチより狭くなって実装された場合が図示される。この場合には、主走査方向Xの発光素子ピッチが隣接チップ間で重なりを持つ。すなわち、発光素子A255~C255の右端と発光素子A0~C0の左端の6個の部分での重なりが発生する。なお、露光量が多ければ印字が濃くなると仮定すれば、この重なり部分での露光量増大により、印字結果に縦筋が発生する。

【0029】

図9(a)は、図5の発光素子アレイ10A-mと発光素子アレイチップ10A-(m+1)とを隣接して配置された第2の状態を示す発光素子10A-mの端部の拡大図であり、図9(b)は、図9(a)の印字結果を示す概略図である。図9(a)では、隣接チップ10A-(m+1)が目標位置Tより内側の場合、すなわち隣接チップ同士の間隔が狭く、主走査方向Xに見た発光素子間隔がピッチより狭くなって実装された場合が図示される。この場合には、補正用データに基づいて、発光素子A255、B255、C255が使用され、発光素子D255、E255が使用されないように設定される。この設定に

より、右端の発光素子と、その隣の列の発光素子との間での重なりは発生するが、図 8 (b) に比較すると重なり部分が減少するので、印字結果に発生する縦筋を低減させることができる。

【0030】

図 10 (a) は、図 2 の発光素子アレイチップ 10 - m と発光素子アレイチップ 10 - (m + 1) とを隣接して配置された第 3 の状態を示す発光素子 10 - m の端部の拡大図であり、図 10 (b) は、図 10 (a) の印字結果を示す概略図である。図 10 (a) では、隣接チップ 10 - (m + 1) が目標位置 T より外側の場合、すなわち隣接チップ同士の間隔が広く、主走査方向 X に見た発光素子間隔がピッチより広くなって実装された場合が図示される。この場合には、主走査方向 X の発光素子ピッチが隣接チップ間で離れるので、露光が行われなくてもしくは露光が弱い部分が発生する。従って、印字結果に縦筋 (白縦筋) が発生する。

10

【0031】

図 11 (a) は、図 5 の発光素子アレイ 10 A - m と発光素子アレイチップ 10 A - (m + 1) とを隣接して配置された第 3 の状態を示す発光素子 10 A - m の端部の拡大図であり、図 11 (b) は、図 11 (a) の印字結果を示す概略図である。図 11 (a) では、隣接チップ 10 A - (m + 1) が目標位置 T より外側の場合、すなわち隣接チップ同士の間隔が広く、主走査方向 X に見た発光素子間隔がピッチより広くなって実装された場合が図示される。この場合には、補正用データに基づいて、発光素子 C 2 5 5、D 2 5 5、E 2 5 5 が使用され、発光素子 A 2 5 5、B 2 5 5 が使用されないように設定される。この設定により、右端の発光素子と、その隣の列の発光素子との間の間隔が縮まる。従って、図 10 (b) に比較すると露光が弱い部分が減少するので、印字結果に発生する白縦筋を低減させることができる。

20

【0032】

以上の実施形態に係る画像形成装置 100 A によれば、実施形態 1 に係る画像形成装置 100 と同様の効果を得ることができる。さらに、実施形態 1 に係る画像形成装置 100 と比較すると、チップの基板上への実装時の誤差を低減させるための発光素子を追加するので、実装時の誤差による印字結果の縦筋を低減することが可能となる。

【0033】

なお、上述した実施形態では、第 2 の発光素子群ブロックの各発光素子群を構成する発光素子の数を第 1 の発光素子群ブロックの各発光素子群を構成する発光素子の数よりも 2 個多く設定した。しかしながら、本発明はこれに限定されず、さらに多くの発光素子を追加してもよい。その場合には、チップの隣接間距離に応じてさらに細かな制御を行うことができる。

30

【0034】

なお、上述した実施形態では、第 2 の発光素子群ブロックの各発光素子群を構成する発光素子の数を第 1 の発光素子群ブロックの各発光素子群を構成する発光素子の数よりも 2 個多く設定した。しかしながら、本発明はこれに限定されない。例えば、発光素子 A 2 5 5 や発光素子 C 2 5 5 の光量を増減させることにより、実装時の誤差を補正して印字結果の縦筋を低減させてもよい。

40

【0035】

変形例 1 .

上述した実施形態では、3 個の発光素子が副走査方向 Y に配置される発光素子群を主走査方向 X に等間隔で複数列配置される発光素子アレイチップの場合について説明した。しかしながら、本発明はこれに限定されない。例えば、副走査方向に配置される自然数 N 個の発光素子を有する複数の発光素子群が配置される発光素子アレイチップにも本発明を適用することが可能である。

【0036】

例えば、発光素子アレイチップは、副走査方向に配置される自然数 N 個の発光素子を有する複数の発光素子群を配置するように構成してもよい。ここで、発光素子アレイチップ

50

は、複数の発光素子群が主走査方向に互いに所定の第 1 の間隔で配置された第 1 の発光素子群ブロックを備える。また、発光素子アレイチップは、上記発光素子アレイチップのいずれか一方の端部側の 1 つ以上の発光素子群が、基準位置から所定の第 2 の間隔だけ副走査方向にずらして配置された第 2 の発光素子群ブロックを備える。ここで、第 1 の発光素子群ブロックの各発光素子群の位置を基準位置とする。また、上記第 2 の間隔は、上記各発光素子群の副走査方向の幅以上に設定される。また、上記第 2 の発光素子群ブロックの各発光素子群の発光素子の数はそれぞれ、 $(N + 1)$ 個以上であり、上記第 2 の発光素子群ブロックの各発光素子群の発光素子は、主走査方向に互いに等間隔だけずらして配置される。

【0037】

また、チップ実装基板は、上述した発光素子アレイチップが主走査方向に互いに隣接して配置され、上記第 2 の発光素子群ブロックの各発光素子群の発光素子から、動作させる N 個の発光素子を選択するデータを格納する記憶手段を備える。さらに、チップ実装基板は、上述した発光素子アレイチップが主走査方向に互いに隣接して配置され、上記各発光素子アレイチップは、上記第 2 の発光素子群ブロックの端部側の発光素子群の各発光素子配置に沿ってダイシングされる。またさらに、上記各発光素子アレイチップは、上記第 2 の発光素子群ブロックの端部側の発光素子群の各発光素子配置に沿って矩形状でもしくは所定の角度で屈曲してダイシングされる。また、画像形成装置は、上述したチップ実装基板を備える。

変形例 2 .

上述した実施形態及び変形例では、発光素子として無機 LED を使用したが、本発明はこれに限定されない。例えば、発光素子として無機 LED の代わりに有機 EL 素子を用いてもよい。

【0038】

なお、上述した画像形成装置 100 及び 100A には、感光体ドラム 9 をトナーで現像する画像形成手段と、当該画像形成手段が形成したトナー像が用紙に転写される位置まで用紙を搬送する用紙搬送手段と、用紙にトナー像を転写する転写手段とを含んでもよい。ここで、画像形成装置は、例えば複写機、プリンタ、ファクシミリなどであってもよい。

【0039】

実施形態のまとめ

第 1 の態様に係る発光素子アレイチップは、

副走査方向に配置される自然数 N 個の発光素子を有する複数の発光素子群が配置される発光素子アレイチップであって、

上記複数の発光素子群が主走査方向に互いに所定の第 1 の間隔で配置された第 1 の発光素子群ブロックと、

上記発光素子アレイチップのいずれか一方の端部側の 1 つ以上の発光素子群が、上記第 1 の発光素子群ブロックの各発光素子群の位置を基準位置として、当該基準位置から所定の第 2 の間隔だけ副走査方向にずらして配置された第 2 の発光素子群ブロックとを備えたことを特徴とする。

【0040】

第 2 の態様に係る発光素子アレイチップは、第 1 の態様に係る発光素子アレイチップにおいて、上記第 2 の間隔は、上記各発光素子群の副走査方向の幅以上に設定されることを特徴とする。

【0041】

第 3 の態様に係る発光素子アレイチップは、第 1 または第 2 の態様に係る発光素子アレイチップにおいて、上記第 2 の発光素子群ブロックの各発光素子群の発光素子の数はそれぞれ、 $(N + 1)$ 個以上であることを特徴とする。

【0042】

第 4 の態様に係る発光素子アレイチップは、第 3 の態様に係る発光素子アレイチップにおいて、上記第 2 の発光素子群ブロックの各発光素子群の発光素子は、主走査方向に互い

10

20

30

40

50

に等間隔だけずらして配置されることを特徴とする。

【 0 0 4 3 】

第 5 の態様に係るチップ実装基板は、第 4 の態様に係る発光素子アレイチップが主走査方向に互いに隣接して配置されるチップ実装基板であって、上記第 2 の発光素子群ブロックの各発光素子群の発光素子から、動作させる N 個の発光素子を選択するデータを格納する記憶手段を備えたことを特徴とする。

【 0 0 4 4 】

第 6 の態様に係るチップ実装基板は、第 1 ～ 第 4 のうちのいずれか 1 つに記載の態様に係る発光素子アレイチップが主走査方向に互いに隣接して配置されるチップ実装基板であって、上記各発光素子アレイチップは、上記第 2 の発光素子群ブロックの端部側の発光素子群の各発光素子配置に沿ってダイシングされることを特徴とする。

10

【 0 0 4 5 】

第 7 の態様に係るチップ実装基板は、第 6 の態様に係るチップ実装基板において、上記各発光素子アレイチップは、上記第 2 の発光素子群ブロックの端部側の発光素子群の各発光素子配置に沿って矩形状でもしくは所定の角度で屈曲してダイシングされることを特徴とする。

【 0 0 4 6 】

第 8 の態様に係る画像形成装置は、第 5 ～ 第 7 のうちのいずれか 1 つに記載の態様に係るチップ実装基板を備えたことを特徴とする。

【 符号の説明 】

20

【 0 0 4 7 】

- 1 , 1 A ... チップ実装基板、
- 2 ... レジスタ、
- 3 ... 駆動回路、
- 4 ... ワイヤーボンディングパッド、
- 5 ... ボンディングワイヤ、
- 6 ... コネクタ、
- 7 ... 発光制御回路、
- 8 ... 光書き込みユニット、
- 9 ... 感光体ドラム、
- 1 0 - 1 , ... , 1 0 - M , 1 0 A - 1 , ... , 1 0 A - M ... 発光素子アレイチップ、
- A 0 ~ C 0 , ... , A 2 5 5 ~ C 2 5 5 , D 2 5 5 , E 2 5 5 ... 発光素子、
- 1 0 0 , 1 0 0 A ... 画像形成装置。

30

【 先行技術文献 】

【 特許文献 】

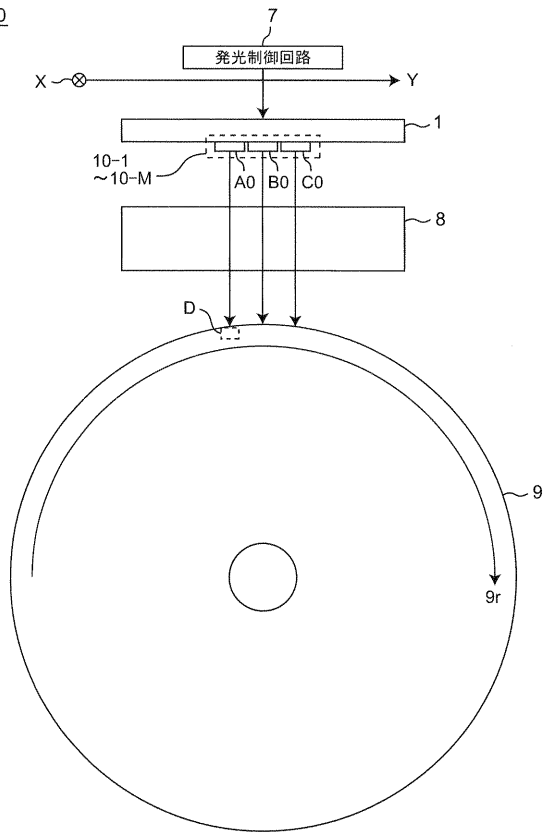
【 0 0 4 8 】

【 特許文献 1 】 特開平 0 9 - 2 6 3 0 0 4 号 公 報

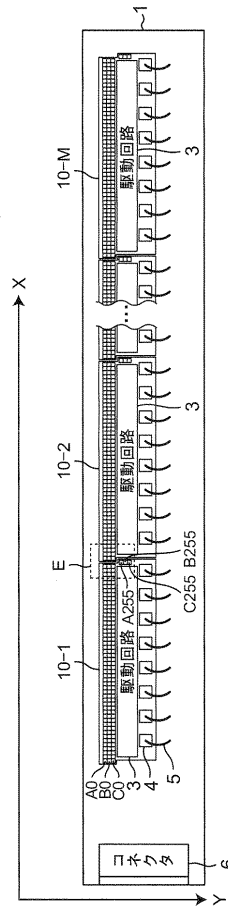
【 特許文献 2 】 特開平 1 0 - 2 4 4 7 0 6 号 公 報

【図 1】

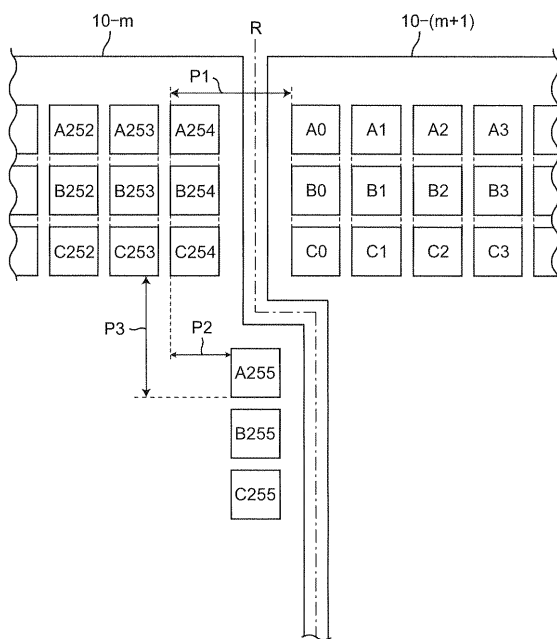
100



【図 2】

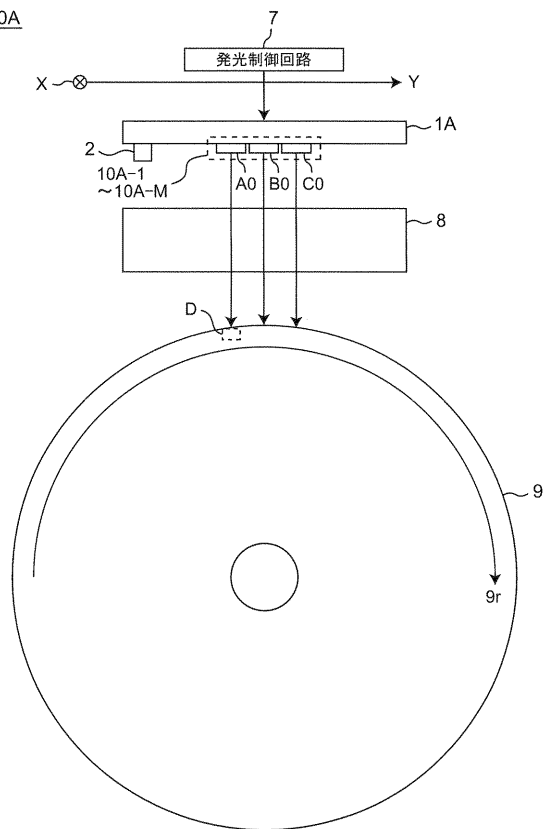


【図 3】

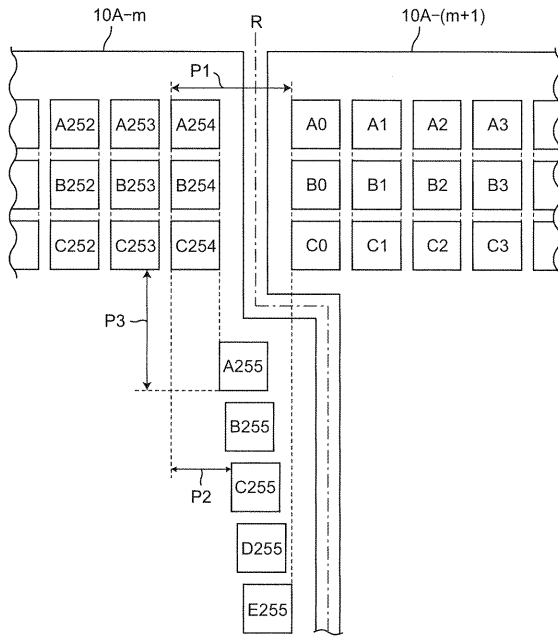


【図 4】

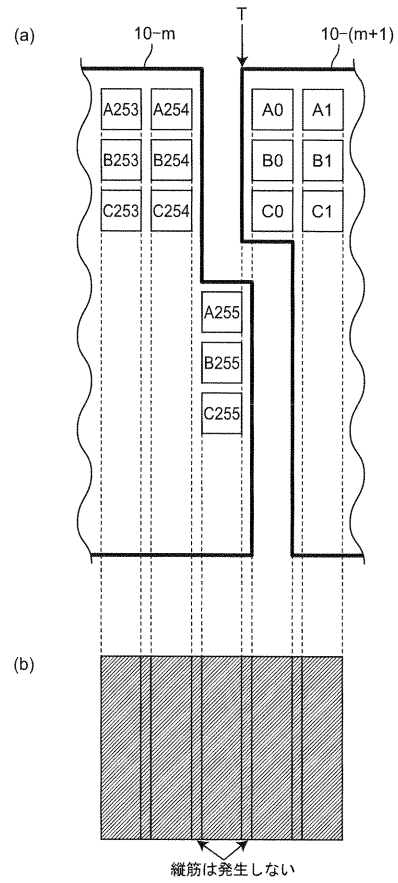
100A



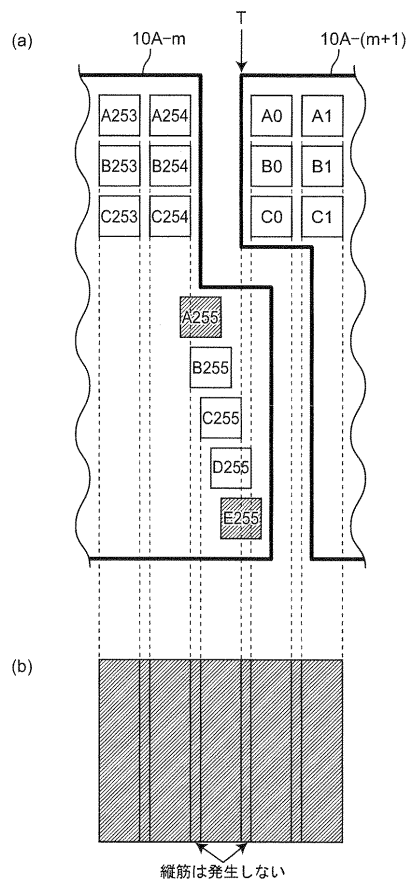
【図 5】



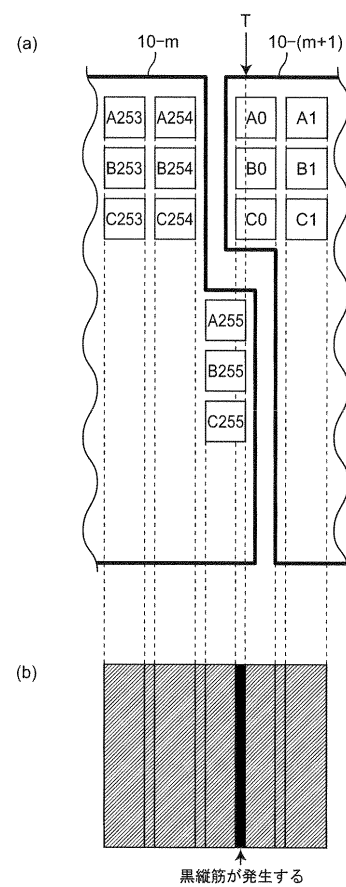
【図 6】



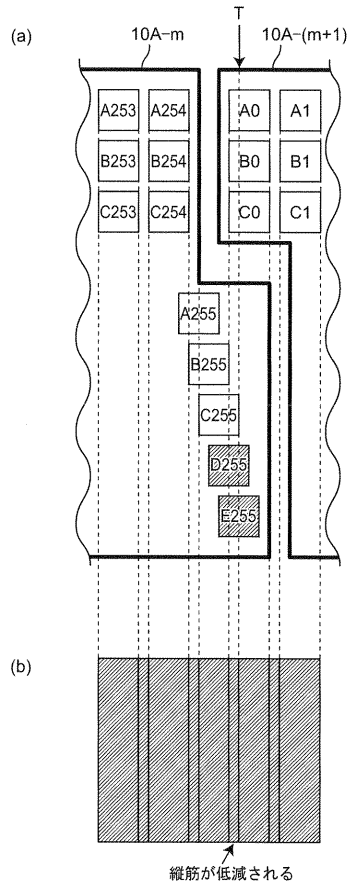
【図 7】



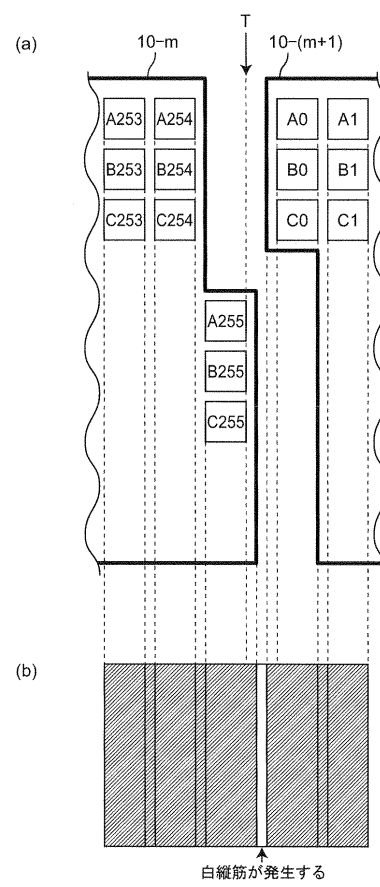
【図 8】



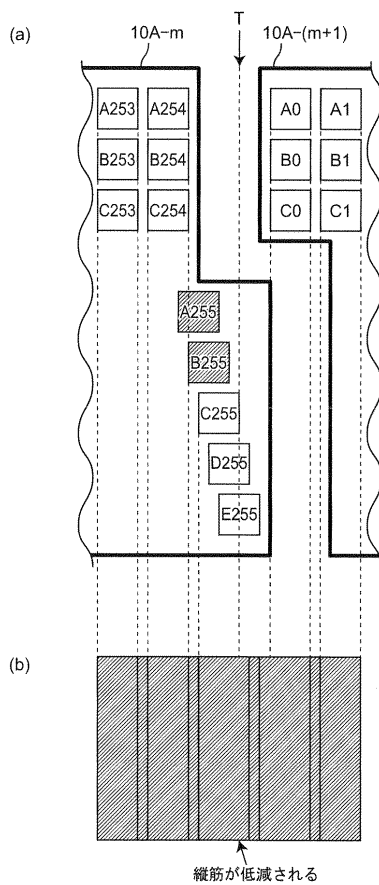
【図 9】



【図 10】



【図 11】



フロントページの続き

F ターム(参考) 2C162 AE04 AE21 AE28 AE40 AE73 AF05 AF06 AF13 AF24 AF40
FA04 FA16 FA17
2H076 AB42 AB51 AB53 AB54 DA31
5C051 AA02 CA08 DA06 DB02 DB29 DC02 DC05 EA03 FA01
5F142 AA56 AA66 BA32 CA03 CB18 CB22 CD01 DB24 GA06