

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2017 年 1 月 19 日 (19.01.2017)



(10) 国际公布号
WO 2017/008337 A1

- (51) 国际专利分类号:
H01L 27/12 (2006.01) *G02F 1/1333* (2006.01)
- (21) 国际申请号: PCT/CN2015/085379
- (22) 国际申请日: 2015 年 7 月 29 日 (29.07.2015)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
201510406144.1 2015 年 7 月 10 日 (10.07.2015) CN
- (71) 申请人: 深圳市华星光电技术有限公司 (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) [CN/CN]; 中国广东省深圳市光明新区塘明大道 9-2 号施北娜, Guangdong 518132 (CN)。
- (72) 发明人: 甘启明 (GAN, Qiming); 中国广东省深圳市光明新区塘明大道 9-2 号施北娜, Guangdong 518132 (CN)。
- (74) 代理人: 深圳翼盛智成知识产权事务所(普通合伙) (ESSEN PATENT & TRADEMARK AGENCY); 中国广东省深圳市福田区深南大道 6021 号喜年中心 A 座 1709-1711, Guangdong 518040 (CN)。

- (81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。
- (84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

- 包括国际检索报告(条约第 21 条(3))。

(54) Title: THIN FILM TRANSISTOR ARRAY SUBSTRATE AND MANUFACTURING METHOD THEREFOR

(54) 发明名称: 薄膜晶体管阵列基板及其制作方法

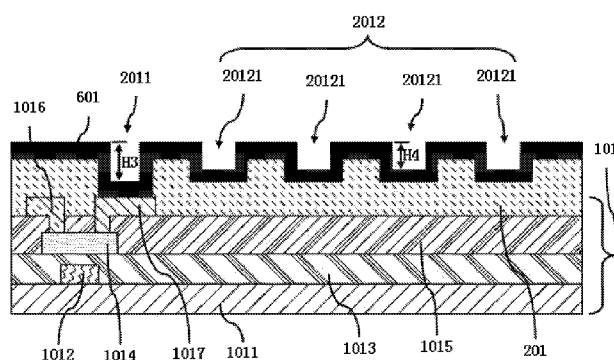


图 6

(57) Abstract: A thin film transistor array substrate and manufacturing method therefor. The thin-film transistor array substrate comprises a component assembly board (101), a passivation layer (201), and a pixel electrode layer (601). The component assembly board (101) comprises a substrate (1011), a first signal line layer (1012), a semiconductor layer (1014), and a second signal line layer (1017). Provided on the passivation layer (201) are a via (2011) and grooves (20121). The pixel electrode layer (601) is provided on the passivation layer (201) and on the grooves (20121). The pixel electrode layer (601) is connected to the second signal line layer (1017) via the via (2011). The method saves manufacturing costs for the thin-film transistor array substrate and increases manufacturing efficiency.

(57) 摘要:

[见续页]



WO 2017/008337 A1



一种薄膜晶体管阵列基板及其制作方法。薄膜晶体管阵列基板包括器件组合板（101）、钝化层（201）和像素电极层（601）；器件组合板（101）包括：基板（1011）、第一信号线层（1012）、半导体层（1014）和第二信号线层（1017）；钝化层（201）上设置有孔洞（2011）和凹槽（20121）；像素电极层（601）设置在钝化层（201）上以及凹槽（20121）内，像素电极层（601）通过孔洞（2011）与第二信号线层（1017）连接。该方法可以节省薄膜晶体管阵列基板的制作成本以及提高制作效率。

薄膜晶体管阵列基板及其制作方法

技术领域

- [1] 本发明涉及显示技术领域，特别涉及一种薄膜晶体管阵列基板及其制作方法。

背景技术

- [2] 传统的薄膜晶体管阵列基板的制作过程一般都需要在钝化层上设置通孔，以及在所述钝化层上设置凹槽，并在所述钝化层上的表面和所述凹槽内设置像素电极层。其中，该像素电极层通过所述通孔与所述薄膜晶体管阵列基板中的数据线层连接。
- [3] 在上述传统的技术方案中，在所述钝化层上设置所述通孔和在所述钝化层上设置所述凹槽是分开实施的，也就是说，在所述钝化层上设置所述通孔和在所述钝化层上设置所述凹槽是两个独立的步骤。
- [4] 针对上述两个独立的步骤，需要两次不同的Normal Mask（普通掩模）光罩制程，这导致上述技术方案具有较高的成本，并且使得所述薄膜晶体管阵列基板的制作效率不高。
- [5] 故，有必要提出一种新的技术方案，以解决上述技术问题。

对发明的公开

技术问题

- [6] 本发明的目的在于提供一种薄膜晶体管阵列基板及其制作方法，其能节省薄膜晶体管阵列基板的制作成本以及提高薄膜晶体管阵列基板的制作效率。

问题的解决方案

技术解决方案

- [7] 一种薄膜晶体管阵列基板，所述薄膜晶体管阵列基板包括：一器件组合板，所述器件组合板包括：一基板；一第一信号线层；一半导体层；以及一第二信号线层；一钝化层，所述钝化层设置在所述器件组合板上，所述钝化层上设置有孔洞和凹槽阵列，所述凹槽阵列包括至少一凹槽；一像素电极层，所述像素电极层设置在所述钝化层上以及所述凹槽阵列内，所述像素电极层通过所述孔洞

与所述第二信号线层连接；所述孔洞具有第一深度，所述凹槽具有第二深度；所述凹槽阵列和所述孔洞均是通过相同的光罩制程和蚀刻制程来形成的；所述器件组合板还包括第一绝缘层、第二绝缘层和漏极线层；所述第一信号线层是扫描线层，所述半导体层是非晶硅层或多晶硅层，所述第二信号线层是数据线层；在所述半导体层是所述非晶硅层的情况下，所述扫描线层设置在所述非晶硅层的下方，所述扫描线层与所述非晶硅层之间设置有所述第一绝缘层，所述第二绝缘层设置在所述非晶硅层的上方，所述数据线层设置在所述第二绝缘层的上方，并且所述数据线层穿过所述第二绝缘层与所述非晶硅层相连；在所述半导体层是所述多晶硅层的情况下，所述扫描线层设置在所述多晶硅层的上方，所述多晶硅层与所述扫描线层之间设置有所述第一绝缘层，所述第二绝缘层设置在所述扫描线层的上方，所述数据线层设置在所述第二绝缘层的上方，并且所述数据线层穿过所述第一绝缘层和所述第二绝缘层与所述多晶硅层相连。

[8] 在上述薄膜晶体管阵列基板中，所述光罩制程所对应的掩模包括：一第一区域，所述第一区域具有第一透光率，所述第一区域与所述孔洞对应，所述第一透光率与所述第一深度对应；至少一第二区域，所述第二区域具有第二透光率，所述第二区域与所述凹槽对应，所述第二透光率与所述第二深度对应。

[9] 在上述薄膜晶体管阵列基板中，所述掩模为半色调掩模。

[10] 在上述薄膜晶体管阵列基板中，所述第一透光率为100%，所述第二透光率处于0%至100%的范围内。

[11] 在上述薄膜晶体管阵列基板中，所述第二透光率处于13%至91%的范围内。

[12] 在上述薄膜晶体管阵列基板中，所述凹槽阵列和所述孔洞是通过对所述钝化层上的光阻材料层进行所述光罩制程，以在所述光阻材料层上的第三区域和第四区域上分别形成第一凹陷和第二凹陷，并在所述第一凹陷和所述第二凹陷处对所述钝化层和所述光阻材料层进行蚀刻来形成的；其中，所述第三区域与所述第一区域对应，所述第四区域与所述第二区域对应，所述第一凹陷具有第三深度，所述第二凹陷具有第四深度。

[13] 一种薄膜晶体管阵列基板，所述薄膜晶体管阵列基板包括：一器件组合板，所述器件组合板包括：一基板；一第一信号线层；一半导体层；以及一第二信号

线层；一钝化层，所述钝化层设置在所述器件组合板上，所述钝化层上设置有孔洞和凹槽阵列，所述凹槽阵列包括至少一凹槽；一像素电极层，所述像素电极层设置在所述钝化层上以及所述凹槽阵列内，所述像素电极层通过所述孔洞与所述第二信号线层连接。

[14] 在上述薄膜晶体管阵列基板中，所述孔洞具有第一深度，所述凹槽具有第二深度；所述凹槽阵列和所述孔洞均是通过相同的光罩制程和蚀刻制程来形成的。

[15] 在上述薄膜晶体管阵列基板中，所述光罩制程所对应的掩模包括：一第一区域，所述第一区域具有第一透光率，所述第一区域与所述孔洞对应，所述第一透光率与所述第一深度对应；至少一第二区域，所述第二区域具有第二透光率，所述第二区域与所述凹槽对应，所述第二透光率与所述第二深度对应。

[16] 在上述薄膜晶体管阵列基板中，所述掩模为半色调掩模。

[17] 在上述薄膜晶体管阵列基板中，所述第一透光率为100%，所述第二透光率处于0%至100%的范围内。

[18] 在上述薄膜晶体管阵列基板中，所述第二透光率处于13%至91%的范围内。

[19] 在上述薄膜晶体管阵列基板中，所述凹槽阵列和所述孔洞是通过对所述钝化层上的光阻材料层进行所述光罩制程，以在所述光阻材料层上的第三区域和第四区域上分别形成第一凹陷和第二凹陷，并在所述第一凹陷和所述第二凹陷处对所述钝化层和所述光阻材料层进行蚀刻来形成的；其中，所述第三区域与所述第一区域对应，所述第四区域与所述第二区域对应，所述第一凹陷具有第三深度，所述第二凹陷具有第四深度。

[20] 一种上述薄膜晶体管阵列基板的制作方法，所述方法包括以下步骤：A、形成所述器件组合板，其中，所述器件组合板包括基板、第一信号线层、半导体层以及第二信号线层；B、在所述器件组合板上设置所述钝化层；C、对所述钝化层实施光罩制程和蚀刻制程，以使所述钝化层的表面上形成有一孔洞和一凹槽阵列，其中，所述凹槽阵列包括至少一凹槽；D、在所述钝化层的所述表面和所述凹槽阵列内设置像素电极层，其中，所述像素电极层通过所述孔洞与所述第二信号线层连接。

[21] 在上述薄膜晶体管阵列基板的制作方法中，所述孔洞具有第一深度，所述凹槽

具有第二深度；所述步骤C包括以下步骤：c1、在所述钝化层上通过相同的所述光罩制程和所述蚀刻制程来形成所述凹槽阵列和所述孔洞。

[22] 在上述薄膜晶体管阵列基板的制作方法中，所述光罩制程所对应掩模包括：一第一区域，所述第一区域具有第一透光率，所述第一区域与所述孔洞对应，所述第一透光率与所述第一深度对应；至少一第二区域，所述第二区域具有第二透光率，所述第二区域与所述凹槽对应，所述第二透光率与所述第二深度对应。

[23] 在上述薄膜晶体管阵列基板的制作方法中，所述掩模为半色调掩模。

[24] 在上述薄膜晶体管阵列基板的制作方法，其中，所述第一透光率为100%，所述第二透光率处于0%至100%的范围内。

[25] 在上述薄膜晶体管阵列基板的制作方法，其中，所述第二透光率处于13%至91%的范围内。

[26] 在上述薄膜晶体管阵列基板的制作方法中，所述步骤c1包括以下步骤：c11、在所述钝化层上设置光阻材料层；c12、对所述光阻材料层进行所述光罩制程，以在所述光阻材料层上的第三区域和第四区域上分别形成第一凹陷和第二凹陷，其中，所述第三区域与所述第一区域对应，所述第四区域与所述第二区域对应，所述第一凹陷具有第三深度，所述第二凹陷具有第四深度；c13、在所述第一凹陷和所述第二凹陷处对所述钝化层和所述光阻材料层进行蚀刻，以在所述钝化层上形成所述凹槽阵列和所述孔洞。

发明的有益效果

有益效果

[27] 相对现有技术，本发明可以节约一道光罩制程，有利于节省所述薄膜晶体管阵列基板的制作成本，以及提高所述薄膜晶体管阵列基板的制作效率。

对附图的简要说明

附图说明

[28] 图1至图6为本发明的薄膜晶体管阵列基板的制作方法的第一实施例的示意图；

[29] 图6为本发明的薄膜晶体管阵列基板的示意图；

[30] 图7为图1至图6所示的薄膜晶体管阵列基板的制作过程中所使用的掩模的示意

图；

- [31] 图8为本发明的薄膜晶体管阵列基板的制作方法的第一实施例的流程图；
- [32] 图9为本发明的薄膜晶体管阵列基板的制作方法的第二实施例的流程图；
- [33] 图10为本发明的薄膜晶体管阵列基板的制作方法的第三实施例的流程图。

实施该发明的最佳实施例

本发明的最佳实施方式

- [34] 本说明书所使用的词语“实施例”意指实例、示例或例证。此外，本说明书和所附权利要求中所使用的冠词“一”一般地可以被解释为“一个或多个”，除非另外指定或从上下文可以清楚确定单数形式。
- [35] 本发明的显示面板可以是TFT-LCD（Thin Film Transistor Liquid Crystal Display，薄膜晶体管液晶显示面板）。
- [36] 参考图6，图6为本发明的薄膜晶体管阵列基板的示意图。
- [37] 本发明的薄膜晶体管阵列基板包括器件组合板101、钝化层201及像素电极层601。
- [38] 所述器件组合板101包括基板1011、第一信号线层1012、半导体层1014及第二信号线层1017。所述器件组合板101还包括第一绝缘层1013、第二绝缘层1015和漏极线层1016。
- [39] 所述第一信号线层1012可以是扫描线层，所述半导体层1014可以是非晶硅层或多晶硅层，所述第二信号线层1017可以是数据线层。所述扫描线层设置在所述半导体层1014（所述半导体层1014为所述非晶硅层）的下方，所述扫描线层与所述非晶硅层之间设置有所述第一绝缘层1013，所述第二绝缘层1015设置在所述非晶硅层的上方，所述数据线层设置在所述第二绝缘层1015的上方，并且所述数据线层穿过所述第二绝缘层1015与所述非晶硅层相连；或者，所述扫描线层设置在所述半导体层1014（所述半导体层1014为所述多晶硅层）的上方，所述多晶硅层与所述扫描线层之间设置有所述第一绝缘层1013，所述第二绝缘层1015设置在所述扫描线层的上方，所述数据线层设置在所述第二绝缘层1015的上方，并且所述数据线层穿过所述第一绝缘层1013和所述第二绝缘层1015与所述多晶硅层相连。

- [40] 所述钝化层201设置在所述器件组合板101上，所述钝化层201上设置有孔洞2011和凹槽阵列2012，所述凹槽阵列2012包括至少一凹槽20121。所述像素电极层601设置在所述钝化层201上以及所述凹槽阵列2012内，所述像素电极层601通过所述孔洞2011与所述第二信号线层1017连接。
- [41] 在本实施例中，所述孔洞2011具有第一深度H3，所述凹槽20121具有第二深度H4。所述凹槽阵列2012和所述孔洞2011均是通过相同的光罩制程和蚀刻制程来形成的。也就是说，所述凹槽阵列2012与所述孔洞2011均是在同一道光罩制程中形成的。
- [42] 相比传统的技术方案，上述技术方案可以节约一道光罩制程（Normal Mask，普通掩模），有利于节省所述薄膜晶体管阵列基板的制作成本，以及提高所述薄膜晶体管阵列基板的制作效率。
- [43] 参考图7，图7为图1至图6所示的薄膜晶体管阵列基板的制作过程中所使用的掩模的示意图。
- [44] 在本实施例中，所述光罩制程所对应的掩模701包括第一区域7011及第二区域7012。所述第一区域7011具有第一透光率，所述第一区域7011与所述孔洞2011对应，所述第一透光率与所述第一深度H3对应。所述第二区域7012具有第二透光率，所述第二区域7012与所述凹槽20121对应，所述第二透光率与所述第二深度H4对应。
- [45] 优选地，在本实施例中，所述掩模701为半色调掩模（HTM，Half Tone Mask）。
- [46] 所述孔洞2011的深度（所述第一深度H3）和所述凹槽20121的深度（所述第二深度H4）可根据所述HTM的透光率（0-100%的开区间）来设置。
- [47] 也就是说，所述钝化层201中的所述第一深度H3和所述第二深度H4是通过这样的方式形成的：
- [48] 利用具有所述第一区域7011和所述第二区域7012的所述掩模701，对所述钝化层201实施所述光罩制程，以同时形成所述第一深度H3和所述第二深度H4，其中，所述第一区域7011具有所述第一透光率，所述第二区域7012具有所述第二透光率。例如，所述第一透光率为100%，所述第二透光率（a%）处于0%至100%

的范围（开区间）内，例如，所述a%为0.5%、1%、3%、5%、7%、9%、11%、13%、15%、17%、19%、21%、23%、25%、27%、29%、31%、33%、35%、37%、39%、41%、43%、45%、47%、49%、51%、53%、55%、57%、59%、61%、63%、65%、67%、69%、71%、73%、75%、77%、79%、81%、83%、85%、87%、89%、91%、93%、95%、97%、99%。

[49] 如图1至图6所示。在本实施例中，所述凹槽阵列2012和所述孔洞2011是通过对所述钝化层201上的光阻材料层301进行所述光罩制程，以在所述光阻材料层301上的第三区域和第四区域上分别形成第一凹陷3011和第二凹陷3012，并在所述第一凹陷3011和所述第二凹陷3012处对所述钝化层201和所述光阻材料层301进行蚀刻来形成的。

[50] 其中，所述第三区域与所述第一区域7011对应，所述第四区域与所述第二区域7012对应，所述第一凹陷3011具有第三深度H1，所述第二凹陷3012具有第四深度H2。

[51] 参考图1至图6以及图8，图1至图6为本发明的薄膜晶体管阵列基板的制作方法的第一实施例的示意图，图8为本发明的薄膜晶体管阵列基板的制作方法的第一实施例的流程图。

[52] 本发明的薄膜晶体管阵列基板的制作方法包括以下步骤：

[53] A（步骤801）、形成所述器件组合板101，其中，所述器件组合板101包括基板1011、第一信号线层1012、半导体层1014以及第二信号线层1017。

[54] B（步骤802）、在所述器件组合板101上设置所述钝化层201。

[55] C（步骤803）、对所述钝化层201实施光罩制程和蚀刻制程，以使所述钝化层201的表面上形成有一孔洞2011和一凹槽阵列2012，其中，所述凹槽阵列2012包括至少一凹槽20121。

[56] D（步骤804）、在所述钝化层201的所述表面和所述凹槽阵列2012内设置像素电极层601，其中，所述像素电极层601通过所述孔洞2011与所述第二信号线层1017连接。

[57] 参考图9，图9为本发明的薄膜晶体管阵列基板的制作方法的第二实施例的流程图。本实施例与上述第一实施例相似，不同之处在于：

- [58] 在本实施例中，所述孔洞2011具有第一深度H3，所述凹槽20121具有第二深度H4，也就是说，所述孔洞2011与所述凹槽20121的深度不同，具有不同深度的所述孔洞2011与所述凹槽20121是在同一道光罩制程以及同一道蚀刻制程中形成的。即，所述步骤C（即，所述步骤803）包括以下步骤：
- [59] c1（步骤901）、在所述钝化层201上通过相同的所述光罩制程和所述蚀刻制程来形成所述凹槽阵列2012和所述孔洞2011。
- [60] 相比传统的技术方案，上述技术方案可以节约一道光罩制程（Normal Mask，普通掩模），有利于节省所述薄膜晶体管阵列基板的制作成本，以及提高所述薄膜晶体管阵列基板的制作效率。
- [61] 在本实施例中，所述光罩制程所对应掩模701包括第一区域7011和第二区域7012。所述第一区域7011具有第一透光率，所述第一区域7011与所述孔洞2011对应，所述第一透光率与所述第一深度H3对应。所述第二区域7012具有第二透光率，所述第二区域7012与所述凹槽20121对应，所述第二透光率与所述第二深度H4对应。
- [62] 优选地，在本实施例中，所述掩模701为半色调掩模。
- [63] 所述孔洞2011的深度（所述第一深度H3）和所述凹槽20121的深度（所述第二深度H4）可根据所述HTM的透光率（0-100%的开区间）来设置。
- [64] 也就是说，所述钝化层201中的所述第一深度H3和所述第二深度H4是通过这样的方式形成的：
- [65] 利用具有所述第一区域7011和所述第二区域7012的所述掩模701，对所述钝化层201实施所述光罩制程，以同时形成所述第一深度H3和所述第二深度H4，其中，所述第一区域7011具有所述第一透光率，所述第二区域7012具有所述第二透光率。例如，所述第一透光率为100%，所述第二透光率（a%）处于0%至100%的范围（开区间）内，例如，所述a%为0.5%、1%、3%、5%、7%、9%、11%、13%、15%、17%、19%、21%、23%、25%、27%、29%、31%、33%、35%、37%、39%、41%、43%、45%、47%、49%、51%、53%、55%、57%、59%、61%、63%、65%、67%、69%、71%、73%、75%、77%、79%、81%、83%、85%、87%、89%、91%、93%、95%、97%、99%。

- [66] 参考图10，图10为本发明的薄膜晶体管阵列基板的制作方法的第三实施例的流程图。本实施例与上述第二实施例相似，不同之处在于：
- [67] 在本实施例中，所述步骤c1（即，所述步骤901）包括以下步骤：
- [68] c11（步骤1001）、在所述钝化层201上设置光阻材料层301；
- [69] c12（步骤1002）、对所述光阻材料层301进行所述光罩制程，以在所述光阻材料层301上的第三区域和第四区域上分别形成第一凹陷3011和第二凹陷3012，其中，所述第三区域与所述第一区域7011对应，所述第四区域与所述第二区域7012对应，所述第一凹陷3011具有第三深度H1，所述第二凹陷3012具有第四深度H2。
- [70] c13（步骤1003）、在所述第一凹陷3011和所述第二凹陷3012处对所述钝化层201和所述光阻材料层301进行蚀刻，以在所述钝化层201上形成所述凹槽阵列2012和所述孔洞2011。
- [71] 尽管已经相对于一个或多个实现方式示出并描述了本发明，但是本领域技术人员基于对本说明书和附图的阅读和理解将会想到等价变型和修改。本发明包括所有这样的修改和变型，并且仅由所附权利要求的范围限制。特别地关于由上述组件执行的各种功能，用于描述这样的组件的术语旨在对应于执行所述组件的指定功能（例如其在功能上是等价的）的任意组件（除非另外指示），即使在结构上与执行本文所示的本说明书的示范性实现方式中的功能的公开结构不同。此外，尽管本说明书的特定特征已经相对于若干实现方式中的仅一个被公开，但是这种特征可以与如可以对给定或特定应用而言是期望和有利的其他实现方式的一个或多个其他特征组合。而且，就术语“包括”、“具有”、“含有”或其变形被用在具体实施方式或权利要求中而言，这样的术语旨在以与术语“包含”相似的方式包括。
- [72] 综上所述，虽然本发明已以优选实施例揭露如上，但上述优选实施例并非用以限制本发明，本领域的普通技术人员，在不脱离本发明的精神和范围内，均可作各种更动与润饰，因此本发明的保护范围以权利要求界定的范围为准。

权利要求书

- [权利要求 1] 一种薄膜晶体管阵列基板，其中，所述薄膜晶体管阵列基板包括：
- 一器件组合板，所述器件组合板包括：
 - 一基板；
 - 一第一信号线层；
 - 一半导体层；以及
 - 一第二信号线层；
 - 一钝化层，所述钝化层设置在所述器件组合板上，所述钝化层上设置有孔洞和凹槽阵列，所述凹槽阵列包括至少一凹槽；
 - 一像素电极层，所述像素电极层设置在所述钝化层上以及所述凹槽阵列内，所述像素电极层通过所述孔洞与所述第二信号线层连接；
- 所述孔洞具有第一深度，所述凹槽具有第二深度；
- 所述凹槽阵列和所述孔洞均是通过相同的光罩制程和蚀刻制程来形成的；
- 所述器件组合板还包括第一绝缘层、第二绝缘层和漏极线层；
- 所述第一信号线层是扫描线层，所述半导体层是非晶硅层或多晶硅层，所述第二信号线层是数据线层；
- 在所述半导体层是所述非晶硅层的情况下，所述扫描线层设置在所述非晶硅层的下方，所述扫描线层与所述非晶硅层之间设置有所述第一绝缘层，所述第二绝缘层设置在所述非晶硅层的上方，所述数据线层设置在所述第二绝缘层的上方，并且所述数据线层穿过所述第二绝缘层与所述非晶硅层相连；
- 在所述半导体层是所述多晶硅层的情况下，所述扫描线层设置在所述多晶硅层的上方，所述多晶硅层与所述扫描线层之间设置有所述第一绝缘层，所述第二绝缘层设置在所述扫描线层的上方，所述数据线层设置在所述第二绝缘层的上方，并且所述数据线层

穿过所述第一绝缘层和所述第二绝缘层与所述多晶硅层相连。

[权利要求 2] 根据权利要求1所述的薄膜晶体管阵列基板，其中，所述光罩制程所对应的掩模包括：

一第一区域，所述第一区域具有第一透光率，所述第一区域与所述孔洞对应，所述第一透光率与所述第一深度对应；

至少一第二区域，所述第二区域具有第二透光率，所述第二区域与所述凹槽对应，所述第二透光率与所述第二深度对应。

[权利要求 3] 根据权利要求2所述的薄膜晶体管阵列基板，其中，所述掩模为半色调掩模。

[权利要求 4] 根据权利要求3所述的薄膜晶体管阵列基板，其中，所述第一透光率为100%，所述第二透光率处于0%至100%的范围内。

[权利要求 5] 根据权利要求4所述的薄膜晶体管阵列基板，其中，所述第二透光率处于13%至91%的范围内。

[权利要求 6] 根据权利要求1所述的薄膜晶体管阵列基板，其中，所述凹槽阵列和所述孔洞是通过对所述钝化层上的光阻材料层进行所述光罩制程，以在所述光阻材料层上的第三区域和第四区域上分别形成第一凹陷和第二凹陷，并在所述第一凹陷和所述第二凹陷处对所述钝化层和所述光阻材料层进行蚀刻来形成的；
其中，所述第三区域与所述第一区域对应，所述第四区域与所述第二区域对应，所述第一凹陷具有第三深度，所述第二凹陷具有第四深度。

[权利要求 7] 一种薄膜晶体管阵列基板，其中，所述薄膜晶体管阵列基板包括：

一器件组合板，所述器件组合板包括：

一基板；

一第一信号线层；

一半导体层；以及

一第二信号线层；

一钝化层，所述钝化层设置在所述器件组合板上，所述钝化层上设置有孔洞和凹槽阵列，所述凹槽阵列包括至少一凹槽；

一像素电极层，所述像素电极层设置在所述钝化层上以及所述凹槽阵列内，所述像素电极层通过所述孔洞与所述第二信号线层连接。

[权利要求 8] 根据权利要求7所述的薄膜晶体管阵列基板，其中，所述孔洞具有第一深度，所述凹槽具有第二深度；
所述凹槽阵列和所述孔洞均是通过相同的光罩制程和蚀刻制程来形成的。

[权利要求 9] 根据权利要求8所述的薄膜晶体管阵列基板，其中，所述光罩制程所对应的掩模包括：
一第一区域，所述第一区域具有第一透光率，所述第一区域与所述孔洞对应，所述第一透光率与所述第一深度对应；
至少一第二区域，所述第二区域具有第二透光率，所述第二区域与所述凹槽对应，所述第二透光率与所述第二深度对应。

[权利要求 10] 根据权利要求9所述的薄膜晶体管阵列基板，其中，所述掩模为半色调掩模。

[权利要求 11] 根据权利要求10所述的薄膜晶体管阵列基板，其中，所述第一透光率为100%，所述第二透光率处于0%至100%的范围内。

[权利要求 12] 根据权利要求11所述的薄膜晶体管阵列基板，其中，所述第二透光率处于13%至91%的范围内。

[权利要求 13] 根据权利要求8所述的薄膜晶体管阵列基板，其中，所述凹槽阵列和所述孔洞是通过对所述钝化层上的光阻材料层进行所述光罩制程，以在所述光阻材料层上的第三区域和第四区域上分别形成第一凹陷和第二凹陷，并在所述第一凹陷和所述第二凹陷处对所述钝化层和所述光阻材料层进行蚀刻来形成的；
其中，所述第三区域与所述第一区域对应，所述第四区域与所述第二区域对应，所述第一凹陷具有第三深度，所述第二凹陷具有

第四深度。

[权利要求 14]

一种如权利要求7所述的薄膜晶体管阵列基板的制作方法，其中，所述方法包括以下步骤：

A、形成所述器件组合板，其中，所述器件组合板包括基板、第一信号线层、半导体层以及第二信号线层；

B、在所述器件组合板上设置所述钝化层；

C、对所述钝化层实施光罩制程和蚀刻制程，以使所述钝化层的表面上形成有一孔洞和一凹槽阵列，其中，所述凹槽阵列包括至少一凹槽；

D、在所述钝化层的所述表面和所述凹槽阵列内设置像素电极层，其中，所述像素电极层通过所述孔洞与所述第二信号线层连接。

[权利要求 15]

根据权利要求14所述的薄膜晶体管阵列基板的制作方法，其中，所述孔洞具有第一深度，所述凹槽具有第二深度；

所述步骤C包括以下步骤：

c1、在所述钝化层上通过相同的所述光罩制程和所述蚀刻制程来形成所述凹槽阵列和所述孔洞。

[权利要求 16]

根据权利要求15所述的薄膜晶体管阵列基板的制作方法，其中，所述光罩制程所对应掩模包括：

一第一区域，所述第一区域具有第一透光率，所述第一区域与所述孔洞对应，所述第一透光率与所述第一深度对应；

至少一第二区域，所述第二区域具有第二透光率，所述第二区域与所述凹槽对应，所述第二透光率与所述第二深度对应。

[权利要求 17]

根据权利要求16所述的薄膜晶体管阵列基板的制作方法，其中，所述掩模为半色调掩模。

[权利要求 18]

根据权利要求17所述的薄膜晶体管阵列基板的制作方法，其中，所述第一透光率为100%，所述第二透光率处于0%至100%的范围内。

[权利要求 19]

根据权利要求18所述的薄膜晶体管阵列基板的制作方法，其中，

所述第二透光率处于13%至91%的范围内。

[权利要求 20]

根据权利要求15所述的薄膜晶体管阵列基板的制作方法，其中，所述步骤c1包括以下步骤：

c11、在所述钝化层上设置光阻材料层；

c12、对所述光阻材料层进行所述光罩制程，以在所述光阻材料层上的第三区域和第四区域上分别形成第一凹陷和第二凹陷，其中，所述第三区域与所述第一区域对应，所述第四区域与所述第二区域对应，所述第一凹陷具有第三深度，所述第二凹陷具有第四深度；

c13、在所述第一凹陷和所述第二凹陷处对所述钝化层和所述光阻材料层进行蚀刻，以在所述钝化层上形成所述凹槽阵列和所述孔洞。

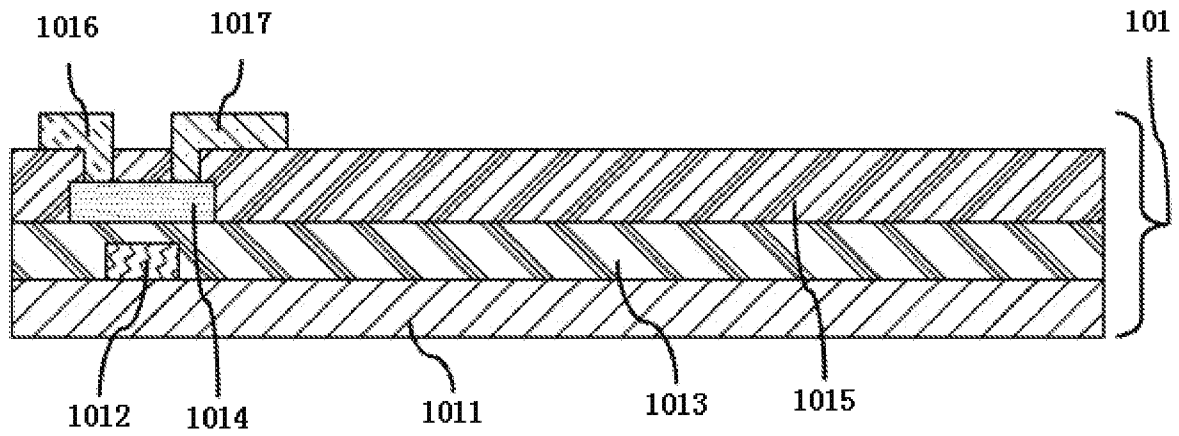


图 1

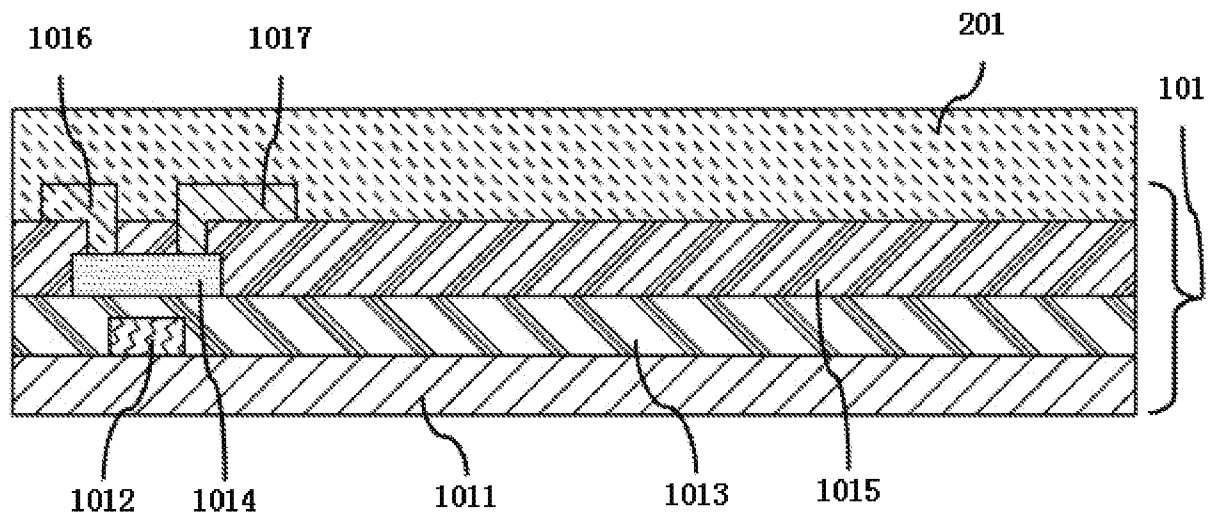


图 2

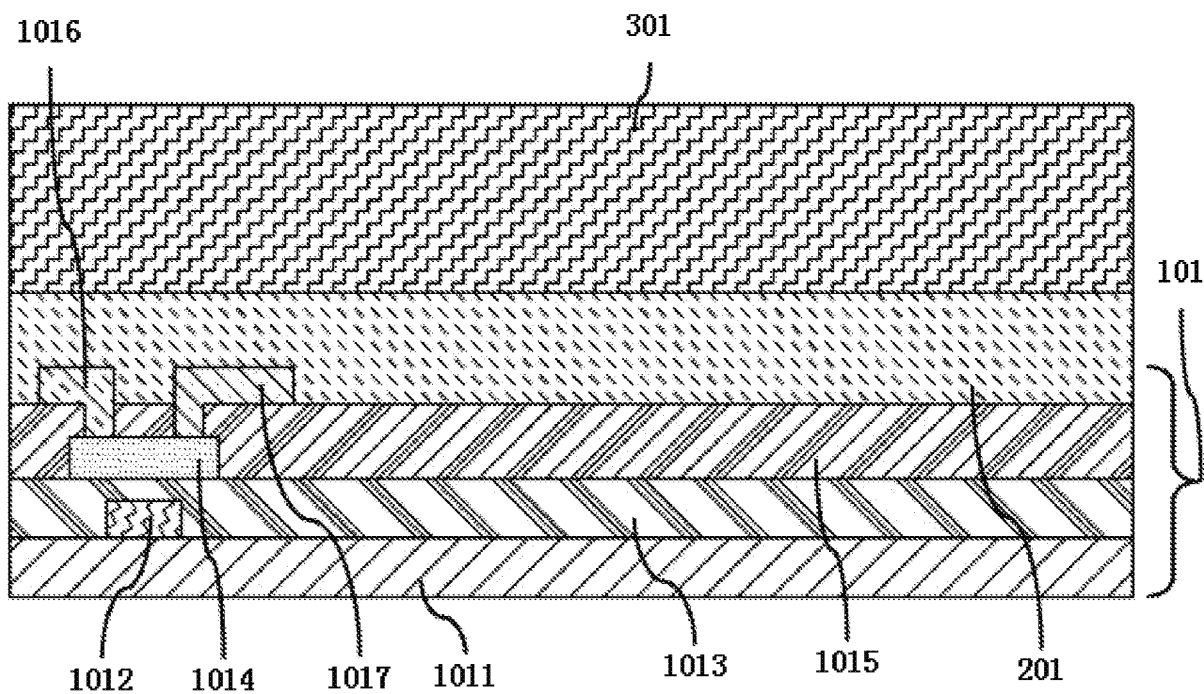


图 3

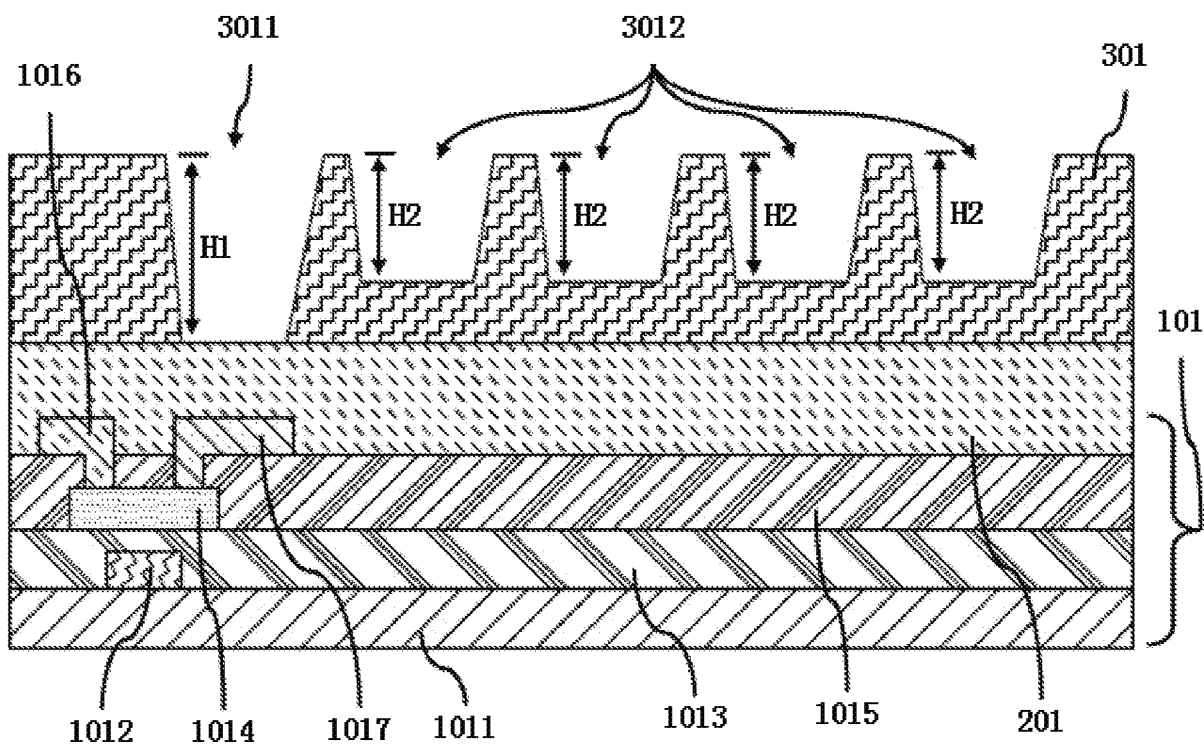


图 4

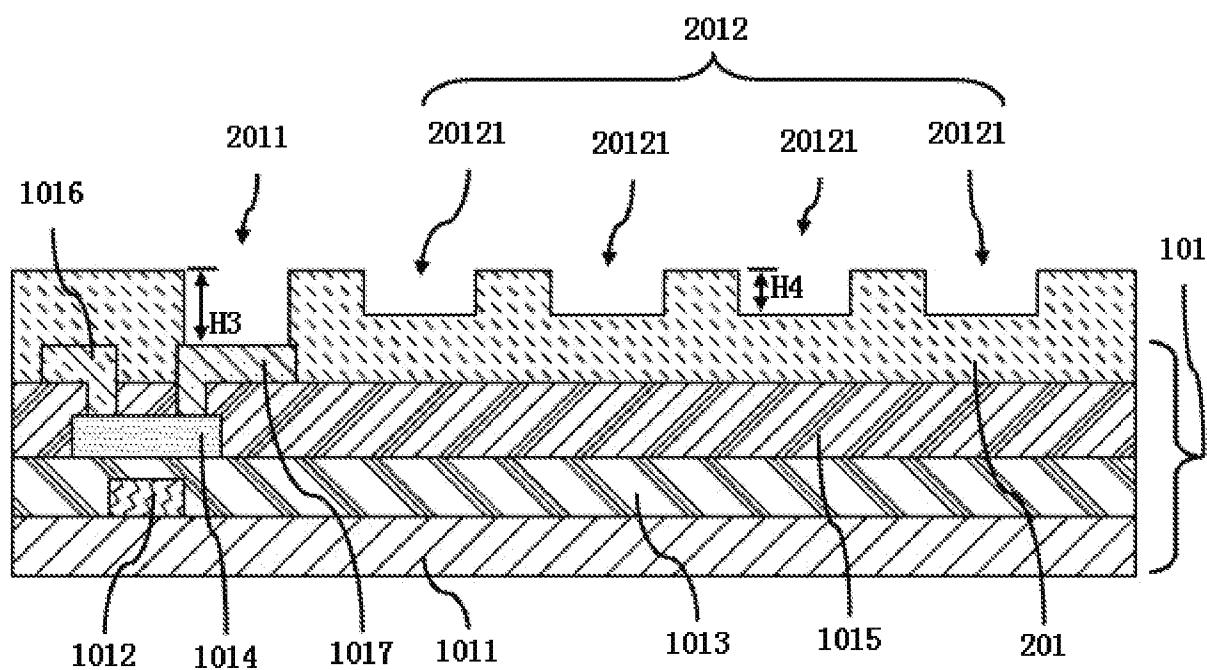


图 5

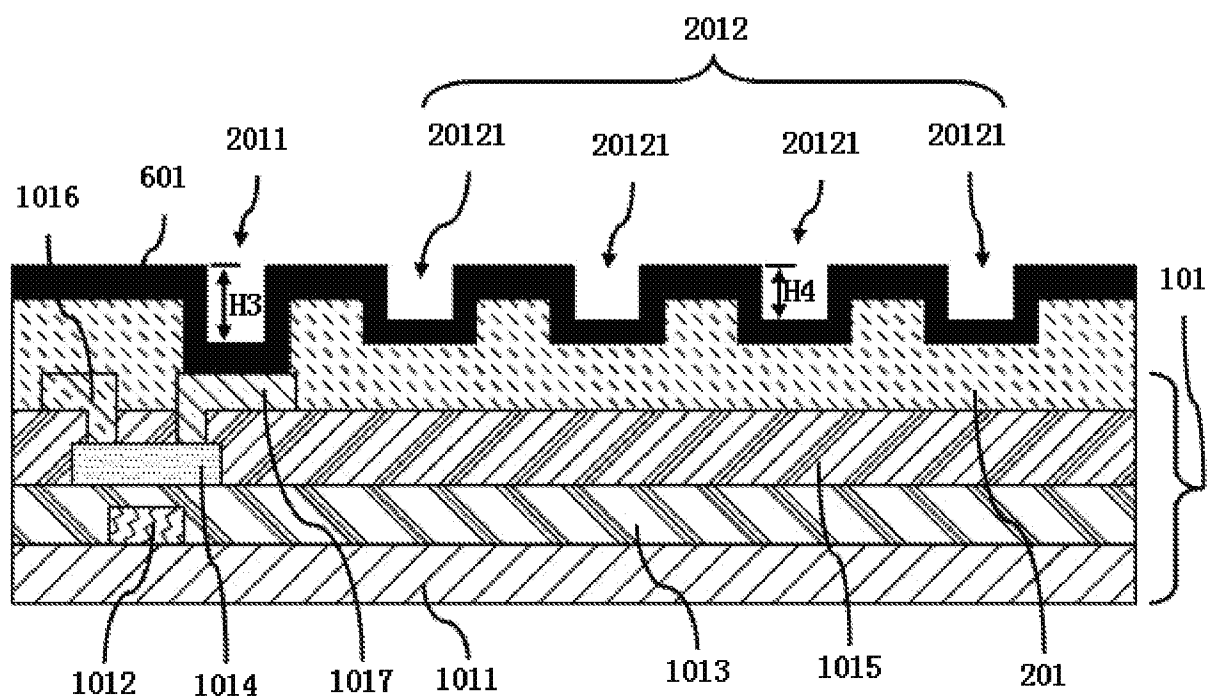


图 6



图 7

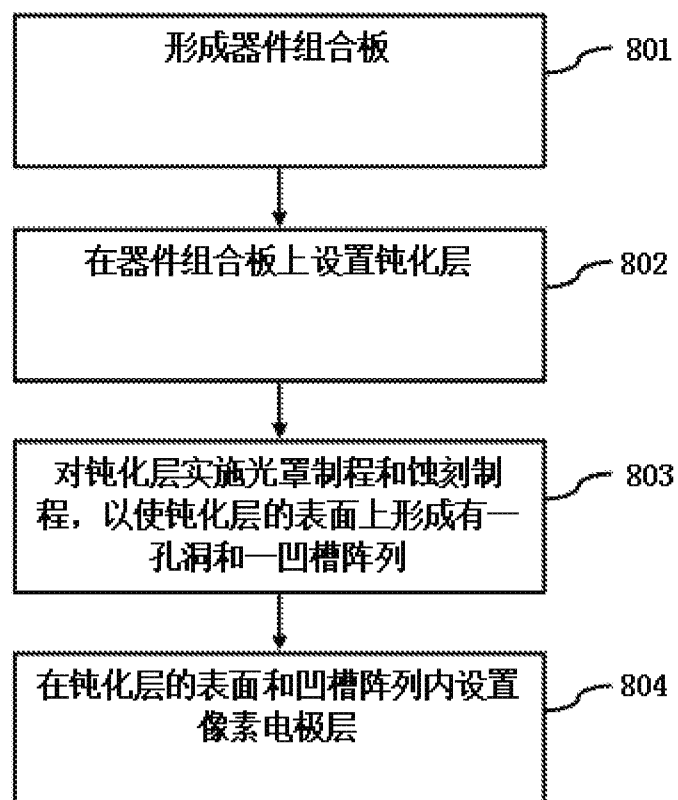


图 8

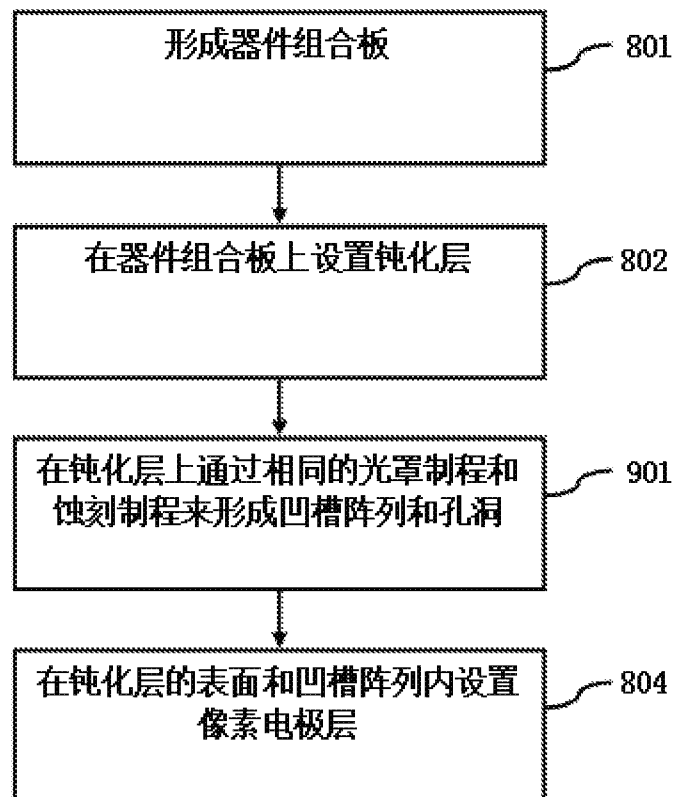


图 9

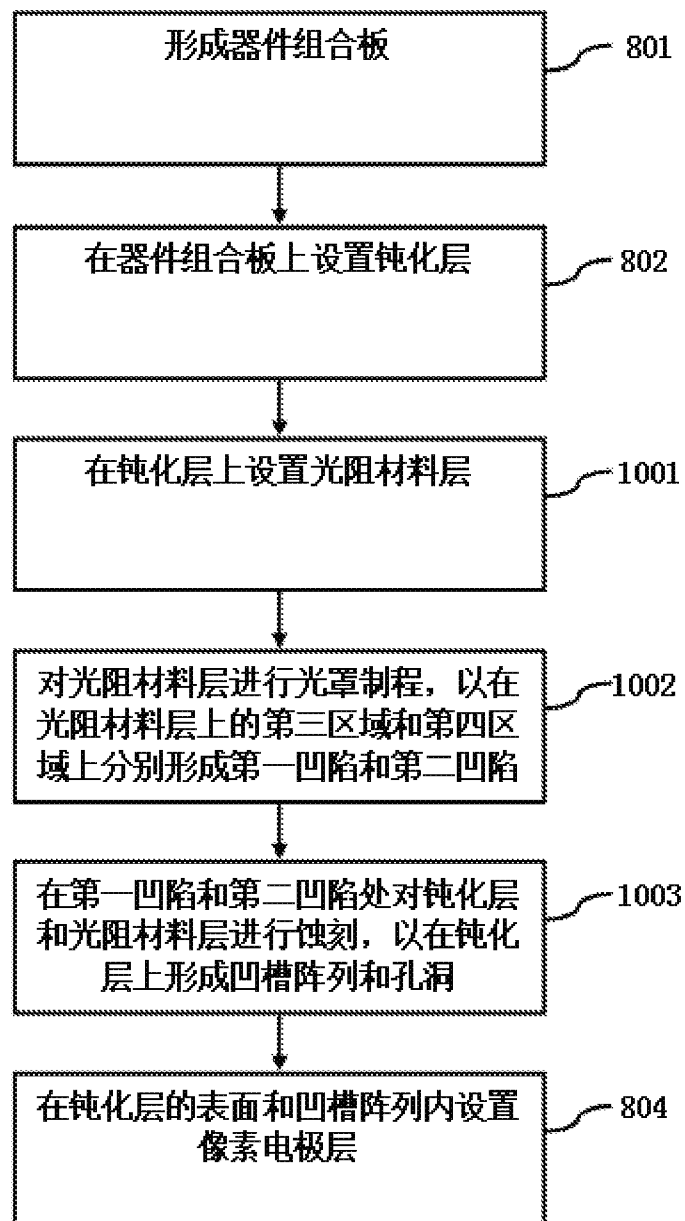


图 10

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2015/085379

A. CLASSIFICATION OF SUBJECT MATTER

H01L 27/12 (2006.01) i; G02F 1/1333 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G02F; H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNABS, EPODOC, CPRS, CNKI: liquid crystal, signal line, lcd, display, film, substrate, semiconductor, pixel electrode, passivation layer

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CN 103926747 A (HANNSTAR DISPLAY CORPORATION), 16 July 2014 (16.07.2014), description, paragraphs 40-52, and figures 1-4	1-20
E	CN 104934446 A (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.), 23 September 2015 (23.09.2015), the whole document	7-9, 14-16
E	CN 105140231 A (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.), 09 December 2015 (09.12.2015), the whole document	7-8, 14-15
A	CN 101017835 A (SAMSUNG ELECTRONICS CO., LTD.), 15 August 2007 (15.08.2007), the whole document	1-20
A	US 2003122989 A1 (LG PHILIPS LCD CO., LTD. et al.), 03 July 2003 (03.07.2003), the whole document	1-20

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 09 April 2016 (09.04.2016)	Date of mailing of the international search report 15 April 2016 (15.04.2016)
Name and mailing address of the ISA/CN: State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No.: (86-10) 62019451	Authorized officer LIU, Zhangpeng Telephone No.: (86-10) 62085125

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2015/085379

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 103926747 A	16 July 2014	US 2014198284 A1	17 July 2014
CN 104934446 A	23 September 2015	None	
CN 105140231 A	09 December 2015	None	
CN 101017835 A	15 August 2007	KR 101252000 B1	08 April 2013
		CN 101017835 B	06 April 2011
		KR 20070080540 A	10 August 2007
		JP 4921997 B2	25 April 2012
		JP 2007213065 A	23 August 2007
		US 2007184587 A1	09 August 2007
		US 7675065 B2	09 March 2010
US 2003122989 A1	03 July 2003	US 6930743 B2	16 August 2005
		US 7436478 B2	14 October 2008
		KR 20030057141 A	04 July 2003
		US 2005248708 A1	10 November 2005
		KR 100450701 B1	01 October 2004

国际检索报告

国际申请号

PCT/CN2015/085379

A. 主题的分类

H01L 27/12(2006.01)i; G02F 1/1333(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

G02F; H01L

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

CNABS, EPODOC, CPRS, CNKI: 液晶、基板、信号线、半导体、钝化层、像素电极 lcd, display, film, substrate, semiconductor, pixel electrode, passivation layer

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
X	CN 103926747 A (瀚宇彩晶股份有限公司) 2014年 7月 16日 (2014 - 07 - 16) 说明书第40-52段, 图1-4	1-20
E	CN 104934446 A (深圳市华星光电技术有限公司) 2015年 9月 23日 (2015 - 09 - 23) 全文	7-9, 14-16
E	CN 105140231 A (深圳市华星光电技术有限公司) 2015年 12月 9日 (2015 - 12 - 09) 全文	7-8, 14-15
A	CN 101017835 A (三星电子株式会社) 2007年 8月 15日 (2007 - 08 - 15) 全文	1-20
A	US 2003122989 A1 (LG PHILIPS LCD CO LTD 等) 2003年 7月 3日 (2003 - 07 - 03) 全文	1-20

☐ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2016年 4月 9日

国际检索报告邮寄日期

2016年 4月 15日

ISA/CN的名称和邮寄地址

中华人民共和国国家知识产权局(ISA/CN)
中国北京市海淀区蓟门桥西土城路6号 100088

授权官员

刘章鹏

传真号 (86-10)62019451

电话号码 (86-10)62085125

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2015/085379

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	103926747	A	2014年 7月 16日	US	2014198284	A1	2014年 7月 17日
CN	104934446	A	2015年 9月 23日	无			
CN	105140231	A	2015年 12月 9日	无			
CN	101017835	A	2007年 8月 15日	KR	101252000	B1	2013年 4月 8日
				CN	101017835	B	2011年 4月 6日
				KR	20070080540	A	2007年 8月 10日
				JP	4921997	B2	2012年 4月 25日
				JP	2007213065	A	2007年 8月 23日
				US	2007184587	A1	2007年 8月 9日
				US	7675065	B2	2010年 3月 9日
US	2003122989	A1	2003年 7月 3日	US	6930743	B2	2005年 8月 16日
				US	7436478	B2	2008年 10月 14日
				KR	20030057141	A	2003年 7月 4日
				US	2005248708	A1	2005年 11月 10日
				KR	100450701	B1	2004年 10月 1日

表 PCT/ISA/210 (同族专利附件) (2009年7月)