

(19) 世界知的所有権機関
国際事務局(43) 国際公開日
2007 年 10 月 4 日 (04.10.2007)

PCT

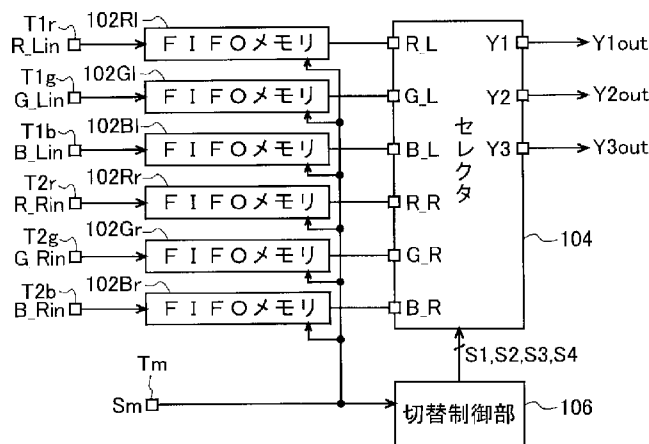
(10) 国際公開番号
WO 2007/110993 A1

- (51) 国際特許分類:
G09G 3/36 (2006.01) G09G 3/20 (2006.01)
G02F 1/133 (2006.01)
- (21) 国際出願番号: PCT/JP2006/322135
- (22) 国際出願日: 2006 年 11 月 7 日 (07.11.2006)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願2006-082922 2006 年 3 月 24 日 (24.03.2006) JP
- (71) 出願人 (米国を除く全ての指定国について): シャープ株式会社 (SHARP KABUSHIKI KAISHA) [JP/JP]; 〒5458522 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 Osaka (JP).
- (72) 発明者; および
(75) 発明者/出願人 (米国についてのみ): 水巻 秀隆 (MIZU-MAKI, Hidetaka) [JP/—].
- (74) 代理人: 島田 明宏 (SHIMADA, Akihiro); 〒6340078 奈良県橿原市八木町 1 丁目 1 0 番 3 号 萬盛庵ビル 島田特許事務所 Nara (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LV, LY, MA, MD, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK,

[続葉有]

(54) Title: SIGNAL FORMAT CONVERTER AND SIGNAL FORMAT CONVERTING METHOD FOR USE WITH MATRIX DISPLAY APPARATUS

(54) 発明の名称: マトリクス型表示装置のための信号形式変換器および信号形式変換方法



102Ri FIFO MEMORY
102Gi FIFO MEMORY
102Bi FIFO MEMORY
102Rr FIFO MEMORY
102Gr FIFO MEMORY
102Br FIFO MEMORY
104 SELECTOR
106 SWITCHING CONTROL PART

(57) Abstract: Even if a different input format of display data or a different output format of drive signal is used in a matrix display apparatus, a data signal line drive circuit having a conventional structure can be used. A signal format converter in a display control circuit comprises six FIFO memories (102R1-102Br) for writing input image signals of two systems to be applied to first and second input terminal groups (T1r-T2b); a selector (104) for selecting, among signals read from the FIFO memories, a signal to be supplied to a data signal line drive circuit via three output terminal groups (Y1-Y3); and a switching control part (106) for generating control signals (S1-S4) for the selector. Generating, based on an externally given operation mode signal (Sm), the control signals (S1-S4) and controlling the FIFO memories allow the format of an input image signal to be converted in accordance with an operation mode. The present invention is applicable to signal format converters for used with matrix display apparatuses.

(57) 要約: 本発明は、マトリクス型表示装置において表示データの入力形式

や駆動信号の出力形式が異なる場合でも従来構成のデータ信号線駆動回路を使用可能とすることを目的とする。表示制御回路内の信号形式変換器は、第 1 および第 2 の入力端子群 (T1r~T2b) に与えられる 2 系統の入力画像信号を書き込むための 6 個の FIFO メモリ (102R1~102Br) と、3 個の出力端子群 (Y1~Y3) を介してデータ信号線駆動回路に供給すべき信号を上記 FIFO メモリから読み出される信号の中から選択するセレクタ (104) と、当該セレクタの制御信号 S1~S4 を生成する切替制御部 (106) とを備える。外部からの動作モード信号 Sm に基づく上記制御信号 S1~S4 の生成および上記 FIFO メモリの制御

[続葉有]

WO 2007/110993 A1



SL, SM, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US,
UZ, VC, VN, ZA, ZM, ZW.

OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML,
MR, NE, SN, TD, TG).

- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, NL, PL, PT, RO, SE, SI, SK, TR),

添付公開書類:

— 国際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

明 細 書

マトリクス型表示装置のための信号形式変換器および信号形式変換方法 技術分野

[0001] 本発明は、アクティブマトリクス型液晶表示装置等のようなマトリクス型表示装置に関するものであり、更に詳しくは、そのような表示装置で表示すべき画像を表す信号として当該表示装置の駆動回路に供給すべき画像信号を当該表示装置の画素構成に応じた画素単位または副画素単位のシリアル信号として出力するための信号形式変換器に関する。

背景技術

[0002] 近年、使用者に両眼視差を生じさせて立体的な表示を行う液晶表示装置が提供されている。この液晶表示装置では、液晶パネルに視差バリアを設けることによって、左右の目に相当する2つの視点に対して異なる画像を表示する構成となっている。これと同様の原理により、2人の使用者に対して異なる画像を表示する液晶表示装置（以下「デュアルビュー液晶表示装置」または「DV液晶表示装置」という）を実現することができる（例えば特許文献1（日本の特開2004－206089号公報（これは米国特許出願公開第20004／0119896号に対応し、この内容は引用することによってこの中に含まれる））参照）。このDV液晶表示装置では、例えば、右側から見える表示画像と左側から見える表示画像とを異ならせることができる。したがって、このDV液晶表示装置を例えば車に搭載して運転者と助手席の搭乗者とに異なる画像を表示したり、銀行等の窓口を設置して客と係員とに異なる画像を表示したりすることが可能となる。

[0003] 以下、このようなDV液晶表示装置の原理につき図面を参照して説明する。図28（A）は、DV液晶表示装置において表示すべき画像の画素を形成する画素形成部の配置構成（以下「画素構成」という）を模式的に示す平面図であり、図28（B）は、その画素構成を模式的に示す断面図である（図28（A）は、図28（B）のY－Y線における断面図である）。

[0004] 一般に、カラー画像を表示する液晶表示装置では、表示すべき画像を構成する各

画素は、R(赤)の副画素とG(緑)の副画素とB(青)の副画素からなり、これに対応して、各画素に対し、R(赤)の副画素形成部(「R副画素」ともいう)と、G(緑)の副画素形成部(「G副画素」ともいう)と、B(青)の副画素形成部(「B副画素」ともいう)とが設けられている。図28(A)に示すように、DV液晶表示装置では、マトリクス状に配置された多数の画素形成部からなる画素アレイは、R副画素が並ぶ列、G副画素が並ぶ列、およびB副画素が並ぶ列を有しており、1列おきに配置されたR副画素とG副画素とB副画素とからなる3つの副画素によって、表示すべき画像(DV液晶表示装置では表示すべき画像は2つあり、そのうちの一方の画像)における1つの画素が形成される。

[0005] このDV液晶表示装置では、視差バリア84bが図28(B)に示すように配置されることにより、各副画素90から出射される光が選択的に遮断され、各副画素90から出射される光のうち当該DV液晶表示装置から出ていく光は、視差バリア84bに形成されたスリット84sを通過する光だけである。すなわち、図28(B)において θb および θg で示されるような範囲にのみ光が出射される。その結果、図28(B)において、当該DV液晶表示装置の表示面前方における左側に位置する使用者には、図に示した4個の副画素のうち左から3つ目のB副画素が見えるが、左から2番目のG副画素は見えない。これに対し、当該DV液晶表示装置の表示面前方における右側に位置する使用者には、図に示した4個の副画素のうち左から2つ目のG副画素が見えるが、左から3番目のB副画素は見えない。したがって、DV液晶表示装置においてマトリクス状に配置された副画素のうち、1列おきに選ばれた副画素からなる第1の副画素群は、上記左側に位置する使用者(視点)に対して表示する画像を形成し、当該第1の副画素群以外の副画素からなる第2の画素群(これも1列おきに選ばれた画素からなる)は、上記右側に位置する使用者(視点)に対して表示する画像を形成する。すなわち、DV液晶表示装置では、左側から見たときの表示画像と右側から見たときに表示画像とが異なることになる。

特許文献1: 日本の特開2004-206089号公報

特許文献2: 日本の特開昭62-278591号公報

発明の開示

発明が解決しようとする課題

- [0006] 上記のようなDV液晶表示装置では、少なくとも2つの異なる視点に対して異なる画像が表示されるので、表示画面前方の複数の使用者に同一の画像を表示する通常の表示装置(以下、これをDV表示装置と区別するために「SV表示装置」と呼ぶ)とは異なる形式で、表示すべき画像を表すデータ(信号)が入力される必要がある。
- [0007] また、DV液晶表示装置等のデュアルビュー表示装置(以下「DV表示装置」と略記する)では、視点の配置可能な2つの領域に対してそれぞれ表示すべき2つの画像、典型的には、表示画面に向かって左から見たときに表示される画像である左画像と、右から見たときに表示される画像である右画像とを表す入力データの形式として、例えば図8(A)(B)に示すような2種類の入力形式が考えられる。図8(A)に示す入力形式は、左画像データDaLと右画像データDaRとが2系統のデジタル画像信号として同時に入力される形式である(以下、これを「DV2系統同時入力形式」または単に「2系統同時入力形式」という)。図8(B)に示す入力形式は、左画像データDaLと右画像データDaRとを水平方向(表示ライン方向)に並べた形式の画像データである結合画像データを示す1系統の信号として入力される形式、すなわち、左画像の1行分のデータと右画像の1行分のデータとが交互に入力される形式(以下「DV表示マッピング入力形式」または「2系統交互入力形式」という)である。したがって、例えばDV表示マッピング入力形式に対応可能なDV液晶表示装置の開発に際し、データ信号線駆動回路(データドライバ)としてDV2系統同時入力形式のデータドライバ用IC(Integrated Circuit)のみが入手可能な場合には、DV表示マッピング入力形式に対応可能とするための専用のインタフェース回路を別途用意する必要がある。
- [0008] ところで、図28(A)～図28(C)に示したような構成のDV液晶表示装置では、その表示画面を左側から見たときと右側から見たときで異なる画像を良好に表示できるか否か、すなわち、左右両側の一方からのみ見えるべき画像が他方から見たときにも見えるという現象(以下「左右画像の映り込み」という)を十分に防止できるか否かは、視差バリア84bと副画素90との位置関係に敏感に依存し、左右画像の写り込みを防止するには、視差バリア84bと副画素90との間隔(ギャップ)d1を狭くしなければならない。したがって、視差バリア84bと副画素90との間隔d1を小さな値に精度よく設定する

ことが必要であり、DV液晶表示装置の液晶パネル(以下「DV液晶パネル」という)の作製には高い加工精度が要求される。この点については、上記のような視差バリアによって両眼視差を生じさせることで立体的な表示を行う3D液晶表示装置についても同様である。

[0009] これに対し、図17(A)に示すように、水平方向(行方向)が長手方向となるように副画素70を配置し、カラー画像を構成する各画素を垂直方向(列方向)に隣接するR副画素、G副画素、B副画素という3つの副画素70で形成するという構成(以下「横長副画素構成」という)も提案されている(例えば特許文献1(日本の特開2004-206089号公報)の図7(b)参照)。このような構成によれば、図7(A)、図28(A)に示したように垂直方向が長手方向となるように副画素を配置する上記構成(以下「縦長副画素構成」という)に比べ、視差バリア54bと副画素70との間隔d2を比較的大きくすることができるので、高い加工精度を必要することなく左右画像の映り込みを防止することができる。

[0010] しかし、横長副画素構成のDV液晶表示装置では、その画素構成に応じた形式で駆動信号を出力するデータドライバが必要となり、縦長副画素構成のDV液晶表示装置で使用するデータドライバをそのまま使用することはできない。一方、横長副画素構成に対応したデータドライバ用ICを開発した場合には、そのICは横長副画素構成のDV液晶表示装置に専用のものとなり、縦長副画素構成のDV液晶表示装置やSV液晶表示装置では使用することができない。

[0011] 本発明は、上記問題を解決すべくなされたものであって、マトリクス型表示装置において表示データの入力形式および／または駆動信号の出力形式が異なる場合であっても従来構成のデータ信号線駆動回路を使用可能とする信号形式変換器を提供することを目的とする。

課題を解決するための手段

[0012] 本発明の第1の局面は、複数の動作モードを有し、マトリクス型の表示装置で表示すべき画像を表す信号として当該表示装置の駆動回路に供給すべき画像信号を当該表示装置の画素構成に応じた画素単位または副画素単位のシリアル信号として出力するための信号形式変換器であって、

前記画像を表す第1の画像信号を画素単位のシリアル信号として受け取るための第1の主入力端子群と、

前記画像を表す第2の画像信号を画素単位のシリアル信号として受け取るための第2の主入力端子群と、

前記第1の主入力端子群を介して入力される第1の画像信号につき先入れ先出し方式で書込および読出が行われる第1のラインメモリと、

前記第2の主入力端子群を介して入力される第2の画像信号につき先入れ先出し方式で書込および読出が行われる第2のラインメモリと、

前記第1のラインメモリから読み出される第1の画像信号を受け取るための第1の選択入力端子群と、前記第2のラインメモリから読み出される第2の画像信号を受け取るための第2の選択入力端子群と、画素単位または副画素単位のシリアル信号として前記駆動回路に供給すべき画像信号を出力するための出力端子群とを有し、前記第1および第2のラインメモリからそれぞれ読み出される第1および第2の画像信号を構成する画素単位または副画素単位のシリアル信号から選択された信号を前記出力端子群から出力する接続切替回路と、

前記第1および第2のラインメモリからそれぞれ読み出される第1および第2の画像信号を構成する画素単位または副画素単位のシリアル信号の間で前記出力端子群から出力すべき画像信号が切り替わる出力動作と、前記第1のラインメモリから出力される第1の画像信号のみが前記出力端子群から出力される出力動作とが、動作モードに応じて択一的に実行されるように、前記接続切替回路を制御する切替制御部とを備えることを特徴とする。

[0013] 本発明の第2の局面は、本発明の第1の局面において、

前記第1および第2の画像信号のそれぞれは、並列に入力される第1、第2および第3の色信号からなり、

前記第1のラインメモリは、

第1の記憶部と、

前記第1の主入力端子群を介して入力される第1の画像信号を前記第1の記憶部に書き込み、かつ、前記第1の記憶部に書き込まれた第1の画像信号を先入れ先出

し方式で読み出すための第1のメモリ制御部とを含み、

前記第2のラインメモリは、

第2の記憶部と、

前記第2の主入力端子群を介して入力される第2の画像信号を前記第2の記憶部に書き込み、かつ、前記第2の記憶部に書き込まれた第2の画像信号を先入れ先出し方式で読み出すための第2のメモリ制御部とを含み、

前記第1および第2のメモリ制御部は、

第1の動作モードでは、前記第1および第2の画像信号を前記第1および第2の記憶部にそれぞれ書き込むと共に、前記第1および第2の記憶部に書き込まれた前記第1および第2の画像信号を読み出して前記第1および第2のラインメモリから出力し、

第2の動作モードでは、前記第1の画像信号を前記第1の記憶部に書き込むと共に、前記第1の記憶部に書き込まれた前記第1の画像信号を読み出して前記第1のラインメモリから出力し、

前記切替制御部は、

前記第1の動作モードでは、前記第1のラインメモリから出力される第1の画像信号における第1、第2および第3の色信号と前記第2のラインメモリから出力される第2の画像信号における第1、第2および第3の色信号とからなる6つの色信号のうち前記出力端子群から出力される信号が、所定の3つの色信号と他の3つの色信号との間で交互に切り換わるように、前記接続切替回路を制御し、

前記第2の動作モードでは、前記第1のラインメモリから出力される第1の画像信号が前記出力端子群から出力されるように前記接続切替回路を制御することを特徴とする。

[0014] 本発明の第3の局面は、本発明の第2の局面において、

前記第1および第2のメモリ制御部は、第3の動作モードでは、

1表示ライン分の前記第1の画像信号の前記第1の記憶部への書込と1表示ライン分の前記第2の画像信号の前記第2の記憶部への書込とを交互に行うと共に、

前記第1および第2の画像信号を前記書込の速度の1/2の速度で前記第1およ

び第2の記憶部からそれぞれ読み出して前記第1および第2のラインメモリから出力し、

前記切替制御部は、前記第3の動作モードでは、前記第1のラインメモリから出力される第1の画像信号における第1、第2および第3の色信号と前記第2のラインメモリから出力される第2の画像信号における第1、第2および第3の色信号とからなる6つの色信号のうち前記出力端子群から出力される信号が、所定の3つの色信号と他の3つの色信号との間で交互に切り換わるように、前記接続切替回路を制御することを特徴とする。

[0015] 本発明の第4の局面は、本発明の第1の局面において、

前記第1および第2の画像信号のそれぞれは、並列に入力される第1、第2および第3の色信号からなり、

前記第1のラインメモリは、

第1の記憶部と、

前記第1の主入力端子群を介して入力される第1の画像信号を前記第1の記憶部に書き込み、かつ、前記第1の記憶部に書き込まれた第1の画像信号を先入れ先出し方式で読み出すための第1のメモリ制御部とを含み、

前記第2のラインメモリは、

第2の記憶部と、

前記第2の主入力端子群を介して入力される第2の画像信号を前記第2の記憶部に書き込み、かつ、前記第2の記憶部に書き込まれた第2の画像信号を先入れ先出し方式で読み出すための第2のメモリ制御部とを含み、

前記第1および第2のメモリ制御部は、第4の動作モードでは、

前記第1および第2の画像信号を前記第1および第2の記憶部にそれぞれ書き込むと共に、

1表示ライン分の前記第1および第2の画像信号の前記第1および第2の記憶部への書き込みに要する期間において、前記第1および第2の画像信号のそれぞれにつき、前記第1の色信号の1表示ライン分の読み出しと前記第2の色信号の1表示ライン分の読み出しと前記第3の色信号の1表示ライン分の読み出しとが逐次的に実行

されるように、前記第1および第2の記憶部に書き込まれた前記第1および第2の画像信号を読み出して前記第1および第2のラインメモリから出力し、

前記切替制御部は、前記第4の動作モードでは、前記第1のラインメモリから出力される第1、第2または第3の色信号と前記第2のラインメモリから出力される第1、第2または第3の色信号とが交互に前記出力端子群から出力されるように、前記接続切替回路を制御することを特徴とする。

[0016] 本発明の第5の局面は、本発明の第4の局面において、

前記第1および第2のメモリ制御部は、第5の動作モードでは、

1表示ライン分の前記第1の画像信号の前記第1の記憶部への書込と1表示ライン分の前記第2の画像信号の前記第2の記憶部への書込とを交互に行うと共に、

1表示ライン分の前記第1および第2の画像信号の前記第1および第2の記憶部への書き込みに要する期間において、前記第1および第2の画像信号のそれぞれにつき、前記第1の色信号の1表示ライン分の読み出しと前記第2の色信号の1表示ライン分の読み出しと前記第3の色信号の1表示ライン分の読み出しとが逐次的に実行されるように、前記第1および第2の記憶部に書き込まれた前記第1および第2の画像信号を読み出して前記第1および第2のラインメモリから出力し、

前記切替制御部は、前記第5の動作モードでは、前記第1のラインメモリから出力される第1、第2または第3の色信号と前記第2のラインメモリから出力される第1、第2または第3の色信号とが交互に前記出力端子群から出力されるように、前記接続切替回路を制御することを特徴とする。

[0017] 本発明の第6の局面は、マトリクス型の表示装置で表示すべき画像を表す表示データを画素単位のシリアル信号として当該表示装置の駆動回路に供給する表示制御回路であって、

本発明の第1から第5の局面のいずれかに係る信号形式変換器を備えること特徴とする。

[0018] 本発明の第7の局面は、表示装置であって、

本発明の第1から第5の局面のいずれかに係る信号形式変換器を備えること特徴とする。

[0019] 本発明の第8の局面は、複数の動作モードを有し、マトリクス型の表示装置で表示すべき画像を表す信号として当該表示装置の駆動回路に供給すべき画像信号を当該表示装置の画素構成に応じた画素単位または副画素単位のシリアル信号として出力するための信号形式変換方法であって、

前記画像を表す第1の画像信号を画素単位のシリアル信号として受け取る第1入力ステップと、

前記画像を表す第2の画像信号を画素単位のシリアル信号として受け取る第2入力ステップと、

前記第1入力ステップにて受け取られる第1の画像信号につき先入れ先出し方式で第1のラインメモリに対し書込および読出を行う第1FIFOステップと、

前記第2入力ステップにて受け取られる第2の画像信号につき先入れ先出し方式で第2のラインメモリに対し書込および読出を行う第2FIFOステップと、

前記第1および第2のラインメモリからそれぞれ読み出される第1および前記第2の画像信号を構成する画素単位または副画素単位のシリアル信号から選択された信号を出力する選択出力ステップとを備え、

前記選択出力ステップでは、前記第1および第2のラインメモリからそれぞれ読み出される第1および第2の画像信号を構成する画素単位または副画素単位のシリアル信号の間で出力すべき画像信号が切り替わる第1出力ステップと、前記第1のラインメモリからの読み出される第1の画像信号のみが出力される第2出力ステップとが動作モードに応じて択一的に実行されることを特徴とする。

[0020] 本発明の他の局面については、本発明の上記局面および下記実施形態についての説明から明らかとなるので、説明を省略する。

発明の効果

[0021] 本発明の第1または第8の局面によれば、表示すべき画像を表す入力画像信号である第1の画像信号および／または第2の画像信号が画素単位のシリアル信号として受け取られ、先入れ先出し方式の第1のラインメモリおよび／または第2のラインメモリに書き込まれた後に読み出される。そして、第1および第2のラインメモリからそれぞれ読み出される第1および第2の画像信号を構成する画素単位または副画素単位の

シリアル信号の間で出力すべき画像信号が切り替わる出力動作と、第1のラインメモリから出力される第1の画像信号のみが出力される出力動作とが、動作モードに応じて択一的に実行される。したがって、表示すべき画像を表す表示データの入力形式（例えばDV表示用の2系統同時入力形式かSV表示用のノーマル入力形式か）および表示パネルの構造（もしくは駆動信号の出力形式）（例えばDV表示パネルかSV表示パネルか）に応じて、第1および／または第2のラインメモリからの読出の速度やタイミング、出力すべき信号の選択を切り替えることにより、すなわち動作モードを変更することにより、入力画像信号の形式が表示パネルの構造（駆動信号の出力形式）に応じた形式に変換され、データ信号線駆動回路に供給すべき画像信号が生成される。これにより、入力形式や表示パネルの構造の異なる複数の表示装置において従来構成のデータ信号線駆動回路を使用可能とすることができる。

[0022] 本発明の第2の局面によれば、第1の動作モードでは、第1のラインメモリから出力される第1の画像信号における第1、第2および第3の色信号と第2のラインメモリから出力される第2の画像信号における第1、第2および第3の色信号とからなる6つの色信号のうち信号形式変換器から出力される信号が、所定の3つの色信号と他の3つの色信号との間で交互に切り換わり、第2の動作モードでは、第1のラインメモリから出力される第1の画像信号が信号形式変換器から出力される。したがって、2系統同時入力形式の縦長副画素構成のDV表示装置においては、第1の動作モードで信号形式変換器を動作させることにより、従来構成のデータ信号線駆動回路で表示パネルを適切に駆動することができ、ノーマル入力形式の縦長副画素構成のSV表示装置においては、第2の動作モードで信号形式変換器を動作させることにより、従来構成のデータ信号線駆動回路でSV表示パネルを適切に駆動することができる。

[0023] 本発明の第3の局面によれば、第3の動作モードでは、1表示ライン分の第1の画像信号の第1のラインメモリへの書込と1表示ライン分の第2の画像信号の第2のラインメモリへの書込とが交互に行われると共に、第1および第2の画像信号が書込速度の1/2の速度で第1および第2のラインメモリからそれぞれ読み出される。したがって、2系統交互入力形式（DV表示マッピング入力形式）の場合には、入力画像信号を第1の主入力端子群と第2の主入力端子群とで1/2水平走査期間（1ライン表示期間の

1/2の期間)毎に交互に受け取ることにより、第1および第2のラインメモリからは2系統同時入力形式と同様の形式の画像信号が得られる。そして、第1のラインメモリから読み出される第1の画像信号における第1、第2および第3の色信号と第2のラインメモリから読み出される第2の画像信号における第1、第2および第3の色信号とからなる6つの色信号のうち信号形式変換器から出力される信号が、所定の3つの色信号と他の3つの色信号との間で交互に切り換わる。よって、2系統交互入力形式の縦長副画素構成のDV表示装置においては、第3の動作モードで信号形式変換器を動作させることにより、従来構成のデータ信号線駆動回路で表示パネルを適切に駆動することができる。

[0024] 本発明の第4の局面によれば、第4の動作モードでは、1表示ライン分の第1および第2の画像信号の第1および第2のラインメモリへの書き込みに要する期間において、第1および第2の画像信号のそれぞれにつき、第1の色信号の1表示ライン分の読み出しと第2の色信号の1表示ライン分の読み出しと第3の色信号の1表示ライン分の読み出しとが逐次的に実行されるように、第1および第2の画像信号が第1および第2のラインメモリから読み出され、第1のラインメモリから読み出される第1、第2または第3の色信号と第2のラインメモリから読み出される第1、第2または第3の色信号とが交互に信号形式変換器から出力される。したがって、2系統同時入力形式の横長副画素構成のDV表示装置においては、第4の動作モードで信号形式変換器を動作させることにより、従来構成のデータ信号線駆動回路で表示パネルを適切に駆動することができる。

[0025] 本発明の第5の局面によれば、第5の動作モードでは、1表示ライン分の第1の画像信号の第1のラインメモリへの書込と1表示ライン分の第2の画像信号の第2のラインメモリへの書込とが交互に行われる共に、1表示ライン分の第1および第2の画像信号の第1および第2のラインメモリへの書き込みに要する期間において、第1および第2の画像信号のそれぞれにつき、第1の色信号の1表示ライン分の読み出しと第2の色信号の1表示ライン分の読み出しと第3の色信号の1表示ライン分の読み出しとが逐次的に実行されるように、第1および第2の画像信号が第1および第2のラインメモリから読み出される。そして、第1のラインメモリから読み出される第1、第2または第3の

色信号と第2のラインメモリから読み出される第1、第2または第3の色信号とが交互に信号形式変換器から出力される。したがって、2系統交互入力形式の横長副画素構成のDV表示装置においては、第5の動作モードで信号形式変換器を動作させると共に、入力画像信号を第1の主入力端子群と第2の主入力端子群とで1/2水平走査期間毎に交互に受け取ることにより、従来構成のデータ信号線駆動回路で表示パネルを適切に駆動することができる。

[0026] 本発明の第6の局面によれば、本発明の第1から第5の局面に係る信号形式変換器と同様の効果を奏する表示制御回路を提供することができる。

[0027] 本発明の第7の局面によれば、本発明の第1から第5の局面に係る信号形式変換器から出力される画像信号がデータ信号線駆動回路に供給されるので、DV表示パネルや横長副画素構成の表示パネルが使用される表示装置においても従来構成のデータ信号線駆動回路を使用することができる。

[0028] 本発明の他の局面の効果については、本発明の上記局面の効果および下記実施形態についての説明から明らかであるので、説明を省略する。

図面の簡単な説明

[0029] [図1]本発明の一実施形態に係る信号形式変換器の構成を示すブロック図である。

[図2]上記実施形態におけるFIFOメモリの構成例を示すブロック図である。

[図3]上記FIFOメモリの動作を説明するためのタイミングチャートである。

[図4]上記実施形態に係る信号形式変換器を使用した第1の液晶表示装置(縦長副画素構成のDV液晶表示装置)の構成を示すブロック図である。

[図5]上記第1の液晶表示装置における1つの副画素形成部の等価回路を示す回路図である。

[図6]上記第1の液晶表示装置における液晶パネルの構造を説明するための断面図である。

[図7]上記第1の液晶表示装置においてデュアルビュー表示を実現するための構成を模式的に示す平面図(A)および断面図(B)である。

[図8]上記第1の液晶表示装置におけるデータドライバに供給すべき画像信号の表示入力データのフォーマットを示す図(A, B)である。

[図9]上記第1の液晶表示装置におけるデータドライバの構成例を示すブロック図である。

[図10]上記実施形態に係る信号形式変換器におけるセクタの動作を示す真理値表を示す図である。

[図11]上記第1の液晶表示装置における信号形式変換器の2系統同時入力形式の場合の動作(動作例1)を説明するためのタイミングチャート(A～F)である。

[図12]上記第1の液晶表示装置における信号形式変換器の表示マッピング入力形式の場合の動作(動作例2)を説明するためのタイミングチャート(A～H)である。

[図13]上記実施形態に係る信号形式変換器を縦長副画素構成のSV液晶表示装置に使用した場合における信号形式変換器の動作(動作例3)を説明するためのタイミングチャート(A～F)である。

[図14]上記実施形態に係る信号形式変換器を使用した第2の液晶表示装置(横長副画素構成のDV液晶表示装置)の構成を示すブロック図である。

[図15]上記第2の液晶表示装置における1つの副画素形成部の等価回路を示す回路図である。

[図16]上記第2の液晶表示装置におけるデータドライバの構成例を示すブロック図である。

[図17]上記第2の液晶表示装置においてデュアルビュー表示を実現するための構成を模式的に示す平面図(A)および断面図(B)である。

[図18]上記第2の液晶表示装置における信号形式変換器の2系統同時入力形式の場合の動作(動作例4)を説明するためのタイミングチャート(A～F)である。

[図19]上記第2の液晶表示装置におけるデータドライバの動作を説明するためのタイミングチャート(A～F)である。

[図20]上記第2の液晶表示装置における信号形式変換器の表示マッピング入力形式の場合の動作(動作例5)を説明するためのタイミングチャート(A～F)である。

[図21]上記実施形態に係る信号形式変換器を横長副画素構成のSV液晶表示装置に使用した場合における当該信号形式変換器の動作(動作例6)を説明するためのタイミングチャート(A～F)である。

[図22]上記実施形態に係る信号形式変換器を横長副画素構成のSV液晶表示装置に使用した場合におけるデータドライバの動作を説明するためのタイミングチャート(A～F)である。

[図23]上記実施形態に係る信号形式変換器の第1の変形例を示すブロック図である。

[図24]上記実施形態に係る信号形式変換器におけるFIFOメモリの他の構成例を示すブロック図である。

[図25]上記実施形態に係る信号形式変換器の第2の変形例を示すブロック図である。

[図26]上記第2の変形例における入力側セクタの動作を示す真理値表を示す図(A)および出力側セクタの動作を示す真理値表を示す図(B)である。

[図27]上記第2の変形例における入力側セクタの動作を説明するためのタイミングチャート(A～C)である。

[図28]従来のデュアルビュー液晶表示装置の画素構成を模式的に示す平面図(A)、部分平面図(B)、断面図(C)である。

符号の説明

[0030]	10	…薄膜トランジスタ(TFT)
	54	…視差バリア層
	54b	…視差バリア
	54s	…スリット
	56	…CF基板
	58	…カラーフィルタ
	59	…対向電極(共通電極)
	60	…液晶層
	62	…画素電極
	66	…TFT基板
	70	…副画素
	100	…信号形式変換器

102Rl~102Bl ...FIFOメモリ(第1のラインメモリ)
102Rr~102Br ...FIFOメモリ(第2のラインメモリ)
103 ...入力側セクタ
104 ...セクタ
106 ...切替制御部
120 ...記憶部
121 ...第1メモリ
122 ...第2メモリ
124 ...書込制御部
126 ...読出制御部
200 ...表示制御回路
300 ...データドライバ(データ信号線駆動回路)
400 ...ゲートドライバ(走査信号線駆動回路)
610、620...液晶パネル
Ps(i, j)...副画素形成部(i=1~M、j=1~N)
Pix ...画素形成部
T1r, T1g, T1b ...第1の入力端子群
T2r, T2g, T2b ...第2の入力端子群
R_L, G_L, B_L ...第1の選択入力端子群
R_R, G_R, B_R ...第2の選択入力端子群
Y1, Y2, Y3 ...出力端子群
Gi ...走査信号(i=1~M)
Dj ...データ信号(j=1~N)
G(i) ...走査信号(i=1~3m)
D(j) ...データ信号(j=1~2n)
DaL ...左画像データ
DaR ...右画像データ
DV1 ...左画像の信号

DV2 …右画像の信号

DV …デジタル画像信号(信号形式変換器の出力信号)

S1～S4 …制御信号

R_Lin ～ B_Rin …入力画像信号

発明を実施するための最良の形態

[0031] 以下、本発明の実施形態につき添付図面を参照して説明する。

<1. 信号形式変換器の構成>

図1は、本発明の一実施形態に係る信号形式変換器の構成を示すブロック図である。この信号形式変換器は、DV表示装置やSV表示装置等のように表示パネルの構造や入力形式の異なる表示装置を従来のデータ信号線駆動回路で駆動できるようにするために使用される。例えば、図4に示すような縦長副画素構成のDV液晶表示装置の表示制御回路200において使用され、データドライバ300に供給すべき画像信号DVを画素単位のシリアル信号として出力する。

[0032] 図1に示すように、本実施形態に係る信号形式変換回路は、画素単位のシリアル信号として与えられる2系統の画像信号を構成する第1および第2の画像信号をそれぞれ受け取るための第1および第2の入力端子群を備えている。第1および第2の画像信号のそれぞれは、カラー表示のための3原色に対応する3つの色信号、すなわちR(赤)信号とG(緑)信号とB(青)信号から構成され、第1の入力端子群は、第1の画像信号を構成するR信号とG信号とB信号をそれぞれ受け取るための入力端子群T1r, T1g, T1bからなり、第2の入力端子群は、第2の画像信号を構成するR信号とG信号とB信号をそれぞれ受け取るための入力端子群T2r, T2g, T2bからなる。この信号形式変換器は、これらの入力端子群T1r, T1g, T1b, T2r, T2g, T2bに対応する6個の先入れ先出し方式のメモリ(以下「FIFOメモリ」という)102Rl, 102Gl, 102Bl, 102Rr, 102Gr, 102Brと、接続切替回路としてのセレクト104と、セレクト104を制御する切替制御部106とを備えている。これら6個のFIFOメモリのうち、上記第1の画像信号を書き込むための3個のFIFOメモリ102Rl, 102Gl, 102Blは第1のラインメモリを構成し、上記第2の画像信号を書き込むための3個のFIFOメモリ102Rr, 102Gr, 102Brは第2のラインメモリを構成する。ここで、「ラインメモリ」とは、表示す

べき画像の1行(1表示ライン)分の書込や読出を行えるメモリをいう。

[0033] また、本実施形態に係る信号形式変換器は、その動作モードを示す動作モード信号Smを外部から受け取るためのモード入力端子Tmを有しており、このモード入力端子Tmを介して受け取られるモード信号Smは、切替制御部106および各FIFOメモリ102Xy(X=R, G, B; y=l, r)に与えられる。この信号形式変換器は、それが使用される表示装置における表示データの入力形式や表示パネルの構造(画素構成等)に応じたモード信号Smが与えられると、表示データの入力形式や表示パネルの構造が従来と異なる場合においても従来構成のデータドライバが使用可能となるように、表示すべき画像を表す信号の形式を変換する。すなわち、各FIFOメモリ102Xyは、動作モード信号Smに応じて読出動作等を行い、切替制御部106は、セクタ104の制御信号S1～S4を動作モード信号Smに応じて生成する(詳細は後述)。以下では、本実施形態に係る信号形式変換器の使用される表示装置における表示データの入力形式や表示パネルの構造に応じて異なる値を有する動作モード信号Smが、当該信号形式変換器の外部から与えられるものとして説明する。

[0034] 上記第1および第2の入力端子群を構成する入力端子群T1r, T1g, T1b, T2r, T2g, T2bは、上記FIFOメモリ102Rl, 102Gl, 102Bl, 102Rr, 102Gr, 102Brの入力端にそれぞれ接続されている。セクタ104は、上記FIFOメモリ102Rl, 102Gl, 102Bl, 102Rr, 102Gr, 102Brの出力端にそれぞれ接続された入力端子群R__L, G__L, B__L, R__R, G__R, B__R(以下「選択入力端子群」という)と、この信号形式変換器の出力端子となるべき3個の出力端子群Y1, Y2, Y3とを有しており、切替制御部106から制御信号S1, S2, S3, S4を受け取る。セクタ104は、これらの制御信号S1～S4に基づき、6個の選択入力端子群R__L, G__L, B__L, R__R, G__R, B__Rと3個の出力端子群Y1～Y3との間の接続を後述の図10に示す真理値表に示すように切り換えることにより、出力端子群Y1～Y3から出力すべき画素単位の出力信号を切り換える。なお以下において、上記6個の選択入力端子群のうち、(図において上側に示された)3個の選択入力端子群R__L, G__L, B__Lを第1の選択入力端子群と呼び、(図において下側に示された)3個の選択入力端子群R__R, G__R, B__Rを第2の選択入力端子群と呼ぶ。

- [0035] このような構成において、第1の入力端子群T1r, T1g, T1bを介してそれぞれ入力される第1の画像信号におけるR信号、G信号、B信号は、FIFOメモリ102Rl, 102Gl, 102Blをそれぞれ介して、セクタ104の第1の選択入力端子群R_L, G_L, B_Lに入力され、第2の入力端子群T2r, T2g, T2bを介してそれぞれ入力される第2の画像信号におけるR信号、G信号、B信号は、FIFOメモリ102Rr, 102Gr, 102Brをそれぞれ介して、セクタ104の第2の選択入力端子群R_R, G_R, B_Rに入力される。セクタ104は、このようにして入力される第1および第2の画像信号におけるR信号、G信号、B信号の中から、3個の出力端子群Y1～Y3のそれぞれから出力すべき色信号を制御信号S1～S4に基づき選択する。
- [0036] 図2は、各FIFOメモリの構成例を示すブロック図であり、この図において、信号WDATAinは、副画素単位のシリアル信号として入力端に与えられるデジタル画像信号であり、信号RDATAinは、副画素単位のシリアル信号として出力端から出力されるデジタル画像信号である。この例では、各FIFOメモリは、RAM(Random Access Memory)である第1および第2メモリ121, 122からなる記憶部120と、記憶部120へのデータ書込を制御する書込制御部124と、記憶部120からのデータ読出を制御する読出制御部126とからなり、書込制御部124と読出制御部126は、書込と読出との非同期実行が可能な先入れ先出し方式を実現するためのメモリ制御部を構成する。第1および第2メモリ121, 122のそれぞれは、この信号形式変換器が使用される表示装置における1表示ライン分の副画素単位のシリアル信号に相当する画像データを保持可能な容量を有している。また、書込制御部124および読出制御部126には、1表示ライン分の画像信号が第1および第2の入力端子群T1r, T1g, T1b, T2r, T2g, T2bに与えられる毎にアクティブとなるライトリードリセット信号WRA_RSTが外部から与えられる。
- [0037] 書込制御部124は、上記動作モード信号Smに基づき、上記のライトリードリセット信号WRA_RSTによってリセットされる内部カウンタを使用して書込アドレス信号WAを生成すると共に、書込制御信号WEを生成し、それらの書込アドレス信号WAおよび書込制御信号WEを第1および第2メモリ121, 122に与えることにより、記憶部120へのデータ書込を制御する。読出制御部126は、上記動作モード信号Smに基づ

き、上記のライトリードリセット信号WRA_RSTによってリセットされる内部カウンタを使用して読出アドレス信号RAを生成すると共に、読出制御信号REを生成し、それらの読出アドレス信号RAおよび読出制御信号REを第1および第2メモリ121, 122に与えることにより、記憶部120からのデータ読出を制御する。なお、これらの書込アドレス信号WA, 書込制御信号WE、読出アドレス信号RA、および読出制御信号REについては、書込と読出との非同期実行が可能なように、第1および第2メモリ121, 122に対し互いに独立の信号が与えられる。

[0038] 図3は、このような書込制御部124および読出制御部126による第1および第2メモリ121, 122に対する書込および読出の動作を説明するためのタイミングチャートである。書込アドレス信号WAおよび読出アドレス信号RAの示すアドレス値は、ライトリードリセット信号WRA_RSTにより、1ラインの表示期間すなわち1水平走査期間（以下「1H期間」ともいう）を周期として順次変化する。一方、書込制御信号WEは、第1メモリ121と第2メモリ122とを1H期間毎に交互に書込状態にすると共に、読出制御信号REは、第1メモリ121と第2メモリ122とを1H期間毎に交互に読出状態とし、かつ、これらの書込制御信号WEおよび読出制御信号REは、第1および第2メモリ121, 122のうち一方が読出状態のときには他方を書込状態とする。書込制御部124および読出制御部126が、このような書込用および読出用のアドレス信号WA, RAと書込制御信号WEおよび読出制御信号REとを生成することにより、FIFOメモリにおいて図3に示すような書込および読出が行われる。

[0039] すなわち、或る1H期間において0番目の表示ラインのデータが第1メモリ121から読み出され画像信号RDATA00として出力されているときには、1番目の表示ラインのデータが第2メモリ122に画像信号WDATA01として書き込まれる。次の1H期間では、1番目の表示ラインのデータが第2メモリ122から読み出され画像信号RDATA01として出力されると共に、2番目の表示ラインのデータが第1メモリ121に画像信号WDATA02として書き込まれる。更に次の1H期間では、2番目の表示ラインのデータが第1メモリ121から読み出され画像信号RDATA02として出力されると共に、3番目の表示ラインのデータが第2メモリ122に画像信号WDATA03として書き込まれる。このような動作により、FIFOメモリの入力端に与えられる画像信号WDATAin

の示すデータが或る1H期間で1表示ライン分書き込まれると、次の1H期間において当該1表示ラインのデータがFIFOメモリから読み出され画像信号RDATAoutとして出力される。

[0040] なお、後述のように動作モードによって読出速度等を変化させるべく、上記動作モード信号Smに基づきアドレス値の変化速度が変わり、また、第1および第2メモリ121, 122のそれぞれは、それに与えられる書込制御信号WEが非アクティブのときにはそれに与えられる書込アドレス信号WAの値は変化せず、それに与えられる読出制御信号REが非アクティブのときにはそれに与えられる読出アドレス信号RAの値は変化しない。したがって、図3に示した動作例ではFIFOメモリに対する書込速度と読出速度とは同一であるが、両者が異なるように動作させること（書込と読出との非同期実行）も可能である（ただし平均的には書込速度と読出速度は同一となる）。例えば、後述の横長副画素構成の液晶表示装置では、書込は1H期間で一定速度で行われるのに対し、読出は、書込速度の3倍の速度で1H期間のうちの1/3の期間においてのみ行われる（例えば図18参照）。この場合、書込アドレス信号WAの生成のためのクロック信号（ドットクロック信号等）の周波数の3倍の周波数のクロック信号すなわち3倍クロック信号が必要であるが、このような3倍クロック信号は、例えば、ドットクロック信号に基づきPLL（Phase-Locked Loop）回路を用いた公知の手法により生成可能である。また、この場合、後述のようにセクタ104では3倍の速度で接続を切り替える必要があるが、このための制御信号S1～S4は、その3倍クロック信号に基づいて生成することができる。

[0041] 以下、上記のように構成された本実施形態に係る信号形式変換器の各種液晶表示装置における使用例について説明する。

[0042] <2. 第1の使用例>

まず、本実施形態に係る信号形式変換器を縦長副画素構成のDV液晶表示装置に使用した場合を第1の使用例として説明する。

[0043] <2. 1 DV液晶表示装置の構成および動作>

図4は、第1の使用例における液晶表示装置（以下「第1の液晶表示装置」という）の構成を示すブロック図である。第1の液晶表示装置は、視点の配置可能な2つの領

域に対して互いに異なる画像を表示することができる表示装置、すなわち、表示画面に向かって左または右へ傾いた所定の角度から見たときにそれぞれ異なる画像を表示することができるDV(デュアルビュー)液晶表示装置であって、表示制御回路200と、データ信号線駆動回路としてのデータドライバ300と、走査信号線駆動回路としてのゲートドライバ400と、アクティブマトリクス型の液晶パネル610とを備えている。以下では、表示画面に向かって左から見たときに表示される画像を「左画像」といい、右から見たときに表示される画像を「右画像」という(他の使用例においても同様)。

[0044] 第1の液晶表示装置は、外部の所定映像ソース(CPUなど)から、左画像を表示するための画像データDv1と、右画像を表示するための画像データDv2と、動作のタイミングを制御するための制御信号TSとを受け取る。なお、この左画像および右画像を液晶パネル610に表示するための元の画像は、液晶パネル610の表示列における奇数列または偶数列のみに表示されることにより正しく表示されるよう、水平方向(表示ライン方向)に(半分に)圧縮変形されているものとする。例えば、表示画面が640列480行で構成される場合、左画像および右画像を表示するための元画像は320列480行で構成される。

[0045] この液晶パネル610は、上記画像データDv1, Dv2の表す画像における水平走査線数Mに等しい本数の走査信号線Lgと、それらM本の走査信号線Lgのそれぞれと交差する $N = 3 \times 2n$ 本のデータ信号線Lsと、それらM本の走査信号線LgとN本($3 \times 2n$ 本)のデータ信号線Lsとの交差点にそれぞれ対応して設けられた $M \times 3 \times 2n$ 個の副画素形成部Ps(1, 1)~Ps(M, $3 \times 2n$)とを含む。また、この液晶パネル610は、各副画素形成部Ps(1, 1)~Ps(M, $3 \times 2n$)に含まれる画素電極に共通的に設けられかつ液晶層を挟んで各画素電極と対向するように配置された共通電極を備えている。

[0046] 液晶パネル610における $M \times 3 \times 2n$ 個の副画素形成部Ps(1, 1)~Ps(M, $3 \times 2n$)は、図4に示すように、走査信号線Lgの延びる方向すなわち行方向に隣接するR副画素とG副画素とB副画素の3つの副画素形成部を単位としてマトリクス状に配置されており、当該3つの副画素形成部により、この液晶パネル610によって表示すべきカラー画像の各画素、すなわち上記画像データDv1の表す左画像および上記画

像データDv2の表す右画像の各画素を形成する(以下、表示すべき画像の1画素に対応する3つの副画素形成部を「画素形成部」といい、符号“Pix”で示す)。なお、図4において、各副画素形成部Ps(i, j)に付されている“R”“G”“B”の各符号は、当該副画素形成部Ps(i, j)により表示される色が「赤」「緑」「青」のいずれであることを示すものである。

[0047] 表示制御回路200は、外部から上記画像データDv1, Dv2とタイミング制御信号TSとを受け取り、上記画像データDv1, Dv2に相当する画像信号を画素単位でデジタル画像信号DVとして出力すると共に、液晶パネル610に画像を表示するタイミングを制御するためのデータ用スタートパルス信号DSP、データ用クロック信号DCK、ラッチストロブ信号LS、ゲート用スタートパルス信号GSP、およびゲート用クロック信号GCKとを含む各種信号を出力する。この表示制御回路200は、図1に示した本実施形態に係る信号形式変換器100を備えており、外部から送られる上記画像データDv1, Dv2を示す2系統の画素単位のシリアル信号が、この信号形式変換器100によって1系統の上記デジタル画像信号DVに変換されて出力される。

[0048] このようにして、表示制御回路200によって生成される信号のうち、デジタル画像信号DV、データ用スタートパルス信号DSP、データ用クロック信号DCK、およびラッチストロブ信号LSはデータドライバ300に与えられ、ゲート用スタートパルス信号GSP、ゲート用クロック信号GCKはゲートドライバ400に与えられる。また、表示制御回路200は、上記クロック信号等に基づき、液晶パネル610の交流化駆動のための極性切替制御信号を生成し、これをデータドライバ300および図示されない共通電極駆動回路に供給する。なお、この極性切替信号とそれに基づく交流化駆動は、本発明に直接的には関係しないので、以下ではそれらの説明を省略する。

[0049] データドライバ300は、デジタル画像信号DV、データ用クロック信号DCK、データ用スタートパルス信号DSP、およびラッチストロブ信号LS等に基づき、液晶パネル610を駆動するためのアナログ電圧をデータ信号D1, D2, ..., DNとして生成し、これらを液晶パネル610におけるN本(3×2n本)のデータ信号線Lsにそれぞれ印加する。

[0050] ゲートドライバ400は、ゲート用クロック信号GCKおよびゲート用スタートパルス信

号GSPに基づき、液晶パネル610における走査信号線を1水平走査期間ずつ順に選択するために各走査信号線に印加すべき走査信号G1, G2, G3, ..., GMを生成し、全走査信号線のそれぞれを順に選択するためのアクティブな走査信号の各走査信号線への印加を1垂直走査期間を周期として繰り返す。

[0051] 上記のようにして液晶パネル610では、デジタル画像信号DVに基づくデータ信号D1～DNがデータ信号線Lsに印加され、走査信号G1～GMが走査信号線Lgに印加される。また、共通電極には、共通電極駆動回路(不図示)によって共通電圧信号が印加される。これにより、液晶パネル610は、その液晶層にデジタル画像信号DVに応じた電圧を印加されることで光の透過率を変化させ、外部の映像ソースから受け取った画像データDv1, Dv2の表す左画像および右画像を表示する。これらの画像は表示画面を見る角度に応じて一方がはっきりと明るく見え、他方が暗く見えまたは全く見えなくなる。次に、このように異なる視点(2人の使用者)に対して異なる画像を表示する液晶パネル610の詳細について説明する。

[0052] <2.2 液晶パネル>

液晶パネル610は、データドライバ300に接続されるN本($3 \times 2n$ 本)のデータ信号線Lsと、ゲートドライバ400に接続されるM本の走査信号線Lgとを備え、当該 $3 \times 2n$ 本のデータ信号線Lsと当該M本の走査信号線Lgとは、各データ信号線Lsと各走査信号線Lgとが交差するように格子状に配設されている。そして、当該 $3 \times 2n$ 本のデータ信号線Lsと当該M本の走査信号線Lgとの交差点に対応して $M \times 3 \times 2n$ 個の副画素形成部Ps(1, 1)～Ps(M, $3 \times 2n$)がそれぞれ設けられている。

[0053] 既述のように、液晶パネル610によって表示すべきカラー画像の各画素、すなわち上記画像データDv1, Dv2の表す左画像および右画像の各画素は、行方向に隣接するR副画素とG副画素とB副画素の3つの副画素形成部からなる画素形成部Pixによって形成され、液晶パネル610における $M \times 3 \times 2n$ 個の副画素形成部Ps(1, 1)～Ps(M, $3 \times 2n$)は、これら3つの副画素形成部を単位としてマトリクス状に配置されている(図4参照)。図5は、このような液晶パネル610における1つの副画素形成部Ps(i, j)の等価回路を示す回路図である($i=1, 2, \dots, M; j=1, 2, \dots, 3 \times 2n$)。

[0054] 各副画素形成部Ps(i, j)は、図5に示すように、対応する交差点を通過するデータ

信号線 L_s にソース端子が接続されるとともに、対応する交差点を通過する走査信号線 L_g にゲート端子が接続された薄膜トランジスタ (Thin Film Transistor) (以下「TFT」と略記する) 10と、そのTFT10のドレイン端子に接続された画素電極 E_p と、上記 $M \times 3 \times 2n$ 個の副画素形成部 $Ps(1, 1) \sim Ps(M, 3 \times 2n)$ に共通的に設けられた共通電極(「対向電極」ともいう) E_c と、上記 $M \times 3 \times 2n$ 個の副画素形成部 $Ps(1, 1) \sim Ps(M, 3 \times 2n)$ に共通的に設けられ画素電極 E_p と共通電極 E_c との間に挟持された液晶層とからなる。なお、上記信号線、TFT、およびそれに接続された画素電極 E_p を含む基板をTFT基板といい、上記共通電極 E_c および図示されないカラーフィルタや各種光学補償フィルム(偏光板等)を含む基板をCF基板という。そして、画素電極 E_p と共通電極 E_c とそれらの間に挟持された液晶層とにより形成される液晶容量 C_{lc} が、副画素データに相当する電圧を保持するための画素容量を構成する。なお、通常、画素容量に確実に電圧を保持すべく、液晶容量 C_{lc} に並列に補助容量が設けられるが、補助容量は本発明には直接に関係しないのでその説明および図示を省略する。

[0055] 上記構成からわかるように、いずれかの走査信号線 L_g に印加される走査信号 G_i がアクティブになると、その走査信号線 L_g が選択されて、その走査信号線 L_g に接続される(各副画素形成部 $Ps(i, j)$ の)TFT10が導通状態となり、そのTFT10に接続される画素電極 E_p には、データ信号 D_j がデータ信号線 L_s を介して印加される($j=1 \sim 3 \times 2n$)。これにより、その印加されたデータ信号 D_j の電圧(共通電極 E_c の電位を基準とする電圧)が、その画素電極 E_p を含む副画素形成部 $Ps(i, j)$ に副画素データとして書き込まれる。

[0056] 図6は、上記のような液晶パネル610の構造を模式的に示す断面図である。液晶パネル610は、1対の透明の絶縁性基板であるTFT基板66およびCF基板56と、それらTFT基板66とCF基板56との間に挟持された液晶層60とを備え、TFT基板66の後方(図6における下方)に配置されるバックライトからの光の透過率を上記画像データ $Dv1, Dv2$ に応じて変化させることにより、視点(アイポイント)が配置されるべき前方(図6における上方)に対して、上記画像データ $Dv1, Dv2$ の表す画像を表示する。

[0057] 液晶パネル610におけるTFT基板66およびCF基板56の外側(液晶層60の配置される側の反対側の主面)には偏光板68, 55がそれぞれ貼付されている。TFT基板66の内面(液晶層60の配置される側の主面)には、上記のデータ信号線Lsおよび走査信号線Lgと各副画素形成部Ps(1, 1)～Ps(M, 3×2n)のTFT10および画素電極Epとを含むTFT回路部64が形成され、CF基板56の内面には、R副画素、G副画素およびB副画素の図4に示す配置に対応するように構成されたカラーフィルタ58が形成され、そのカラーフィルタ58を覆うように透明の共通電極59が形成されている。これに加えて本実施形態では、CF基板56の外側に透明の視差バリア基板52が配置され、この視差バリア基板52の内面には、視差バリア54bを含む視差バリア層54が遮光性の金属または樹脂等によって形成されている。この視差バリア層54は、スリット54sを有しており、バックライトからTFT基板66、液晶層60およびCF基板56等を通して前方に向かう光を選択的に遮断することで、TFT回路部64、液晶層60およびカラーフィルタ58等によって実現される上記副画素形成部Ps(1, 1)～Ps(M, 3×2n)により形成される画像に対して視差を生じさせる。すなわち、この視差バリア層54は、少なくとも2つの視点に対して異なる画像が表示されるように、上記副画素形成部Ps(1, 1)～Ps(M, 3×2n)により形成される画像に視差を生じさせる視差生成部として機能する。

[0058] 図7は、上記のような液晶パネル610の構成を模式的に示しており、図7(A)は、デュアルビュー表示(以下「DV表示」と略記する)のための構成を示す平面図であり、図7(B)は、DV表示のための構成を示す断面図であって、図7(A)のY-Y線における断面図に相当する。以下、図7(A)(B)を参照して、第1の液晶表示装置においてDV表示を実現するための構成および作用を説明する。なお以下では、TFT回路部64、液晶層60およびカラーフィルタ58等によって実現される上記副画素形成部Ps(1, 1)～Ps(M, N)のそれぞれを区別せずに言及する場合には、参照符号“70”で示すものとし、副画素形成部を単に「副画素」ともいう。また、各副画素70に付された符号“Xy”(X=R, G, B; y=l, r)は、その副画素70がR副画素、G副画素、B副画素のいずれであるか、および、画像データDv1の表す左画像と画像データDv1の表す右画像のいずれの画像を形成するための副画素であるかを示している。すなわ

ち、例えば“Rl”の付された副画素70は、左画像を形成するためのR副画素であり、“Gr”の付された副画素70は、右画像を形成するためのG副画素である。なお以下では、符号“Xy”の付された副画素70を「副画素Xy」と呼ぶ。

[0059] 図7(A)および図7(B)に示すように、各副画素70は、その長手方向が列方向(データ信号線Lsの延びる方向)となるように配置されており、上記副画素形成部Ps(1, 1)~Ps(M, 3×2n)において、各列を構成する副画素70は左画像または右画像のいずれか一方を形成するための副画素のみからなる。そして、左画像を形成するための副画素のみからなる列と、右画像を形成するための副画素のみからなる列とが、交互に配置されている。視差バリア層54は、スリット54sが列方向(データ信号線Lsの延びる方向)に延び、かつ、副画素70の2列毎に1つのスリット54sが形成されると共に、右画像を形成するための副画素Xrの右側部分および左画像を形成するための副画素Xlの左側部分が、スリット54sによって部分的に露出するように構成されている。

[0060] 視差バリア層54を上記のような構成とし、スリット54sの幅w1および視差バリア54bと副画素70との間隔d1を適切に設定することにより、図7(B)に示すように、表示画面に向かって左側の所定領域DLからは、Xl副画素(X=R、G、B)から形成される左画像のみが見え、表示画面に向かって右側の所定領域DRからは、Xr副画素(X=R、G、B)から形成される右画像のみが見えるようになる。すなわち、視点の配置可能な第1の所定領域DLに対しては画像データDv1の表す左画像のみが表示され、視点の配置可能な第2の所定領域DRに対しては画像データDv2の表す右画像のみが表示される。なお、視差バリア54bと副画素70との間隔d1は、図6に示すカラーフィルタ58と視差バリア54bとの距離に相当する。

[0061] <2.3 表示データの入力形式>

図8(A)および図8(B)は、外部の映像ソースからの画像データDv1, Dv2を表す信号として信号形式変換器100に与えられる2系統のデジタル画像信号の表す入力データのフォーマットを示している。図4に示した第1の液晶表示装置では、図8(A)に示すように、左画像データDaLと右画像データDaRとが画像データDv1, Dv2として同時に表示制御回路200に供給され、画像データDv1の表す左画像の信号であ

るデジタル画像信号DV1(第1の画像信号)と画像データDv2の表す右画像の信号であるデジタル画像信号DV2(第2の画像信号)とが同時に信号形式変換器100に入力される(以下、この入力形式を「DV2系統同時入力形式」または「2系統同時入力形式」という)。

[0062] これに対し、図8(B)に示すように、左画像データDaLと右画像データDaRとを行方向(水平方向)に並べた形式の画像データ(以下「結合画像データ」という)を想定し、この結合画像データの表す画像の信号が表示制御回路200および信号形式変換器100に入力されるという形式も考えられる(以下、この入力形式を「DV表示マッピング入力形式」または「2系統交互入力形式」という)。この結合画像データは、 m 行 $3 \times 2n$ 列のマトリクス形式に配列された $2 \times 3 \times m \times n$ 個の副画素データからなる画像データであって($M=m$, $N=3 \times 2n$)、各行の前半は左画像を表す副画素データからなり後半は右画像を表す副画素データからなる。

[0063] <2.4 データドライバの構成>

図9は、第1の液晶表示装置のデータドライバ300の構成を示すブロック図である。このデータドライバ300は、縦長副画素構成の通常のSV液晶表示装置で 사용되는データドライバすなわち従来のデータドライバと同様の構成を有し、表示制御回路200からデジタル画像信号DVを画素単位のシリアル信号として受け取り、1ライン表示期間に対応する所定期間毎(通常は1H期間毎)にパラレル信号に変換する3個のラインメモリ304R, 304G, 304Bと、ラッチ回路306と、D/A変換回路310と、出力バッファ312とを備えている。このデジタルドライバ300が通常のSV液晶表示装置において使用される場合には、デジタル画像信号DVは、R信号とG信号とB信号とからなり、R信号はラインメモリ304Rに、G信号はラインメモリ304Gに、B信号はラインメモリ304Bにそれぞれ入力される。

[0064] 本実施形態では、表示制御回路200内の信号形式変換器100の出力端子群Y1, Y2, Y3から出力される信号Y1out, Y2out, Y3outが、ラインメモリ304R, 304G, 304Bにそれぞれ入力される。各ラインメモリ304X(X=R, G, B)は、それに入力される画像信号(R信号とG信号とB信号のうちいずれかの色信号)を、表示制御回路200からのデータ用スタートパルス信号DSP、データ用クロック信号DCKに基づき順

次取り込んで保持すると共に、1表示ライン分だけ取り込まれる毎に保持されている信号を平行信号に変換して出力する。ラッチ回路306には、上記所定期間毎(通常は1H期間毎)にアクティブとなるラッチストロブ信号LSが表示制御回路200から与えられ、当該ラッチ回路306は、上記ラインメモリ304R, 304G, 304Bに1表示ライン分の信号が取り込まれる毎に、ラッチストロブ信号LSにより、当該1表示ライン分のデジタル画像を平行信号として同時に読み込んで上記所定期間だけ保持する。ラッチ回路306に保持されている1表示ライン分のデジタル画像信号d1~dNは、当該ラッチ回路306から出力され、D/A変換回路310でアナログ電圧に変換され、その後、出力バッファ312を介してデータ信号D1~DNとして出力される。このようにしてデータドライバ300から出力されるデータ信号D1~DNは、液晶パネル610におけるN本(3×2n本)のデータ信号線Lsにそれぞれ印加される。

[0065] <2.5 信号形式変換器の動作例1>

次に、図10および図11を図1および図9と共に参照しつつ、上記第1の使用例において2系統同時入力形式で入力データが与えられる場合の信号形式変換器100の動作を本実施形態における動作例1として説明する。なお、図11のタイミングチャートにおいて、左画像を形成するx行目y列目のR副画素、G副画素、B副画素の画素値をそれぞれ記号“xRy_L”, “xGy_L”, “xBy_L”で示し、右画像を形成するx行目y列目のR副画素、G副画素、B副画素の画素値をそれぞれ記号“xRy_R”, “xGy_R”, “xBy_R”で示す(x=1~m, y=1~n)で示す(x=1~m, y=1~n)(以下で言及する他のタイミングチャートにおいても同様)。

[0066] 2系統同時入力形式の場合、左画像および右画像を表す2系統のデジタル画像信号DV1, DV2が、図11(A)に示すデジタル画像信号R_Lin, G_Lin, B_Lin, R_Rin, G_Rin, B_Rinとして、信号形式変換器100の入力端子群T1r, T1g, T1b, T2r, T2g, T2bを介してシリアルに入力される(以下、信号形式変換器100に与えられるこのようなデジタル画像信号を「入力画像信号」という)。この場合、信号形式変換器100内において、切替制御部106は、動作モード信号Smに基づき、図11(C)に示すような制御信号S1~S4を生成し、セクタ104に与える。

[0067] なお、図11(A)は、表示すべき画像(左画像および右画像)の3行目に相当するデ

デジタル画像信号が信号形式変換器100の入力端子群T1r, T1g, T1b, T2r, T2g, T2bに与えられた時点の入力画像信号R__Lin, G__Lin, B__Lin, R__Rin, G__Rin, B__Rinを示しており、この時点では、FIFOメモリ102Rl, 102Gl, 102Bl, 102Rr, 102Gr, 102Brから、表示すべき画像の2行目に相当するデジタル画像信号が読み出される(図11(B))。

[0068] この動作例1では、各FIFOメモリ102Xy(X=R, G, B;y=l, r)内の書込制御部124および読出制御部126は、動作モード信号Smに基づき、記憶部120への書込および記憶部120からの読出が常に可能となるように書込制御信号WEおよび読出制御信号REを生成する(図2)。この場合、既述のように、記憶部120を構成する第1および第2メモリ121, 122のうち一方が書込状態のときには他方は読出状態となる(図3)。また、書込制御部124および読出制御部126は、入力画像信号R__Lin, G__Lin, B__Lin, R__Rin, G__Rin, B__Rinの入力速度に等しい速度で記憶部120への書込および記憶部120からの読出が行われるように、書込アドレス信号WAおよび読出アドレス信号RAを生成する。

[0069] このような各FIFOメモリ102Xy(X=R, G, B;y=l, r)の動作により、各FIFOメモリ102Xyを経てセクタ104の選択入力端子群R__L, G__L, B__L, R__R, G__R, B__Rに与えられる信号は、図11(B)に示すような信号となる(以下では、各選択入力端子群の名称とそれに与えられる信号の名称とを便宜上同一とする)。

[0070] セクタ104は、図11(C)に示すような制御信号S1～S4に基づき、6個の選択入力端子群R__L, G__L, B__L, R__R, G__R, B__Rと3個の出力端子群Y1～Y3との間の接続を図10の真理値表に示すように切り換えることにより、出力端子群Y1～Y3から出力すべき画素単位の出力信号を切り換える。これにより、図11(D)に示すように、左画像を示す信号X__Lと右画像を示す信号X__Rとが(X=R, G, B)、図4および図7に示す副画素構成に応じた順序で出力端子群Y1～Y3を介して時分割的に出力される。したがって、信号形式変換器100からは、各FIFOメモリ102Xy(X=R, G, B;y=l, r)からの読出速度の2倍の速度で信号Y1out, Y2out, Y3outが出力される。

[0071] このようにして表示制御回路200内の信号形式変換器100から出力される信号Y1

out, Y2out, Y3outは、デジタル画像信号DVとしてデータドライバ300に与えられる。既述のように、データドライバ300は図9に示すように構成されているので、データドライバ300内のラッチ回路306からは、図11(E)に示すラッチストロブ信号LSに基づき、図11(F)に示すデジタル画像信号(以下「内部画像信号」という)d1, d2, ..., dNが出力される。そして出力バッファ312からは、これらの内部画像信号d1~dNに応じたデータ信号D1~DNが出力される。図7と図11(F)とを比較すればわかるように、これらのデータ信号D1~DNは、第1の液晶表示装置における縦長副画素構成のDV液晶パネルに応じた駆動信号となっている。

[0072] 以上のように本実施形態に係る信号形式変換器によれば、2系統同時入力形式の画像データの信号形式を変換して、データドライバに供給すべき画像信号を生成することにより、縦長画素構成のDV液晶パネルを従来構成のデータドライバによって適切に駆動することができる。

[0073] <2.6 信号形式変換器の動作例2>

次に、図12を図1、図9および図10と共に参照しつつ、上記第1の使用例において2系統交互入力形式(DV表示マッピング入力形式)で入力データが与えられる場合の信号形式変換器100の動作を本実施形態における動作例2として説明する。

[0074] 2系統交互入力形式の場合、図8(B)に示すように左画像データDaLと右画像データDaRとを行方向に並べた形式の結合画像データに対応する1系統のデジタル画像信号DVが、第1の入力端子群T1r, T1g, T1bと第2の入力端子群T2r, T2g, T2bとに交互に与えられ、副画素単位の3つのシリアル信号として信号形式変換器100に入力される。このとき、図12(A)に示すように、各水平走査期間の前半では、左画像を表すデジタル画像信号xRy__L, xGy__L, xBy__L(x=1~m, y=1~n)がデジタル画像信号R__Lin, G__Lin, B__Linとして第1の入力端子群T1r, T1g, T1bを介して入力され、各水平走査期間の後半では、右画像を表すデジタル画像信号xRy__R, xGy__R, xBy__R(x=1~m, y=1~n)がデジタル画像信号R__Rin, G__Rin, B__Rinとして第2の入力端子群T2r, T2g, T2bを介して入力される。なお、図12(A)において、“X”は出力される信号が不定または無効であることを示している(他の図に示すタイミングチャートにおいても同様)。

[0075] この動作例2では、信号形式変換器100内において、切替制御部106は、動作モード信号Smに基づき、図12(E)に示すような制御信号S1～S4を生成し、セクタ104に与える。各FIFOメモリ102Xy(X=R, G, B; y=l, r)内において、書込制御部124および読出制御部126は、動作モード信号Smに基づき、次のような書込制御信号WEおよび読出制御信号REをそれぞれ生成する。すなわち、左画像を表すデジタル画像信号xRy__L, xGy__L, xBy__L(x=1～m, y=1～n)が入力されるFIFOメモリ102Rl, 120Gl, 102Blでは、書込制御部124は図12(B)に示すような書込制御信号WE__Lを、読出制御部126は図12(C)に示すような読出制御信号RE__Lをそれぞれ生成し、右画像を表すデジタル画像信号xRy__R, xGy__R, xBy__R(x=1～m, y=1～n)が入力されるFIFOメモリ102Rr, 120Gr, 102Brでは、書込制御部124は図12(B)に示すような書込制御信号WE__Rを、読出制御部126は図12(C)に示すような読出制御信号RE__Rをそれぞれ生成する。

[0076] ここで、書込制御信号WE__L, WE__Rが“1”のときには、その書込制御信号WE__L, WE__Rの入力される記憶部120が書込可能状態となり、書込制御信号WE__L, WE__Rが“0”のときには、その書込制御信号WE__L, WE__Rの入力される記憶部120が書込不能状態となるものとする。また、読出制御信号RE__L, RE__Rが“1”のときには、その読出制御信号RE__L, RE__Rの入力される記憶部120が読出可能状態となり、読出制御信号RE__L, RE__Rが“0”のときには、その読出制御信号RE__L, RE__Rの入力される記憶部120が読出不能状態となるものとする(他の図に示すタイミングチャートにおいても同様)。

[0077] なお、各FIFOメモリ102Xy(X=R, G, B; y=l, r)における書込制御部124および読出制御部126は、入力画像信号R__Lin, G__Lin, B__Lin, R__Rin, G__Rin, B__Rinの入力速度に等しい速度で記憶部120への書込が行われ、当該入力速度の1/2の速度で記憶部120からの読出が行われるように、書込アドレス信号WAおよび読出アドレス信号RAを生成する。

[0078] 上記の書込制御信号WE__L, WE__Rにより、FIFOメモリ102Rl, 102Gl, 102Blは、各水平走査期間の前半に第1の入力端子群T1r, T1g, T1bを介して入力されるデジタル画像信号すなわち左画像データDaLの1表示ライン分の画像信号を取り

込んで保持し、FIFOメモリ102Rr, 102Gr, 102Brは、各水平走査期間の後半に第2の入力端子群T2r, T2g, T2bを介して入力されるデジタル画像信号すなわち右画像の1表示ライン分の画像信号を取り込んで保持する。また、上記の読出制御信号RE_L, RE_Rにより、各水平走査期間において、図12(D)に示すように、FIFOメモリ102Rl, 102Gl, 102Bl, 102Rr, 102Gr, 102Brからは同じタイミングかつ同じ速度(上記入力速度の1/2の速度)で、表示すべき画像の1表示ライン分のデジタル画像信号が読み出される。

[0079] なお、図12(A)は、表示すべき画像の3行目に相当するデジタル画像信号が入力端子群T1r, T1g, T1b, T2r, T2g, T2bに与えられた時点の入力画像信号R_Lin, G_Lin, B_Lin, R_Rin, G_Rin, B_Rinを示しており、この時点では、FIFOメモリ102Rl, 102Gl, 102Bl, 102Rr, 102Gr, 102Brから、表示すべき画像の2行目に相当するデジタル画像信号が読み出される。

[0080] ここで、図12(D)を図11(B)と比較すればわかるように、動作例2においても、動作例1と同一の画像信号がFIFOメモリ102Rl, 102Gl, 102Bl, 102Rr, 102Gr, 102Brから読み出されてセクタ104に入力される。また、図12(E)を図11(C)と比較すればわかるように、動作例2においても、動作例1と同一の制御信号S1～S4がセクタ104に入力される。したがって、信号形式変換器100からは、動作例1と同様のデジタル画像信号DV(信号Y1out, Y2out, Y3out)が出力され、データドライバ300に入力される。よって、動作例2においても、従来構成のデータドライバ300から出力されるデータ信号D1～DNは、第1の液晶表示装置における縦長副画素構成のDV液晶パネルに応じた駆動信号となっている。

[0081] 以上のように本実施形態に係る信号形式変換器によれば、2系統交互入力形式(DV表示マッピング入力形式)の画像データの信号形式を変換して、データドライバに供給すべき画像信号を生成することにより、縦長画素構成のDV液晶パネルを従来構成のデータドライバによって適切に駆動することができる。

[0082] <3. 第2の使用例>

次に、本実施形態に係る信号形式変換器を縦長副画素構成のSV液晶表示装置に使用した場合を第2の使用例として説明する。このようなSV液晶表示装置は、周

知であり、また、外部から送られる画像データが1系統のみである点や、図6に示すような視差バリア層54からなる視差生成部を備えていない点を除けば、縦長副画素構成のDV液晶表示装置である第1の液晶表示装置(図4)と構成において実質的に同一である。したがって、このSV液晶表示装置についての詳しい説明は省略し、同一または対応する部分には同一の参照符号を付すものとする。

[0083] <3. 1 信号形式変換器の動作例3>

以下、図13を図1、図9および図10と共に参照しつつ、第2の使用例における信号形式変換器100の動作を本実施形態における動作例3として説明する。第2の使用例では信号形式変換器100がSV液晶表示装置において使用されるので、表示すべき画像を表す入力画像信号が信号形式変換器100の第1の入力端子群T1r, T1g, T1bと第2の入力端子群T2r, T2g, T2bのいずれか一方に与えられる(以下、SV表示装置におけるこのような入力形式を「ノーマル入力形式」という)。以下では、入力画像信号が第1の入力端子群T1r, T1g, T1bに与えられるものとして説明を進める。

[0084] この動作例3では、表示すべき画像を表す1系統のデジタル画像信号DVが、図13(A)に示すデジタル画像信号R__Lin, G__Lin, B__Linとして、信号形式変換器100の第1の入力端子群T1r, T1g, T1bを介してシリアルに入力される。この場合、信号形式変換器100内において、切替制御部106は、動作モード信号Smに基づき、図13(C)に示すように制御信号S4の値を“1”に固定する(他の制御信号S1～S3の値は任意)。

[0085] なお、図13(A)は、表示すべき画像の3行目に相当するデジタル画像信号が信号形式変換器100の第1の入力端子群T1r, T1g, T1bに与えられた時点の入力画像信号R__Lin, G__Lin, B__Lin, R__Rin, G__Rin, B__Rinを示しており、この時点では、FIFOメモリ102Rl, 102Gl, 102Blから、表示すべき画像の2行目に相当するデジタル画像信号が読み出される(図13(B)参照)。

[0086] この動作例3では、少なくとも第1の入力端子群T1r, T1g, T1bに接続されるFIFOメモリ102Rl, 102Gl, 102Blについては、書込制御部124および読出制御部126は、動作モード信号Smに基づき、記憶部120への書込および記憶部120からの

読出が常に可能となるように書込制御信号WEおよび読出制御信号REを生成する(図2)。また、書込制御部124および読出制御部126は、入力画像信号R__Lin, G__Lin, B__Linの入力速度に等しい速度で記憶部120への書込および記憶部120からの読出が行われるように、書込アドレス信号WAおよび読出アドレス信号RAを生成する。

[0087] このようなFIFOメモリ102Rl, 102Gl, 102Blの動作により、これらのFIFOメモリを経てセクタ104の第1の選択入力端子群R__L, G__L, B__Lに与えられる信号は、図13(B)に示すような信号となる。セクタ104は、制御信号S4="1"であるので、第1の選択入力端子群R__L, G__L, B__Lに与えられる信号は、図13(D)に示すように、そのまま、出力端子群Y1, Y2, Y3を介して、副画素単位のシリアル信号Y1out, Y2out, Y3outからなるデジタル画像信号DVとして出力される(図10参照)。なお、図10の真理値表において"X"はドントケア(don't care)を示している。

[0088] このようにして表示制御回路200内の信号形式変換器100から出力されるデジタル画像信号DVは、データドライバ300に入力される。既述のように、データドライバ300は図9に示すように構成されているので、データドライバ300内のラッチ回路306からは、図13(E)に示すラッチストロブ信号LSに基づき、図13(F)に示すデジタル画像信号(内部画像信号)d1, d2, ..., dNが出力される。そして出力バッファ312からは、これらの内部画像信号d1~dNに応じたデータ信号D1~DNが出力される。図13(F)からわかるように、これらのデータ信号D1~DNは、SV液晶表示装置における縦長副画素構成の液晶パネルに応じた駆動信号となっている。

[0089] 以上のように本実施形態に係る信号形式変換器をSV液晶表示装置に使用した場合においても、縦長画素構成の液晶パネルを従来構成のデータドライバによって適切に駆動することができる。

[0090] <4. 第3の使用例>

次に、本実施形態に係る信号形式変換器を横長副画素構成のDV液晶表示装置に使用した場合を第3の使用例として説明する。

[0091] <4. 1 DV液晶表示装置の構成および動作>

図14は、第3の使用例における液晶表示装置(以下「第2の液晶表示装置」という)

の構成を示すブロック図である。第2の液晶表示装置は、第1の液晶表示装置と同様、DV液晶表示装置であって、表示制御回路200と、データ信号線駆動回路としてのデータドライバ300と、走査信号線駆動回路としてのゲートドライバ400と、アクティブマトリクス型の液晶パネル620とを備えている。この第2の液晶表示装置は、液晶パネル620以外については、第1の液晶表示装置と基本的に同様の構成であるので、以下では、同一または対応する部分に同一の参照符号を付して適宜説明を省略する。

[0092] 第2の液晶表示装置は、外部の所定映像ソースから、左画像を表示するための画像データDv1と、右画像を表示するための画像データDv2と、動作のタイミングを制御するための制御信号TSとを受け取る。

[0093] 液晶パネル620は、上記画像データDv1、Dv2の表す画像における水平走査線数mの3倍の本数(3m本)の走査信号線Lgと、それら3m本の走査信号線Lgのそれぞれと交差する2n本のデータ信号線Lsと、それら3m本の走査信号線Lgと2n本のデータ信号線Lsとの交差点にそれぞれ対応して設けられた $3m \times 2n$ 個の副画素形成部Ps(1, 1)～Ps(3m, 2n)とを含む。また、この液晶パネル620は、各副画素形成部Ps(1, 1)～Ps(3m, 2n)に含まれる画素電極に共通的に設けられかつ液晶層を挟んで各画素電極と対向するように配置された共通電極を備えている。

[0094] 液晶パネル620における $3m \times 2n$ 個の副画素形成部Ps(1, 1)～Ps(3m, 2n)は、図14に示すように、データ信号線Lsの延びる方向すなわち列方向に隣接するR副画素とG副画素とB副画素の3つの副画素形成部を単位としてマトリクス状に配置されており、当該3つの副画素形成部により、この液晶パネル620によって表示すべきカラー画像の各画素、すなわち上記画像データDv1の表す左画像および上記画像データDv2の表す右画像の各画素を形成する(第1の液晶表示装置と同様、表示すべき画像の1画素に対応する3つの副画素形成部を「画素形成部」といい、符号“Pix”で示す)。したがって、1つの表示ラインにつき3本の走査信号線が対応する。

[0095] 表示制御回路200は、外部から送られる上記画像データDv1、Dv2とタイミング制御信号TSとを受け取り、上記画像データDv1、Dv2に相当する画像信号を画素単位でデジタル画像信号DVとして出力すると共に、液晶パネル620に画像を表示するタイミングを制御するためのデータ用スタートパルス信号DSP、データ用クロック信

号DCK、ラッチストロブ信号LS、ゲート用スタートパルス信号GSP、およびゲート用クロック信号GCKとを含む各種信号を出力する。この表示制御回路200は、図1に示した本実施形態に係る信号形式変換器100を備えており、外部から送られる上記画像データDv1, Dv2を示す2系統の画素単位のシリアル信号が、この信号形式変換器100によって1系統の上記デジタル画像信号DVに変換されて出力される。

[0096] このようにして、表示制御回路200によって生成される信号のうち、デジタル画像信号DV、データ用スタートパルス信号DSP、データ用クロック信号DCK、およびラッチストロブ信号LSはデータドライバ300に与えられ、ゲート用スタートパルス信号GSP、ゲート用クロック信号GCKはゲートドライバ400に与えられる。

[0097] データドライバ300は、デジタル画像信号DV、データ用クロック信号DCK、データ用スタートパルス信号DSP、およびラッチストロブ信号LS等に基づき、液晶パネル620を駆動するためのアナログ電圧をデータ信号D(1), D(2), ..., D(2n)として生成し、これらを液晶パネル620における2n本のデータ信号線Lsにそれぞれ印加する。

[0098] ゲートドライバ400は、ゲート用クロック信号GCKおよびゲート用スタートパルス信号GSPに基づき、液晶パネル620における走査信号線を1/3水平走査期間ずつ順に選択するために各走査信号線に印加すべき走査信号G(1), G(2), G(3), ..., G(3m)を生成し、全走査信号線のそれぞれを順に選択するためのアクティブな走査信号の各走査信号線への印加を1垂直走査期間を周期として繰り返す。

[0099] 上記のようにして液晶パネル620では、デジタル画像信号DVに基づくデータ信号D(1)～D(2n)がデータ信号線Lsに印加され、走査信号G(1)～G(3m)が走査信号線Lgに印加される。また、共通電極には、共通電極駆動回路(不図示)によって共通電圧信号が印加される。これにより、液晶パネル620は、その液晶層にデジタル画像信号DVに応じた電圧を印加されることで光の透過率を変化させ、外部の映像ソースから受け取った画像データDv1, Dv2の表す左画像および右画像を表示する。これらの画像は表示画面を見る角度に応じて一方がはっきりと明るく見え、他方が暗く見えまたは全く見えなくなる。次に、このように異なる視点(2人の使用者)に対して異なる画像を表示する液晶パネル620の詳細について説明する。

[0100] <4. 2 液晶パネル>

液晶パネル620は、データドライバ300に接続される $2n$ 本のデータ信号線 Ls と、ゲートドライバ400に接続される $3m$ 本の走査信号線 Lg とを備え、当該 $2n$ 本のデータ信号線 Ls と当該 $3m$ 本の走査信号線 Lg とは、各データ信号線 Ls と各走査信号線 Lg とが交差するように格子状に配設されている。そして、当該 $2n$ 本のデータ信号線 Ls と当該 $3m$ 本の走査信号線 Lg との交差点に対応して $3m \times 2n$ 個の副画素形成部 $Ps(1, 1) \sim Ps(3m, 2n)$ がそれぞれ設けられている。

[0101] 既述のように、液晶パネル620によって表示すべきカラー画像の各画素、すなわち上記画像データ $Dv1, Dv2$ の表す左画像および右画像の各画素は、列方向(データ信号線の延びる方向)に隣接するR副画素とG副画素とB副画素の3つの副画素形成部からなる画素形成部 Pix によって形成され、液晶パネル620における $3m \times 2n$ 個の副画素形成部 $Ps(1, 1) \sim Ps(3m, 2n)$ は、これら3つの副画素形成部を単位としてマトリクス状に配置されている(図14参照)。図15は、このような液晶パネル620における1つの副画素形成部 $Ps(i, j)$ の等価回路を示す回路図である($i=1, 2, \dots, 3m; j=1, 2, \dots, 2n$)。この等価回路は、第1の液晶表示装置における1つの副画素形成部 $Ps(i, j)$ の等価回路(図5)と実質的に同一である。

[0102] 図15に示した構成からわかるように、いずれかの走査信号線 Lg に印加される走査信号 $G(i)$ がアクティブになると、その走査信号線 Lg が選択されて、その走査信号線 Lg に接続される(各副画素形成部 $Ps(i, j)$ の)TFT10が導通状態となり、そのTFT10に接続される画素電極 Ep には、データ信号 $D(j)$ がデータ信号線 Ls を介して印加される($j=1 \sim 2n$)。これにより、その印加されたデータ信号 $D(j)$ の電圧(共通電極 Ec の電位を基準とする電圧)が、その画素電極 Ep を含む副画素形成部 $Ps(i, j)$ に副画素データとして書き込まれる。

[0103] 液晶パネル620の断面構造は、副画素が横長構成となっている点を除けば、第1の液晶表示装置における液晶パネル610の断面構造(図6)と同様であるので、同一または対応する部分に同一の参照符号が付されるものとし説明を省略する。

[0104] 図17は、上記のような液晶パネル620の構成を模式的に示しており、図17(A)は、DV表示のための構成を示す平面図であり、図17(B)は、DV表示のための構成を

示す断面図であって、図17(A)のZ-Z線における断面図に相当する。以下、図17(A)および図17(B)を参照して、第2の液晶表示装置においてDV表示を実現するための構成および作用を説明する。なお以下では、TFT回路部64、液晶層60およびカラーフィルタ58等によって実現される上記副画素形成部 $Ps(1, 1) \sim Ps(3m, 2n)$ のそれぞれを区別せずに言及する場合には、参照符号“70”で示すものとし、副画素形成部を単に「副画素」ともいう。また、各副画素70に付された符号“ Xy ”($X=R, G, B$; $y=1, r$)は、その副画素70がR副画素、G副画素、B副画素のいずれであるか、および、画像データ $Dv1$ の表す左画像と画像データ $Dv1$ の表す右画像のいずれの画像を形成するための副画素であることを示している。

[0105] 図17(A)および図17(B)に示すように、各副画素70は、その長手方向が行方向(走査信号線 Lg の延びる方向)となるように配置されており、上記副画素形成部 $Ps(1, 1) \sim Ps(3m, 2n)$ において、各列を構成する副画素70は左画像または右画像のいずれか一方を形成するための副画素のみからなる。そして、左画像を形成するための副画素のみからなる列と、右画像を形成するための副画素のみからなる列とが、交互に配置されている。視差バリア層54は、スリット54sが各副画素70の長手方向に垂直な方向すなわち列方向(データ信号線 Ls の延びる方向)に延び、かつ、副画素70の2列毎に1つのスリット54sが形成されると共に、右画像を形成するための副画素 Xr の右側部分および左画像を形成するための副画素 Xl の左側部分が、スリット54sによって部分的に露出するように構成されている($X=R, G, B$)。

[0106] 視差バリア層54を上記のような構成とし、スリット54sの幅 $w2$ および視差バリア54bと副画素70との間隔 $d2$ を適切に設定することにより、図17(B)に示すように、表示画面に向かって左側の所定領域 DL からは、 Xl 副画素($X=R, G, B$)から形成される左画像のみが見え、表示画面に向かって右側の所定領域 DR からは、 Xr 副画素($X=R, G, B$)から形成される右画像のみが見えるようになる。すなわち、視点の配置可能な第1の所定領域 DL に対しては画像データ $Dv1$ の表す左画像のみが表示され、視点の配置可能な第2の所定領域 DR に対しては画像データ $Dv2$ の表す右画像のみが表示される。なお、視差バリア54bと副画素70との間隔 $d2$ は、図6に示すカラーフィルタ58と視差バリア54bとの距離に相当する。

[0107] 上記のような構成において、視点の配置される領域によっては、表示画面に向かって左側の領域において左画像のみならず右画像も見えたり、表示画面に向かって右側の領域において右画像のみならず左画像も見えたりすることがある。すなわち、左右画像の映り込みが生じることがある。しかし第2の液晶表示装置では、各副画素70はその長手方向が行方向となるように配置されており(横長副画素構成)、視差バリア層54におけるスリット54sは各副画素の長手方向に垂直な方向に延びているので、視差バリア54bと副画素70との間隔d2を大きくしても、各副画素90の長手方向に平行にスリット84sが延びる縦長副画素構成(図7、図28)に比べ、左右画像の映り込みが生じにくい。したがって、上記構成によれば、高い加工精度を必要することなく左右画像の映り込みを防止することができる。例えば、図28に示したような縦長副画素構成の場合、視差バリア84bと副画素90との距離d1は 50μ 程度であるのに対してCF基板56としてガラスの厚みは 700μ 程度であることから、従来のDV液晶パネルの作製の際には、ガラス基板に対する研磨等の特殊な加工が必要となる。これに対して第2の液晶表示装置における上記構成によれば、従来ほど高い加工高精度を必要としないことに加えて、そのような特殊な作業が不要また軽減されるので、製造コストを抑制することができる。

[0108] <4.3 データドライバの構成>

図16は、第2の液晶表示装置のデータドライバ300の構成を示すブロック図である。このデータドライバ300は、通常のSV液晶表示装置で使用されるデータドライバ(図9参照)と同様の構成を有している。ただし、第3の使用例においては、データドライバから出力されるデータ信号D1~DNのうち1/3のデータ信号線のみを使用する($N=3\times 2n$)。すなわち、データドライバの出力端子につき隣接する3個の出力端子を1組としてグループ化した場合において、各組の3個の出力端子のうち1個の出力端子のみが液晶パネル620のデータ信号線Lsに接続される。

[0109] <4.4 信号形式変換器の動作例4>

次に、図18および図19を図10、図14および図16と共に参照しつつ、上記第3の使用例において2系統同時入力形式で入力データが与えられる場合の信号形式変換器100の動作を本実施形態における動作例4として説明する。

- [0110] 2系統同時入力形式の場合、左画像および右画像を表す2系統のデジタル画像信号DV1, DV2が、図18(A)に示すデジタル画像信号R__Lin, G__Lin, B__Lin, R__Rin, G__Rin, B__Rinとして、信号形式変換器100の入力端子群T1r, T1g, T1b, T2r, T2g, T2bを介してシリアルに入力される。
- [0111] この動作例4では、全てのFIFOメモリ102Rl, 102Gl, 102Bl, 102Rr, 102Gr, 102Brにおいて、書込制御部124は、動作モード信号Smに基づき、図18(B)に示すように、記憶部120への書込が常に可能となるように書込制御信号WE__L, WE__Rを生成する。一方、読出制御部126は、動作モード信号Smに基づき、各水平走査期間において、図18(C)に示すように、入力画像信号のうちR信号R__Lin, R__Rinが書き込まれるFIFOメモリ102Rl, 102Rrからの読出が行われる期間と、G信号G__Lin, G__Rinが書き込まれるFIFOメモリ102Gl, 102Grからの読出が行われる期間と、B信号B__Lin, B__Rinが書き込まれるFIFOメモリ102Bl, 102Brからの読出が行われる期間とが、1水平走査期間の1/3の期間毎に切り換わるように、読出制御信号REr, REg, REbを生成する。
- [0112] ここで、読出制御信号RErは、R信号R__Linが書き込まれるべきFIFOメモリ102Rl, 102Rrにおいて読出制御部126が生成する読出制御信号REであり、読出制御信号REgは、G信号G__Linが書き込まれるべきFIFOメモリ102Gl, 102Grにおいて読出制御部126が生成する読出制御信号REであり、読出制御信号REbは、B信号B__Linが書き込まれるべきFIFOメモリ102Bl, 102Brにおいて読出制御部126が生成する読出制御信号REである(他の図に示すタイミングチャートにおいても同様)。
- [0113] また、各FIFOメモリ102Xy(X=R, G, B; y=l, r)において、書込制御部124は、入力画像信号R__Lin, G__Lin, B__Lin, R__Rin, G__Rin, B__Rinの入力速度に等しい速度で記憶部120への書込が行われるように書込アドレス信号WAを生成し、読出制御部126は、当該入力速度の3倍の速度で記憶部120からの読出が行われるように読出アドレス信号RAを生成する。
- [0114] このようなFIFOメモリ102Rl, 102Gl, 102Bl, 102Rr, 102Gr, 102Brの動作により、これらのFIFOメモリを経てセクタ104の第1および第2の選択入力端子群R__

L, G_L, B_L, R_R, G_R, B_Rに与えられる信号は、図18(D)に示すような信号となる。すなわち、各水平走査期間のうち最初の1/3の期間では、FIFOメモリ102Rl, 102Rrのそれぞれから1表示ライン分のR信号が3倍の速度で読み出され、次の1/3の期間では、FIFOメモリ102Gl, 102Grのそれぞれから1表示ライン分のG信号が3倍の速度で読み出され、最後の1/3の期間では、FIFOメモリ102Bl, 102Brのそれぞれから1表示ライン分のB信号が3倍の速度で読み出され、このように読み出された画像信号がセクタ104の第1および第2の選択入力端子群R_L, G_L, B_L, R_R, G_R, B_Rに与えられる。

[0115] この動作例4では、切替制御部106は、動作モード信号Smに基づき、図18(E)に示すような制御信号S1～S4を生成する。セクタ104は、このような制御信号S1～S4に基づき、6個の選択入力端子群R_L, G_L, B_L, R_R, G_R, B_Rと3個の出力端子群Y1～Y3との間の接続を図10の真理値表に示すように切り換えることにより、出力端子群Y1～Y3から出力すべき画素単位の出力信号を切り換える。すなわち、セクタ104の各出力端子群Yj(j=1, 2, 3)から出力される信号は、各水平走査期間のうち最初の1/3の期間では、選択入力端子群R_L, R_Rに与えられる左画像のR信号と右画像のR信号との間で読出速度の2倍の速度で切り換わり、次の1/3の期間では、選択入力端子群G_L, G_Rに与えられる左画像のG信号と右画像のG信号との間で読出速度の2倍の速度で切り換わり、最後の1/3の期間では、選択入力端子群B_L, B_Rに与えられる左画像のB信号と右画像のB信号との間で読出速度の2倍の速度で切り換わる。これにより、図18(F)に示すように、左画像を示す信号X_Lと右画像を示す信号X_Rとが(X=R, G, B)、図17に示す副画素構成に応じた順序で出力端子群Y1～Y3を介して時分割的に出力される。したがって、信号形式変換器100からは、各FIFOメモリ102Xy(X=R, G, B; y=l, r)での読出速度の2倍の速度で信号Y1out, Y2out, Y3outが出力される。

[0116] このようにして表示制御回路200内の信号形式変換器100から出力される信号Y1out, Y2out, Y3outは、デジタル画像信号DVとしてデータドライバ300に入力される。既述のように、データドライバ300は図16に示すように構成されているので、データドライバ300内のラッチ回路306からは、図19(E)に示すラッチストロブ信号LS

に基づき、図19(F)に示すデジタル画像信号(内部画像信号) $d_1, d_2, \dots, d_N$ が出力される。そして出力バッファ312からは、これらの内部画像信号 $d_1 \sim d_N$ に応じたデータ信号 $D_1 \sim D_N$ が出力され、これらのデータ信号 $D_1 \sim D_N$ から2つおきに選ばれたデータ信号 $D_1, D_4, D_7, \dots, D_{N-2}$ が、駆動用のデータ信号 $D(1), D(2), D(3), \dots, D(2n)$ として液晶パネル620のデータ信号線 L_s に印加される。図17と図19(F)とを比較すればわかるように、これらの駆動用データ信号 $D(1) \sim D(2n)$ は、第2の液晶表示装置における横長副画素構成の液晶パネル620に応じた駆動信号となっている。

[0117] 以上のように本実施形態に係る信号形式変換器によれば、2系統同時入力形式の画像データの信号形式を変換して、データドライバに供給すべき画像信号を生成することにより、横長画素構成のDV液晶パネルを従来構成のデータドライバによって適切に駆動することができる。

[0118] <4.5 信号形式変換器の動作例5>

次に、図20および図21を図10、図14および図16と共に参照しつつ、上記第3の使用例において2系統交互入力形式で入力データが与えられる場合の信号形式変換器100の動作を本実施形態における動作例5として説明する。

[0119] 2系統交互入力形式の場合、図8(B)に示すように左画像データ Da_L と右画像データ Da_R とを行方向に並べた形式の結合画像データに対応する1系統のデジタル画像信号DVが、第1の入力端子群 $T1r, T1g, T1b$ と第2の入力端子群 $T2r, T2g, T2b$ とに交互に与えられ、副画素単位の3つのシリアル信号として信号形式変換器100に入力される。このとき、図20(A)に示すように、各水平走査期間の前半では、左画像を表すデジタル画像信号 xRy_L, xGy_L, xBy_L ($x=1 \sim 3m, y=1 \sim n$) がデジタル画像信号 R_Lin, G_Lin, B_Lin として第1の入力端子群 $T1r, T1g, T1b$ を介して入力され、各水平走査期間の後半では、右画像を表すデジタル画像信号 xRy_R, xGy_R, xBy_R ($x=1 \sim 3m, y=1 \sim n$) がデジタル画像信号 R_Rin, G_Rin, B_Rin として第2の入力端子群 $T2r, T2g, T2b$ を介して入力される。

[0120] なお、図20(A)は、表示すべき画像の3行目に相当するデジタル画像信号が入力端子群 $T1r, T1g, T1b, T2r, T2g, T2b$ に与えられた時点の入力画像信号 R_Li

n, G_Lin, B_Lin, R_Rin, G_Rin, B_Rinを示しており、この時点では、FIFOメモリ102Rl, 102Gl, 102Bl, 102Rr, 102Gr, 102Brから、表示すべき画像の2行目に相当するデジタル画像信号が読み出される(図20(D))。

[0121] この動作例5では、左画像を表すデジタル画像信号xRy_L, xGy_L, xBy_Lが入力されるFIFOメモリ102Rl, 102Gl, 102Blにおいて、書込制御部124は、動作モード信号Smに基づき図20(B)に示すような書込制御信号WE_Lを生成し、右画像を表すデジタル画像信号xRy_R, xGy_R, xBy_Rが入力されるFIFOメモリ102Rr, 102Gr, 102Brにおいて、書込制御部124は、動作モード信号Smに基づき図20(B)に示すような書込制御信号WE_Rを生成する($x=1\sim 3m$, $y=1\sim n$)。一方、読出制御部126は、動作モード信号Smに基づき、各水平走査期間において、図20(C)に示すように、入力画像信号のうちR信号R_Lin, R_Rinが書き込まれるFIFOメモリ102Rl, 102Rrからの読出が行われる期間と、G信号G_Lin, G_Rinが書き込まれるFIFOメモリ102Gl, 102Grからの読出が行われる期間と、B信号B_Lin, B_Rinが書き込まれるFIFOメモリ102Bl, 102Brからの読出が行われる期間とが、1水平走査期間の $1/3$ の期間毎に切り換わるように、読出制御信号REr, REg, REbを生成する。

[0122] また、各FIFOメモリ102Xy($X=R, G, B; y=l, r$)において、書込制御部124は、入力画像信号R_Lin, G_Lin, B_Lin, R_Rin, G_Rin, B_Rinの入力速度に等しい速度で記憶部120への書込が行われるように書込アドレス信号WAを生成し、読出制御部126は、当該入力速度の $3/2$ 倍の速度で記憶部120からの読出が行われるように読出アドレス信号RAを生成する。

[0123] 上記の書込制御信号WE_L, WE_Rおよび書込アドレス信号WAにより、FIFOメモリ102Rl, 102Gl, 102Blは、各水平走査期間の前半に第1の入力端子群T1r, T1g, T1bを介して入力されるデジタル画像信号すなわち左画像データDaLの1表示ライン分の画像信号を取り込んで保持し、FIFOメモリ102Rr, 102Gr, 102Brは、各水平走査期間の後半に第2の入力端子群T2r, T2g, T2bを介して入力されるデジタル画像信号すなわち右画像データDaRの1表示ライン分の画像信号を取り込んで保持する。

- [0124] また、上記の読出制御信号REr, REg, REbおよび読出アドレスRAにより、FIFOメモリ102Rl, 102Gl, 102Bl, 102Rr, 102Gr, 102Brから読み出されてセクタ104の選択入力端子群R_L, G_L, B_L, R_R, G_R, B_Rに与えられる信号は、図20(D)に示すような信号となる。すなわち、各水平走査期間のうち最初の1/3の期間では、FIFOメモリ102Rl, 102Rrのそれぞれから1表示ライン分のR信号が上記入力速度の3/2倍の速度で読み出され、次の1/3の期間では、FIFOメモリ102Gl, 102Grのそれぞれから1表示ライン分のG信号が上記入力速度の3/2倍の速度で読み出され、最後の1/3の期間では、FIFOメモリ102Bl, 102Brのそれぞれから1表示ライン分のB信号が上記入力速度の3/2倍の速度で読み出され、このように読み出された画像信号がセクタ104の選択入力端子群R_L, G_L, B_L, R_R, G_R, B_Rに与えられる。
- [0125] ここで、図20(D)を図18(D)と比較すればわかるように、動作例5においても、動作例4と同一の画像信号が同一のタイミングでFIFOメモリ102Rl, 102Gl, 102Bl, 102Rr, 102Gr, 102Brから読み出されてセクタ104に入力される。また、切替制御部106は、動作モード信号Smに基づき、セクタ104の制御のために図20(E)に示すような制御信号S1~S4を生成する。この図20(E)を図18(E)と比較すればわかるように、動作例5においても、動作例4と同一の制御信号S1~S4がセクタ104に入力される。したがって、信号形式変換器100からは、動作例4と同様のデジタル画像信号DV(出力信号がY1out, Y2out, Y3out)出力され、データドライバ300に入力される。よって、従来と同様の構成のデータドライバ300のデータ信号D1~DNから2つおきに選ばれたデータ信号D1, D4, D7, ..., DN-2を駆動用のデータ信号D(1), D(2), D(3), ..., D(2n)とすれば、この駆動用データ信号D(1)~D(2n)は、第2の液晶表示装置における横長副画素構成の液晶パネルに応じた駆動信号となっている。
- [0126] 以上のように本実施形態に係る信号形式変換器によれば、2系統交互入力形式(DV表示マッピング入力形式)の画像データの信号形式を変換して、データドライバに供給すべき画像信号を生成することにより、横長画素構成のDV液晶パネルを従来構成のデータドライバによって適切に駆動することができる。

[0127] <5. 第4の使用例>

次に、本実施形態に係る信号形式変換器を横長副画素構成のSV液晶表示装置に使用した場合を第4の使用例として説明する。このようなSV液晶表示装置は、外部から送られる画像データが1系統のみである点や、図6に示すような視差バリア層54からなる視差生成部を備えていない点を除けば、横長副画素構成のDV液晶表示装置である第2の液晶表示装置(図14)と構成において実質的に同一である。したがって、このSV液晶表示装置についての詳しい説明は省略し、同一または対応する部分には同一の参照符号を付すものとする。

[0128] <5. 1 信号形式変換器の動作例6>

以下、図21および図22を図10、図14および図16と共に参照しつつ、第4の使用例における信号形式変換器100の動作を本実施形態における動作例6として説明する。なお、この動作例6の入力形式はノーマル入力形式であり、以下では、表示すべき画像を表す入力画像信号が信号形式変換器100の第1の入力端子群T1r, T1g, T1bに与えられるものとして説明を進めるが、これに代えて、入力画像信号が第2の入力端子群T2r, T2g, T2bに与えられてもよい。

[0129] この動作例6では、表示すべき画像を表す1系統のデジタル画像信号DVが、図21(A)に示すデジタル画像信号R__Lin, G__Lin, B__Linとして、信号形式変換器100の第1の入力端子群T1r, T1g, T1bを介してシリアルに入力される。なお、図21(A)は、表示すべき画像の3行目に相当するデジタル画像信号が信号形式変換器100の第1の入力端子群T1r, T1g, T1bに与えられた時点の入力画像信号R__Lin, G__Lin, B__Lin, R__Rin, G__Rin, B__Rinを示しており、この時点では、FIFOメモリ102Rl, 102Gl, 102Blから、表示すべき画像の2行目に相当するデジタル画像信号が読み出される(図21(C))。

[0130] この動作例6では、少なくとも第1の入力端子群T1r, T1g, T1bに接続されるFIFOメモリ102Rl, 102Gl, 102Blについては、書込制御部124および読出制御部126は、動作モード信号Smに基づき、記憶部120への書込が常に可能となるように書込制御信号WEを生成する(図2、図3)。一方、読出制御部126は、動作モード信号Smに基づき、各水平走査期間において、図21(B)に示すように、R信号R__Lin, R

__Rinが書き込まれるFIFOメモリ102Rl, 102Rrからの読出が行われる期間と、G信号G__Lin, G__Rinが書き込まれるFIFOメモリ102Gl, 102Grからの読出が行われる期間と、B信号B__Lin, B__Rinが書き込まれるFIFOメモリ102Bl, 102Brからの読出が行われる期間とが、1水平走査期間の1/3の期間毎に切り換わるように、読出制御信号REr, REg, REbを生成する。なお、この動作例6では入力画像信号が第1の入力端子群T1r, T1g, T1bにのみ与えられるので、FIFOメモリ102Rr, 102Gr, 102Brについては常に読出不能となるように読出制御信号REを生成してもよい。

[0131] また、少なくとも第1の入力端子群T1r, T1g, T1bに接続されるFIFOメモリ102Rl, 102Gl, 102Blについては、書込制御部124は、入力画像信号R__Lin, G__Lin, B__Linの入力速度に等しい速度で記憶部120への書込が行われるように書込アドレス信号WAを生成し、読出制御部126は、当該入力速度の3倍の速度で記憶部120からの読出が行われるように読出アドレス信号RAを生成する。

[0132] このようなFIFOメモリ102Rl, 102Gl, 102Blの動作により、これらのFIFOメモリを経てセクタ104の選択入力端子群R__L, G__L, B__Lに与えられる信号は、図21(C)に示すような信号となる。すなわち、各水平走査期間のうち最初の1/3の期間では、FIFOメモリ102Rlから1表示ライン分のR信号が3倍の速度で読み出され、次の1/3の期間では、FIFOメモリ102Glから1表示ライン分のG信号が3倍の速度で読み出され、最後の1/3の期間では、FIFOメモリ102Blから1表示ライン分のB信号が3倍の速度で読み出され、このように読み出された画像信号がセクタ104の第1の選択入力端子群R__L, G__L, B__Lに与えられる。

[0133] この動作例6では、切替制御部106は、動作モード信号Smに基づき、図21(E)に示すような制御信号S1～S4を生成する。セクタ104は、このような制御信号S1～S4に基づき、3個の選択入力端子群R__L, G__L, B__Lと3個の出力端子群Y1～Y3との間の接続を図10の真理値表に示すように切り換えることにより、出力端子群Y1～Y3から出力すべき画素単位の出力信号を切り換える。すなわち、セクタ104の各出力端子群Yj(j=1, 2, 3)から出力される信号は、各水平走査期間のうち最初の1/3の期間では、選択入力端子群R__Lに与えられる画像信号xRyであり、次の1

／3の期間では、選択入力端子群G_Lに与えられる画像信号xG_yであり、最後の1／3の期間では、選択入力端子群B_Lに与えられる画像信号xByである(x=1〜3m, y=1〜n)。これらの画像信号xR_y, xG_y, xB_yは、FIFOメモリ102Rl, 102Gl, 102Blの読出速度に等しい速度すなわち上記入力速度の3倍の速度で信号Y1out, Y2out, Y3outとして信号形式変換器100から出力される。

[0134] このようにして表示制御回路200内の信号形式変換器100から出力される信号Y1out, Y2out, Y3outは、デジタル画像信号DVとしてデータドライバ300に入力される。既述のように、データドライバ300は図16に示すように構成されているので、データドライバ300内のラッチ回路306からは、図22(E)に示すラッチストロブ信号LSに基づき、図22(F)に示すデジタル画像信号(内部画像信号)d1, d2, ..., dNが出力される。そして出力バッファ312からは、これらの内部画像信号d1〜dNに応じたデータ信号D1〜DNが出力され、これらのデータ信号D1〜DNから2つおきに選ばれたデータ信号D1, D4, D7, ..., DN−2が、駆動用のデータ信号D(1), D(2), D(3), ..., D(n)として液晶パネル620のデータ信号線Lsに印加される。図14と図22(F)とを比較すればわかるように、これらの駆動用データ信号D(1)〜D(n)は、第2の液晶表示装置における横長副画素構成の液晶パネル620に応じた駆動信号となっている。なお、DV表示用の横長副画素構成の液晶パネル620は2n本のデータ信号線Lsを有しているが、SV表示用の横長副画素構成の液晶パネルにおけるデータ信号線Lsの数はnとなる。

[0135] 以上のように本実施形態に係る信号形式変換器を横長副画素構成のSV液晶表示装置に使用した場合においても、その液晶パネルを従来構成のデータドライバによって適切に駆動することができる。

[0136] <6. 効果>

以上説明したように、本実施形態に係る信号形式変換器では、外部からの動作モード信号Smに基づき、表示データの入力形式(DV2系統同時入力形式、DV表示マッピング入力形式、ノーマル入力形式)および液晶パネルの構造(縦長副画素構成、横長副画素構成横長、DV表示パネル、SV表示パネル)に応じて、FIFOメモリ102Rl, 102Gl, 102Bl, 102Rr, 102Gr, 102Brにおける書込制御信号WE, 読

出制御信号RE、書込アドレス信号WA、読出アドレス信号RAが変更されると共に、セクタ104の制御信号S1～S4が変更される。これにより、使用される液晶パネルの構造に応じた適切な駆動信号が従来構成のデータドライバから出力されるように、表示データの入力形式および液晶パネルの構造に応じて入力画像信号の形式が変換され、データドライバに供給すべき画像信号が生成される。このようにして、信号形式変換器の動作モードを、使用される表示装置に応じて変更することにより、表示データの入力形式がDV2系統同時入力形式、DV表示マッピング入力形式、ノーマル表示用の入力形式のいずれであっても、縦長副画素構成または横長副画素構成のDV液晶パネルまたはSV液晶パネルなどの各種の液晶パネルを従来構成のデータドライバによって適切に駆動することができる。

[0137] <7. 変形例>

上記第実施形態につき図1および図2に示した構成は一例であり、対応可能な入力形式または液晶パネルの構造が上記動作例よりも制限されるものであっても、対応可能な入力形式または液晶パネルの構造につき必要な範囲で自由度を確保できるものであればよい。例えば、入力形式に自由度を確保しつつ、対応可能な液晶パネルを横長副画素構成のDV液晶パネルに限定するようにしてもよい。このようにすれば、対応可能な液晶パネルの構造についての自由度が低下するが、信号形式変換器の構成は簡素化される。また例えば、対応可能な液晶パネルを縦長副画素構成のDV液晶パネルおよびSV液晶パネルに限定し、かつ、入力形式をDV2系統同時入力形式およびノーマル入力形式に限定した場合には、上記実施形態におけるFIFOメモリ102Rl, 102Gl, 102Bl, 102Rr, 102Gr, 102Brの書込速度と読出速度は同一となるので(図11、図13)、図23に示すようにFIFOメモリを省略した構成としてもよい。なお図23では、図1に示した信号形式変換器と同一の部分には同一の参照符号が付されている。

[0138] 上記実施形態に係る信号形式変換器では、FIFOメモリは、図2に示すようにRAMを用いた構成となっているが、図24に示すようにラインメモリとしての2個の同期式のシフトレジスタ131, 132を用いた構成であってもよい。この場合、記憶部130を構成する第1および第2シフトレジスタ131, 132のそれぞれは1表示ラインに対応した段

数の構成であり、書込制御部124および読出制御部126に代えて、クロック制御部134および出力制御部136が設けられている。そして、第1および第2シフトレジスタ131, 132にそれぞれ供給されるクロック信号CK1, CK2をクロック制御部134によって独立に制御すると共に、第1および第2シフトレジスタ131, 132からの出力を出力制御部136によって独立に制御することにより、図24に示す構成のFIFOメモリについても、上記実施形態におけるFIFOメモリと同様の動作を行わせることができる。この場合、クロック制御部134と出力制御部136とが、書込と読出との非同期実行が可能な先入れ先出し方式を実現するためのメモリ制御部を構成する。

[0139] 上記実施形態に係る信号形式変換器では、FIFOメモリ102Rl, 102Gl, 102Bl, 102Rr, 102Gr, 102Brの出力側にのみセクタ104が設けられているが、図25に示すように、それらの入力側にもセクタ103を設けてもよい。なお図25では、図1に示した信号形式変換器と同一の部分には同一の参照符号が付されている。図25に示す構成では、入力側セクタ103は、信号形式変換器の6個の入力端子群T1r, T1g, T1b, T2r, T2g, T2bに接続される6個の入力端子群A1, B1, C1, D1, E1, F1と、6個のFIFOメモリ102Rl, 102Gl, 102Bl, 102Rr, 102Gr, 102Brの入力端に接続される6個の出力端子群1Y1, 1Y2, 1Y3, 1Y4, 1Y5, 1Y6とを備えており、切替制御部107から与えられる制御信号S0に基づき、図26(A)の真理値表に示すように動作する。FIFOメモリ102Rl, 102Gl, 102Bl, 102Rr, 102Gr, 102Brおよび出力側のセクタ104の動作は上記実施形態と同様である(図26(B)等参照)。

[0140] 図25に示す構成の信号形式変換器では、動作例2および動作例5のように2系統交互入力形式が採用されている場合には、図8(B)に示す結合画像データに対応する1系統のデジタル画像信号DVが、図27(B)に示すデジタル画像信号R__Lin, G__Lin, B__Linとして、第1の入力端子群T1r, T1g, T1bにのみ与えられ、図27(A)に示す制御信号S0に基づき、図27(C)に示すデジタル画像信号がFIFOメモリ102Rl, 102Gl, 102Bl, 102Rr, 102Gr, 102Brに与えられる。したがって、このような構成の信号形式変換器は、2系統交互入力形式の場合に有利であり、また、2系統同時入力形式やノーマル入力形式の場合には、入力側セクタ103の制御信号S

0を“0”に固定することにより、上記実施形態と同様に動作し、同様の効果を奏する。

[0141] 上記使用例では、液晶表示装置における使用を例に挙げて説明したが、本発明は、これに限定されるものではなく、液晶表示装置以外のマトリクス型の表示装置において使用される信号形式変換器についても適用可能である。なお、上記使用例では、本実施形態に係る信号形式変換器100が表示制御回路200内に配置されているが、表示制御回路200とは分離された構成であってもよい。

産業上の利用可能性

[0142] 本発明は、アクティブマトリクス型の液晶表示装置等のようなマトリクス型表示装置において使用される信号形式変換器に適用することができる。

請求の範囲

- [1] 複数の動作モードを有し、マトリクス型の表示装置で表示すべき画像を表す信号として当該表示装置の駆動回路に供給すべき画像信号を当該表示装置の画素構成に応じた画素単位または副画素単位のシリアル信号として出力するための信号形式変換器であって、
- 前記画像を表す第1の画像信号を画素単位のシリアル信号として受け取るための第1の主入力端子群と、
- 前記画像を表す第2の画像信号を画素単位のシリアル信号として受け取るための第2の主入力端子群と、
- 前記第1の主入力端子群を介して入力される第1の画像信号につき先入れ先出し方式で書込および読出が行われる第1のラインメモリと、
- 前記第2の主入力端子群を介して入力される第2の画像信号につき先入れ先出し方式で書込および読出が行われる第2のラインメモリと、
- 前記第1のラインメモリから読み出される第1の画像信号を受け取るための第1の選択入力端子群と、前記第2のラインメモリから読み出される第2の画像信号を受け取るための第2の選択入力端子群と、画素単位または副画素単位のシリアル信号として前記駆動回路に供給すべき画像信号を出力するための出力端子群とを有し、前記第1および第2のラインメモリからそれぞれ読み出される第1および第2の画像信号を構成する画素単位または副画素単位のシリアル信号から選択された信号を前記出力端子群から出力する接続切替回路と、
- 前記第1および第2のラインメモリからそれぞれ読み出される第1および第2の画像信号を構成する画素単位または副画素単位のシリアル信号の間で前記出力端子群から出力すべき画像信号が切り替わる出力動作と、前記第1のラインメモリから出力される第1の画像信号のみが前記出力端子群から出力される出力動作とが、動作モードに応じて択一的に実行されるように、前記接続切替回路を制御する切替制御部とを備えることを特徴とする、信号形式変換器。
- [2] 前記第1および第2の画像信号のそれぞれは、並列に入力される第1、第2および第3の色信号からなり、

前記第1のラインメモリは、

第1の記憶部と、

前記第1の主入力端子群を介して入力される第1の画像信号を前記第1の記憶部に書き込み、かつ、前記第1の記憶部に書き込まれた第1の画像信号を先入れ先出し方式で読み出すための第1のメモリ制御部とを含み、

前記第2のラインメモリは、

第2の記憶部と、

前記第2の主入力端子群を介して入力される第2の画像信号を前記第2の記憶部に書き込み、かつ、前記第2の記憶部に書き込まれた第2の画像信号を先入れ先出し方式で読み出すための第2のメモリ制御部とを含み、

前記第1および第2のメモリ制御部は、

第1の動作モードでは、前記第1および第2の画像信号を前記第1および第2の記憶部にそれぞれ書き込むと共に、前記第1および第2の記憶部に書き込まれた前記第1および第2の画像信号を読み出して前記第1および第2のラインメモリから出力し、

第2の動作モードでは、前記第1の画像信号を前記第1の記憶部に書き込むと共に、前記第1の記憶部に書き込まれた前記第1の画像信号を読み出して前記第1のラインメモリから出力し、

前記切替制御部は、

前記第1の動作モードでは、前記第1のラインメモリから出力される第1の画像信号における第1、第2および第3の色信号と前記第2のラインメモリから出力される第2の画像信号における第1、第2および第3の色信号とからなる6つの色信号のうち前記出力端子群から出力される信号が、所定の3つの色信号と他の3つの色信号との間で交互に切り換わるように、前記接続切替回路を制御し、

前記第2の動作モードでは、前記第1のラインメモリから出力される第1の画像信号が前記出力端子群から出力されるように前記接続切替回路を制御することを特徴とする、請求項1に記載の信号形式変換器。

[3] 前記第1および第2のメモリ制御部は、第3の動作モードでは、

1表示ライン分の前記第1の画像信号の前記第1の記憶部への書込と1表示ライン分の前記第2の画像信号の前記第2の記憶部への書込とを交互に行うと共に、

前記第1および第2の画像信号を前記書込の速度の1/2の速度で前記第1および第2の記憶部からそれぞれ読み出して前記第1および第2のラインメモリから出力し、

前記切替制御部は、前記第3の動作モードでは、前記第1のラインメモリから出力される第1の画像信号における第1、第2および第3の色信号と前記第2のラインメモリから出力される第2の画像信号における第1、第2および第3の色信号とからなる6つの色信号のうち前記出力端子群から出力される信号が、所定の3つの色信号と他の3つの色信号との間で交互に切り換わるように、前記接続切替回路を制御することを特徴とする、請求項2に記載の信号形式変換器。

[4] 前記第1および第2の画像信号のそれぞれは、並列に入力される第1、第2および第3の色信号からなり、

前記第1のラインメモリは、

第1の記憶部と、

前記第1の主入力端子群を介して入力される第1の画像信号を前記第1の記憶部に書き込み、かつ、前記第1の記憶部に書き込まれた第1の画像信号を先入れ先出し方式で読み出すための第1のメモリ制御部とを含み、

前記第2のラインメモリは、

第2の記憶部と、

前記第2の主入力端子群を介して入力される第2の画像信号を前記第2の記憶部に書き込み、かつ、前記第2の記憶部に書き込まれた第2の画像信号を先入れ先出し方式で読み出すための第2のメモリ制御部とを含み、

前記第1および第2のメモリ制御部は、第4の動作モードでは、

前記第1および第2の画像信号を前記第1および第2の記憶部にそれぞれ書き込むと共に、

1表示ライン分の前記第1および第2の画像信号の前記第1および第2の記憶部への書き込みに要する期間において、前記第1および第2の画像信号のそれぞれに

つき、前記第1の色信号の1表示ライン分の読み出しと前記第2の色信号の1表示ライン分の読み出しと前記第3の色信号の1表示ライン分の読み出しとが逐次的に実行されるように、前記第1および第2の記憶部に書き込まれた前記第1および第2の画像信号を読み出して前記第1および第2のラインメモリから出力し、

前記切替制御部は、前記第4の動作モードでは、前記第1のラインメモリから出力される第1、第2または第3の色信号と前記第2のラインメモリから出力される第1、第2または第3の色信号とが交互に前記出力端子群から出力されるように、前記接続切替回路を制御することを特徴とする、請求項1に記載の信号形式変換器。

[5] 前記第1および第2のメモリ制御部は、第5の動作モードでは、

1表示ライン分の前記第1の画像信号の前記第1の記憶部への書込と1表示ライン分の前記第2の画像信号の前記第2の記憶部への書込とを交互に行うと共に、

1表示ライン分の前記第1および第2の画像信号の前記第1および第2の記憶部への書き込みに要する期間において、前記第1および第2の画像信号のそれぞれにつき、前記第1の色信号の1表示ライン分の読み出しと前記第2の色信号の1表示ライン分の読み出しと前記第3の色信号の1表示ライン分の読み出しとが逐次的に実行されるように、前記第1および第2の記憶部に書き込まれた前記第1および第2の画像信号を読み出して前記第1および第2のラインメモリから出力し、

前記切替制御部は、前記第5の動作モードでは、前記第1のラインメモリから出力される第1、第2または第3の色信号と前記第2のラインメモリから出力される第1、第2または第3の色信号とが交互に前記出力端子群から出力されるように、前記接続切替回路を制御することを特徴とする、請求項4に記載の信号形式変換器。

[6] マトリクス型の表示装置で表示すべき画像を表す表示データを画素単位のシリアル信号として当該表示装置の駆動回路に供給する表示制御回路であって、

請求項1から5までのいずれか1項に記載の信号形式変換器を備えること特徴とする表示制御回路。

[7] 請求項1から5までのいずれか1項に記載の信号形式変換器を備えること特徴とするマトリクス型の表示装置。

[8] 複数の動作モードを有し、マトリクス型の表示装置で表示すべき画像を表す信号と

して当該表示装置の駆動回路に供給すべき画像信号を当該表示装置の画素構成に応じた画素単位または副画素単位のシリアル信号として出力するための信号形式変換方法であって、

前記画像を表す第1の画像信号を画素単位のシリアル信号として受け取る第1入力ステップと、

前記画像を表す第2の画像信号を画素単位のシリアル信号として受け取る第2入力ステップと、

前記第1入力ステップにて受け取られる第1の画像信号につき先入れ先出し方式で第1のラインメモリに対し書込および読出を行う第1FIFOステップと、

前記第2入力ステップにて受け取られる第2の画像信号につき先入れ先出し方式で第2のラインメモリに対し書込および読出を行う第2FIFOステップと、

前記第1および第2のラインメモリからそれぞれ読み出される第1および前記第2の画像信号を構成する画素単位または副画素単位のシリアル信号から選択された信号を出力する選択出力ステップとを備え、

前記選択出力ステップでは、前記第1および第2のラインメモリからそれぞれ読み出される第1および第2の画像信号を構成する画素単位または副画素単位のシリアル信号の間で出力すべき画像信号が切り替わる第1出力ステップと、前記第1のラインメモリからの読み出される第1の画像信号のみが出力される第2出力ステップとが動作モードに応じて択一的に実行されることを特徴とする、信号形式変換方法。

[9] 前記第1および第2の画像信号のそれぞれは、並列に入力される第1、第2および第3の色信号からなり、

前記第1のラインメモリは、

第1の記憶部と、

前記第1入力ステップにて受け取られる第1の画像信号を前記第1の記憶部に書き込み、かつ、前記第1の記憶部に書き込まれた第1の画像信号を先入れ先出し方式で読み出すための第1のメモリ制御部とを含み、

前記第2のラインメモリは、

第2の記憶部と、

前記第2入力ステップにて受け取られる第2の画像信号を前記第2の記憶部に書き込み、かつ、前記第2の記憶部に書き込まれた第2の画像信号を先入れ先出し方式で読み出すための第2のメモリ制御部とを含み、

前記第1FIFOステップでは、第1および第2の動作モードにおいて、前記第1のメモリ制御部により、前記第1の画像信号が前記第1の記憶部に書き込まれると共に、前記第1記憶部に書き込まれた前記第1の画像信号が読み出されて前記第1のラインメモリから出力され、

前記第2FIFOステップは、前記第1の動作モードにおいて、前記第2のメモリ制御部により、前記第2の画像信号が前記第2の記憶部に書き込まれると共に、前記第2記憶部に書き込まれた前記第2の画像信号が読み出されて前記第2のラインメモリから出力され、

前記選択出力ステップでは、前記第1の動作モードにおいて前記第1出力ステップが実行され、前記第2の動作モードにおいて前記第2出力ステップが実行され、

前記第1出力ステップでは、前記第1の動作モードにおいて、前記第1のラインメモリから読み出される第1の画像信号における第1、第2および第3の色信号と前記第2のラインメモリから読み出される第2の画像信号における第1、第2および第3の色信号とからなる6つの色信号のうち出力すべき信号が、所定の3つの色信号と他の3つの色信号との間で交互に切り換わり、

前記第2出力ステップでは 前記第2の動作モードにおいて、前記第1のラインメモリから読み出される第1の画像信号が出力されることを特徴とする、請求項8に記載の信号形式変換方法。

- [10] 前記第1FIFOステップでは、第3の動作モードにおいて、前記第1のメモリ制御部により、前記第1の画像信号が前記第1の記憶部に書き込まれると共に、前記第1の画像信号の前記第1の記憶部への書込速度の $1/2$ の速度で前記第1の記憶部から読み出されて前記第1のラインメモリから出力され、

前記第2FIFOステップでは、前記第3の動作モードにおいて、前記第2のメモリ制御部により、前記第2の画像信号が前記第2の記憶部に書き込まれると共に、前記第2の画像信号の前記第2の記憶部への書込速度の $1/2$ の速度で前記第2の記憶部

から読み出されて前記第2のラインメモリから出力され、

前記第1FIFOステップにおける1表示ライン分の前記第1の画像信号の前記第1の記憶部への書込と前記第2FIFOステップにおける1表示ライン分の前記第2の画像信号の前記第2の記憶部への書込とは、交互に行われ、

前記選択出力ステップでは、前記第3の動作モードにおいて前記第1出力ステップが実行され、

前記第1出力ステップでは、前記第3の動作モードにおいて、前記第1のラインメモリから読み出される第1の画像信号における第1、第2および第3の色信号と前記第2のラインメモリから読み出される第2の画像信号における第1、第2および第3の色信号とからなる6つの色信号のうち出力すべき信号が、所定の3つの色信号と他の3つの色信号との間で交互に切り換わることを特徴とする、請求項9に記載の信号形式変換方法。

- [11] 前記第1および第2の画像信号のそれぞれは、並列に入力される第1、第2および第3の色信号からなり、

前記第1のラインメモリは、

第1の記憶部と、

前記第1入力ステップにて受け取られる第1の画像信号を前記第1の記憶部に書き込み、かつ、前記第1の記憶部に書き込まれた第1の画像信号を先入れ先出し方式で読み出すための第1のメモリ制御部とを含み、

前記第2のラインメモリは、

第2の記憶部と、

前記第2入力ステップにて受け取られる第2の画像信号を前記第2の記憶部に書き込み、かつ、前記第2の記憶部に書き込まれた第2の画像信号を先入れ先出し方式で読み出すための第2のメモリ制御部とを含み、

前記第1FIFOステップでは、第4の動作モードにおいて、前記第1のメモリ制御部により、前記第1の画像信号が前記第1の記憶部に書き込まれると共に、1表示ライン分の前記第1の画像信号の前記第1の記憶部への書き込みに要する期間に、前記第1の画像信号につき、前記第1の色信号の1表示ライン分の読み出しと前記第2の

色信号の1表示ライン分の読み出しと前記第3の色信号の1表示ライン分の読み出しとが逐次的に実行されるように、前記第1の記憶部に書き込まれた前記第1の画像信号が読み出されて前記第1のラインメモリから出力され、

前記第2FIFOステップでは、前記第4の動作モードにおいて、前記第2のメモリ制御部により、前記第2の画像信号が前記第2の記憶部に書き込まれると共に、1表示ライン分の前記第2の画像信号の前記第2の記憶部への書き込みに要する期間に、前記第2の画像信号につき、前記第1の色信号の1表示ライン分の読み出しと前記第2の色信号の1表示ライン分の読み出しと前記第3の色信号の1表示ライン分の読み出しとが逐次的に実行されるように、前記第2の記憶部に書き込まれた前記第2の画像信号が読み出されて前記第2のラインメモリから出力され、

前記選択出力ステップでは、前記第4の動作モードにおいて前記第1出力ステップが実行され、

前記第1出力ステップでは、前記第4の動作モードにおいて、前記第1のラインメモリから読み出される第1、第2または第3の色信号と前記第2のラインメモリから読み出される第1、第2または第3の色信号とが交互に出力されることを特徴とする、請求項8に記載の信号形式変換方法。

- [12] 前記第1FIFOステップでは、第5の動作モードにおいて、前記第1のメモリ制御部により、前記第1の画像信号が前記第1の記憶部に書き込まれると共に、1表示ライン分の前記第1の画像信号の前記第1の記憶部への書き込みに要する期間に、前記第1の画像信号につき、前記第1の色信号の1表示ライン分の読み出しと前記第2の色信号の1表示ライン分の読み出しと前記第3の色信号の1表示ライン分の読み出しとが逐次的に実行されるように、前記第1の記憶部に書き込まれた前記第1の画像信号が読み出され、

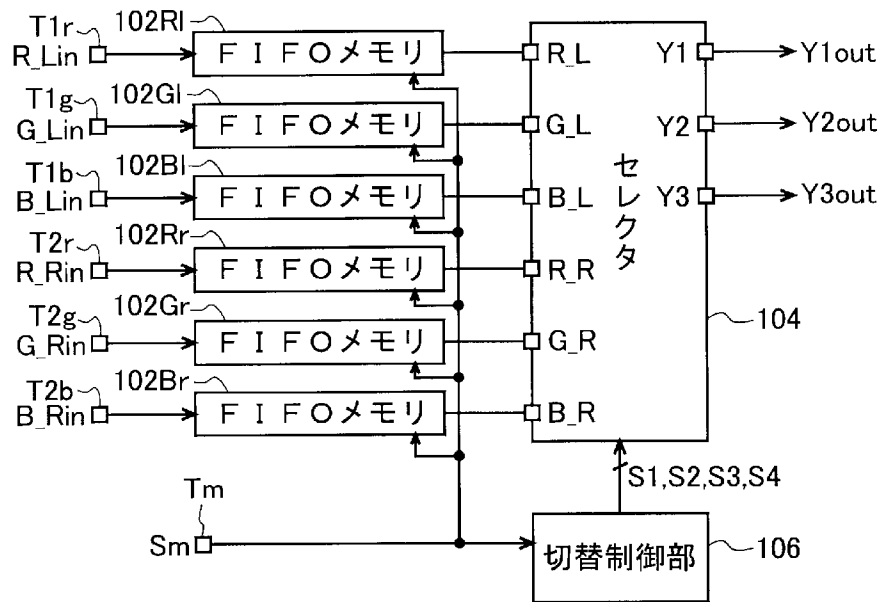
前記第2FIFOステップでは、前記第5の動作モードにおいて、前記第2のメモリ制御部により、前記第2の画像信号が前記第2の記憶部に書き込まれると共に、1表示ライン分の前記第2の画像信号の前記第2の記憶部への書き込みに要する期間に、前記第2の画像信号につき、前記第1の色信号の1表示ライン分の読み出しと前記第2の色信号の1表示ライン分の読み出しと前記第3の色信号の1表示ライン分の読み

出しとが逐次的に実行されるように、前記第2の記憶部に書き込まれた前記第2の画像信号が読み出され、

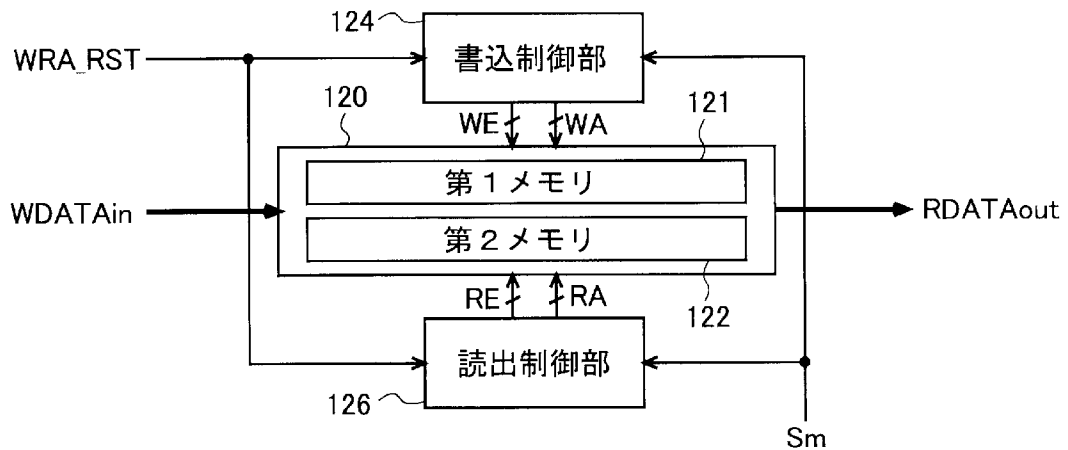
前記選択出力ステップでは、前記第5の動作モードにおいて前記第1出力ステップが実行され、

前記第1出力ステップでは、前記第5の動作モードにおいて、前記第1のラインメモリから読み出される第1、第2または第3の色信号と前記第2のラインメモリから読み出される第1、第2または第3の色信号とが交互に出力されることを特徴とする、請求項11に記載の信号形式変換方法。

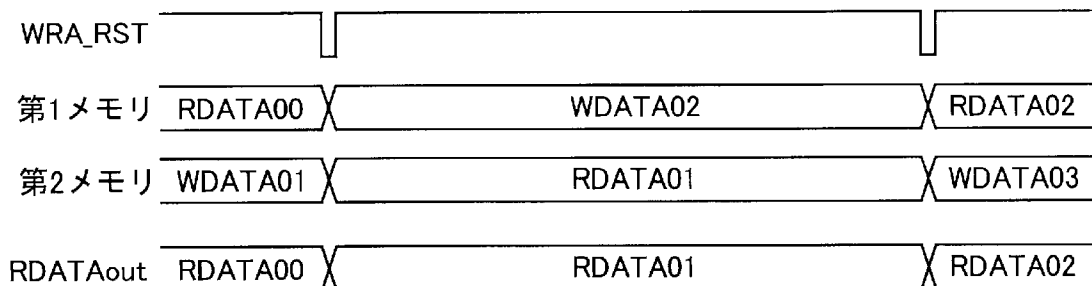
[図1]



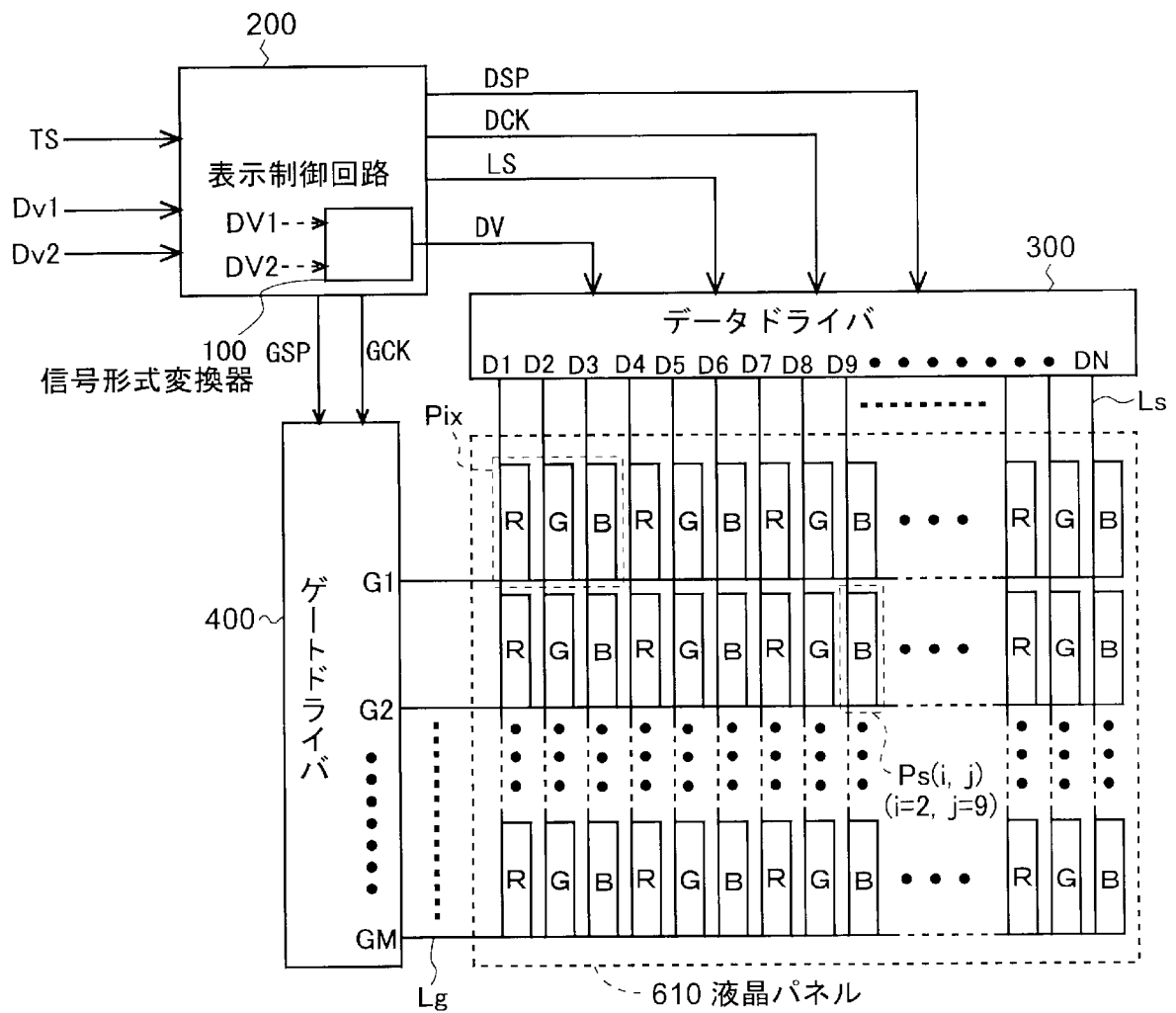
[図2]



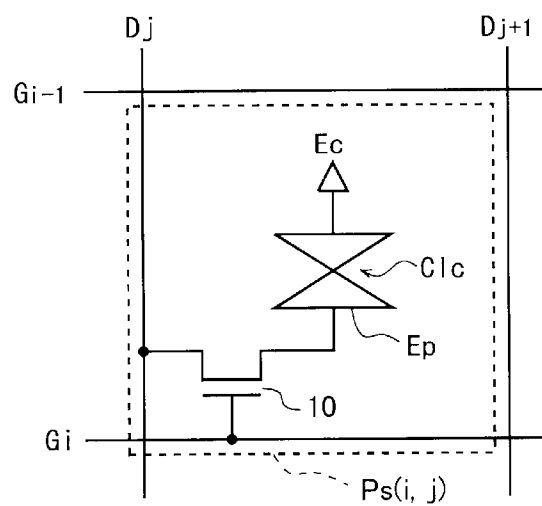
[図3]



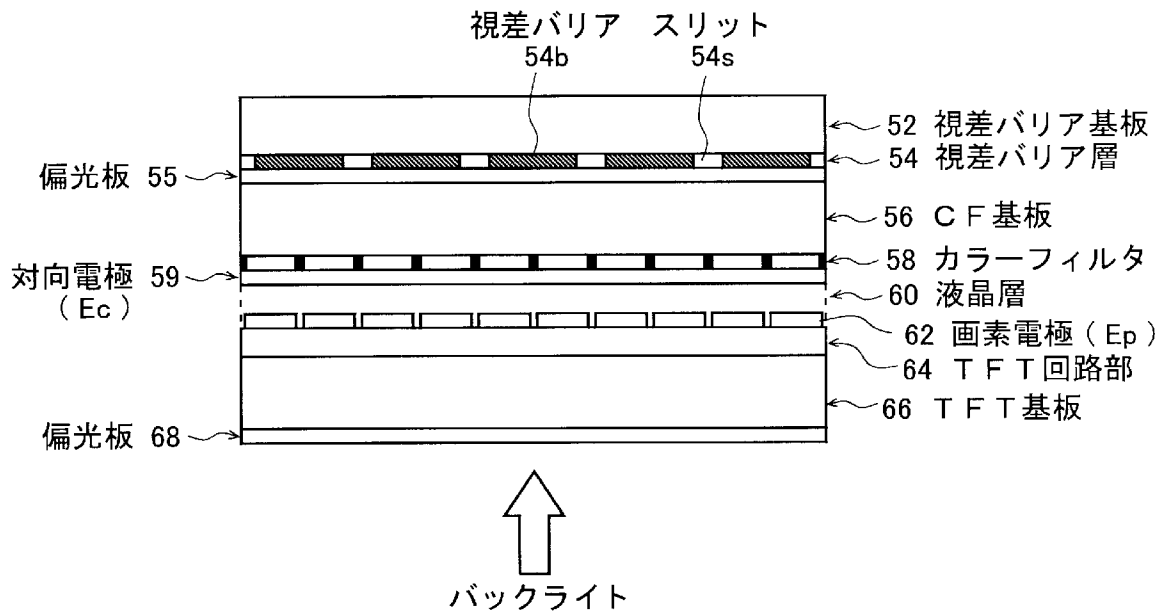
[図4]



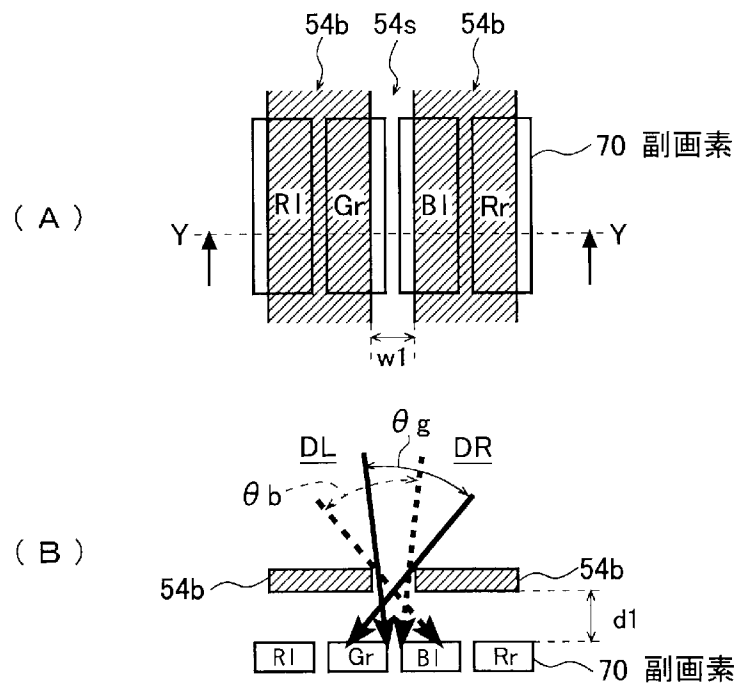
[図5]



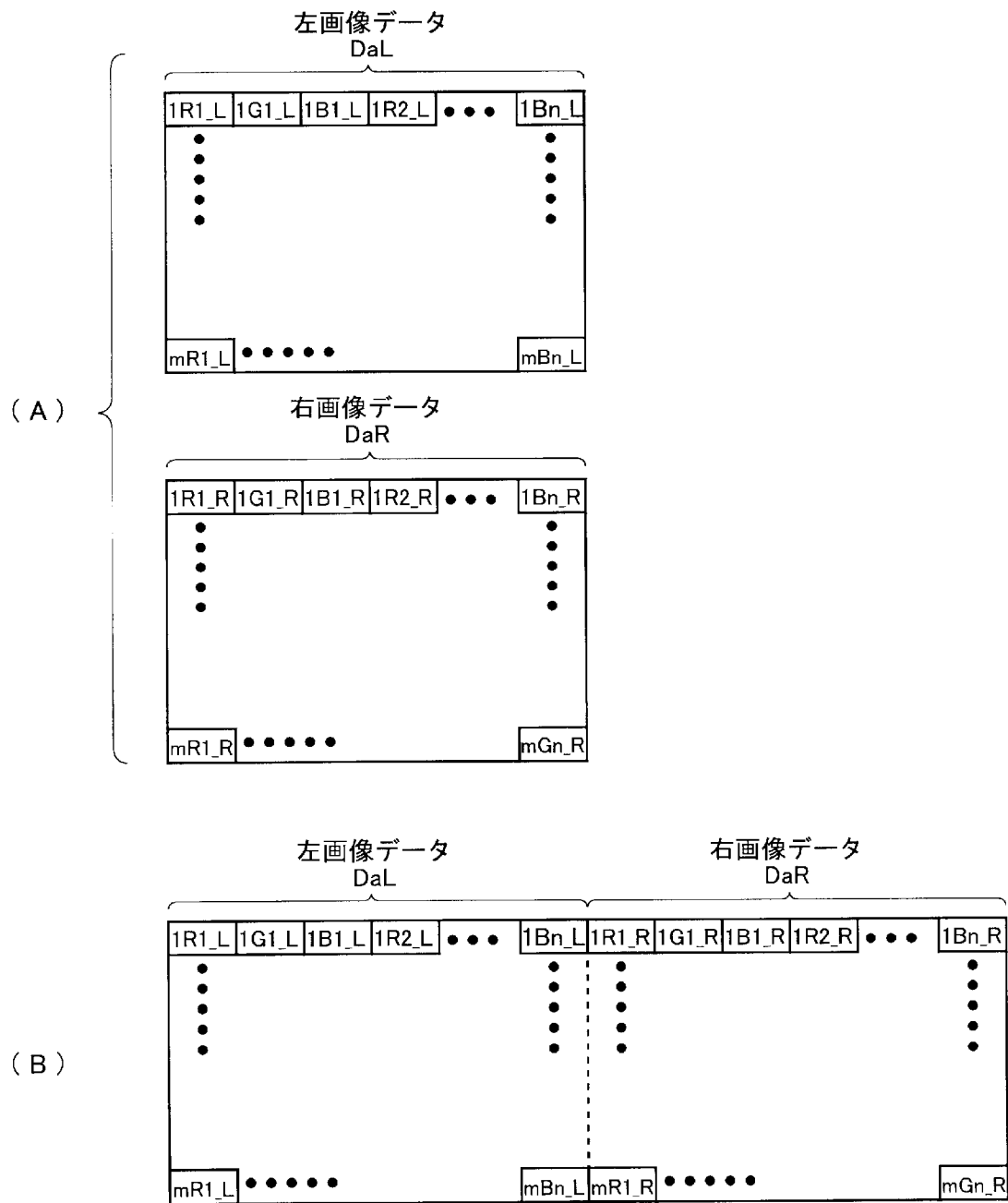
[図6]



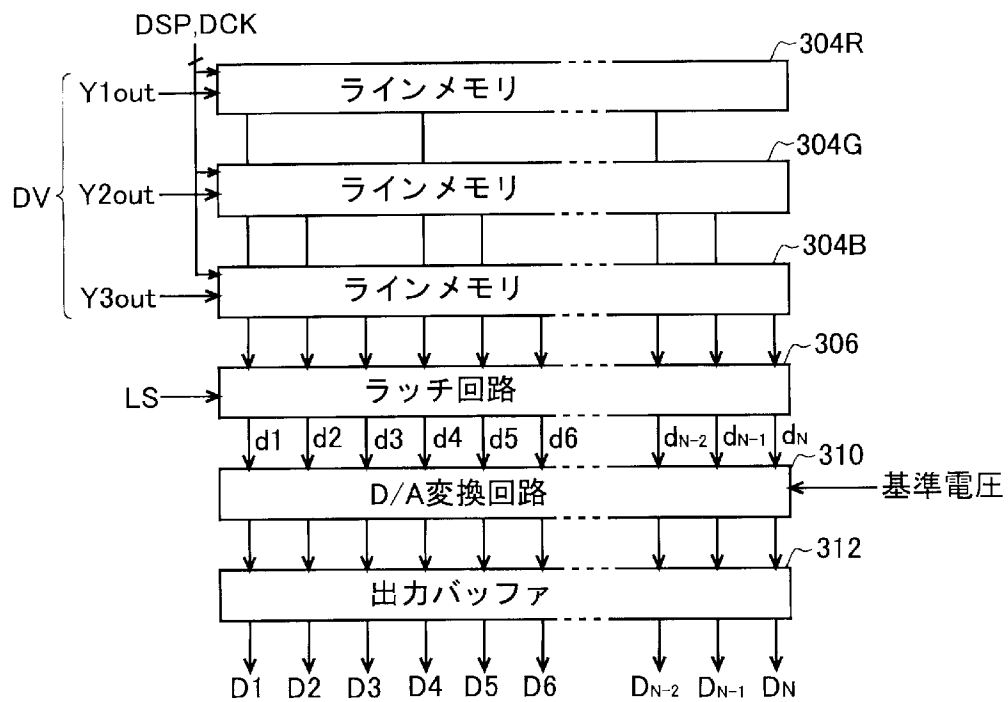
[図7]



[図8]



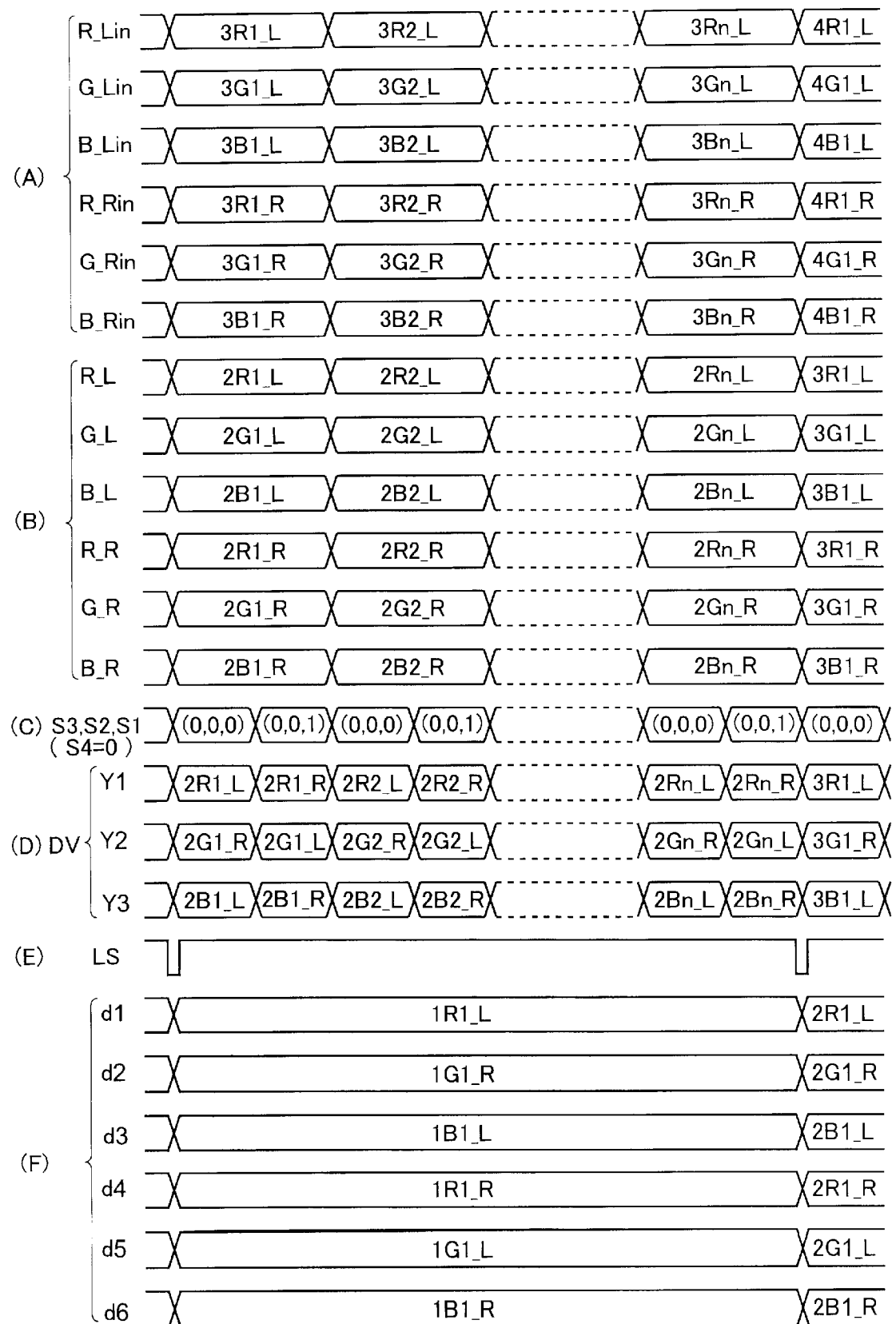
[図9]



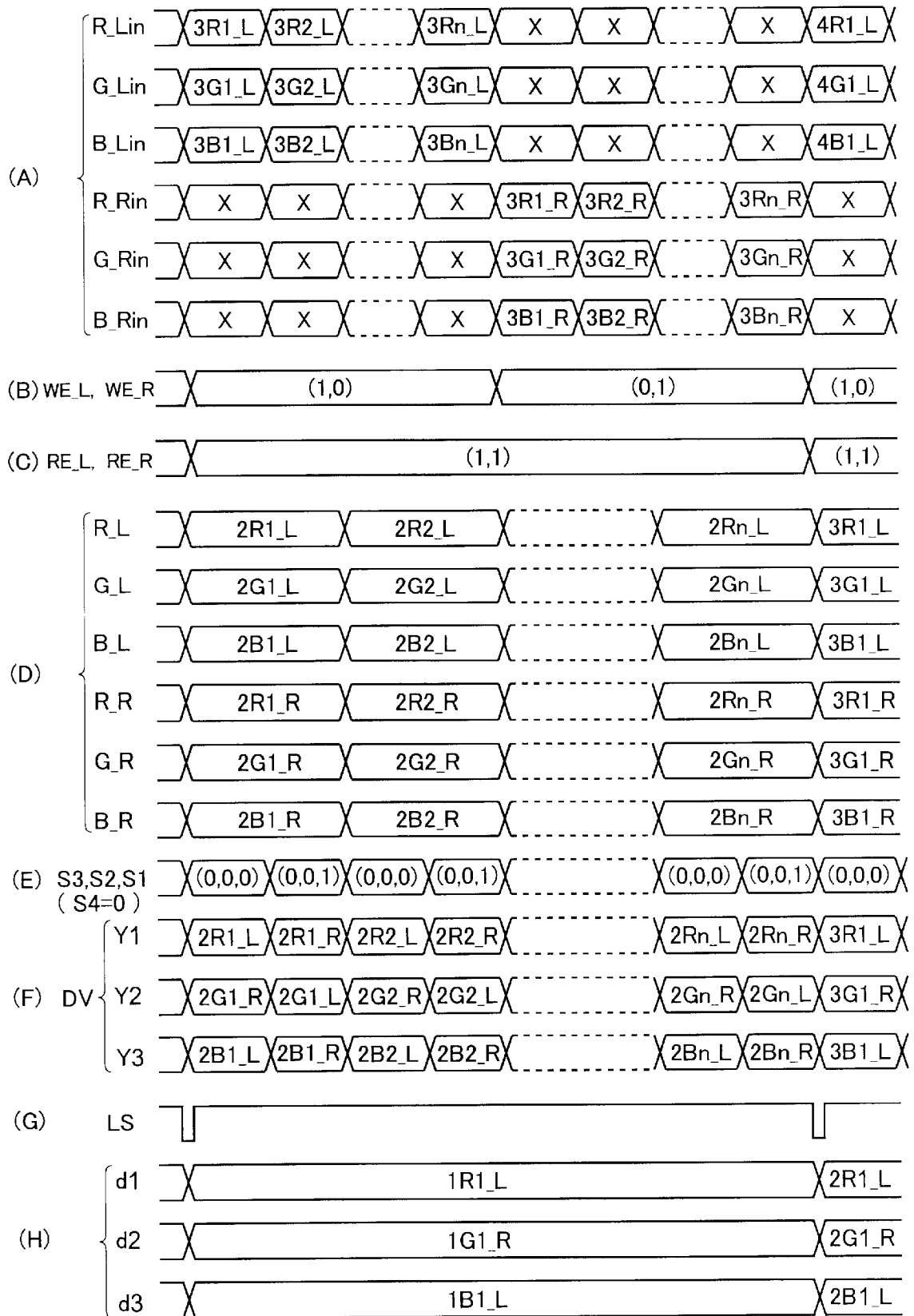
[図10]

S4	S3	S2	S1	Y1	Y2	Y3
0	0	0	0	R_L	G_R	B_L
0	0	0	1	R_R	G_L	B_R
0	0	1	0	R_L	R_L	R_L
0	0	1	1	G_L	G_L	G_L
0	1	0	0	B_L	B_L	B_L
0	1	0	1	R_R	R_R	R_R
0	1	1	0	G_R	G_R	G_R
0	1	1	1	B_R	B_R	B_R
1	x	x	x	R_L	G_L	B_L

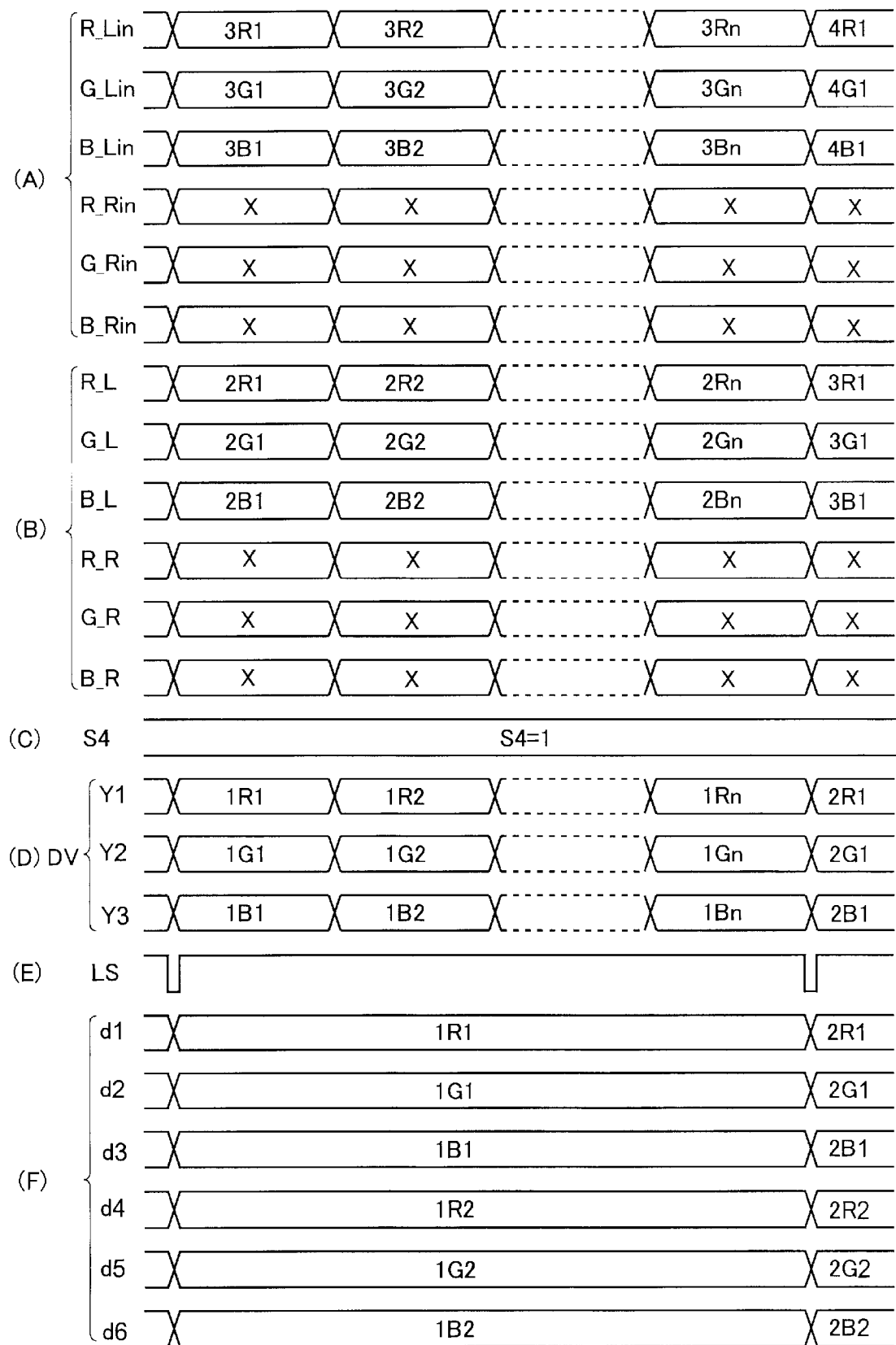
[図11]



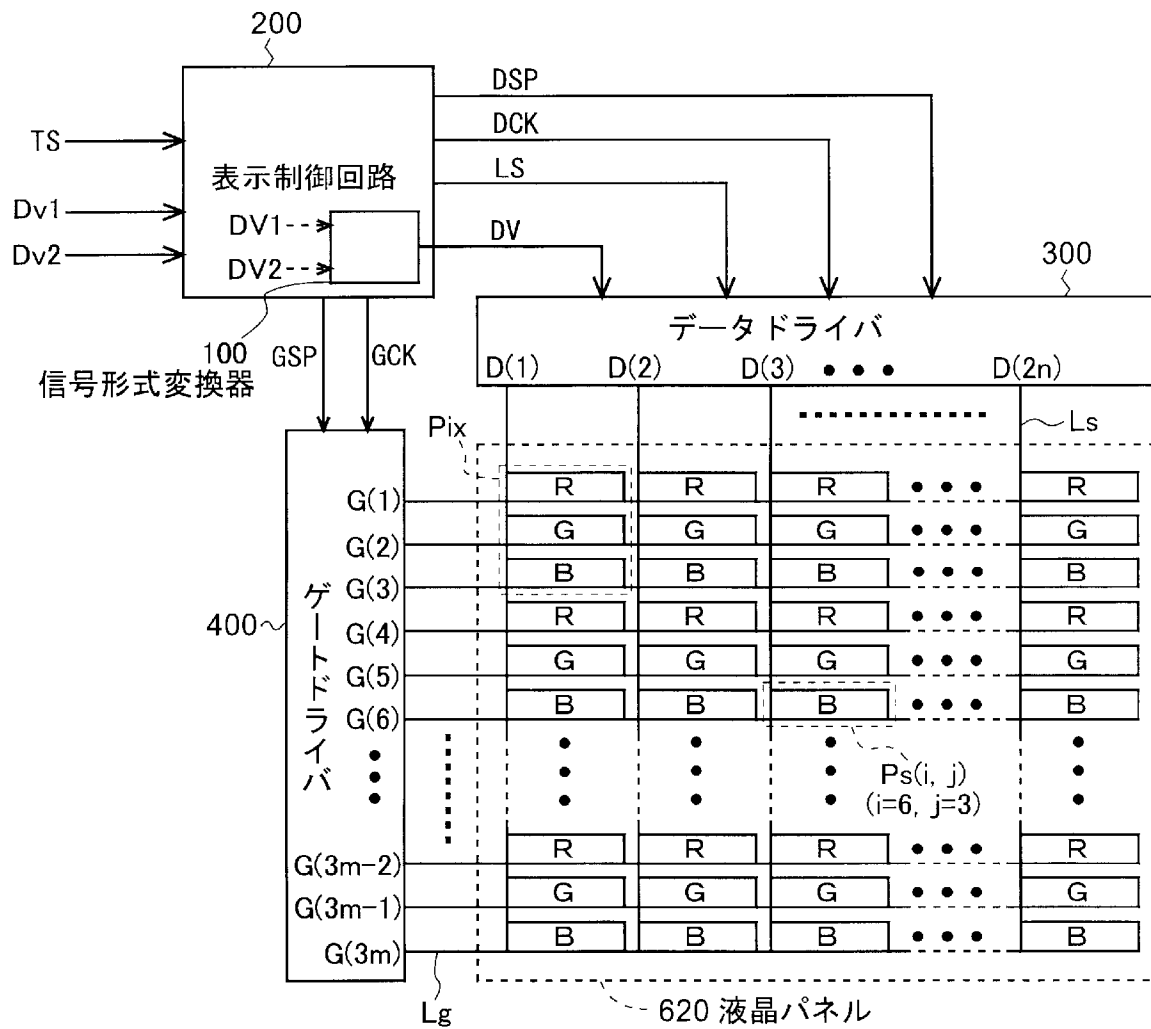
[図12]



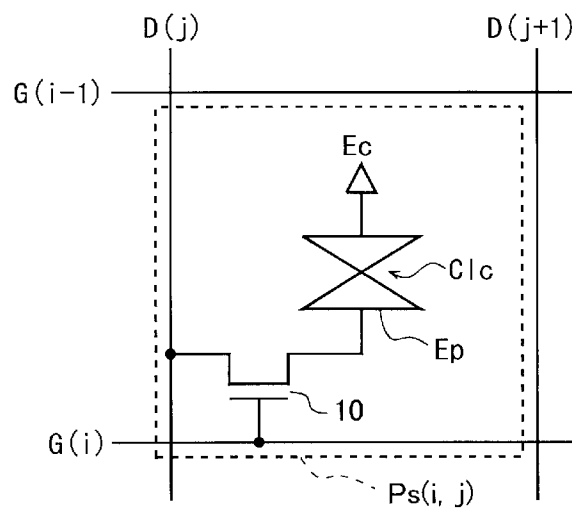
[図13]



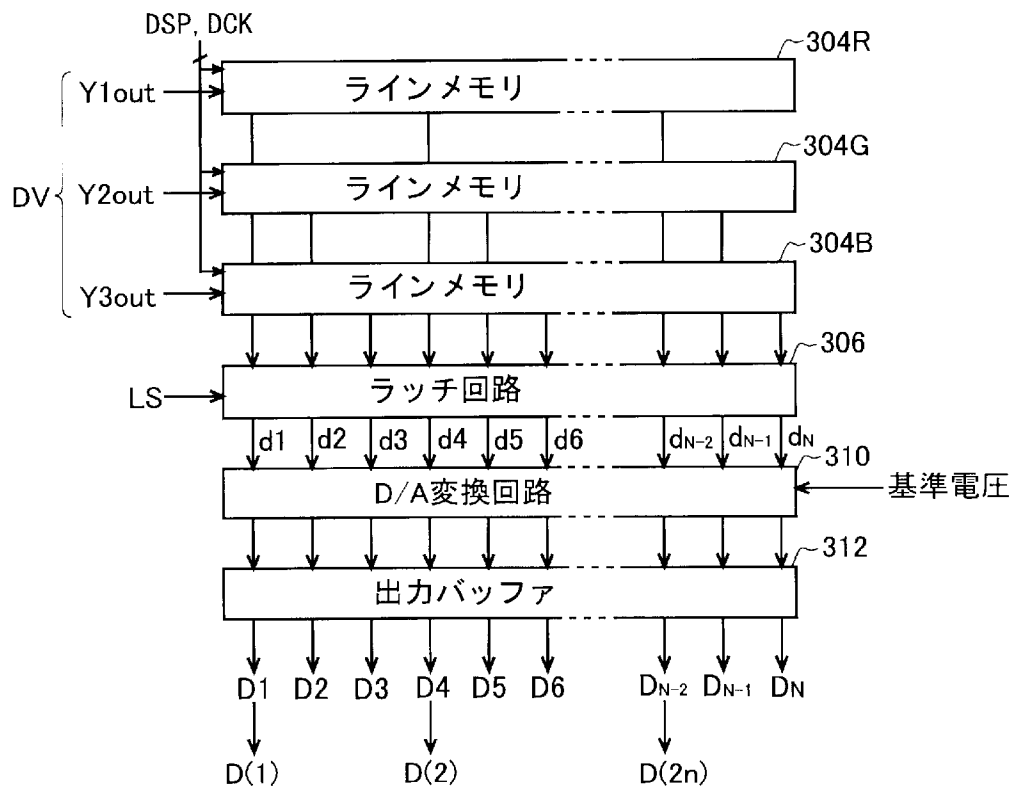
[図14]



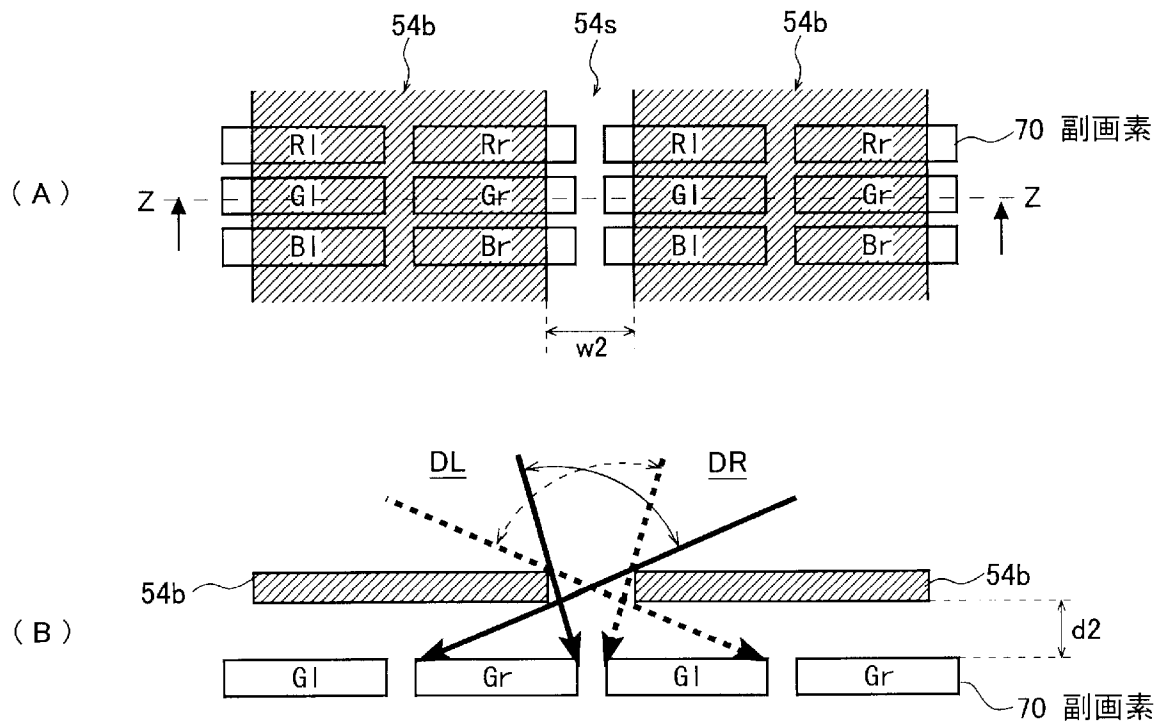
[図15]



[図16]



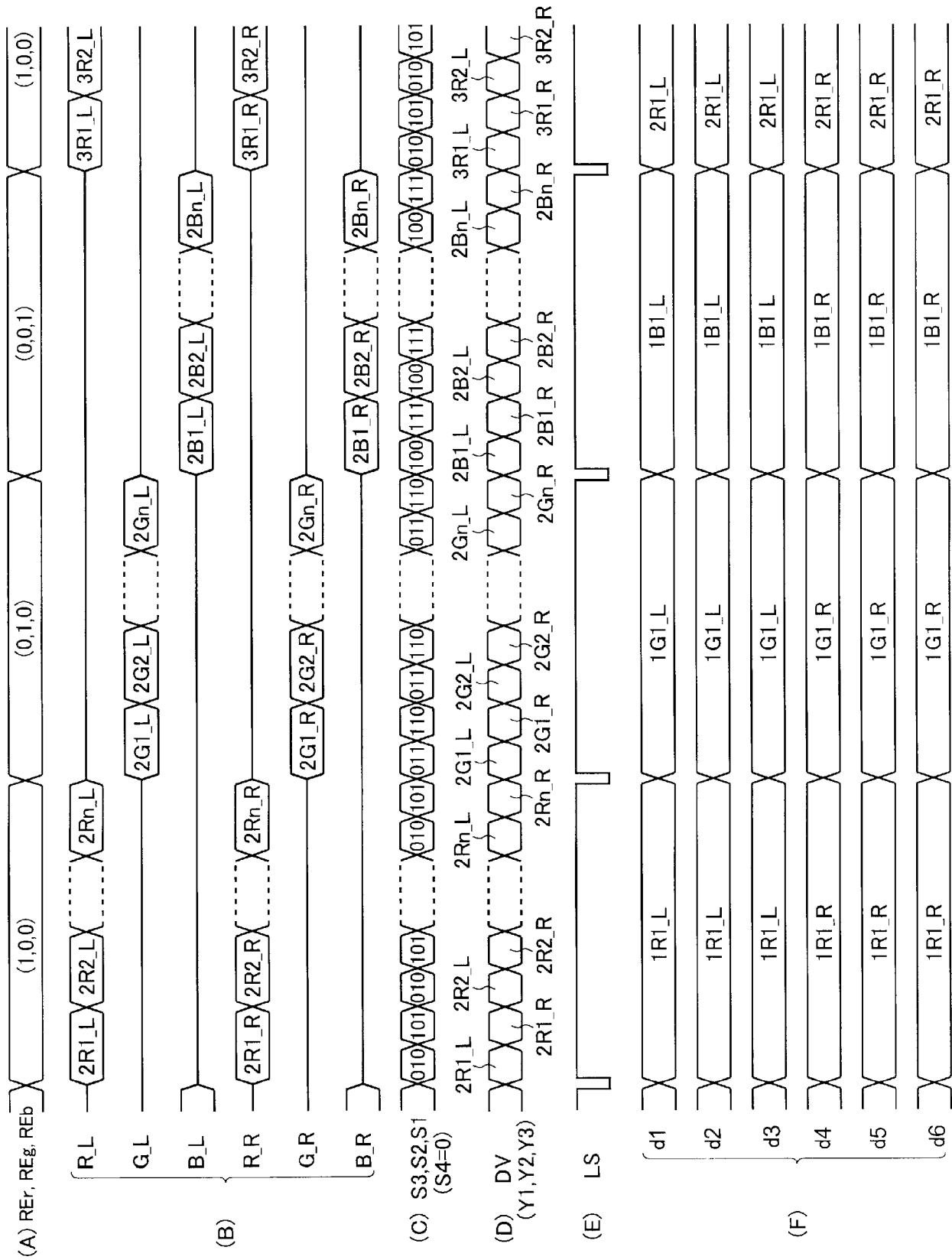
[図17]



(F) DV
(Y1, Y2, Y3)

2R1_R 2R2_R 2Rn_R 2G1_R 2G2_R 2Gn_R 2B1_R 2B2_R 2Bn_R 3R1_R 3R2_R

[19]



[図20]

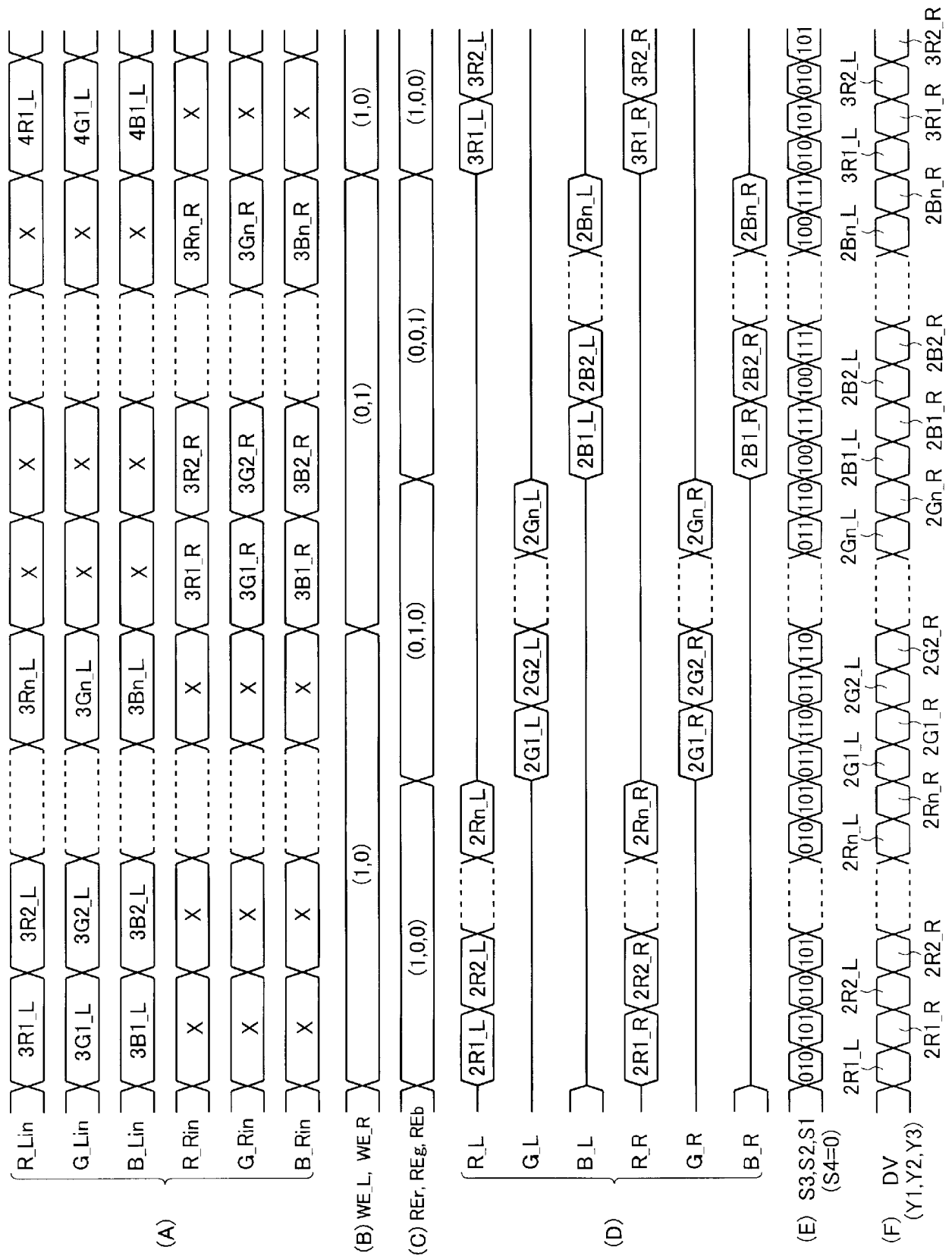


Figure 1 illustrates the proposed 3D optical neural network architecture, showing the flow of light through various layers and components. The diagram is divided into six parts: (A) Input layer, (B) REr, REg, REb layer, (C) Output layer, (D) S3, S2, S1 (S4=0) layer, (E) DV (Y1, Y2, Y3) layer, and (F) LS layer.

(A) Input layer: Shows the input channels (R_Lin, G_Lin, B_Lin, R_Rin, G_Rin, B_Rin) and the output channels (3Rn, 3Gn, 3Bn, 4R1, 4G1, 4B1). The input channels are connected to the output channels via a series of optical components.

(B) REr, REg, REb layer: Shows the input channels (2R1, 2R2, 2Rn) and the output channels (3R1, 3R2, 3R2). The input channels are connected to the output channels via a series of optical components.

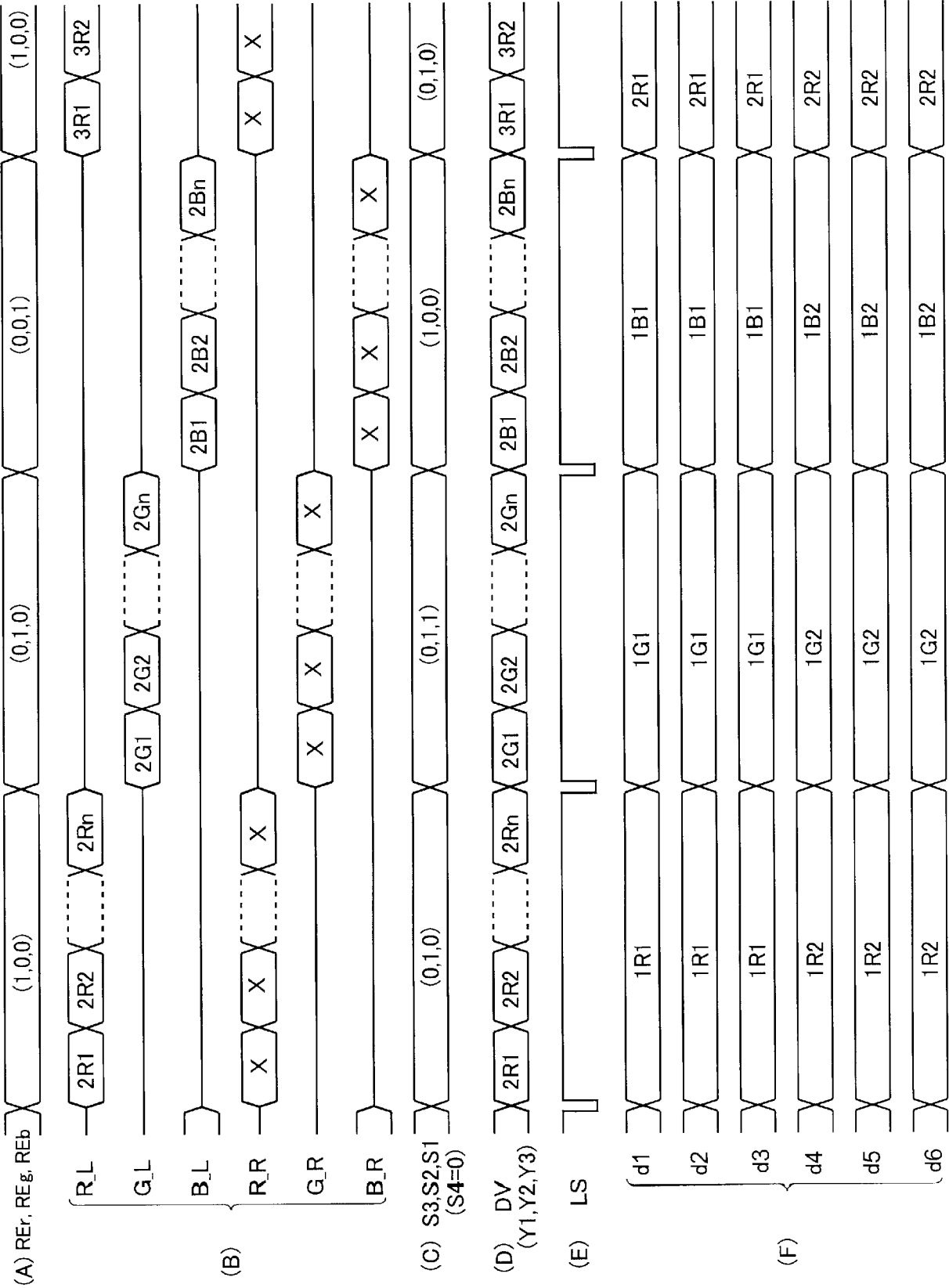
(C) Output layer: Shows the input channels (2G1, 2G2, 2Gn) and the output channels (2B1, 2B2, 2Bn). The input channels are connected to the output channels via a series of optical components.

(D) S3, S2, S1 (S4=0) layer: Shows the input channels (2R1, 2R2, 2Rn) and the output channels (2G1, 2G2, 2Gn). The input channels are connected to the output channels via a series of optical components.

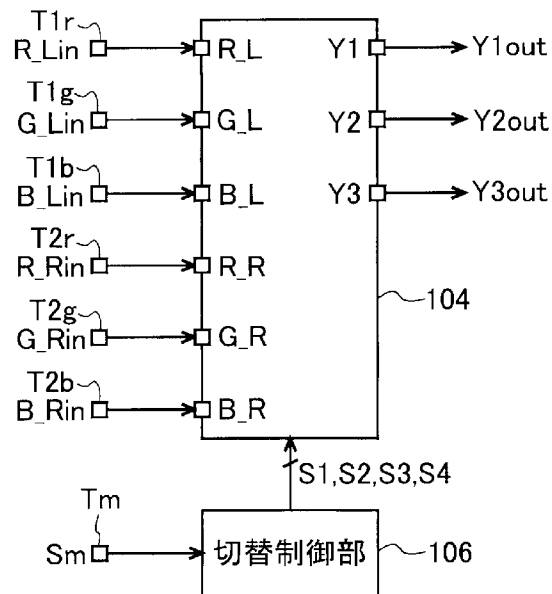
(E) DV (Y1, Y2, Y3) layer: Shows the input channels (2R1, 2R2, 2Rn) and the output channels (2G1, 2G2, 2Gn). The input channels are connected to the output channels via a series of optical components.

(F) LS layer: Shows the input channels (2R1, 2R2, 2Rn) and the output channels (2G1, 2G2, 2Gn). The input channels are connected to the output channels via a series of optical components.

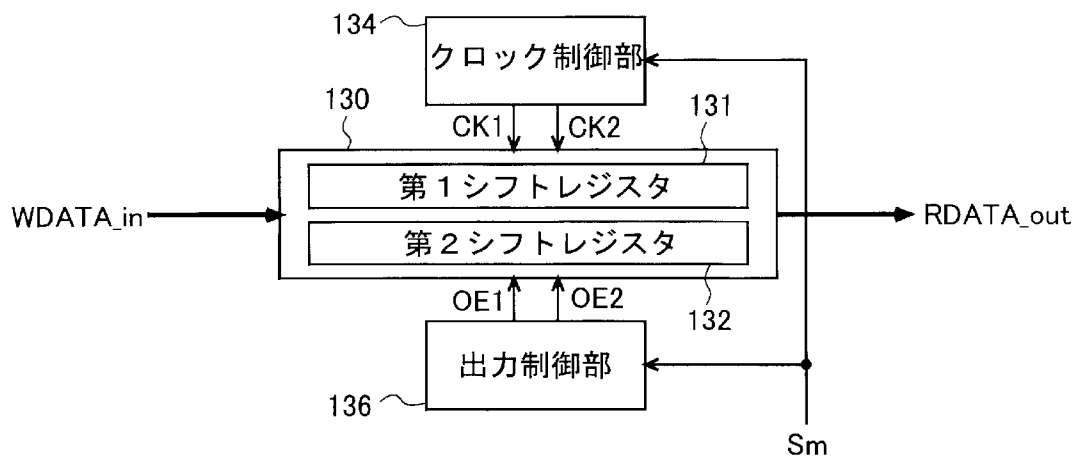
[図22]



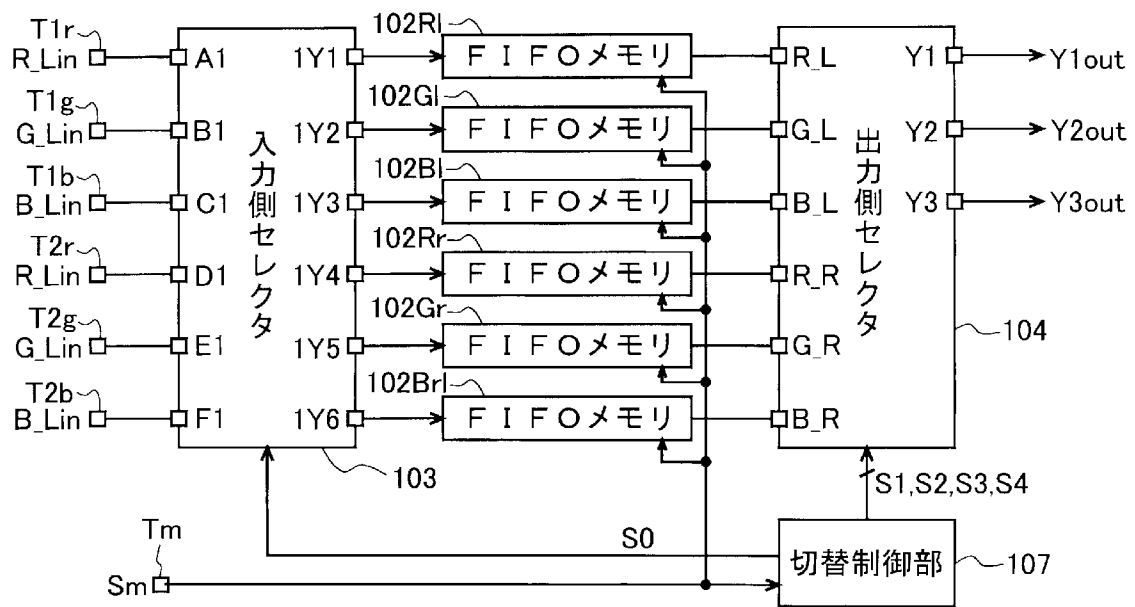
[図23]



[図24]



[図25]



[図26]

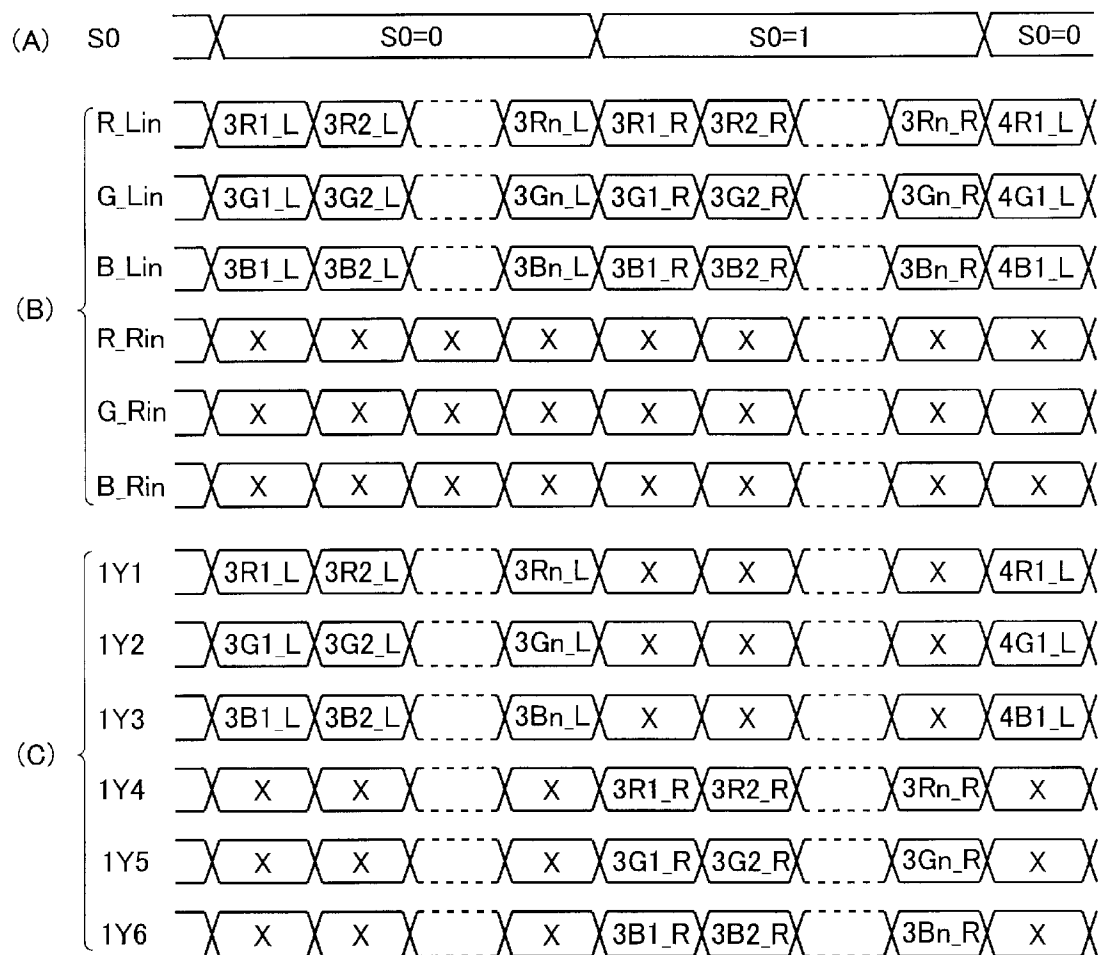
(A)

S0	1Y1	1Y2	1Y3	1Y4	1Y5	1Y6
0	A1	B1	C1	D1	E1	F1
1	X	X	X	A1	B1	C1

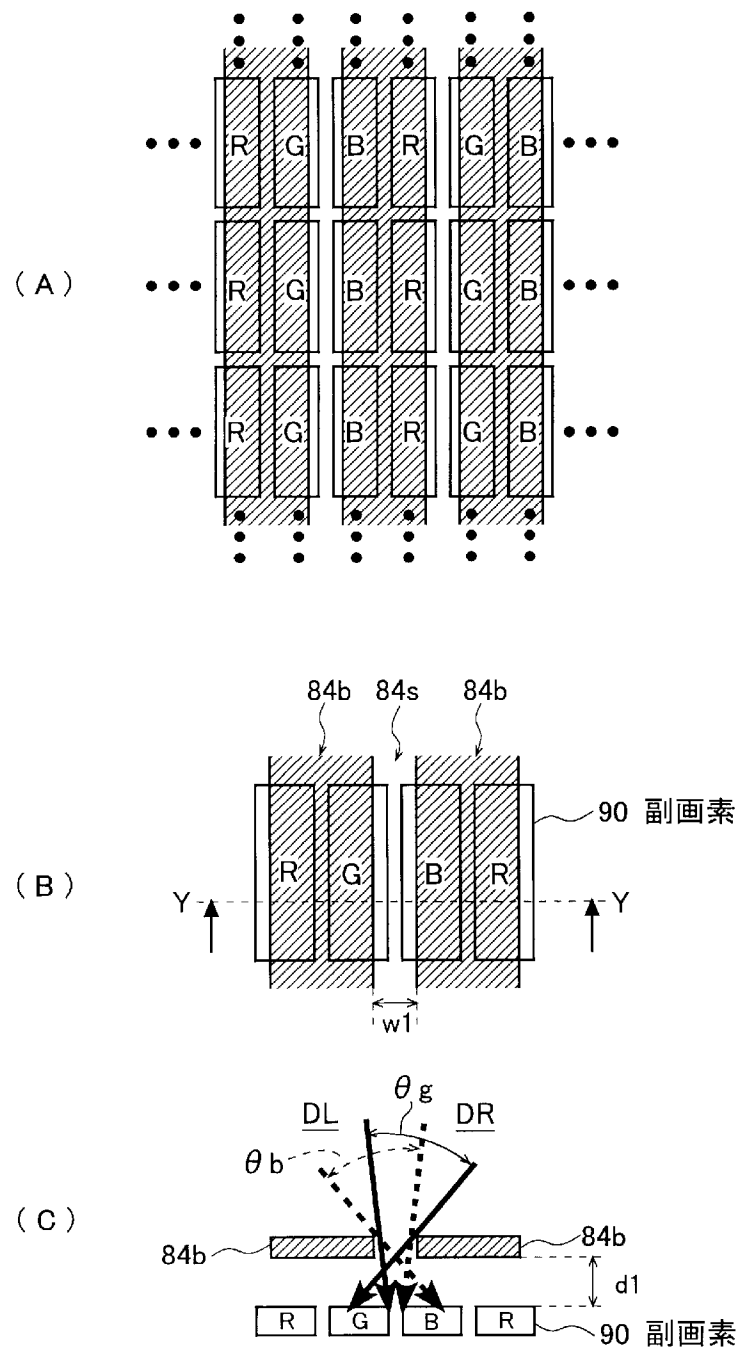
(B)

S4	S3	S2	S1	Y1	Y2	Y3
0	0	0	0	R_L	G_R	B_L
0	0	0	1	R_R	G_L	B_R
0	0	1	0	R_L	R_L	R_L
0	0	1	1	G_L	G_L	G_L
0	1	0	0	B_L	B_L	B_L
0	1	0	1	R_R	R_R	R_R
0	1	1	0	G_R	G_R	G_R
0	1	1	1	B_R	B_R	B_R
1	x	x	x	R_L	G_L	B_L

[図27]



[図28]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2006/322135

A. CLASSIFICATION OF SUBJECT MATTER

G09G3/36(2006.01) i, G02F1/133(2006.01) i, G09G3/20(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09G3/00-5/42, G02F1/133

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2006
Kokai Jitsuyo Shinan Koho	1971-2006	Toroku Jitsuyo Shinan Koho	1994-2006

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 2004-289681 A (Sharp Corp.), 14 October, 2004 (14.10.04), Par. Nos. [0040] to [0076]; Figs. 1 to 6 & US 2004/0189795 A1 & EP 1462996 A1	1-3, 6-10 4, 5, 11, 12
Y A	JP 11-18111 A (Sanyo Electric Co., Ltd.), 22 January, 1999 (22.01.99), Par. Nos. [0002] to [0010]; Figs. 7 to 10 (Family: none)	1-3, 6-10 4, 5, 11, 12
A	JP 10-191400 A (Nippon Steel Corp.), 21 July, 1998 (21.07.98), Full text; all drawings (Family: none)	1-12

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
11 December, 2006 (11.12.06)

Date of mailing of the international search report
19 December, 2006 (19.12.06)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2006/322135

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2004-206089 A (Sharp Corp.), 22 July, 2004 (22.07.04), Par. Nos. [0046] to [0049]; Fig. 7 & US 2004/0119896 A1 & GB 2396070 A & EP 1427223 A2 & TW 232979 B	1-12
P,A	JP 2006-243597 A (Alpine Electronics, Inc.), 14 September, 2006 (14.09.06), Par. Nos. [0024] to [0038]; Fig. 1 (Family: none)	1-12
P,A	WO 2006/100951 A1 (Sharp Corp.), 28 September, 2006 (28.09.06), Full text; all drawings (Family: none)	1-12
P,A	WO 2006/100950 A1 (Sharp Corp.), 28 September, 2006 (28.09.06), Full text; all drawings (Family: none)	1-12

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. G09G3/36(2006.01)i, G02F1/133(2006.01)i, G09G3/20(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. G09G3/00 - 5/42, G02F1/133

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 0 6 年
日本国実用新案登録公報	1 9 9 6 - 2 0 0 6 年
日本国登録実用新案公報	1 9 9 4 - 2 0 0 6 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y A	JP 2004-289681 A (シャープ株式会社) 2004. 10. 14, 【0040】-【0076】, 【図 1】 - 【図 6】 & US 2004/0189795 A1 & EP 1462996 A1	1-3, 6-10 4, 5, 11, 12
Y A	JP 11-18111 A (三洋電機株式会社) 1999. 01. 22, 【0002】 - 【0010】, 【図 7】 - 【図 10】 (ファミリー無し)	1-3, 6-10 4, 5, 11, 12
A	JP 10-191400 A (新日本製鐵株式会社) 1998. 07. 21, 全文全図 (フ ァミリー無し)	1-12

☒ C 欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

1 1 . 1 2 . 2 0 0 6

国際調査報告の発送日

1 9 . 1 2 . 2 0 0 6

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）
郵便番号 1 0 0 - 8 9 1 5
東京都千代田区霞が関三丁目 4 番 3 号

特許庁審査官（権限のある職員）

後藤 亮治

2 G

9 6 1 0

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 2 2 6

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 2004-206089 A (シャープ株式会社) 2004. 07. 22, 【0046】-【0049】, 【図 7】 & US 2004/0119896 A1 & GB 2396070 A & EP 1427223 A2 & TW 232979 B	1-12
P, A	JP 2006-243597 A (アルパイン株式会社) 2006. 09. 14, 【0024】 - 【0038】, 【図 1】 (ファミリー無し)	1-12
P, A	WO 2006/100951 A1 (シャープ株式会社) 2006. 09. 28, 全文全図 (ファミリー無し)	1-12
P, A	WO 2006/100950 A1 (シャープ株式会社) 2006. 09. 28, 全文全図 (ファミリー無し)	1-12