



(19)中華民國智慧財產局

(12)發明說明書公告本 (11)證書號數：TW I516006 B

(45)公告日：中華民國 105 (2016) 年 01 月 01 日

(21)申請案號：100117580

(22)申請日：中華民國 100 (2011) 年 05 月 19 日

(51)Int. Cl. : H02M3/155 (2006.01)

G09G3/20 (2006.01)

(30)優先權：2010/05/21 日本

2010-116938

(71)申請人：半導體能源研究所股份有限公司 (日本) SEMICONDUCTOR ENERGY
LABORATORY CO., LTD. (JP)

日本

(72)發明人：高橋圭 TAKAHASHI, KEI (JP)；伊藤良明 ITO, YOSHIAKI (JP)

(74)代理人：林志剛

(56)參考文獻：

US 2004/0004470A1

US 2008/0111531A1

US 2011/0133706A1

審查人員：劉彥成

申請專利範圍項數：22 項 圖式數：11 共 59 頁

(54)名稱

半導體裝置及顯示裝置

SEMICONDUCTOR DEVICE AND DISPLAY DEVICE

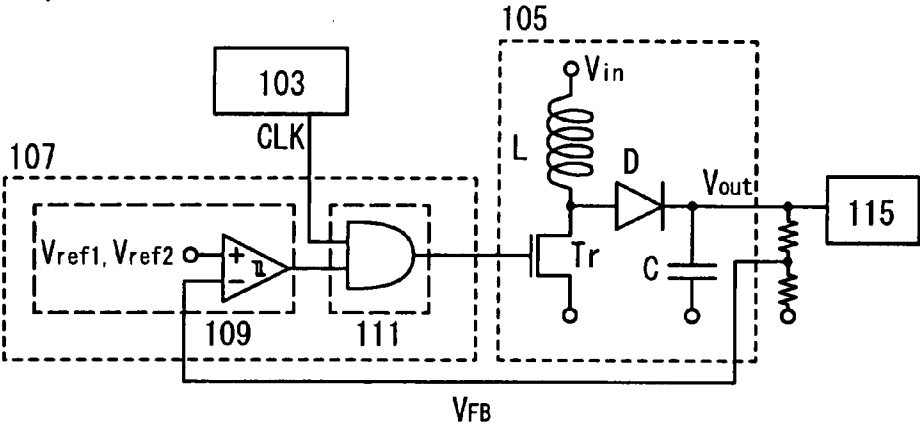
(57)摘要

本發明的目的之一在於：降低具有直流轉換電路的半導體裝置的耗電量。該半導體裝置包括：直流轉換電路；以及微處理器，其中直流轉換電路具有轉換電路和控制電路，轉換電路具有電感元件和電晶體，控制電路具有比較電路和邏輯電路，作為比較電路使用滯環比較器，在控制電路中比較電路比較轉換電路的輸出信號和第一基準電位或第二基準電位而邏輯電路計算比較電路的輸出信號和微處理器的時鐘信號，並且在轉換電路中電晶體根據邏輯電路的輸出信號而控制流過電感元件的電流並根據流過電感元件的電流而產生轉換電路的輸出信號。

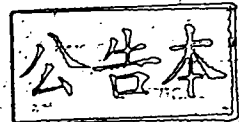
An object is to reduce power consumption of a semiconductor device including a DC-DC converter circuit. The semiconductor device includes a DC-DC converter circuit and a microprocessor. The DC-DC converter circuit includes a conversion circuit including an inductor and a transistor, and a control circuit including a comparison circuit and a logic circuit. A hysteresis comparator is used as the comparison circuit. In the control circuit, the comparison circuit compares an output signal of the conversion circuit with a first reference potential or a second reference potential, and the logic circuit performs arithmetic operation between an output signal of the comparison circuit and a clock signal of the microprocessor. In the conversion circuit, the transistor controls current flowing through the inductor in accordance with an output signal of the logic circuit, and the output signal of the conversion circuit is generated in accordance with the current flowing through the inductor.

指定代表圖：

圖 6A



- 符號簡單說明：
- 103 . . . 微處理器
 - 105 . . . 轉換電路
 - 107 . . . 控制電路
 - 109 . . . 比較電路
 - 111 . . . 邏輯電路
 - 115 . . . 負載



781636

發明專利說明書

(本申請書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：100117580

※申請日：100 年 05 月 19 日

※IPC 分類：

一、發明名稱：(中文／英文)

半導體裝置及顯示裝置

Semiconductor device and display device

H02M 3/155 :2006.012

G09G 3/20 :2006.012

二、中文發明摘要：

本發明的目的之一在於：降低具有直流轉換電路的半導體裝置的耗電量。該半導體裝置包括：直流轉換電路；以及微處理器，其中直流轉換電路具有轉換電路和控制電路，轉換電路具有電感元件和電晶體，控制電路具有比較電路和邏輯電路，作為比較電路使用滯環比較器，在控制電路中比較電路比較轉換電路的輸出信號和第一基準電位或第二基準電位而邏輯電路計算比較電路的輸出信號和微處理器的時鐘信號，並且在轉換電路中電晶體根據邏輯電路的輸出信號而控制流過電感元件的電流並根據流過電感元件的電流而產生轉換電路的輸出信號。

三、英文發明摘要：

An object is to reduce power consumption of a semiconductor device including a DC-DC converter circuit. The semiconductor device includes a DC-DC converter circuit and a microprocessor. The DC-DC converter circuit includes a conversion circuit including an inductor and a transistor, and a control circuit including a comparison circuit and a logic circuit. A hysteresis comparator is used as the comparison circuit. In the control circuit, the comparison circuit compares an output signal of the conversion circuit with a first reference potential or a second reference potential, and the logic circuit performs arithmetic operation between an output signal of the comparison circuit and a clock signal of the microprocessor. In the conversion circuit, the transistor controls current flowing through the inductor in accordance with an output signal of the logic circuit, and the output signal of the conversion circuit is generated in accordance with the current flowing through the inductor.

四、指定代表圖：

(一) 本案指定代表圖為：第(6A)圖。

(二) 本代表圖之元件符號簡單說明：

103：微處理器

105：轉換電路

107：控制電路

109：比較電路

111：邏輯電路

115：負載

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：無

六、發明說明：

【發明所屬之技術領域】

本發明的技術領域關於半導體裝置及其驅動方法、以及顯示裝置及其驅動方法。

【先前技術】

近年來，在各種各樣的電子設備中，例如在從電壓變動大的電壓產生穩定的值的電源電壓時，或者在需要多個不同的值的電源電壓時等，使用將某一值的直流電壓轉換成另一值的直流電壓的電路（也稱為直流轉換電路或者DC-DC轉換器）。

作為直流轉換電路，例如有由線圈、二極體以及電晶體構成的被稱為非絕緣型直流轉換電路的直流轉換電路（例如，專利文獻1）。該非絕緣型直流轉換電路具有電路面積小、製造成本低的優點。

[專利文獻1] 日本專利申請公開昭58-086868號公報

【發明內容】

本發明的目的之一在於：在具有直流轉換電路的半導體裝置中，提供一種新穎的電路結構或者驅動方法。另外，本發明的目的之一在於：降低直流轉換電路中的耗電量。另外，本發明的目的之一在於：提高直流轉換電路中的電力轉換效率。

本發明之一是一種具有直流轉換電路和微處理器的半

導體裝置。並且，直流轉換電路被微處理器的時鐘信號控制，而將輸入信號(也稱為輸入電壓)轉換成輸出信號(也稱為輸出電壓)。

本發明的一個方式是一種半導體裝置，包括：直流轉換電路；以及微處理器，其中直流轉換電路具有轉換電路和控制電路，轉換電路具有電感元件和電晶體，控制電路具有比較電路和邏輯電路，作為比較電路使用滯環比較器(hysteresis comparator)，在控制電路中比較電路比較轉換電路的輸出信號和第一基準電位或第二基準電位而邏輯電路計算比較電路的輸出信號和微處理器的時鐘信號，並且在轉換電路中電晶體根據邏輯電路的輸出信號而控制流過電感元件的電流並根據流過電感元件的電流而產生轉換電路的輸出信號。

本發明的另一個方式是一種顯示裝置，包括：直流轉換電路；微處理器；以及配置有像素的顯示部，其中直流轉換電路具有轉換電路和控制電路，轉換電路具有電感元件和電晶體，控制電路具有比較電路和邏輯電路，作為比較電路使用滯環比較器，在控制電路中比較電路比較轉換電路的輸出信號和第一基準電位或第二基準電位而邏輯電路計算比較電路的輸出信號和微處理器的時鐘信號，在轉換電路中電晶體根據邏輯電路的輸出信號而控制流過電感元件的電流並根據流過電感元件的電流而產生轉換電路的輸出信號，並且顯示部根據轉換電路的輸出信號而驅動像素。

本發明的另一個方式是一種顯示裝置，包括：直流轉換電路；微處理器；以及配置有像素的顯示部，其中直流轉換電路具有轉換電路和控制電路，轉換電路具有電感元件和電晶體，控制電路具有比較電路、放大電路以及邏輯電路，作為比較電路使用滯環比較器，在控制電路中進行第一工作或第二工作，所述第一工作為如下：比較電路比較轉換電路的輸出信號和第一基準電位或第二基準電位，而邏輯電路計算比較電路的輸出信號和微處理器的時鐘信號，所述第二工作為如下：放大電路放大轉換電路的輸出信號與第三基準電位之間的差值，而比較電路比較放大電路的輸出信號和三角波，在轉換電路中電晶體根據利用第一工作獲取的邏輯電路的輸出信號或利用第二工作獲取的比較電路的輸出信號而控制流過電感元件的電流並根據流過電感元件的電流而產生轉換電路的輸出信號，在顯示部中進行第一驅動或第二驅動，所述第一驅動為如下：將視頻信號以 1 秒以上 600 秒以下的間隔寫入到像素，所述第二驅動為如下：將視頻信號以 1/60 秒以下的間隔寫入到像素，並且顯示部在進行第一驅動時根據利用第一工作獲取的轉換電路的輸出信號而驅動像素而在進行第二驅動時根據利用第二工作獲取的轉換電路的輸出信號而驅動像素。

根據本發明的一個方式的半導體裝置或顯示裝置可以準確地進行直流轉換電路中的占空比的控制，而可以提高直流轉換電路的可靠性。另外，可以降低直流轉換電路中

的耗電量。另外，可以提高直流轉換電路中的電力轉換效率。另外，可以降低半導體裝置或顯示裝置的製造成本。

【實施方式】

以下，參照附圖詳細說明實施方式。但是，以下實施方式可以藉由多種不同的方式實施，所屬技術領域的普通技術人員可以很容易地理解一個事實就是其方式和詳細內容在不脫離本發明的宗旨及其範圍下可以被變換為各種各樣的形式。因此，本發明不應該被解釋為僅限定在以下所示的實施方式所記載的內容中。在說明實施方式的全部附圖中，同一引用編號表示具有相似或相同功能的部分，並且省略重複說明。

實施方式 1

在本實施方式中說明半導體裝置的結構及驅動方法的實例。

圖 1A 是具有直流轉換電路的半導體裝置的方塊圖的實例。

半導體裝置具有直流轉換電路 101 及微處理器 103。直流轉換電路 101 具有轉換電路 105 及控制電路 107。控制電路 107 具有比較電路 109 及邏輯電路 111。直流轉換電路 101 是藉由對輸入信號 V_{in} 進行直流轉換而產生輸出信號 V_{out} 的電路。將輸出信號 V_{out} 輸入到負載 115。

圖 1B 和 1C 示出轉換電路 105 的實例。圖 1B 示出升

壓型 ($V_{in} < V_{out}$)，而圖 1C 示出降壓型 ($V_{in} > V_{out}$)。

轉換電路 105 至少具有電晶體 T_r 和電感元件 L 。

電晶體 T_r 用作切換元件，藉由轉換為 ON 狀態 (導通狀態) 或 OFF 狀態 (非導通狀態) 而控制流過電感元件 L 的電流。另外，電晶體 T_r 的狀態由在控制電路 107 中產生的脈衝信號而決定。

電感元件 L 產生根據上述電流的電動勢，而產生轉換電路 105 的輸出信號 V_{out} (也稱為直流轉換電路 101 的輸出信號)。另外，電流值由輸入信號 V_{in} 的值等而決定。像這樣，可以將輸入信號 V_{in} 轉換成輸出信號 V_{out} 。這裏，電感元件 L 例如是線圈。

接著，說明轉換電路 105 的具體結構及工作。以下，示出使用圖 1B 的電路的情況。

圖 1B 的轉換電路 105 具有電晶體 T_r 、電感元件 L 、二極體 D 以及電容器 C 。電晶體 T_r 的閘極與控制電路 107 電連接，其源極和汲極中的一方與電感元件 L 的一個端子及二極體 D 的陽極電連接，電感元件 L 的另一個端子與被輸入輸入信號 V_{in} 的輸入端子電連接，並且二極體 D 的陰極與電容器 C 的一個端子及被輸出輸出信號 V_{out} 的輸出端子電連接。另外，電晶體 T_r 的源極和汲極中的另一方及電容器 C 的另一個端子與被輸入預定電位的佈線電連接。這裏，預定的電位例如是接地電位。

另外，在圖 1B 中，雖然示出使用二極體 D 進行整流並使用電容器 C 進行平滑的實例，但是本發明不侷限於此

轉換電路 105 根據電晶體 T_r 的導通狀態或截止狀態而被分為兩個工作。藉由交替反復進行兩個工作，對輸入信號 V_{in} 進行升壓。

首先，在電晶體 T_r 處於導通狀態時，電感元件 L 根據所流過的電流而產生電動勢。電流值由輸入信號 V_{in} 而決定。

在電晶體 T_r 處於截止狀態時，電感元件 L 為了維持電流而產生與上述電動勢相反的方向的電動勢。對此時產生的電動勢追加輸入信號 V_{in} ，而成為 $V_{out} = \alpha V_{in}$ 。

這裏， α 由導通狀態的期間相對於電晶體 T_r 的轉換的 1 週期 (導通狀態的期間 T_{on} + 截止狀態的期間 T_{off}) 的比率 (占空比 $D = T_{on} / (T_{on} + T_{off})$ 、 $0 < D < 1$) 而決定。在使用升壓型時， $\alpha = 1 / (1 - D)$ ，即 $\alpha > 1$ ，被升壓。

將轉換電路 105 的輸出信號 V_{out} 回饋到控制電路 107。在回饋信號 V_{FB} 大於所希望的值時，控制電路 107 降低脈衝信號的占空比 D 。另外，在回饋信號 V_{FB} 小於所希望的值時，控制電路 107 提高脈衝信號的占空比 D 。

電晶體 T_r 根據從控制電路 107 輸入的脈衝信號的占空比 D 而控制流過電感元件 L 的電流，並將輸入信號 V_{in} 轉換成另一值而產生輸出信號 V_{out} 。

像這樣，藉由將輸出信號 V_{out} 回饋到控制電路 107，可以使輸出信號 V_{out} 接近所希望的值。如上所述，可以進行直流轉換。

另外，與上述同樣，在使用圖 1C 所示的降壓型電路時，電晶體 T_r 由控制電路 107 的脈衝信號的占空比 $D(0 < D < 1)$ 控制，而成為 $V_{out} = \alpha V_{in}$ 。另外，在使用降壓型時， $\alpha = D$ ，即 $0 < \alpha < 1$ ，被降壓。

另外，電晶體 T_r 可以使用薄膜電晶體或功率 MOSFET 等，並可以適當地使用 P 通道型或 N 通道型。既可使用頂閘結構，又可使用底閘結構。另外，可以使用通道蝕刻型或通道停止型。作為電晶體 T_r 的半導體材料，可以使用矽、矽鍺等矽半導體、氧化物半導體、有機半導體或化合物半導體等。另外，可以使用非晶半導體、多晶半導體、微晶半導體或單晶半導體等。

接著，說明控制電路 107。圖 1D 示出控制電路 107 的實例。

控制電路 107 具有比較電路 109 及邏輯電路 111。

如上所述，將來自轉換電路 105 的回饋信號 V_{FB} 輸入到比較電路 109。比較電路 109 比較回饋信號 V_{FB} 和基準電位 V_{ref} 而輸出高電平的信號(也稱為 H 信號或 V_H)或低電平的信號(也稱為 L 信號或 V_L)作為比較電路 109 的輸出信號 V_{hcmp} 。

在本實施方式中，作為比較電路 109，使用滯環比較器(也稱為 HCMP)。滯環比較器是可以使用兩個基準電位(基準電位 V_{ref1} 和基準電位 V_{ref2})的電路。使用滯環比較器的比較電路 109 可以比較回饋信號 V_{FB} 和基準電位 V_{ref1} 或基準電位 V_{ref2} 而輸出高電平的信號或低電平的信號。

另外，即使使用滯環比較器，也可以採用使用一個基準電位而不使用兩個基準電位的結構。

將比較電路 109 的輸出信號 V_{hcmp} 和微處理器 103 的時鐘信號 CLK 輸入到邏輯電路 111。邏輯電路 111 進行這兩個信號的計算，而產生具有所希望的占空比 D 的脈衝信號。並且，將邏輯電路 111 的輸出信號 V_{GS} (也稱為控制電路 107 的輸出信號或電晶體 Tr 的閘極信號) 輸出到轉換電路 105 所具有的電晶體 Tr 的閘極。根據脈衝信號的占空比 D 而控制電晶體 Tr 的導通狀態或截止狀態。這種控制被稱為滯環控制 (hysteresis control)。

在本實施方式中，藉由使用滯環比較器作為比較電路 109，可以削減控制電路 107 的輸出信號的雜訊。結果，可以準確地控制占空比 D 。就是說，可以使轉換電路 105 的輸出信號 V_{out} 穩定，而可以提高直流轉換電路 101 的可靠性。

在本實施方式中，藉由使用微處理器 103 的時鐘信號 CLK，可以準確地控制占空比 D 。就是說，可以使轉換電路 105 的輸出信號 V_{out} 穩定，而可以提高直流轉換電路 101 的可靠性。另外，微處理器 103 可以兼用於直流轉換電路 101 以外的電路，而可以降低製造成本。

尤其是在使用圖 1B 所示的升壓型電路時，因為原理上難以在比較電路 109 中得到所希望的占空比 D ，所以使用滯環比較器且使用時鐘信號 CLK 的結構是極為有效的。

接著，說明控制電路 107 中的脈衝信號的產生。

圖 2 示出控制電路 107 的時序圖的實例。在圖 2 中，示出比較電路 109 的輸出信號 V_{hcmp} 、微處理器 103 的時鐘信號 CLK 以及邏輯電路 111 的輸出信號 V_{GS} 的時序圖。

比較電路 109 比較回饋信號 V_{FB} 和基準電位 V_{ref1} 或基準電位 V_{ref2} 而輸出作為 V_H 或 V_L 的輸出信號 V_{hcmp} 。

邏輯電路 111 計算輸出信號 V_{hcmp} 和微處理器 103 的時鐘信號 CLK。這裏，邏輯電路 111 使用 AND 電路。因此，在兩個信號都是 V_H 時，輸出信號 V_{GS} 成為 V_H ，在除此以外時，輸出信號 V_{GS} 成為 V_L 。

像這樣，利用輸出信號 V_{GS} 決定脈衝信號的占空比 D 。並且，利用占空比 D 控制電晶體 Tr 的導通狀態或截止狀態，而進行直流轉換。根據所轉換的輸出信號 V_{out} 而驅動負載 115。

另外，這裏，雖然示出使用 AND 電路作為邏輯電路 111 的實例，但是本發明不侷限於此，而也可以使用其他邏輯電路。

<滯環比較器的結構>

接著，參照圖 3 說明用作比較電路 109 的滯環比較器的電路結構的實例。

圖 3 所示的滯環比較器具有比較器 221、比較器 222、反相器 223、反相器 224、NOR 門 225 以及 NOR 門 226

比較器 221 具有第一輸入端子、第二輸入端子以及輸出端子，其中對第一輸入端子施加成為基準的第一電位（也稱為基準電位 V_{ref1} 或者簡稱為 V_{ref1} ），並且對第二輸入端子輸入滯環比較器的輸入信號（在本實施方式中是指回饋信號 V_{FB} ）。

比較器 222 具有第一輸入端子、第二輸入端子以及輸出端子，其中對第一輸入端子輸入滯環比較器的輸入信號（在本實施方式中是指回饋信號 V_{FB} ），並且對第二輸入端子施加成為基準的第二電位（也稱為基準電位 V_{ref2} 或者簡稱為 V_{ref2} ）。基準電位 V_{ref2} 的值小於基準電位 V_{ref1} 的值。就是說，具有 $V_{ref1} > V_{ref2}$ 的關係。

反相器 223 具有輸入端子及輸出端子，其中輸入端子與比較器 221 的輸出端子電連接。

反相器 224 具有輸入端子及輸出端子，其中輸入端子與比較器 222 的輸出端子電連接。

NOR 門 225 具有第一輸入端子、第二輸入端子以及輸出端子，其中第一輸入端子與反相器 223 的輸出端子電連接。另外，以節點 S 表示 NOR 門 225 的第一輸入端子與反相器 223 的輸出端子的連接點。

NOR 門 226 具有第一輸入端子、第二輸入端子以及輸出端子，其中第一輸入端子與 NOR 門 225 的輸出端子電連接，第二輸入端子與反相器 224 的輸出端子電連接，並且輸出端子與 NOR 門 225 的第二輸入端子電連接。另外

，以節點 R 表示 NOR 門 226 的第二輸入端子與反相器 224 的輸出端子的連接點。另外，以節點 Q 表示 NOR 門 226 的第一輸入端子與 NOR 門 225 的輸出端子的連接點。

另外，比較器 221、比較器 222、反相器 223、反相器 224、NOR 門 225 以及 NOR 門 226 的各邏輯電路例如由電晶體構成。在本實施方式中，也可以只使用具有同一導電型的電晶體構成各邏輯電路。藉由只使用具有同一導電型的電晶體構成各邏輯電路，可以簡化製程。

圖 3 所示的滯環比較器的實例是具有兩個比較器的結構，比較分別輸入到兩個比較器的滯環比較器的輸入信號(在本實施方式中是指回饋信號 V_{FB})和成為基準的電位(基準電位 V_{ref1} 或基準電位 V_{ref2})而輸出高電平的信號(也稱為 H 信號或 V_H)或低電平的信號(也稱為 L 信號或 V_L)。

<滯環比較器的工作>

接著，說明用作比較電路 109 的滯環比較器的工作的實例。

滯環比較器的工作的實例可以被分為如下三種情況：作為滯環比較器的輸入信號而輸入的回饋信號 V_{FB} (也簡稱為 V_{FB})高於基準電位 V_{ref1} ($V_{FB} > V_{ref1}$)的情況；回饋信號 V_{FB} 高於基準電位 V_{ref2} 且低於基準電位 V_{ref1} ($V_{ref1} > V_{FB} > V_{ref2}$)的情況；回饋信號 V_{FB} 低於基準電位 V_{ref2} ($V_{ref2} > V_{FB}$)的情況。以下，對各個情況進行說明。

在 $V_{FB} > V_{ref1}$ 時，節點 S 的電位成為 V_H ，而節點 R 的

電位成爲 V_L 。此時，節點 Q 的電位成爲 V_L ，而使圖 3 所示的滯環比較器的輸出信號(也稱爲輸出信號 V_{hcmp})成爲 V_L 。

在 $V_{ref1} > V_{FB} > V_{ref2}$ 時，節點 S 的電位成爲 V_L ，而節點 R 的電位成爲 V_L 。此時，節點 Q 的電位的值維持前一期間中的節點 Q 的狀態。例如，在前一期間中節點 Q 的電位爲 V_H 的情況下，節點 Q 的電位繼續爲 V_H ，而使滯環比較器的輸出信號 V_{hcmp} 也繼續爲 V_H 。在前一期間中節點 Q 的電位爲 V_L 的情況下，節點 Q 的電位繼續爲 V_L ，而使輸出信號 V_{hcmp} 也繼續爲 V_L 。

在 $V_{ref2} > V_{FB}$ 時，節點 S 的電位成爲 V_L ，而節點 R 的電位成爲 V_H 。此時，節點 Q 的電位成爲 V_H ，而使滯環比較器的輸出信號 V_{hcmp} 成爲 V_H 。

再者，參照圖 4A 和 4B 說明本實施方式的滯環比較器的工作的實例。圖 4A 和 4B 是用來說明本實施方式中的滯環比較器的工作的實例的時序圖，分別示出作爲滯環比較器的輸入信號的回饋信號 V_{FB} 、節點 S 的電位(也稱爲 V_S)、節點 R 的電位(也稱爲 V_R)以及滯環比較器的輸出信號(也稱爲 V_{hcmp})的波形。

圖 4A 示出作爲滯環比較器的輸入信號的回饋信號 V_{FB} 爲三角波的實例。在圖 4A 中，以滯環比較器的輸出信號 V_{hcmp} 爲 V_L 且回饋信號 V_{FB} 爲 $V_{ref1} > V_{FB} > V_{ref2}$ 的狀態爲初始狀態。然後，在回饋信號 V_{FB} 從 $V_{FB} > V_{ref2}$ 變成 $V_{ref2} > V_{FB}$ 時，節點 R 的電位從 V_L 變成 V_H ，而輸出信號

V_{hcmp} 從 V_L 變成 V_H 。然後，在回饋信號 V_{FB} 從 $V_{ref2} > V_{FB}$ 變成 $V_{FB} > V_{ref2}$ 時，節點 R 的電位從 V_H 變成 V_L 。直到在下一期間中節點 S 的電位從 V_L 變成 V_H 為止，輸出信號 V_{hcmp} 被維持為 V_H 。然後，在回饋信號 V_{FB} 從 $V_{ref1} > V_{FB} > V_{ref2}$ 變成 $V_{FB} > V_{ref1}$ 時，節點 S 的電位從 V_L 變成 V_H ，而使輸出信號 V_{hcmp} 從 V_H 變成 V_L 。然後，在回饋信號 V_{FB} 從 $V_{FB} > V_{ref1}$ 變成 $V_{ref1} > V_{FB}$ 時，節點 S 的電位從 V_H 變成 V_L 。直到在下一期間中節點 R 的電位從 V_L 變成 V_H 為止，輸出信號 V_{hcmp} 被維持為 V_L 。像這樣，利用滯環比較器產生脈衝信號。

圖 4B 示出作為滯環比較器的輸入信號的回饋信號 V_{FB} 為三角波且呈現有雜訊的影響(即，三角波與雜訊重疊)的實例。在圖 4B 中，以滯環比較器的輸出信號 V_{hcmp} 為 V_L 且回饋信號 V_{FB} 為 $V_{ref1} > V_{FB} > V_{ref2}$ 的狀態為初始狀態。然後，在回饋信號 V_{FB} 初次從 $V_{FB} > V_{ref2}$ 變成 $V_{ref2} > V_{FB}$ 時，節點 R 的電位從 V_L 變成 V_H ，而輸出信號 V_{hcmp} 從 V_L 變成 V_H 。

在圖 4B 中，因為滯環比較器的輸入信號的雜訊的影響，即使在從 $V_{FB} > V_{ref2}$ 變成 $V_{ref2} > V_{FB}$ 之後，也在一定期間中基準電位 V_{ref2} 與回饋信號 V_{FB} 之間的關係不穩定。反復進行從 $V_{ref2} > V_{FB}$ 變成 $V_{FB} > V_{ref2}$ 、從 $V_{FB} > V_{ref2}$ 變成 $V_{ref2} > V_{FB}$ 多次，因而節點 R 的電位也變動。但是，輸出信號 V_{hcmp} 在成為 V_H 之後無論節點 R 的電位的變動如何都維持為 V_H 。直到在下一期間中節點 S 的電位從 V_L 變成 V_H 為止，輸出信號 V_{hcmp} 被維持為 V_H 。然後，回饋信號 V_{FB} 成為

$V_{ref1} > V_{FB} > V_{ref2}$ 。在此期間中，輸出信號 V_{hcmp} 也被維持為 V_H 。

然後，在回饋信號 V_{FB} 初次從 $V_{ref1} > V_{FB}$ 變成 $V_{FB} > V_{ref1}$ 時，節點 S 的電位從 V_L 變成 V_H ，而輸出信號 V_{hcmp} 從 V_H 變成 V_L 。在圖 4B 中，因為輸入信號的雜訊的影響，即使在回饋信號 V_{FB} 從 $V_{ref1} > V_{FB}$ 變成 $V_{FB} > V_{ref1}$ 之後，也在一定期間中基準電位 V_{ref1} 與回饋信號 V_{FB} 之間的關係不穩定。反復進行從 $V_{FB} > V_{ref1}$ 變成 $V_{ref1} > V_{FB}$ 、從 $V_{ref1} > V_{FB}$ 變成 $V_{FB} > V_{ref1}$ 多次，因而節點 S 的電位也變動。但是，輸出信號 V_{hcmp} 在成為 V_L 之後無論節點 S 的電位變動如何都維持為 V_L 。直到在下一期間中節點 R 的電位從 V_L 變成 V_H 為止，輸出信號 V_{hcmp} 被維持為 V_L 。然後，回饋信號 V_{FB} 成為 $V_{ref1} > V_{FB} > V_{ref2}$ 。在此期間中，輸出信號 V_{hcmp} 也被維持為 V_L 。像這樣，利用滯環比較器產生脈衝信號。

像這樣，在本實施方式中，藉由使用滯環比較器作為比較電路 109，可以削減比較電路 109 的輸出信號的雜訊，而削減控制電路 107 的輸出信號的雜訊。結果，可以準確地控制占空比 D 。就是說，可以使轉換電路 105 的輸出信號 V_{out} 穩定，而可以提高直流轉換電路 101 的可靠性。

另外，雖然在圖 4A 和 4B 中輸出信號 V_{hcmp} 上升的時序仿佛與節點 R 的電位 (V_R) 上升的時序相同，但是因為信號的傳播延遲，有時輸出信號 V_{hcmp} 的上升時序會晚於節點 R 的電位 (V_R) 的上升時序。另外，雖然在圖 4A 和 4B 中

輸出信號 V_{hcmp} 下降的時序仿佛與節點 S 的電位 (V_s) 上升的時序相同，但是因為信號的傳播延遲，有時輸出信號 V_{hcmp} 的下降時序會晚於節點 S 的電位 (V_s) 的上升時序。

<比較例>

圖 5A 至 5C 示出作為比較電路 109 使用比較器代替本實施方式所示的滯環比較器時的電路結構及工作的實例。

圖 5A 示出作為比較電路 109 使用比較器時的電路結構。將回饋信號 V_{FB} 和基準電位 V_{ref} 輸入到比較器。比較器比較回饋信號 V_{FB} 和基準電位 V_{ref} 而輸出輸出信號 V_{cmp} 。

圖 5B 和 5C 示出作為比較電路 109 使用比較器時的時序圖的實例。圖 5B 和 5C 分別示出作為比較器的輸入信號的回饋信號 V_{FB} 及作為比較器的輸出信號 V_{cmp} 的波形。

比較器的工作的實例被分為如下兩種情況：作為比較器的輸入信號而輸入的回饋信號 V_{FB} (也簡稱為 V_{FB}) 高於基準電位 V_{ref} ($V_{FB} > V_{ref}$) 的情況；以及回饋信號 V_{FB} 低於基準電位 V_{ref} ($V_{ref} > V_{FB}$) 的情況。在 $V_{FB} > V_{ref}$ 時，比較器的輸出信號 V_{cmp} 成為 V_L 。在 $V_{ref} > V_{FB}$ 時，比較器的輸出信號 V_{cmp} 成為 V_H 。

圖 5B 示出例如回饋信號 V_{FB} 為三角波的實例。在圖 5B 中，以比較器的輸出信號 V_{cmp} 為 V_L 且回饋信號 V_{FB} 為 $V_{FB} > V_{ref}$ 的狀態為初始狀態。然後，在從 $V_{FB} > V_{ref}$ 變成 $V_{ref} > V_{FB}$ 時，輸出信號 V_{cmp} 從 V_L 變成 V_H 。再者，在從 $V_{ref} > V_{FB}$ 變成 $V_{FB} > V_{ref}$ 時，輸出信號 V_{cmp} 從 V_H 變成 V_L 。

圖 5C 示出作為比較器的輸入信號的回饋信號 V_{FB} 為三角波且呈現有雜訊的影響(即，三角波與雜訊重疊)的實例。在圖 5C 中，以比較器的輸出信號 V_{cmp} 為 V_L 且回饋信號 V_{FB} 為 $V_{FB} > V_{ref}$ 的狀態為初始狀態。然後，在從 $V_{FB} > V_{ref}$ 變成 $V_{ref} > V_{FB}$ 時，輸出信號 V_{cmp} 從 V_L 變成 V_H 。

在圖 5C 中，因為比較器的輸入信號的雜訊的影響，即使在從 $V_{FB} > V_{ref}$ 變成 $V_{ref} > V_{FB}$ 之後，也在一定期間中基準電位 V_{ref} 與回饋信號 V_{FB} 之間的關係不穩定。反復進行從 $V_{ref} > V_{FB}$ 變成 $V_{FB} > V_{ref}$ 、從 $V_{FB} > V_{ref}$ 變成 $V_{ref} > V_{FB}$ 多次，因而輸出信號 V_{cmp} 的電位也變動。

像這樣，在利用比較器作為比較電路 109 時，產生脈衝信號，並在脈衝信號端產生雜訊。

在本實施方式中，藉由使用滯環比較器作為比較電路 109，可以削減比較電路 109 的輸出信號的尤其是圖 5C 所示的產生在脈衝信號端的雜訊，而可以削減控制電路 107 的輸出信號的雜訊。結果，可以準確地控制占空比 D 。就是說，可以使轉換電路 105 的輸出信號 V_{out} 穩定，而可以提高直流轉換電路 101 的可靠性。

在本實施方式中，藉由使用微處理器 103 的時鐘信號 CLK，可以準確地控制占空比 D 。就是說，可以使轉換電路 105 的輸出信號 V_{out} 穩定，而可以提高直流轉換電路 101 的可靠性。另外，微處理器 103 可以兼用於直流轉換電路 101 以外的電路，而可以降低製造成本。

尤其是在使用圖 1B 所示的升壓型電路時，因為原理

上難以在比較電路 109 中得到所希望的占空比 D ，所以使用滯環比較器且使用時鐘信號 CLK 的結構是極為有效的。

本實施方式可以與其他實施方式適當地組合而實施。

實施方式 2

在本實施方式中說明半導體裝置的結構及驅動方法的實例。

圖 6A 示出直流轉換電路的結構，其中使用圖 1B 所示的電路作為轉換電路 105，使用圖 1D 所示的電路作為控制電路 107，並且使用 AND 電路作為控制電路 107 所具有的邏輯電路 111。就是說，這是升壓型直流轉換電路。

圖 6B 示出時序圖。在圖 6B 中，示出來自轉換電路 105 的回饋信號 V_{FB} 、比較電路 109 的輸出信號 V_{hcmp} 、微處理器 103 的時鐘信號 CLK 、邏輯電路 111 的輸出信號 V_{GS} (也稱為控制電路 107 的輸出信號或電晶體 Tr 的閘極信號) 的時序圖。

這裏，示出回饋信號 V_{FB} 為三角波的波形的情況。比較電路 109 比較回饋信號 V_{FB} 和基準電位 V_{ref1} 或基準電位 V_{ref2} 而輸出作為 V_H 或 V_L 的輸出信號 V_{hcmp} 。關於利用回饋信號 V_{FB} 、基準電位 V_{ref1} 以及基準電位 V_{ref2} 產生輸出信號 V_{hcmp} 的工作，援用圖 4A 和 4B 的說明。

邏輯電路 111 計算比較電路 109 的輸出信號 V_{hcmp} 和微處理器 103 的時鐘信號 CLK 。這裏，邏輯電路 111 使用

AND 電路。因此，在兩個信號都是 V_H 時，邏輯電路 111 的輸出信號 V_{GS} 成為 V_H ，除此以外時，輸出信號 V_{GS} 成為 V_L 。

像這樣，利用邏輯電路 111 的輸出信號 V_{GS} 的值決定脈衝信號的占空比 D 。並且，利用占空比 D 控制電晶體 T_r 的導通狀態或截止狀態，而進行直流轉換。根據所轉換的輸出信號 V_{out} 而驅動負載 115。

本實施方式可以與其他實施方式適當地組合而實施。

實施方式 3

在本實施方式中說明半導體裝置的結構及驅動方法的實例。

圖 7A 示出具有直流轉換電路的半導體裝置的方塊圖的實例。

圖 7A 具有對圖 1A 的結構追加放大電路 113 的結構。除了放大電路 113 以外，可以應用圖 1B 至 1D。

圖 7B 示出具體電路結構。本實施方式的特徵在於：將來自轉換電路 105 的回饋信號 V_{FB} 輸入到控制電路 107 中的比較電路 109 或放大電路 113。因此，控制電路 107 進行兩種工作（第一工作及第二工作）。根據多工器 MUX 及控制多工器 MUX 的外部信號 HC-MODE，轉換而選擇兩種工作。

在本實施方式中，使用滯環比較器作為比較電路 109。在第一工作中，比較電路 109 使用兩個基準電位（基準

電位 V_{ref1} 和基準電位 V_{ref2})。在第二工作中，比較電路 109 使用一個基準電位(三角波：triangle wave)。

圖 8A 的箭頭示出根據多工器 MUX 的控制而選擇第一工作的情況。利用第一工作的控制是上述實施方式所示的遲滯控制。就是說，將回饋信號 V_{FB} 輸入到比較電路 109。比較電路 109 比較回饋信號 V_{FB} 和基準電位 V_{ref1} 或基準電位 V_{ref2} 。邏輯電路 111 計算比較電路 109 的輸出信號和微處理器 103 的時鐘信號 CLK。利用邏輯電路 111 的輸出信號控制電晶體 T_r 的導通狀態或截止狀態。

圖 8B 的箭頭示出根據多工器 MUX 的控制而選擇第二工作的情況。在第二工作中，將回饋信號 V_{FB} 輸入到放大電路 113。放大電路 113 放大回饋信號 V_{FB} 與基準電位 V_{ref3} 之間的差值。比較電路 109 比較放大電路 113 的輸出信號 V_{amp} 和三角波。利用比較電路 109 的輸出信號 V_{GS} 控制電晶體 T_r 的導通狀態或截止狀態。放大電路 113 使用誤差放大器等。利用第二工作的控制被稱為 PWM(Pulse Width Modulation：脈衝寬度調變)控制。

接著，說明控制電路 107 中的脈衝信號的產生的具體實例。第一工作中的脈衝信號的產生正如圖 6B 所示。

圖 9 是第二工作中的時序圖。在圖 9 中，示出來自轉換電路 105 的回饋信號 V_{FB} 、放大電路 113 的輸出信號 V_{amp} 、比較電路 109 的輸出信號 V_{GS} (也稱為控制電路 107 的輸出信號或電晶體 T_r 的閘極信號)。

這裏，示出回饋信號 V_{FB} 為鋸狀波形的情況。放大電

路 113 放大被輸入的回饋信號 V_{FB} 與基準電位 V_{ref3} 之間的差值。這裏，輸出信號 V_{amp} 表示穩態下的信號，並對應於累積的被放大的差值。

比較電路 109 比較被輸入的輸出信號 V_{amp} 和三角波 (triangle wave)。在 $V_{amp} > \text{triangle wave}$ 時，成為輸出信號 $V_{GS} = V_L$ ，而在 $\text{triangle wave} > V_{amp}$ 時，成為輸出信號 $V_{GS} = V_H$ 。

像這樣，利用輸出信號 V_{GS} 的值決定脈衝信號的占空比 D 。並且，利用占空比 D 控制電晶體 Tr 的導通狀態或截止狀態，而進行直流轉換。根據所轉換的輸出信號 V_{out} 而驅動負載 115。

另外，在直流轉換電路 101 中，重要的是提高電力轉換效率。電力轉換效率 n 使用直流轉換電路 101 的輸入電力 P_{in} 和輸出電力 P_{out} 由 $n = P_{out} / P_{in}$ 、 $n < 1$ 而表示。另外，電力轉換效率 n 依賴於負載的大小而變大。

在本實施方式中，在進行第一工作時，可以使放大電路 113、產生三角波的電路等的電源成為截止狀態，而可以降低直流轉換電路 101 的耗電量。藉由降低直流轉換電路 101 的耗電量 $= (P_{in} - P_{out})$ ，即使在負載較小時，也可以提高電力轉換效率 n 。就是說，在負載較小時，第一工作有效。

另外，在進行第二工作時，可以使控制電路 107 的脈衝信號的占空比 D 大於第一工作且 $D \approx 1$ ，而可以增大直流轉換電路 101 的輸出信號 (也稱為輸出電壓) V_{out} 。藉由

增大直流轉換電路 101 的輸出信號(也稱為輸出電壓) V_{out} ，在負載較大時輸出電力 P_{out} 變大，而可以提高電力轉換效率 n 。就是說，在負載較大時，第二工作有效。

像這樣，具有本實施方式中的直流轉換電路的半導體裝置根據負載而轉換工作，而可以提高電力轉換效率 n 。

另外，微處理器 103 不僅可以用於直流轉換，而且也可以具有其他功能。例如，在使用照明裝置的情況下，也可以使用微處理器 103 感測周圍的亮度而自動控制照度。像這樣，藉由使裝置具備使用微處理器 103 的感測器功能或控制功能，可以同時實現耗電量的降低及高功能化。另外，這種結構也可以應用於空調、冰箱等家電產品、其他各種電子設備。

本實施方式可以與其他實施方式適當地組合而實施。

實施方式 4

在本實施方式中，說明顯示裝置的結構及驅動方法。

本實施方式的顯示裝置具有本發明說明所公開的直流轉換電路和根據其輸出信號 V_{out} 而進行驅動的顯示面板(也稱為顯示部)。圖 1A 至 1D、圖 6A 至 8B 中的負載 115 相當於顯示面板。

圖 10A 是顯示面板的實例。顯示面板具有像素 PX 、驅動像素 PX 的驅動電路 GD 及驅動電路 SD 。將像素 PX 配置為矩陣狀。

圖 10B 示出像素 PX 的實例。像素 PX 具有開關用電

晶體 T_s 、液晶元件 LC 以及電容元件 C_s 。在電晶體 T_s 處於導通狀態時，將視頻信號從驅動電路 SD 藉由佈線 S 寫入到液晶元件 LC ，而進行根據該視頻信號的顯示。另外，在電晶體 T_s 處於截止狀態時，電容元件 C_s 保持寫入到液晶元件 LC 的視頻信號，而保持顯示。另外，根據從驅動電路 GD 藉由佈線 G 輸入的信號，控制電晶體 T_s 的導通狀態或截止狀態。但是，像素 PX 的結構不侷限於上述結構。

這裏，本實施方式的顯示面板(負載 115)的特徵在於：進行兩種驅動(第一驅動及第二驅動)。

首先，在第一驅動中，例如，以 1 秒以上 600 秒以下的間隔將視頻信號寫入到像素 PX 。藉由進行第一驅動，在上述間隔中不對像素 PX 進行寫入，寫入次數下降，而可以降低耗電量。就是說，在第一驅動中，顯示面板中的負載較小。另外，在像素 PX 中顯示靜態影像時，可以應用第一工作。另外，上述間隔也可以為 600 秒以上。

這裏，在進行負載較小的第一驅動時，如圖 8A 所示，在控制電路 107 中應用第一工作(遲滯控制)是有效的。因為第一工作可以降低直流轉換電路的耗電量，所以即使在負載較小時，也可以提高電力轉換效率。

另一方面，在第二驅動中，以 $1/60$ 秒以下的間隔將視頻信號寫入到像素 PX 。就是說，以每秒 60 次以上對像素 PX 寫入視頻信號。作為上述間隔的具體實例，可以舉出 $1/60$ 秒(60Hz)、 $1/120$ 秒(120Hz)或 $1/240$ 秒(240Hz)等

。因爲寫入次數多，所以耗電量增大。就是說，在第二驅動中，顯示面板中的負載較大。另外，在像素 PX 中顯示動態影像時，可以應用第二工作。

這裏，在進行負載較大的第二驅動時，如圖 8B 所示，在控制電路 107 中應用第二工作(PWM 控制)是有效的。因爲第二工作可以使占空比 $D \approx 1$ ，所以在負載較大時，可以提高直流轉換電路的輸出電力，而可以提高電力轉換效率。

如上所述，藉由根據顯示面板的驅動方法而轉換直流轉換電路中的控制電路的工作，可以提供一種顯示裝置，其中實現直流轉換電路及顯示面板中的耗電量的降低、直流轉換電路中的電力轉換效率的提高。

接著，參照圖 8A 和 8B 及圖 10A 和 10B 說明根據顯示面板的驅動(第一驅動及第二驅動)而轉換直流轉換電路的工作(第一工作及第二工作)的具體實例。

在圖 8A 和 8B 中，微處理器 103 對所顯示的電子資料進行解析、計算以及加工而產生視頻信號。另外，這裏說明如下情況：電子資料包括靜態影像和動態影像，進行判別是動態影像還是靜態影像而輸出各個不同的信號(判別信號)的處理。

在所顯示的電子資料爲靜態影像時，將表示是靜態影像的判別信號和對應於該靜態影像的電子資料的視頻信號輸入到顯示面板。另外，在所顯示的電子資料爲動態影像時，也進行與上述同樣的輸入。此時，將判別信號也輸入

到直流轉換電路 101，而可以用作圖 8A 和 8B 中的控制多工器 MUX 的外部信號 HC-MODE。像這樣，微處理器 103 可以兼用於直流轉換電路 101 及顯示面板。

另外，在連續的電子資料的差值為預定的基準值以上時判別其為動態影像，而在連續的電子資料的差值為小於預定的基準值時判別其為靜態影像。可以使用比較器等進行判別。

在顯示面板中，驅動電路 GD 根據判別信號而控制電晶體 Ts 的導通狀態或截止狀態。另外，驅動電路 SD 根據視頻信號而對像素 PX 進行寫入。另外，也可以具有控制驅動電路 GD 及驅動電路 SD 的電路。該電路根據判別信號而將起始信號、時鐘信號、電源電壓輸出到驅動電路 GD 及驅動電路 SD。

在顯示靜態影像時，應用第一驅動，而以 1 秒以上 600 秒以下的間隔將視頻信號寫入到像素 PX。另外，在顯示動態影像時，應用第二驅動，而以 1/60 秒以下的間隔將視頻信號寫入到像素 PX。

另一方面，在直流轉換電路 101 中，根據判別信號，控制多工器 MUX，而選擇第一工作或第二工作。在表示是靜態影像的判別信號被輸入時，進行圖 8A 所示的第一工作，而產生輸出信號 V_{out} 。在表示是動態影像的判別信號被輸入時，進行圖 8B 所示的第二工作，而產生輸出信號 V_{out} 。

如上所述，以在顯示面板進行負載小的第一驅動（靜

態影像顯示)時直流轉換電路 101 進行第一工作(遲滯控制)，而在顯示面板進行負載大的第二驅動(動態影像顯示)時直流轉換電路 101 進行第二工作(PWM 控制)的方式，根據顯示面板中的負載的大小，可以轉換直流轉換電路 101 的工作。

本實施方式可以與其他實施方式適當地組合而實施。

實施方式 5

在本實施方式中，說明所公開的發明的一個方式的半導體裝置所具有的電晶體的實例。明確地說，說明通道形成區由氧化物半導體層形成的電晶體，既使用氧化物半導體層的電晶體的實例。

本實施方式所示的電晶體的通道形成區由氧化物半導體層形成。該氧化物半導體層是被高純度化並在電方面被本徵(也稱為 I 型)或者實質上被本徵的氧化物半導體層。

“高純度化”是指包括如下兩種的概念：從氧化物半導體去除作為 n 型雜質的氫，而使其儘量不包含氧化物半導體的主要成分以外的雜質；以及將氧化物半導體的主要成分材料之一的氧提供給氧化物半導體層，而降低起因於氧化物半導體層中的氧缺乏的缺陷。

此外，在被高純度化的氧化物半導體中，載子極少，載子濃度低於 $1 \times 10^{12}/\text{cm}^3$ ，較佳低於 $1 \times 10^{11}/\text{cm}^3$ 。這裏，將載子濃度低於 $1 \times 10^{11}/\text{cm}^3$ 的半導體稱為“本徵”或“I 型”半導體，而將載子濃度為 $1 \times 10^{11}/\text{cm}^3$ 以上且低於 $1 \times 10^{12}/\text{cm}^3$ 的

半導體稱為“實質上本徵”或“實質上 I 型”半導體。

因為氧化物半導體中的載子極少，所以可以使電晶體的截止電流極小。例如，關於使用被高純度化的氧化物半導體層的電晶體的截止電流，可以使每通道寬度 $1\mu\text{m}$ 的室溫下的截止電流值為 $1\text{aA}/\mu\text{m}$ ($1\times 10^{-18}\text{A}/\mu\text{m}$) 以下，甚至為 $100\text{zA}/\mu\text{m}$ ($1\times 10^{-19}\text{A}/\mu\text{m}$) 以下。

像這樣，藉由執行以下兩個工作，即去除包含在氧化物半導體層中的氫；以及提供氧而降低起因於氧化物半導體層中的氧缺乏的缺陷，可以使將被高純度化的氧化物半導體層用於電晶體的通道形成區的電晶體的截止電流值極小。因此，可以在長期間中保持儲存在電晶體的源極和汲極中的任何一個中的電荷。

以下，參照圖 11A 至 11D 說明其通道形成區由氧化物半導體層形成的電晶體的結構及製造方法的實例。

圖 11A 至 11D 是示出其通道形成區由氧化物半導體層形成的電晶體的結構及製程的實例的剖面圖。

圖 11D 所示的電晶體包括導電層 401、絕緣層 402、氧化物半導體層 403、導電層 405 以及導電層 406。

在基板 400 上設置有導電層 401，在導電層 401 上設置有絕緣層 402，在導電層 401 上中間夾著絕緣層 402 設置有氧化物半導體層 403，在氧化物半導體層 403 的一部分上分別設置有導電層 405 及導電層 406。

再者，氧化物半導體層 403 的上面的一部分(在其上面未設置有導電層 405 及導電層 406 的部分)與氧化物絕

緣層 407 接觸。在氧化物絕緣層 407 上設置有保護絕緣層 409。

圖 11D 所示的電晶體具有底閘結構，也被稱為反交錯型電晶體。另外，該電晶體具有通道蝕刻型結構和單閘結構。但是，電晶體的結構不侷限於此。例如，也可以具有頂閘結構代替底閘結構。另外，也可以具有通道保護型結構代替通道蝕刻型結構。另外，也可以具有多閘極結構代替單閘結構。

以下，參照圖 11A 至 11D 說明電晶體的製程。

首先，準備基板 400，在基板 400 上形成第一導電膜。只要基板 400 是能夠耐受之後的製程的基板，即可。例如，作為基板 400，可以使用玻璃基板等絕緣基板、矽基板等半導體基板、金屬基板等導電基板、塑膠等撓性基板等。另外，也可以採用在基板 400 上設置有絕緣層的結構。在此情況下，絕緣層成為防止來自基板的雜質的擴散的基底。例如，成為基底的絕緣層可以使用氧化矽、氧氮化矽、氮化矽、氧化鉛、氧化鋁或氧化鋇等絕緣層由單層結構或兩層以上的疊層結構而形成。另外，絕緣層較佳儘量不包含氫或水。

作為第一導電膜，例如，可以使用鉬、鈦、鉻、鉭、鎢、鋁、銅、鈳或鈳等的金屬材料或以這些為主要成分的合金材料的膜。另外，藉由層疊可以應用於第一導電膜的材料，也可以構成第一導電膜。

接著，利用第一光刻步驟在第一導電膜上形成第一抗

蝕劑掩罩，使用第一抗蝕劑掩罩選擇性地蝕刻第一導電膜來形成導電層 401，然後去除第一抗蝕劑掩罩。導電層 401 可以具有電晶體的閘極電極的功能。

接著，在導電層 401 上形成絕緣層 402。絕緣層 402 具有電晶體的閘極絕緣層的功能。作為絕緣層 402，例如，可以使用氧化矽層、氮化矽層、氧氮化矽層、氮氧化矽層、氧化鋁層、氮化鋁層、氧氮化鋁層、氮氧化鋁層或氧化鈣層。另外，藉由層疊可以應用於絕緣層 402 的材料的層，也可以構成絕緣層。

例如，藉由使用高密度電漿 CVD 法形成絕緣膜，可以形成絕緣層 402。例如，因為當利用使用 μ 波(例如，頻率為 2.45GHz)的高密度電漿 CVD 法時，可以形成細緻且絕緣耐壓高的高品質的絕緣膜，所以是較佳的。藉由使用高密度電漿 CVD 法形成絕緣膜以形成高品質絕緣層，可以降低電晶體的閘極絕緣層與通道形成層之間的介面態密度，而得到優良的介面特性。

另外，也可以使用濺射法、電漿 CVD 法等其他方法形成絕緣層 402。另外，也可以在形成絕緣層 402 之後進行加熱處理。藉由進行該加熱處理，可以改變絕緣層 402 的性質、以及絕緣層 402 與氧化物半導體之間的介面特性。

接著，在絕緣層 402 上形成厚度為 2nm 以上 200nm 以下，較佳為 5nm 以上 30nm 以下的氧化物半導體膜 530。例如，使用濺射法形成氧化物半導體膜 530。

另外，較佳在形成氧化物半導體膜 530 之前，進行引入氬氣體產生電漿的反濺射，而去除附著於絕緣層 402 表面的粉狀物質（也稱為微粒、塵屑）。反濺射是指不對靶材一側施加電壓而使用 RF 電源在氬氣圍中對基板一側施加電壓來在基板附近形成電漿以進行表面改性的方法。另外，也可以使用氮、氬、氧等代替氬氣圍。

氧化物半導體膜 530 可以使用如下氧化物半導體而形成：In-Sn-Ga-Zn-O 類、In-Ga-Zn-O 類、In-Sn-Zn-O 類、In-Al-Zn-O 類、Sn-Ga-Zn-O 類、Al-Ga-Zn-O 類、Sn-Al-Zn-O 類、In-Zn-O 類、Sn-Zn-O 類、Al-Zn-O 類、Zn-Mg-O 類、Sn-Mg-O 類、In-Mg-O 類、In-Ga-O 類、In-O 類、Sn-O 類、Zn-O 類等。這裏，In-Ga-Zn-O 類氧化物半導體是指至少包含 In、Ga 及 Zn 的氧化物半導體，且對其組成比沒有限制。另外，也可以包含 In、Ga、Zn 以外的元素。另外，也可以使上述氧化物半導體包含 SiO_2 。

另外，氧化物半導體膜 530 可以使用以化學式 $\text{InMO}_3(\text{ZnO})_m (m>0)$ 表示的氧化物半導體而形成。這裏，M 表示選自 Ga、Al、Mn 和 Co 中的一種或多種金屬元素。例如，作為 M，可以使用 Ga、Ga 及 Al、Ga 及 Mn 或 Ga 及 Co 等。

例如，可以使用 In-Ga-Zn-O 類氧化物靶材利用濺射法形成氧化物半導體膜 530（參照圖 11A）。可以在稀有氣體（典型的是氬）氣圍下、氧氣圍下或稀有氣體和氧的混合氣圍下形成氧化物半導體膜 530。

另外，較佳使用例如氫、水、羥基或氫化物等的雜質被去除的高純度氣體作為形成氧化物半導體膜 530 時的濺射氣體。

接著，利用第二光刻步驟在氧化物半導體膜 530 上形成第二抗蝕劑掩罩，使用第二抗蝕劑掩罩選擇性地蝕刻氧化物半導體膜 530 來將氧化物半導體膜 530 加工為島狀的氧化物半導體層 403，然後去除第二抗蝕劑掩罩。

例如，可以使用乾蝕刻、濕蝕刻或乾蝕刻和濕蝕刻的兩者蝕刻氧化物半導體膜 530。

接著，對氧化物半導體層進行第一加熱處理。藉由該第一加熱處理，可以進行氧化物半導體層的脫水化或脫氫化。將第一加熱處理的溫度設定為 400°C 以上且低於基板的應變點的溫度(參照圖 11B)。

另外，用於加熱處理的加熱處理裝置不侷限於電爐，也可以使用利用來自電阻發熱體等發熱體的熱傳導或熱輻射加熱被處理物的裝置。作為加熱處理裝置，例如可以使用 GRTA(Gas Rapid Thermal Anneal：氣體快速熱退火)裝置或 LRTA(Lamp Rapid Thermal Anneal：燈快速熱退火)裝置等的 RTA(Rapid Thermal Anneal：快速熱退火)裝置。例如，LRTA 裝置是利用從燈如鹵素燈、金鹵燈、氙弧燈、碳弧燈、高壓鈉燈或高壓汞燈等發出的光(電磁波)的輻射加熱被處理物的裝置。另外，GRTA 裝置是指使用高溫氣體進行加熱處理的裝置。作為高溫的氣體，例如，使用如氫等的稀有氣體或氮的即使進行加熱處理也不與被處

理物產生反應的惰性氣體。

例如，作為第一加熱處理，也可以進行 GRTA，在該 GRTA 中，將基板移動到加熱到 650°C 至 700°C 的高溫的惰性氣體中，進行幾分鐘的加熱後，移動基板並從被加熱的惰性氣體中取出該基板。

另外，在使用電爐對氧化物半導體層進行第一加熱處理之後，在維持其加熱溫度的狀態下或在從其加熱溫度降溫的過程中，也可以將純度為 6N 以上，較佳為 7N 以上的高純度氧氣或 N_2O 氣體引入到該電爐。此時，較佳不使氧氣體或 N_2O 氣體包含水、氫等。藉由利用氧氣或 N_2O 氣體的作用來提供在利用脫水化或脫氫化處理進行雜質排除步驟時減少的氧，而可以使氧化物半導體層 403 高純度化。

接著，在絕緣層 402 和氧化物半導體層 403 上形成第二導電膜。

作為第二導電膜，例如，可以使用鋁、鉻、銅、鈮、鈦、鉬或鎢等的金屬材料或以這些為主要成分的合金材料的膜。

另外，作為第二導電膜，也可以使用包含導電金屬氧化物的層。作為導電金屬氧化物，例如，可以採用氧化銦 (In_2O_3)、氧化錫 (SnO_2)、氧化鋅 (ZnO)、氧化銦氧化錫合金 (In_2O_3 - SnO_2 ，簡稱為 ITO)、氧化銦氧化鋅合金 (In_2O_3 - ZnO) 或者使這些金屬氧化物材料含有氧化矽的材料。

另外，藉由層疊可以應用於第二導電膜的膜，也可以

構成第二導電膜。

接著，利用第三光刻步驟在第二導電膜上形成第三抗蝕劑掩罩，使用第三抗蝕劑掩罩選擇性地進行蝕刻來形成導電層 405 及導電層 406，然後去除第三抗蝕劑掩罩(參照圖 11C)。導電層 405 及導電層 406 分別具有電晶體的源極電極或電晶體的汲極電極的功能。

接著，在氧化物半導體層 403、導電層 405 以及導電層 406 上形成氧化物絕緣層 407。此時，氧化物絕緣層 407 接觸於氧化物半導體層 403 的上面的一部分而形成。

將氧化物絕緣層 407 的厚度至少設定為 1nm 以上，並且可以使用濺射法等防止水、氫等的雜質混入到氧化物絕緣層 407 的方法來形成氧化物絕緣層 407。如果氧化物絕緣層 407 含有氫，會導致該氫向氧化物半導體層的侵入或者由該氫引起的氧化物半導體層中的氧的抽出，從而導致氧化物半導體層的背通道低電阻化(N 型化)而形成寄生通道。因此，較佳使用不使用氫的方法作為氧化物絕緣層 407 的製造方法，以使氧化物絕緣層 407 成為儘量不包含氫的層。

例如，作為氧化物絕緣層 407，使用濺射法形成厚度為 200nm 的氧化矽膜。將形成膜時的基板溫度設定為室溫以上 300℃ 以下即可。例如，可以在稀有氣體(典型的是氬)氣圍下、氧氣圍下或稀有氣體和氧的混合氣圍下形成氧化物絕緣層 407。

另外，用來形成氧化物絕緣層 407 的靶材，例如，可

以使用氧化矽靶材或矽靶材等。作為在形成氧化物絕緣層 407 時使用的濺射氣體，較佳使用例如氫、水、羥基或氫化物等雜質被去除的高純度氣體。

另外，在形成氧化物絕緣層 407 之前，也可以進行使用 N_2O 、 N_2 或 Ar 等的氣體的電漿處理，來去除附著到露出的氧化物半導體層 403 的表面的吸附水等。在進行電漿處理的情況下，較佳以不接觸大氣的方式形成接觸於氧化物半導體層 403 的上面的一部分的氧化物絕緣層 407。

再者，在形成氧化物絕緣層 407 之後，也可以在惰性氣體氣圍或氧氣氣圍下進行第二熱處理(較佳在 $200^{\circ}C$ 以上 $400^{\circ}C$ 以下，例如 $250^{\circ}C$ 以上 $350^{\circ}C$ 以下)。例如，作為第二加熱處理，可以在氮氣圍下以 $250^{\circ}C$ 進行加熱處理 1 小時。在第二加熱處理中，在氧化物半導體層 403 的上面的一部分與氧化物絕緣層 407 接觸的狀態下進行加熱。

此外，當作為氧化物絕緣層 407 使用包括很多缺陷的氧化矽層時，藉由在形成氧化矽層之後進行的加熱處理將包含在氧化物半導體層 403 中的氫、水分、羥基或氫化物等的雜質擴散到氧化物絕緣層 407 中，而進一步減少包含在氧化物半導體層 403 中的該雜質。另外，在進行第二熱處理之後，也可以進行使用氧或鹵素(氟或氯等)的摻雜處理。作為摻雜處理，較佳使用電感耦合電漿方式的電漿摻雜法。藉由進行該摻雜處理，由氧或鹵素抽出而去除氧化物半導體層 403 中的氫。另外，即使在進行第二熱處理之前、在形成氧化物絕緣層 407 之前、在形成導電層 405 及

導電層 406 之前、在進行第一熱處理之前或在形成氧化物半導體層 403 之前進行該摻雜處理，也可以得到同樣的效果。另外，藉由利用使用 μ 波(例如，頻率為 2.45 GHz)產生的高密度電漿進行處理，可以降低氧化物半導體層 403 與絕緣層 402 之間的介面態密度，而得到優良的介面特性。

也可以在氧化物絕緣層 407 上形成保護絕緣層 409。作為保護絕緣層 409，例如，可以使用無機絕緣層如氮化矽層、氮化鋁層、氮氧化矽層或氮氧化鋁層等。另外，藉由層疊可以應用於保護絕緣層 409 的材料的層，也可以構成保護絕緣層 409。例如，可以使用 RF 濺射法形成保護絕緣層 409。由於 RF 濺射法的量產性高，所以其作為保護絕緣層 409 的成膜方法是較佳的。

也可以在形成保護絕緣層 409 之後，在大氣氣圍中以 100℃ 以上 200℃ 以下進行 1 小時以上 30 小時以下的加熱處理。在該加熱處理中，既可以保持一定的加熱溫度地進行加熱，又可以反復從室溫到 100℃ 以上 200℃ 以下的加熱溫度的升溫和從加熱溫度到室溫的降溫多次。

經過以上步驟，可以從氧化物半導體層排除氫、水分、羥基或氫化物(也稱為氫化合物)等雜質並將氧提供給氧化物半導體層。由此，可以使氧化物半導體層高純度化。根據以上步驟，製造使用被高純度化的氧化物半導體層的電晶體。

另外，電晶體的結構不侷限於圖 11D 所示的電晶體。圖 11D 所示的電晶體具有底閘結構。另外，具有通道蝕刻

型結構。另外，具有單閘結構。但是，電晶體也可以具有頂閘結構。另外，也可以具有通道保護型結構代替通道蝕刻型結構。另外，也可以具有多閘極結構代替單閘結構。即使電晶體的結構不同，也可以適當地援用圖 11D 所示的電晶體所具有的各層的形成方法作為電晶體所具有的各層的形成方法。

對於本實施方式所示的使用被高純度化的氧化物半導體層的電晶體，在 85°C 的溫度下，以 $2 \times 10^6 \text{ V/cm}$ 進行 12 小時的閘極偏壓-熱應力測試 (BT 測試)。結果，電晶體的電特性幾乎沒有變化，而可以得到具有穩定的電特性的電晶體。

本實施方式所示的被高純度化的氧化物半導體層中的載子濃度可以為低於 $1 \times 10^{12} / \text{cm}^3$ ，甚至為低於 $1 \times 10^{11} / \text{cm}^3$ ，而可以抑制由溫度變化導致的特性變化。

與使用矽等的電晶體相比，本實施方式所示的使用被高純度化的氧化物半導體層的電晶體具有截止電流非常小的電特性。例如，在使用被高純度化的氧化物半導體層的電晶體中，可以使室溫下的截止電流 (每通道寬度 $1 \mu\text{m}$) 為 $1 \text{ aA}/\mu\text{m}$ ($1 \times 10^{-18} \text{ A}/\mu\text{m}$) 以下，甚至為 $100 \text{ zA}/\mu\text{m}$ ($1 \times 10^{-19} \text{ A}/\mu\text{m}$) 以下。

本實施方式所示的使用被高純度化的氧化物半導體層的電晶體即使在溫度變化時也可以使電晶體的截止電流值在上述值的範圍內。例如，即使電晶體的溫度為 150°C ，也可以使電晶體的截止電流為 $100 \text{ zA}/\mu\text{m}$ 以下。

像這樣，可以使將被高純度化的氧化物半導體層用於電晶體的通道形成區的電晶體的截止電流值極小。因此，可以在長期間中保持儲存在電晶體的源極和汲極中的任何一個中的電荷。

例如，藉由將上述電晶體應用於圖 10B 中的像素 PX 的電晶體 Ts，可以抑制起因於電晶體 Ts 的截止電流的像素的顯示狀態的變動，而可以延長對應於一次視頻信號的寫入的單位像素的保持期間。因此，可以延長視頻信號的寫入的間隔。例如，視頻信號的寫入間隔可以為 1 秒以上，較佳為 60 秒以上，更佳為 600 秒以上。另外，因為在不寫入視頻信號時可以停止在寫入視頻信號時工作的電路，所以可以實現：視頻信號的寫入間隔越長，耗電量越低。就是說，可以減小顯示面板中的負載。

另外，藉由將上述電晶體應用於圖 1A 至 1D 等中的直流轉換電路 101 的電晶體 Tr，可以使截止電流值極小，而可以使直流轉換電路 101 的輸出信號穩定。就是說，可以提高直流轉換電路 101 的可靠性。

本實施方式可以與其他實施方式適當地組合而實施。

【圖式簡單說明】

在附圖中：

圖 1A 至 1D 是示出半導體裝置的實例的圖；

圖 2 是示出時序圖的實例的圖；

圖 3 是示出半導體裝置的實例的圖；

圖 4A 和 4B 是示出時序圖的實例的圖；

圖 5A 至 5C 是示出半導體裝置及時序圖的實例的圖；

圖 6A 和 6B 是示出半導體裝置及時序圖的實例的圖；

圖 7A 和 7B 是示出半導體裝置的實例的圖；

圖 8A 和 8B 是示出半導體裝置的實例的圖；

圖 9 是示出時序圖的實例的圖；

圖 10A 和 10B 是示出顯示裝置的實例的圖；

圖 11A 至 11D 是示出半導體裝置的實例的圖。

【主要元件符號說明】

101：直流轉換電路

103：微處理器

105：轉換電路

107：控制電路

109：比較電路

111：邏輯電路

113：放大電路

115：負載

221：比較器

222：比較器

223：反相器

224：反相器

225：NOR 門

226：NOR 門

400：基板

401：導電層

402：絕緣層

403：氧化物半導體層

405：導電層

406：導電層

407：氧化物絕緣層

409：保護絕緣層

530：氧化物半導體膜

七、申請專利範圍：

1. 一種包括直流轉換電路的半導體裝置，該直流轉換電路包括：

佈線；

轉換電路，該轉換電路包括：

電晶體，該電晶體包括汲極端子和源極端子；

滯環比較器，該滯環比較器包括：

用於第一基準電位的第一輸入端子；

用於第二基準電位的第二輸入端子；以及

與該轉換電路的輸出端子電連接的第三輸入端子；以及

邏輯電路，該邏輯電路包括：

與該滯環比較器的輸出端子電連接的第一輸入端子；

與該佈線電連接的第二輸入端子；以及

與該電晶體的閘極電連接的輸出端子，

其中在該滯環比較器的該第三輸入端子與該轉換電路的該輸出端子之間夾有第一多工器。

2. 一種顯示裝置，包括：

驅動電路；以及

直流轉換電路，該直流轉換電路與該驅動電路電連接，並包括：

佈線；

轉換電路，該轉換電路包括：

電晶體，該電晶體包括汲極端子和源極端子；

滯環比較器，該滯環比較器包括：

用於第一基準電位的第一輸入端子；

用於第二基準電位的第二輸入端子；以及

與該轉換電路的輸出端子電連接的第三輸入端子；以及

邏輯電路，該邏輯電路包括：

與該滯環比較器的輸出端子電連接的第一輸入端子；

與該佈線電連接的第二輸入端子；以及

與該電晶體的閘極電連接的輸出端子，

其中在該滯環比較器的該第三輸入端子與該轉換電路的該輸出端子之間夾有第一多工器。

3. 一種包括直流轉換電路的半導體裝置，該直流轉換電路包括：

佈線；

轉換電路，該轉換電路包括：

電晶體，該電晶體包括汲極端子和源極端子；

放大電路，該放大電路與該轉換電路的輸出端子電連接；

第一多工器，該第一多工器包括：

與該轉換電路的該輸出端子電連接的第一輸入端子；以及

與該放大電路的輸出端子電連接的第二輸入端子；

滯環比較器，該滯環比較器包括：

用於第一基準電位的第一輸入端子；

用於第二基準電位的第二輸入端子；以及

與該第一多工器的輸出端子電連接的第三輸入端子；

邏輯電路，該邏輯電路包括：

與該滯環比較器的輸出端子電連接的第一輸入端子；以及

與該佈線電連接的第二輸入端子；以及

第二多工器，該第二多工器包括：

與該邏輯電路的輸出端子電連接的第一輸入端子；

與該滯環比較器的輸出端子電連接的第二輸入端子；以及

與該電晶體的閘極電連接的輸出端子。

4.根據申請專利範圍第 2 項之顯示裝置，其中該佈線傳輸時鐘信號。

5.根據申請專利範圍第 1 或 3 項之半導體裝置，其中該佈線傳輸時鐘信號。

6.根據申請專利範圍第 2 項之顯示裝置，其中該佈線與微處理器電連接。

7.根據申請專利範圍第 1 或 3 項之半導體裝置，其中

該佈線與微處理器電連接。

8.根據申請專利範圍第 2 項之顯示裝置，其中該邏輯電路是 AND 電路。

9.根據申請專利範圍第 1 或 3 項之半導體裝置，其中該邏輯電路是 AND 電路。

10.根據申請專利範圍第 2 項之顯示裝置，還在像素中包括第二電晶體，該第二電晶體包括氧化物半導體層。

11.根據申請專利範圍第 3 項之半導體裝置，其中該半導體裝置是顯示裝置，並還包括與該直流轉換電路電連接的驅動電路。

12.根據申請專利範圍第 1 或 3 項之半導體裝置，其中該半導體裝置是顯示裝置，該顯示裝置在像素中包括第二電晶體，該第二電晶體包括氧化物半導體層。

13.根據申請專利範圍第 1 項之半導體裝置，還包括與該直流轉換電路的輸出電連接的負載，

其中該滯環比較器的該第三輸入端子根據輸入到該負載中的信號而與該轉換電路的該輸出端子電連接。

14.根據申請專利範圍第 2 項之顯示裝置，

其中該滯環比較器的該第三輸入端子根據輸入到該驅動電路中的信號而與該轉換電路的該輸出端子電連接。

15.根據申請專利範圍第 3 項之半導體裝置，

其中該第一多工器的第三輸入端子及該第二多工器的第三輸入端子與控制佈線連接。

16.根據申請專利範圍第 1 項之半導體裝置，

其中在該邏輯電路的該輸出端子與該電晶體的該閘極之間夾有第二多工器。

17.根據申請專利範圍第 2 項之顯示裝置，

其中在該邏輯電路的該輸出端子與該電晶體的該閘極之間夾有第二多工器。

18.根據申請專利範圍第 1 項之半導體裝置，

其中，該滯環比較器比較該轉換電路的輸出和該第一基準電位或該第二基準電位，而該邏輯電路計算該滯環比較器的輸出和時鐘信號，以及

其中，在該轉換電路中，該電晶體根據該邏輯電路的輸出而控制流過該電晶體的該源極和該汲極的電流並根據流過該電晶體的該源極和該汲極的該電流而產生該轉換電路的該輸出。

19.根據申請專利範圍第 2 項之顯示裝置，

其中，該滯環比較器比較該轉換電路的輸出和該第一基準電位或該第二基準電位，而該邏輯電路計算該滯環比較器的輸出和時鐘信號，

其中，在該轉換電路中，該電晶體根據該邏輯電路的輸出而控制流過該電晶體的該源極和該汲極的電流並根據流過該電晶體的該源極和該汲極的該電流而產生該轉換電路的輸出，以及

其中，根據該轉換電路的該輸出而驅動顯示部的像素。

20.根據申請專利範圍第 3 項之半導體裝置，

其中，該半導體裝置進行第一工作和第二工作中的一種，該第一工作為如下：該滯環比較器比較該轉換電路的輸出和該第一基準電位或該第二基準電位，而該邏輯電路計算該滯環比較器的輸出和時鐘信號，該第二工作為如下：該放大電路放大該轉換電路的該輸出與第三基準電位之間的差值，而該滯環比較器比較該放大電路的輸出和三角波信號，以及

其中，在該轉換電路中，該電晶體根據利用該第一工作獲取的該邏輯電路的輸出或利用該第二工作獲取的該滯環比較器的輸出而控制流過該電晶體的該源極和該汲極的電流並根據流過該電晶體的該源極和該汲極的該電流而產生該轉換電路的該輸出。

21.根據申請專利範圍第 1 或 3 項之半導體裝置，

其中該轉換電路包含電感元件，該電感元件與該電晶體的該源極和該汲極中的一者連接以及與該轉換電路的該輸出端子連接。

22.根據申請專利範圍第 2 項之半導體裝置，

其中該轉換電路包含電感元件，該電感元件與該電晶體的該源極和該汲極中的一者連接以及與該轉換電路的該輸出端子連接。

圖 1A

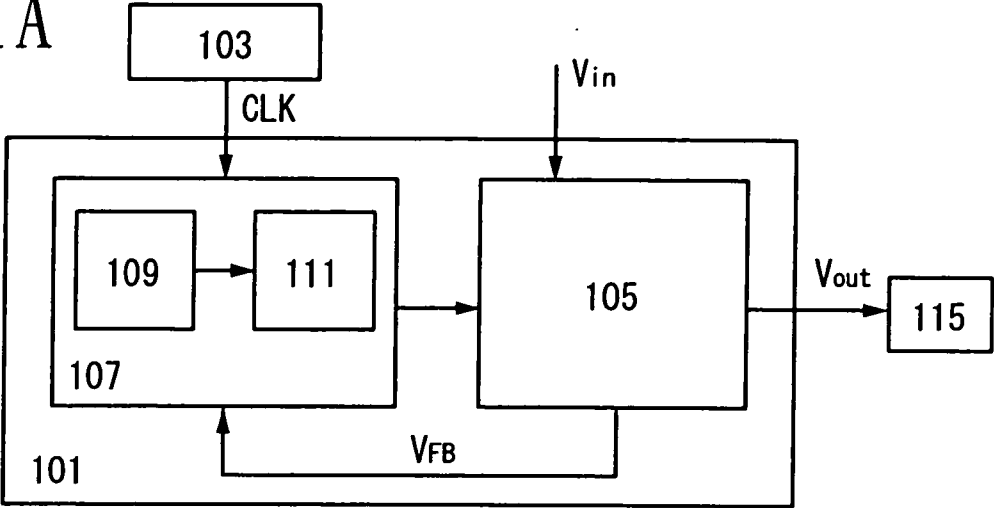


圖 1B

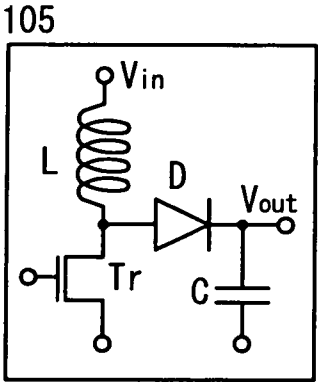


圖 1C

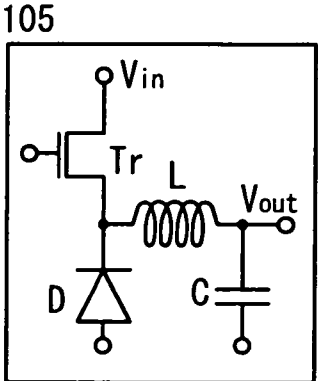


圖 1D

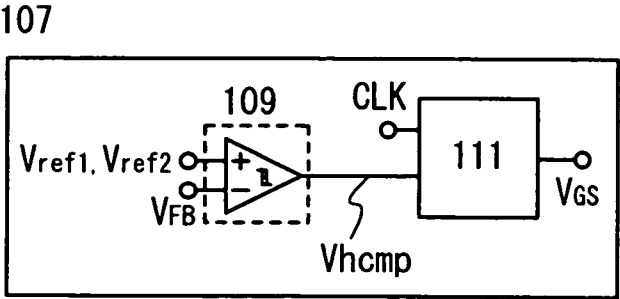


圖2

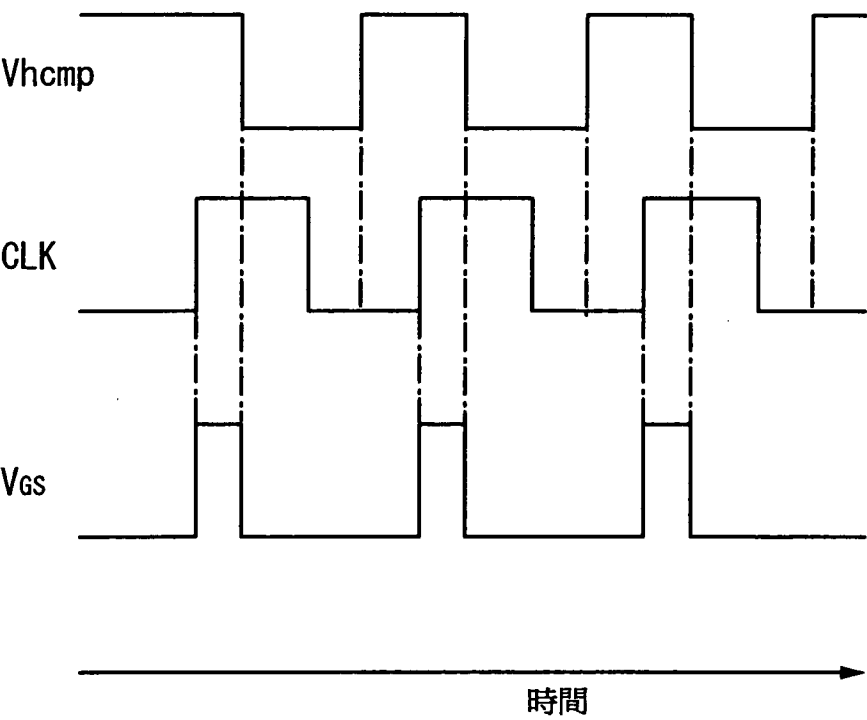


圖 3

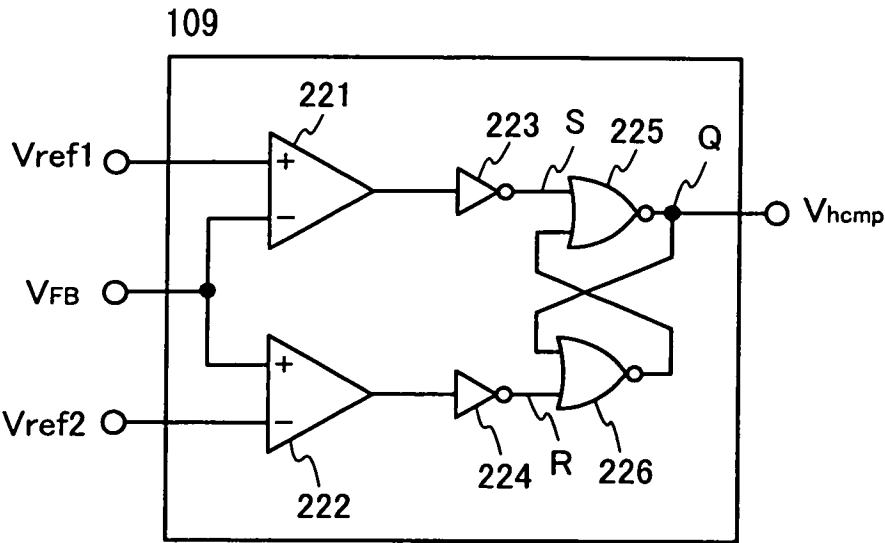


圖 4A

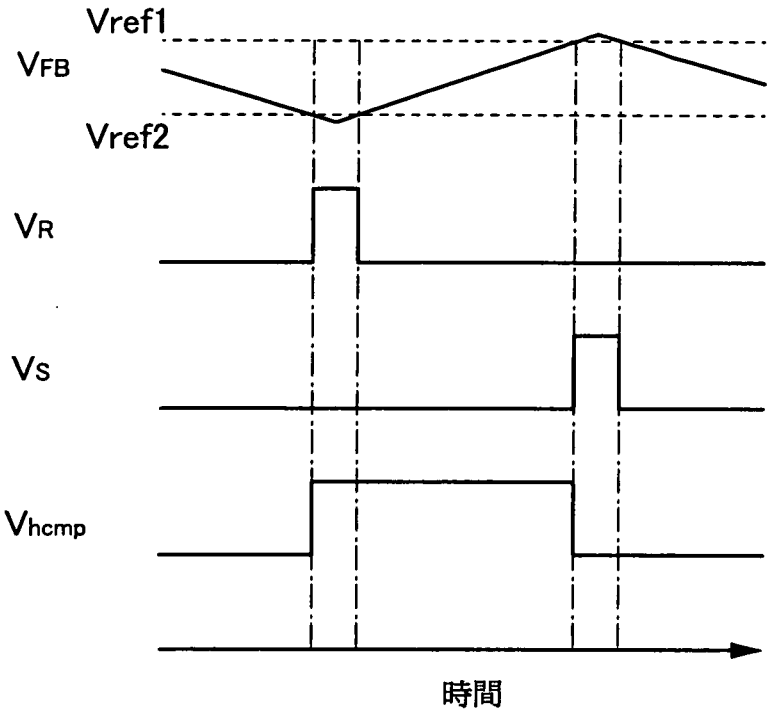


圖 4B

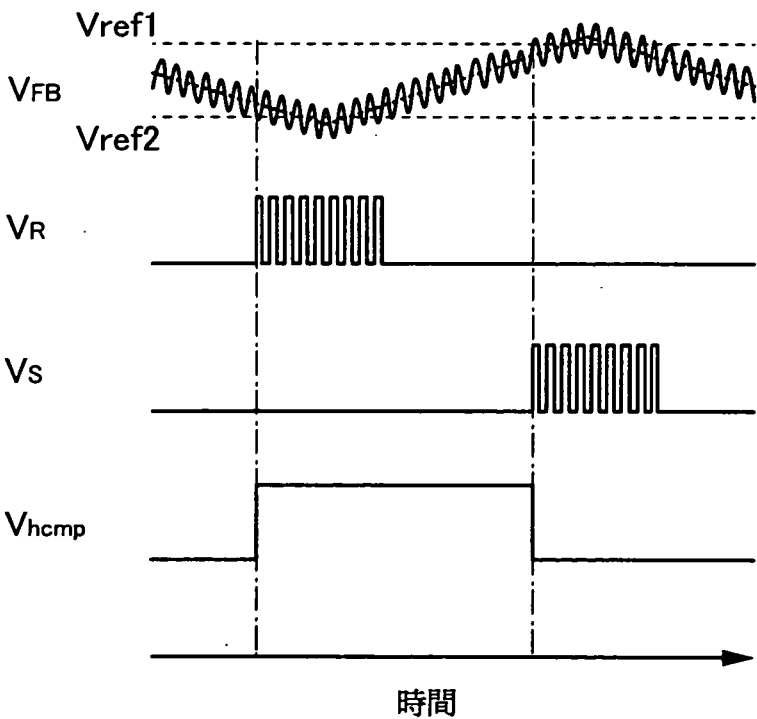


圖 5A

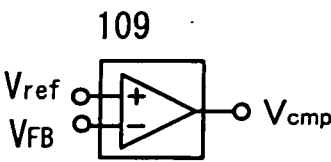


圖 5B

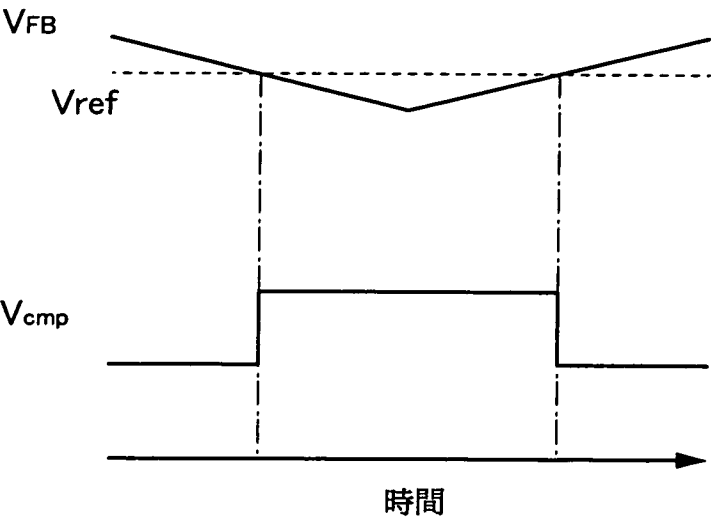


圖 5C

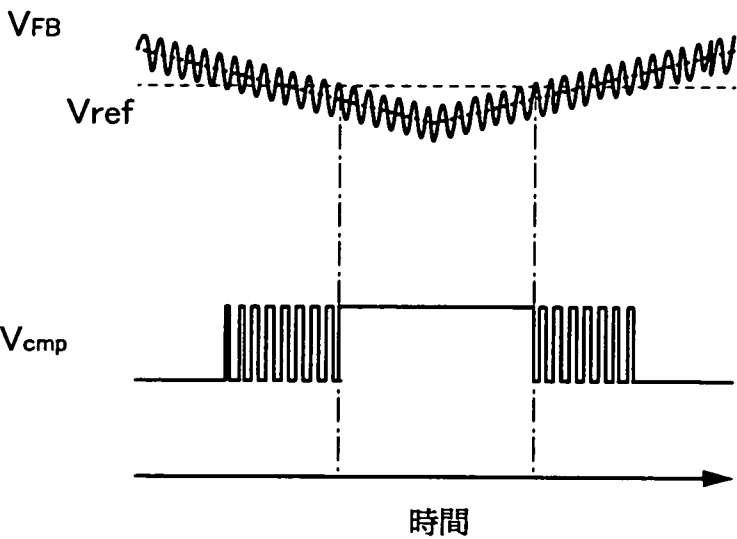


圖 6A

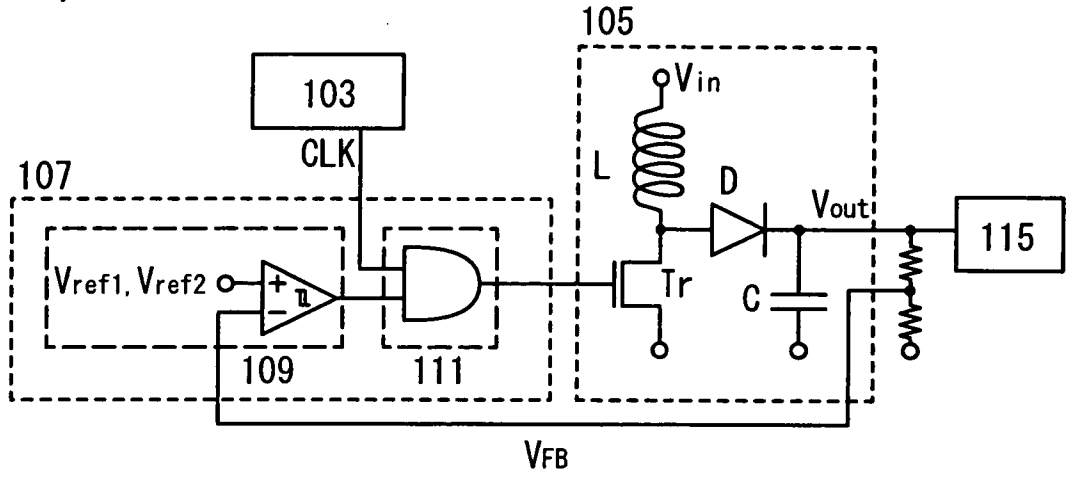


圖 6B

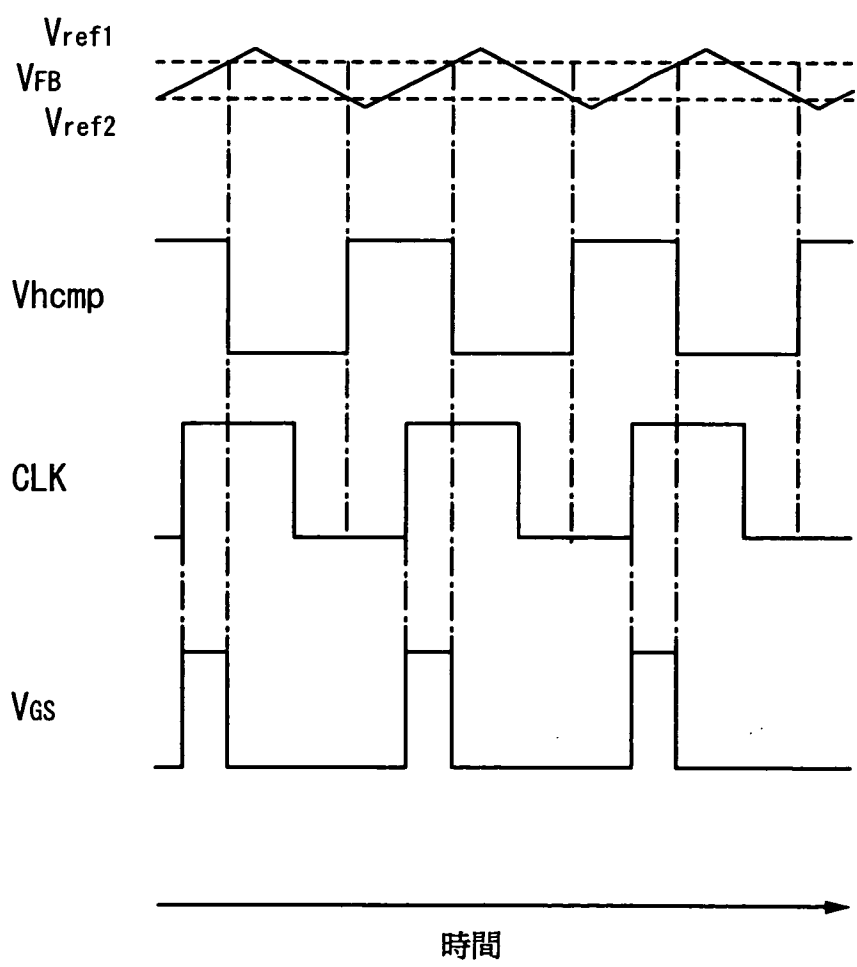


圖 7A

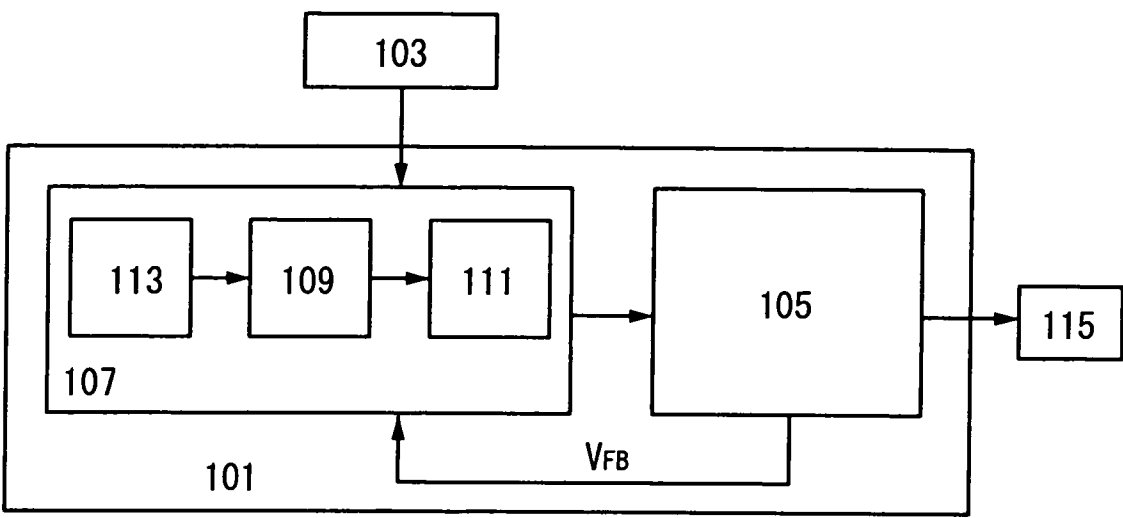


圖 7B

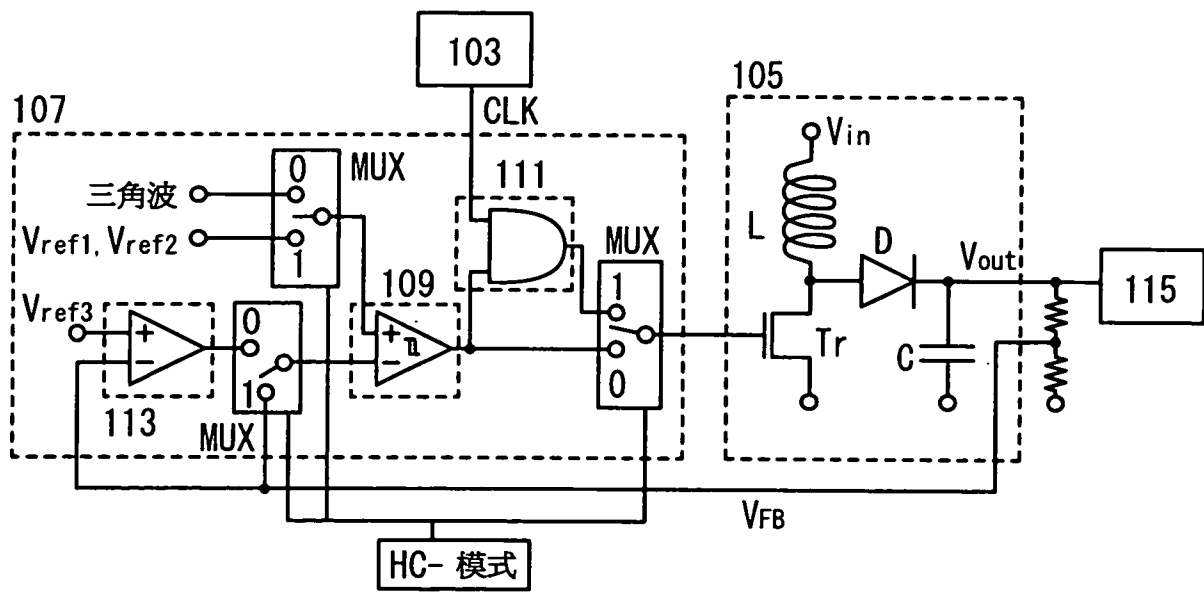


圖 8A

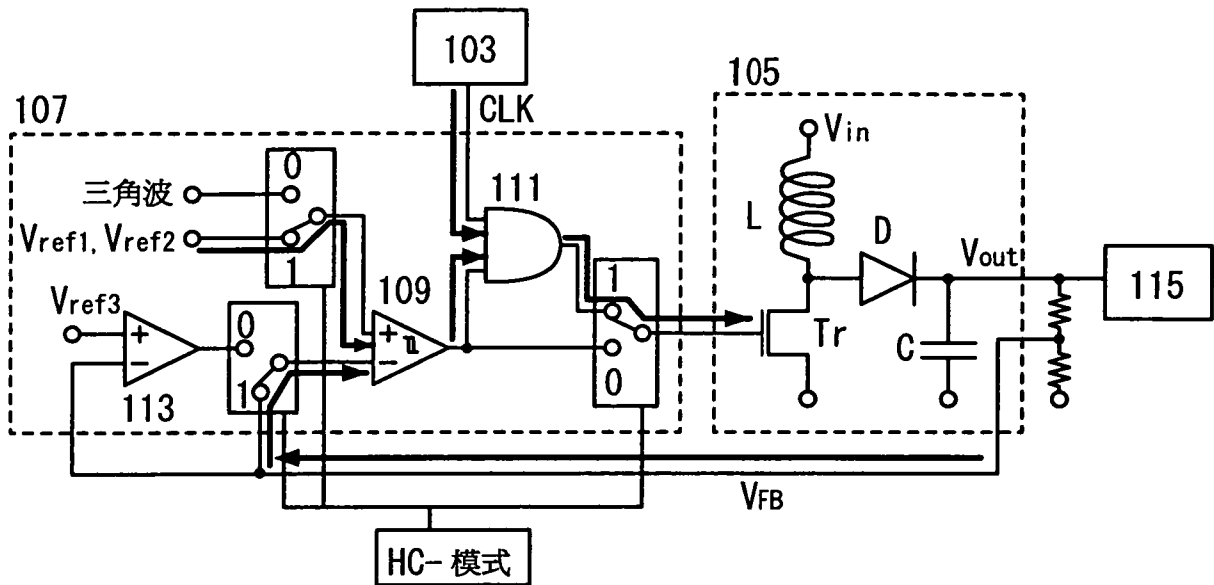


圖 8B

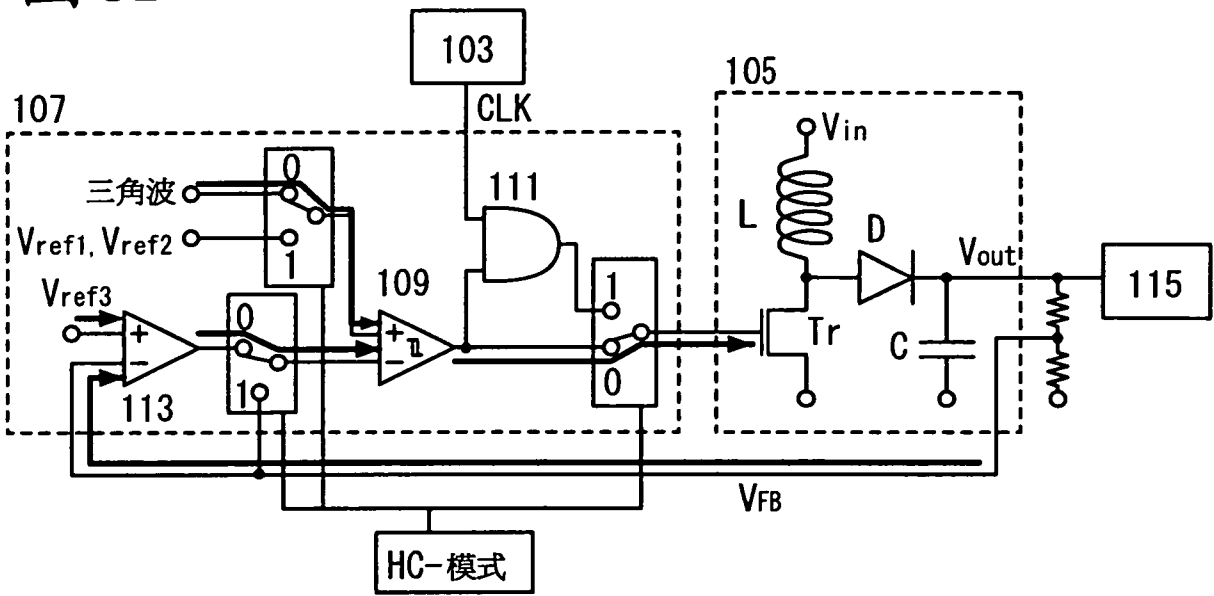


圖 9

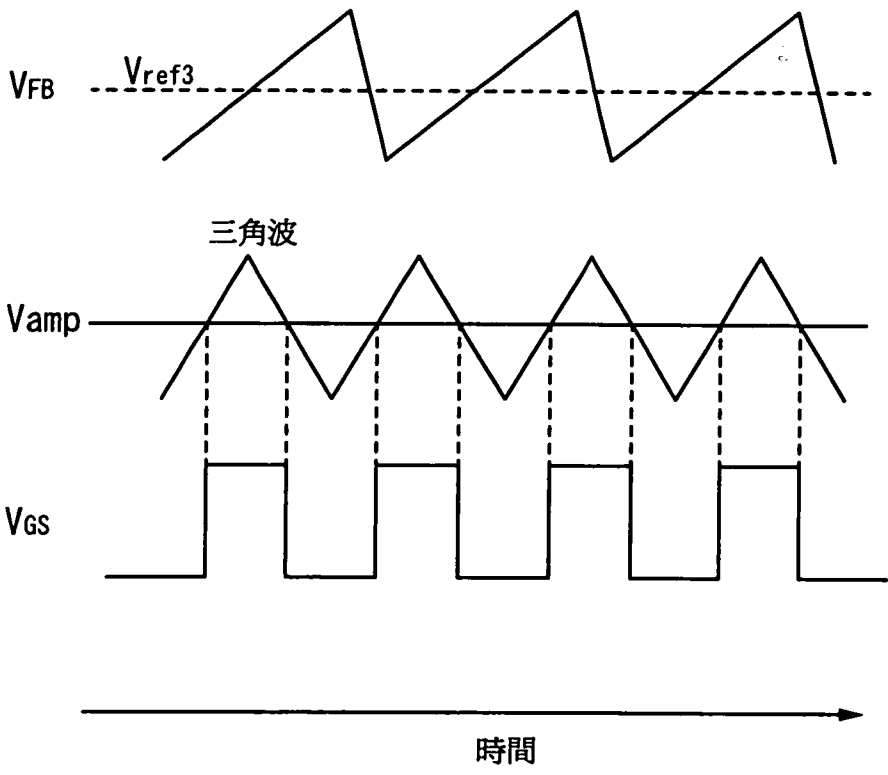


圖 10A

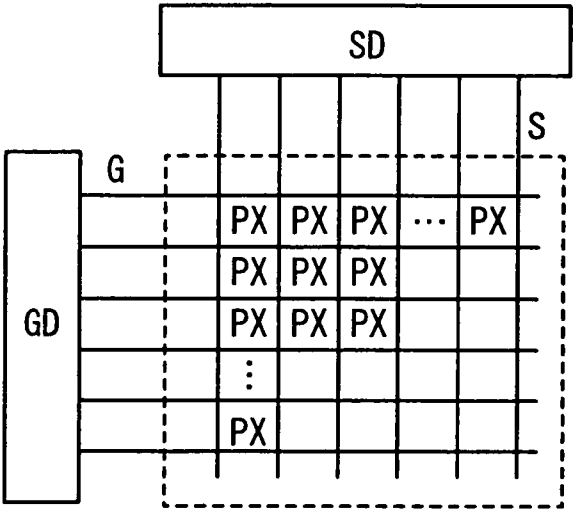


圖 10B

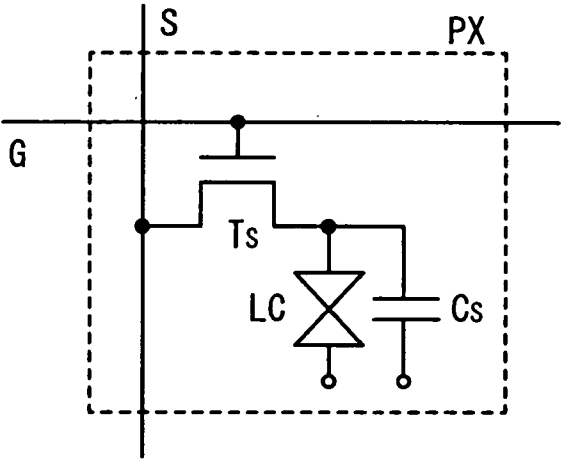


圖 11A

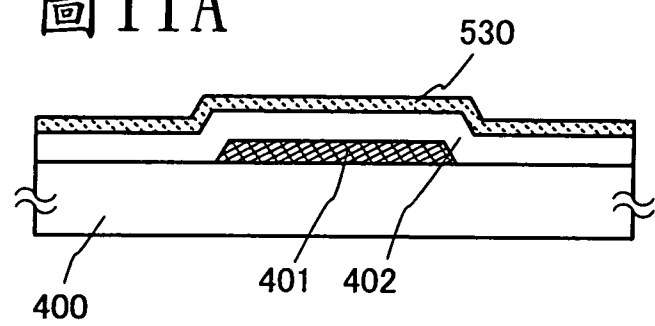


圖 11B

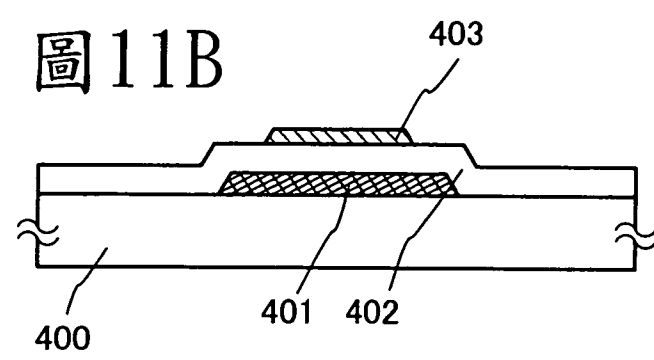


圖 11C

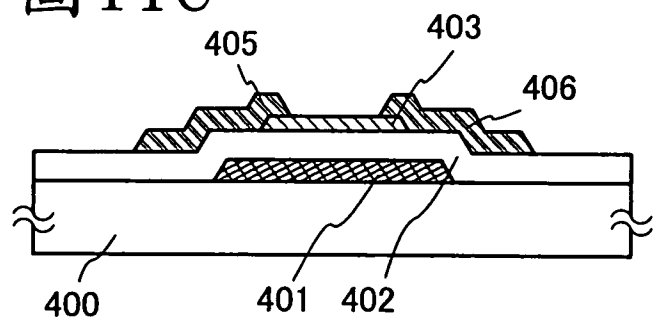


圖 11D

