



OPIS PATENTOWY 67592

Patent dodatkowy
do patentu

Zgłoszono: 03.II.1970 (P 138 549)

Pierwszeństwo:

Opublikowano: 15.XI.1973

Kl. 21e,31/28

MKP G01r 31/28

CZYTELNIA

UKP Patentowy
Polska Republika Ludowa

Twórca wynalazku: Jan Zabrodzki

Właściciel patentu: Politechnika Warszawska, Warszawa (Polska)

Urządzenie do kontrolowania charakterystyk przejściowych
elektrycznych układów logicznych z potencjałowym
kodowaniem sygnałów

1

Przedmiotem wynalazku jest urządzenie do kontrolowania charakterystyk przejściowych elektrycznych układów logicznych z potencjałowym kodowaniem sygnałów. Urządzenie według wynalazku ma zastosowanie do końcowej kontroli sprawności cyfrowych układów scalonych produkowanych seryjnie, bądź jest wykorzystywane przez użytkowników cyfrowych układów scalonych.

Znane urządzenia do kontrolowania elektrycznych układów logicznych z potencjałowym kodowaniem sygnałów, na przykład testery cyfrowych układów scalonych, zawierają zestaw sterowanych zasilaczy lub generator przebiegu zmiennego o amplitudzie zmieniającej się od wartości potencjału odpowiadającego jedynie logicznej do wartości potencjału odpowiadającego zeru logicznemu badanego układu logicznego, których wyjścia są dołączane poprzez matrycę przełączającą do wejść układu badanego. Wyjście układu badanego jest dołączane do wejść układów pomiarowych, które pozwalają stwierdzić czy poziom napięcia na wyjściu badanego układu dla ustalonej kombinacji wartości napięć wejściowych zawiera się w odpowiednich przedziałach.

Przykładowo jeden z testerów zawiera blok źródeł zasilających, blok pomiarowy, matrycę przełączającą, blok sterowania cyfrowego oraz adapter. Blok sterowania cyfrowego steruje matrycą przełączającą co umożliwia podanie odpowiednich wyjść z bloku zasilania na wejścia badanego układu dołączanego do testera poprzez adapter, a także połączenie wyjścia badanego układu z odpowiednimi wejściami bloku pomiarowego.

2

Znane testery zgodnie z ich zasadą działania umożliwiają badanie układów logicznych jedynie w poszczególnych punktach charakterystyki przejściowej. W testach tych w celu określenia sprawności układu logicznego wykonuje się szereg pomiarów różnych parametrów układów i o ile wszystkie mierzone parametry spełniają odpowiednie wymagania stwierdza się, że badany układ logiczny jest sprawny. Tymczasem nie zawsze przeprowadzenie dokładnych pomiarów wszystkich parametrów układu logicznego jest rzeczywiście potrzebne. Na przykład, o ile przy produkcji cyfrowych układów scalonych konieczna jest dokładna kontrola nieobudowanych układów (pomiar ostrzowy) to przy kontroli końcowej wystarczy sprawdzić, czy układ nie uległ uszkodzeniu w czasie obudowywania. Podobnie przed zamontowaniem układu scalonego powinna istnieć możliwość szybkiego sprawdzenia funkcyjnej sprawności układu. Tego typu kontrolę można przeprowadzić w oparciu o badanie charakterystyki przejściowej układu logicznego. Dotychczas nie jest znane urządzenie, które pozwalałoby ustalić funkcjonalną sprawność układu logicznego w oparciu o badanie jego charakterystyki przejściowej.

Celem wynalazku jest opracowanie taniego i prostego urządzenia które umożliwiłoby łatwą i szybką kontrolę seryjnie produkowanych układów logicznych na zasadzie sprawdzania czy charakterystyki przejściowe względem kolejnych wejść badanego układu logicznego zawierają się w obszarze dopuszczalnym z punktu widzenia poprawnej pracy badanego układu logicznego.

Cel ten został osiągnięty przez opracowanie urządzenia do kontrolowania charakterystyk przejściowych elektrycznych układów logicznych z potencjałowym kodowaniem sygnałów zawierającego blok pobudzeń, którego wyjścia są połączone z wejściami badanego układu logicznego, przy czym wybrane wejścia oraz wybrane wyjście badanego układu logicznego są połączone z wejściami bloku porównania i ustalania granic obszaru dopuszczalnego. Wyjścia bloku porównania i ustalania granic obszaru dopuszczalnego są połączone z wejściami bloku decyzyjnego, którego wyjście jest połączone z wejściem układu sygnalizacji. W skład bloku pobudzeń wchodzi generator przebiegu zmiennego o amplitudzie zmieniającej się od wartości potencjału odpowiadającego jedynie logicznej do wartości potencjału odpowiadającego zeru logicznemu badanego układu logicznego oraz układ stabilizowanego zasilacza regulowanego wytwarzającego napięcie o wartości odpowiadającej logicznemu zeru bądź logicznej jedynie badanego układu logicznego. Wyjście układu stabilizowanego zasilacza regulowanego jest połączone ze wszystkimi wyjściami bloku porównania za wyjątkiem wybranego wyjścia, które jest połączone z wyjściem generatora okresowego przebiegu zmiennego. Blok porównania i ustalania granic obszaru dopuszczalnego zawiera układy komparatorów napięcia, których jedne wejścia połączone są z wejściami bloku porównania i ustalania granic obszaru dopuszczalnego a na drugie wejścia podawane są potencjały ustalające granice obszaru dopuszczalnego, natomiast ich wyjścia są połączone z wyjściami bloku ustalania granic obszaru dopuszczalnego.

Zaletą urządzenia według wynalazku jest jego prostota wynikająca z uproszczenia procedury kontroli; do oceny funkcjonalnej sprawności układu logicznego wykorzystuje się tylko jeden rodzaj pomiaru polegający na badaniu charakterystyk przejściowych układu logicznego, podczas gdy w znanych testerach ocenę sprawności układu uzyskuje się po przeprowadzeniu dokładnych pomiarów wielu różnych parametrów układu logicznego.

Przedmiot wynalazku jest przedstawiony w przykładzie wykonania na rysunku, na którym fig. 1 przedstawia schemat blokowy urządzenia według wynalazku, fig. 2 schemat blokowy przykładowej konstrukcji urządzenia według wynalazku, fig. 3 przykładowy obszar dopuszczalny dla układu logicznego wtórnikowego, a fig. 4 przykładowy obszar dopuszczalny dla układu logicznego negującego.

Na fig. 1 wyjścia bloku pobudzeń 1 są połączone z wejściami badanego układu logicznego 2, przy czym wybrane wejście X_i i $\epsilon \{1,2,\dots,n\}$ badanego układu logicznego 2 oraz wybrane wejście Y_j , je $\{1,2,\dots,k\}$ badanego układu logicznego 2 są połączone z różnymi wejściami bloku porównań i ustalania granic obszaru dopuszczalnego 3, którego wyjścia są połączone z wejściami bloku decyzyjnego 4, natomiast wyjścia bloku decyzyjnego 4 są połączone z wejściami układu sygnalizacji 5.

Wyjścia generatora pobudzeń 1 (fig. 2) są połączone z wejściami X_i , ie $\{1,2,\dots,n\}$ badanego układu logicznego 2. Jedno z wejść X_j , ie $\{1,2,\dots,n\}$ badanego układu logicznego 2 jest połączone z wejściami drugiego i czwartego komparatora napięcia 7 i 9 bloku porównania i ustalania granic obszaru dopuszczalnego 3, a jedno

z wyjść Y_j , je $\{1,2,\dots,n\}$ badanego układu logicznego 2 jest połączone z wejściami pierwszego i trzeciego komparatora napięcia 6 i 8 tego bloku. Jedno z wejść pierwszego układu iloczynu logicznego 10 jest połączone z wyjściem pierwszego komparatora napięcia 6, a drugie jego wejście jest połączone z wyjściem drugiego komparatora napięcia 7. Jedno z wejść drugiego układu iloczynu logicznego 11 jest połączone z wyjściem trzeciego komparatora napięcia 8 a drugie jego wejście z wyjściem czwartego komparatora napięcia 9. Jedno z wejść trzeciego układu iloczynu logicznego 12 jest połączone z wyjściem drugiego komparatora napięcia 7 a drugie wejście trzeciego układu iloczynu logicznego 12 jest połączone z wyjściem trzeciego komparatora napięcia 8. Jedno z wejść czwartego układu iloczynu logicznego 13 jest połączone z wyjściem pierwszego komparatora napięcia 6, a drugie wyjście czwartego układu iloczynu logicznego 13 jest połączone z wyjściem czwartego układu komparatora napięcia 9. Wyjścia pierwszego i drugiego układu iloczynu logicznego 10 i 11 są połączone z różnymi wejściami układów sumy logicznej 14, a wyjścia układów iloczynów logicznych 12 i 13 są połączone z wejściami układu sumy logicznej 15. Wyjścia układów sum logicznych 14 i 15 są połączone z oddzielnymi wejściami układu przełącznika 16. Układy iloczynów logicznych 10, 11, 12 i 13 oraz układy sum logicznych 14 i 15 tworzą razem sieć kombinacyjną wchodzącą w skład bloku decyzyjnego 4. Wyjście układu przełącznika 16 jest połączone z wejściem układu sygnalizacji 5.

Przykładowy obszar dopuszczalny dla układu logicznego wtórnikowego pokazany jest na fig. 3, a na fig. 4 pokazany jest przykładowy obszar dopuszczalny dla układu logicznego negującego. Granice obszarów dopuszczalnych są wyznaczone odpowiednio przez następujące wartości: MaxO_y — maksymalny dopuszczalny dla badanego układu logicznego 2 potencjał y_j , je $\{1,2,\dots,k\}$ sygnału wyjściowego Y_j , je $\{1,2,\dots,k\}$ dla logicznego zera, P_0 — wartość progu zera, która określa maksymalny potencjał x_i , ie $\{1,2,\dots,n\}$ sygnału wejściowego X_i , ie $\{1,2,\dots,n\}$ badanego układu logicznego dla logicznego zera, poniżej którego potencjał y_j , je $\{1,2,\dots,k\}$ sygnału wyjściowego Y_j , je $\{1,2,\dots,k\}$ nie przekracza wartości MaxO_y dla układu wtórnikowego lub nie jest mniejszy od wartości MinI_y dla układu negującego; MinI_y — minimalna wartość potencjału y_j , je $\{1,2,\dots,k\}$ sygnału wyjściowego Y_j , ie $\{1,2,\dots,k\}$ układu logicznego dla logicznej jedynki; P_1 — wartość progu jeden, która określa minimalną wartość potencjału x_i , ie $\{1,2,\dots,n\}$ sygnału wejściowego X_i , ie $\{1,2,\dots,n\}$ układu logicznego dla logicznej jedynki poniżej to której wartości potencjał y_j , je $\{1,2,\dots,k\}$ sygnału wyjściowego Y_j , je $\{1,2,\dots,k\}$ jest nie mniejszy od wartości MinI_y dla układu logicznego wtórnikowego lub nie większy od wartości MaxO_y dla układu logicznego negującego; MaxI_x — maksymalna dopuszczalna dla układu logicznego wartość potencjału x_i , ie $\{1,2,\dots,n\}$ sygnału wejściowego X_i , ie $\{1,2,\dots,n\}$ dla logicznej jedynki; MaxI_y — maksymalna możliwa dla układu logicznego wartość potencjału y_j , je $\{1,2,\dots,k\}$ sygnału wyjściowego Y_j , je $\{1,2,\dots,k\}$ dla logicznej jedynki; MinO_x — minimalna dopuszczalna dla układu logicznego wartość potencjału x_i , ie $\{1,2,\dots,n\}$ sygnału wejściowego X_i , ie $\{1,2,\dots,n\}$ dla logicznego zera, MinO_y — minimalna możliwa dla układu logicznego wartość potencjału y_j ,

je $\{1,2,\dots,k\}$ dla sygnału wyjściowego Y_j , je $\{1,2,\dots,k\}$ dla logicznego zera.

Działanie urządzenia według wynalazku jest opisane niżej. Na wszystkie wejścia badanego układu logicznego 2 za wyjątkiem wybranego wejścia X_i ie $\{1,2,\dots,n\}$ podawane są z bloku pobudzeń 1 napięcia stałe odpowiadające zeru bądź jedynce logicznej tak by umożliwić przełączanie badanego układu logicznego 2 poprzez przebieg zmienny z bloku pobudzeń 1 podawany na wybrane wejście X_i , ie $\{1,2,\dots,n\}$ badanego układu logicznego 2. Przebieg zmienny podawany na wybrane wejście X_i , ie $\{1,2,\dots,n\}$ badanego układu logicznego 2 oraz przebieg zmienny uzyskiwany na wybranym wyjściu Y_j , je $\{1,2,\dots,k\}$ badanego układu logicznego 2 są podawane na wejścia bloku porównywania i ustalania granic obszaru dopuszczalnego 3 w którym charakterystyka przejściowa wyznaczona przez zależność zmian przebiegu na wyjściu Y_i od zmian przebiegu na wejściu X_i jest porównywana z ustalonym obszarem dopuszczalnym. Blok decyzyjny 4 na podstawie sygnałów przychodzących z bloku porównywania i ustalania granic obszaru sprawności 3 określa czy charakterystyka przejściowa badanego układu logicznego 2 zawiera się w obszarze dopuszczalnym czy nie i zależnie od wyniku pobudzany jest odpowiednio układ sygnalizacji 5.

Analiza obszarów dopuszczalnych przedstawionych na fig. 3 i fig. 4 pozwala określić warunki porównywania charakterystyki przejściowej z obszarem dopuszczalnym. Dla układu negującego warunek wyjścia charakterystyki przejściowej z obszaru dopuszczalnego można zapisać jako:

$$(x_i < P_0 \wedge y_j < \text{Min}1_y) \vee (x_i > P_1 \wedge y_j > \text{Max}0_y) \quad (1)$$

i odpowiednio dla układu wtórnikowego

$$(x_i < P_0 \wedge y_j > \text{Max}0_y) \vee (x_i > P_1 \vee y_j < \text{Min}1_y) \quad (2)$$

Badany układ logiczny 2 jest pobudzany przez blok pobudzeń 1. Granice obszaru dopuszczalnego dla badanego układu logicznego 2 są wyznaczane przez układy zasilaczy stabilizowanych połączone z wejściami napięcia odniesienia komparatorów 6, 7, 8, 9 oraz przez blok pobudzeń 1 i przez sam układ badany 2. Na wyjściach komparatorów napięcia pojawiają się sygnały gdy spełnione są następujące zależności: $y_j > \text{Max}0_y$ (dla pierwszego komparatora 6) $x_i < P_0$ (dla drugiego komparatora 7), $y_j < \text{Min}1_y$ (dla trzeciego komparatora 8) i $x_i > P_1$ (dla czwartego komparatora 9). Układy pierwszego i drugiego iloczynu logicznego 10 i 11 oraz układ sumy logicznej 14 sprawdzają czy spełniona została za-

leżność (2) a układy trzeciego i czwartego iloczynu logicznego 12 i 13 oraz układ sumy logicznej 15 sprawdzają czy spełniona została zależność (1). Zależnie od tego czy badany układ logiczny 2 jest układem wtórnikowym czy negującym układ przełącznika 16 podaje na wejście układu sygnalizacji 5 sygnał wyjściowy odpowiednio z układu sumy logicznej 14 albo 15. Układ sygnalizacji zacznie działać wtedy, gdy charakterystyka przejściowa badanego układu logicznego 2 nie znajduje się całkowicie w obszarze dopuszczalnym z punktu widzenia poprawnej pracy badanego układu logicznego 2, a więc wtedy gdy spełniony jest warunek (1) albo (2).

Zastrzeżenia patentowe

1. Urządzenie do kontrolowania charakterystyk przejściowych elektrycznych układów logicznych z potencjałowym kodowaniem sygnałów zawierające blok pobudzeń, w skład którego wchodzi generator przebiegu zmiennego o amplitudzie zmieniającej się od wartości potencjału odpowiadającego jedynce logicznej do wartości potencjału odpowiadającego zeru logicznemu badanego układu logicznego oraz układ stabilizowanego zasilacza regulowanego, wytwarzającego napięcia o wartości odpowiadającej logicznemu zeru bądź logicznej jedynce badanego układu logicznego, przy czym wyjścia bloku pobudzeń są połączone z wejściami badanego układu logicznego, **znamiennie tym**, że wybrane wejście oraz wybrane wyjście badanego układu logicznego (2) są połączone z wejściami bloku porównywania i ustalania granic obszaru dopuszczalnego (3), natomiast wyjścia bloku porównywania i ustalania granic obszaru dopuszczalnego (3) są połączone z wejściami bloku decyzyjnego (4), którego wyjście jest połączone z wejściem układu sygnalizacji (5).

2. Urządzenie według zastrz. 1, **znamiennie tym**, że wyjście układu stabilizowanego zasilacza regulowanego jest połączone ze wszystkimi wyjściami bloku pobudzeń (1), za wyjątkiem wybranego wyjścia, które jest połączone z wyjściem generatora okresowego przebiegu zmiennego.

3. Urządzenie według zastrz. 1, 2, **znamiennie tym**, że blok porównywania i ustalania granic obszaru dopuszczalnego (3) zawiera układy komparatorów napięcia, których jedno wejście połączone są z wejściami bloku porównywania i ustalania granic obszaru dopuszczalnego (3), a na drugie wejścia podawane są potencjały ustalające granice obszaru dopuszczalnego natomiast ich wyjścia są połączone z wyjściami bloku ustalania granic obszaru dopuszczalnego (3).

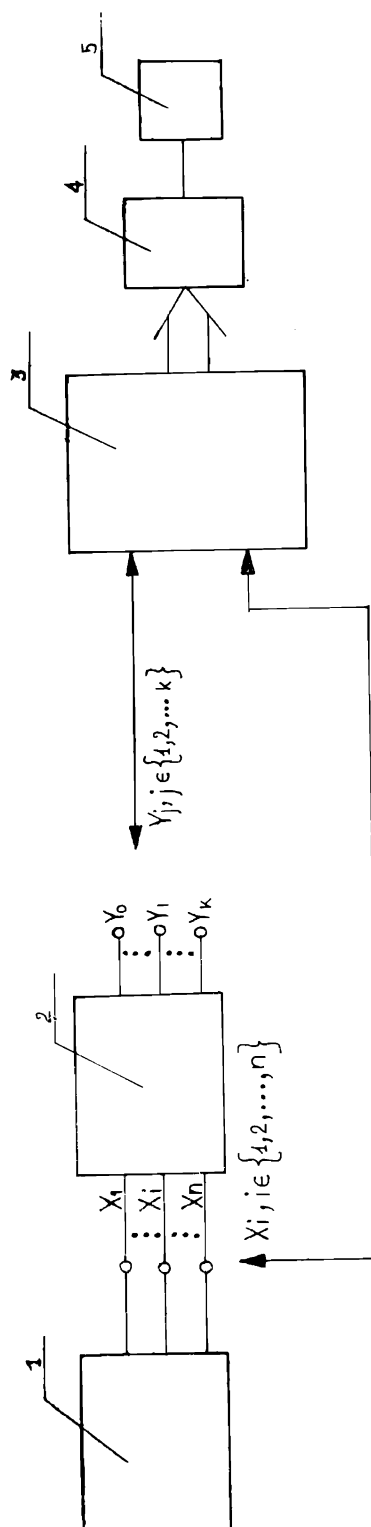


Fig. 1

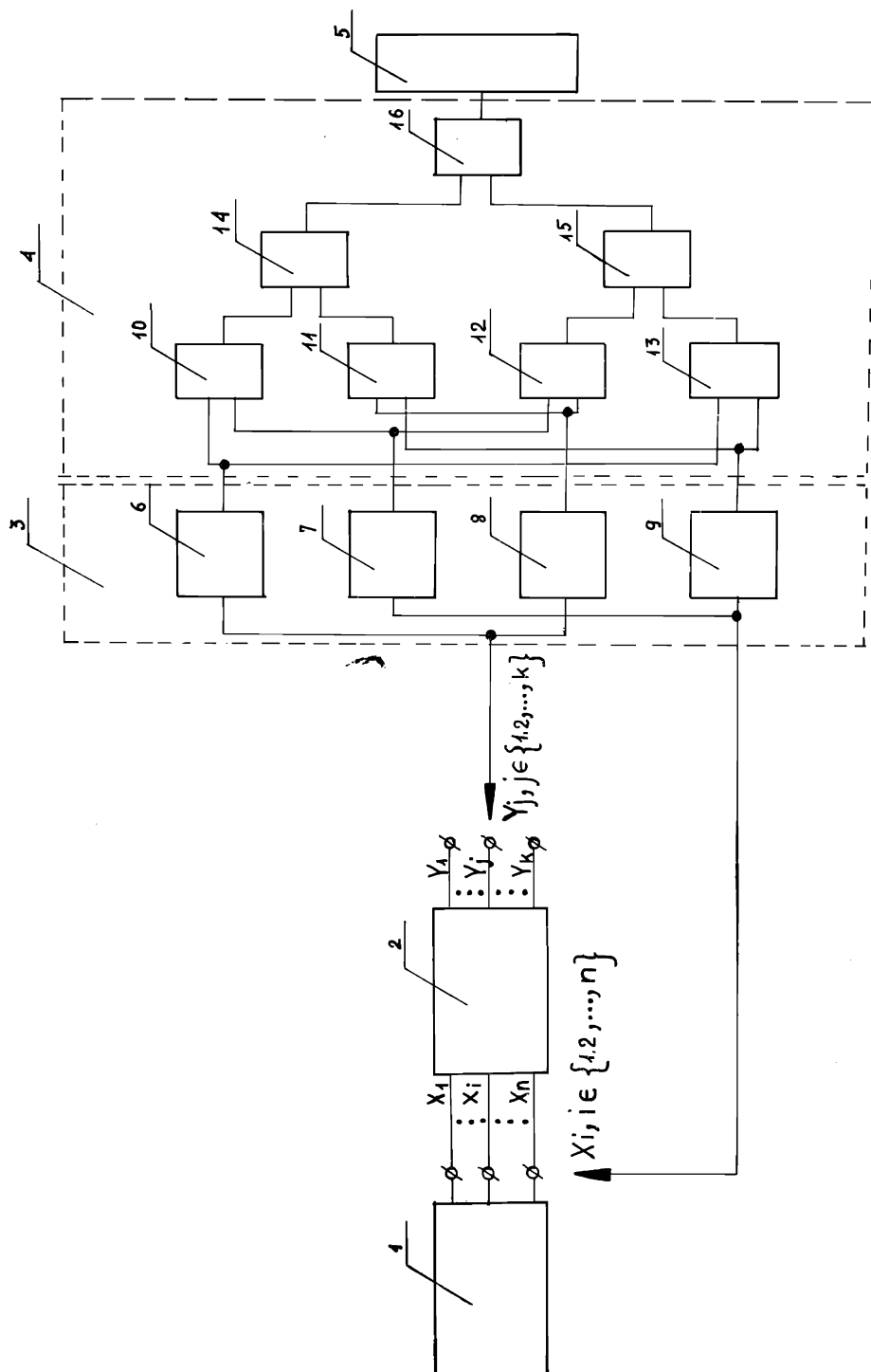


Fig. 2

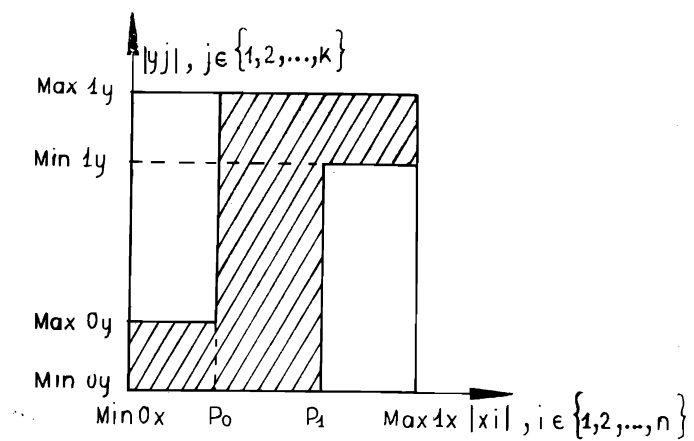


Fig. 3

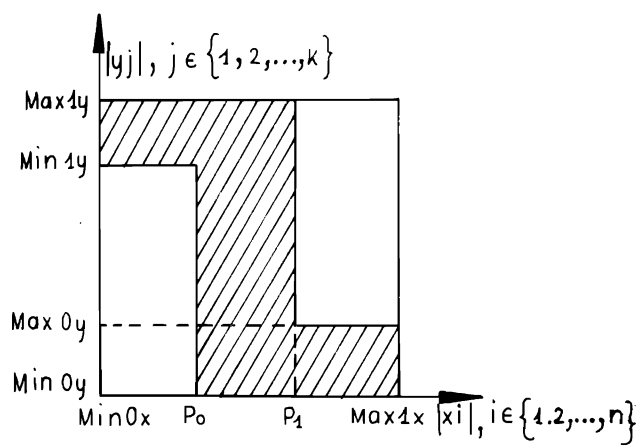


Fig. 4