

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2007-533006

(P2007-533006A)

(43) 公表日 平成19年11月15日(2007. 11. 15)

(51) Int. Cl.		F I				テーマコード (参考)
G06F 9/38 (2006.01)		G06F 9/38		370X		5B013
G06F 9/30 (2006.01)		G06F 9/30		350F		5B033

審査請求 未請求 予備審査請求 未請求 (全 18 頁)

(21) 出願番号	特願2007-507459 (P2007-507459)	(71) 出願人	502380671
(86) (22) 出願日	平成17年4月7日 (2005. 4. 7)		サンドブリッジ テクノロジーズ インコーポレーテッド
(85) 翻訳文提出日	平成18年11月28日 (2006. 11. 28)		アメリカ合衆国 10601 ニューヨーク州 ホワイト プレインズ ノース レキシントン アベニュー 1
(86) 国際出願番号	PCT/US2005/011613	(74) 代理人	100064447
(87) 国際公開番号	W02005/099383		弁理士 岡部 正夫
(87) 国際公開日	平成17年10月27日 (2005. 10. 27)	(74) 代理人	100085176
(31) 優先権主張番号	60/560, 200		弁理士 加藤 伸晃
(32) 優先日	平成16年4月7日 (2004. 4. 7)	(74) 代理人	100094112
(33) 優先権主張国	米国 (US)		弁理士 岡部 譲
(31) 優先権主張番号	11/096, 767	(74) 代理人	100096943
(32) 優先日	平成17年4月1日 (2005. 4. 1)		弁理士 臼井 伸一
(33) 優先権主張国	米国 (US)		

最終頁に続く

(54) 【発明の名称】 複合命令形式および複合オペレーション形式を有するプロセッサ

(57) 【要約】

プロセッサが、メモリと、メモリに結合され、メモリから取得された命令をデコードする命令デコーダと、デコードされた命令を実行する複数の実行ユニットとを含む。それらの命令のうちの1つまたは複数の複合命令形式内にあり、その複合命令形式内では、1つの命令が複数のオペレーションフィールドを含み、オペレーションフィールドのうちの1つまたは複数のそれぞれが、少なくともオペレーションコードフィールドとファンクションフィールドとを含む。オペレーションコードフィールドおよびファンクションフィールドは、一緒になって、1つまたは複数の実行ユニットによって実行されるべき特定のオペレーションを指定する。

d	OPERATION 1	OPERATION 2	OPERATION 3
63/62	42/41	21/20	0

【特許請求の範囲】

【請求項 1】

メモリと、

前記メモリに結合され、前記メモリから取得された命令をデコードする命令デコーダと

、
前記デコードされた命令を実行する複数の実行ユニットとを備えるプロセッサであって

、
前記命令のうちの 1 つまたは複数の複合命令形式内にあり、前記複合命令形式内では、
1 つの命令が複数のオペレーションフィールドを含み、前記オペレーションフィールドの
うちの 1 つまたは複数のそれぞれが、少なくともオペレーションコードフィールドとファン
クションフィールドとを含み、前記オペレーションコードフィールドおよび前記ファン
クションフィールドが、一緒になって、前記実行ユニットのうちの 1 つまたは複数によっ
て実行されるべき特定のオペレーションを指定するプロセッサ。

10

【請求項 2】

前記オペレーションコードフィールドおよびファンクションフィールドの、前記オペ
レーションフィールド内のサイズおよびロケーションが固定されている、請求項 1 に記載
のプロセッサ。

【請求項 3】

前記オペレーションコードが、`jump` (ジャンプ)、`constant` (定数)、`integer` (整数)、`load` (ロード)、`store` (格納)、`copy to special register` (特殊レジスタへのコピー)、`copy from special register` (特殊レジスタからのコピー)、および `single instruction multiple data` (単一命令複数データ) を含む、
請求項 2 に記載のプロセッサ。

20

【請求項 4】

前記複合命令形式内の前記命令のうちの所与の 1 つが、少なくとも 3 つのオペレーシ
ョンフィールドを含む、請求項 1 に記載のプロセッサ。

【請求項 5】

前記複合命令形式内の前記命令のうちの所与の 1 つが、前記複数のオペレーションフ
ィールドに加えて、従属フィールドを含む、少なくとも 1 つの追加フィールドを含む、請
求項 1 に記載のプロセッサ。

30

【請求項 6】

前記従属フィールドが、前記複数のオペレーションフィールドにおいて指定された複
合オペレーションを順次実行するか、並列実行するかを指定する単一ビットのフィール
ドを含む、請求項 5 に記載のプロセッサ。

【請求項 7】

前記複合命令形式内の前記命令のうちの所与の 1 つが、3 つの 21 ビットオペレーシ
ョンフィールドと 1 ビット従属フィールドとを有する 64 ビット命令を含む、請求項 1 に記
載のプロセッサ。

【請求項 8】

前記複合命令形式内の前記命令のうちの所与の 1 つが、前記命令の複数のオペレーシ
ョンフィールドによって指定される複合オペレーションを含む、請求項 1 に記載のプロセ
ッサ。

40

【請求項 9】

前記複合命令形式内の前記命令の所与の 1 つの、前記オペレーションフィールドのう
ちの 1 つまたは複数の、それによって指定可能な特定のオペレーションに関して限定さ
れる、請求項 1 に記載のプロセッサ。

【請求項 10】

前記複合命令形式内の前記命令の所与の 1 つの、前記オペレーションフィールドのう
ちの 1 つまたは複数の、単一命令複数データオペレーションに限定される、請求項 9 に記載

50

のプロセッサ。

【請求項 1 1】

前記プロセッサがマルチスレッドプロセッサを含む、請求項 1 に記載のプロセッサ。

【請求項 1 2】

前記プロセッサが集積回路を含む、請求項 1 に記載のプロセッサ。

【請求項 1 3】

メモリを含むプロセッサによって実行されるプログラムを格納するマシン可読記憶媒体と、前記メモリに結合され、前記メモリから取得された命令をデコードする命令デコーダと、前記デコードされた命令を実行する複数の実行ユニットとを含む製造物であって、

前記命令のうちの 1 つまたは複数の複合命令形式内にあり、前記複合命令形式内では、1 つの命令が複数のオペレーションフィールドを含み、前記オペレーションフィールドのうちの 1 つまたは複数のそれぞれが、少なくともオペレーションコードフィールドとファンクションフィールドとを含み、前記オペレーションコードフィールドおよび前記ファンクションフィールドが、一緒になって、前記実行ユニットのうちの 1 つまたは複数によって実行されるべき特定のオペレーションを指定する製造物。

【請求項 1 4】

命令を格納するメモリを含むプロセッサによって実行される前記命令と、前記メモリに結合され、前記メモリから取得された前記命令をデコードする命令デコーダと、前記デコードされた命令を実行する 1 つまたは複数の実行ユニットとを含むデータ構造体であって、前記命令が、複合命令形式内にあって、1 つの命令が複数のオペレーションフィールドを含み、前記オペレーションフィールドのうちの 1 つまたは複数のそれぞれが、少なくともオペレーションコードフィールドとファンクションフィールドとを含み、前記オペレーションコードフィールドおよび前記ファンクションフィールドが、一緒になって、前記実行ユニットのうちの 1 つまたは複数によって実行されるべき特定のオペレーションを指定するデータ構造体。

【請求項 1 5】

前記オペレーションコードフィールドおよびファンクションフィールドの、前記オペレーションフィールド内でのサイズおよびロケーションが固定されている、請求項 1 4 に記載のデータ構造体。

【請求項 1 6】

前記オペレーションコードが、`jump` (ジャンプ)、`constant` (定数)、`integer` (整数)、`load` (ロード)、`store` (格納)、`copy to special register` (特殊レジスタへのコピー)、`copy from special register` (特殊レジスタからのコピー)、および `single instruction multiple data` (単一命令複数データ) を含む、請求項 1 5 に記載のデータ構造体。

【請求項 1 7】

前記複合命令形式内の前記命令が、少なくとも 3 つのオペレーションフィールドを含む、請求項 1 4 に記載のデータ構造体。

【請求項 1 8】

前記複合命令形式内の前記命令が、前記複数のオペレーションフィールドに加えて、従属フィールドを含む、少なくとも 1 つの追加フィールドを含む、請求項 1 4 に記載のデータ構造体。

【請求項 1 9】

前記従属フィールドが、前記複数のオペレーションフィールドにおいて指定された複合オペレーションを順次実行するか、並列実行するかを指定する単一ビットのフィールドを含む、請求項 1 8 に記載のデータ構造体。

【請求項 2 0】

前記複合命令形式内の前記命令が、3 つの 21 ビットオペレーションフィールドと 1 ビット従属フィールドとを有する 64 ビット命令を含む、請求項 1 4 に記載のデータ構造体

10

20

30

40

50

。

【発明の詳細な説明】

【技術分野】

【0001】

本出願は、2004年4月7日出願した米国仮出願第60/560,200号（発明の名称「Compound Instruction and Operation Formats for Low-Power Embedded Processors」）の優先権を主張する。

【0002】

本発明は、主にデジタルデータプロセッサの分野に関し、特に、そのようなプロセッサにおいて用いられる命令セットに関する。 10

【背景技術】

【0003】

プログラマブルデジタルデータプロセッサは、メモリに格納されている命令を用いて、特定タスクの実行方法をプロセッサに伝える。命令は、一般に、どのようなオペレーションを実行するかをプロセッサに伝えるオペレーションコード（オペコード（opcode））と、そのオペレーションに用いる入力データおよび出力データのロケーションを指示するオペランド指定子とを含む。プロセッサが実行する命令は、プログラムメモリに格納されることが多く、命令で用いられるデータは、データメモリに格納されることが多い。一般的なオペレーションは、メモリからデータをロードすること、データをメモリに格納すること、算術演算および論理演算を実行すること、およびプログラム内の別のロケーションに分岐することを含む。 20

【0004】

ある特定のタスクまたはタスクのセットを実装するために用いるプログラムメモリの量を、コードサイズと呼ぶ。コードサイズは、個々の命令のサイズ、命令の複雑さ、タスクまたはタスクのセットの複雑さ、その他の要因に依存する。現代のプロセッサにおいては、命令は固定サイズであるのが一般的である。そうであれば、命令を効率的にメモリからフェッチしたり、デコードしたり、実行したりできるからである。メモリシステムの設計上の都合から、命令のサイズ（ビット数）は、2の整数乗に限定されることが多い（たとえば、16ビット、32ビット、または64ビット）。 30

【0005】

コードサイズが小さいことは、デジタル信号プロセッサ、マルチメディアプロセッサ、およびグラフィックスプロセッサなどのような低電力埋め込みプロセッサの設計における重要な目標である。したがって、これらのタイプのアーキテクチャは、十分強力であってコンパクトな命令を特徴とすることが多い。たとえば、従来の埋め込みプロセッサアーキテクチャでは、2つのレジスタ（RCおよびRB）にある値を掛け合わせ、その結果を、累算レジスタ（RA）にある値に加算し、その結果を累算レジスタRAに再格納することを指定するために、16ビット積和演算命令を用いることが可能である。

【0006】

小さなコードサイズを実現するために、多くのプロセッサが、単一命令複数データ（Single Instruction Multiple Data: SIMD）処理手法を実装する。SIMD処理では、単一の命令で、複数のデータオペランドに対して同じオペレーションが実行される。SIMD処理は、ベクトルまたはマトリックスの複数の要素に対して同じオペレーションを実行する場合に特に有用である。 40

【0007】

すべてのプログラマブルプロセッサは、何らかのタイプの命令形式を用いる。従来の命令形式については、たとえば、John L. Hennessy及びDavid A. Pattersonの「Computer Architecture: A Quantitative Approach」（Third Edition、Morgan Kaufmann Publishers, Inc.、San Francisco、Cal 50

ifornia、2003年)で説明されている。

【0008】

デジタル信号処理、マルチメディアおよびグラフィックスなどの用途に用いられる現代的な埋め込みプロセッサは、高いパフォーマンスを実現するために、VLIW(超長命令語(Very Long Instruction Word))アーキテクチャを有する場合が多い。J. A. Fischerの「Very Long Instruction Word Architectures and ELI. 512」(Proceedings of the Tenth Symposium on Computer Architecture、140~150頁、1983年6月)、R. Colwell 10 外の「A VLIW Architecture for a Trace Scheduling Compiler」(IEEE Transactions on Computers、967~979頁、1988年8月)、およびN. Sesharnの「High Velocity Processing: Texas Instruments VLIW DSP Architecture」(IEEE Signal Processing Magazine、Vol. 15、No. 2、86~101、1998年3月)に例が記載されている。これらのアーキテクチャでは、単一のVLIWが、並列に実行できる複数のオペレーションを指定する。たとえば、256ビットのVLIWであれば、8個のオペレーションフィールドを有し、各フィールドを32ビットで指定することが可能であろう。VLIWアーキテクチャは、一般に、サイクルごとに1つのオペレーションしか実行できないアーキテクチャより高いパフォーマンスを提供するが、コード 20 サイズが非常に大きくなる可能性がある。それは、所与のサイクルで利用できないオペレーションフィールドにノーオペレーション(NOP)命令を充填するからである。

【0009】

最近では、EPIC(明示的並列命令コンピューティング技術(Explicitly Parallel Instruction Computing))アーキテクチャが提案されている。たとえば、M. Smothermanの「Understanding EPIC Architecture's and Implementation」(ACM Southeast Conference、2002年)、およびM. Schlansker及びB. Rauの「EPIC: Explicitly Parallel Instruction Computing」(IEEE Computer 30 、37~45頁、2000年2月)を参照されたい。これらのアーキテクチャでは、命令に付加ビットを含めることが多い。付加ビットは、命令内の、並列実行が可能なオペレーションを示すか、複数の命令の並列実行が可能かどうかを示す。これらのアーキテクチャは、VLIWプロセッサよりコンパクトなコードになる場合が多いが、プロセッサのハードウェアが複雑になる。

【特許文献1】米国仮出願第60/560、200号

【特許文献2】米国特許出願第10/269、372号

【特許文献3】米国特許出願第10/269、245号

【特許文献4】米国特許第6、842、848号

【特許文献5】米国特許出願第10/841、261号 40

【特許文献6】米国特許出願第10/269、373号

【非特許文献1】John L. Hennessy及びDavid A. Patterson、
「Computer Architecture: A Quantitative Approach」(Third Edition、Morgan Kaufmann Publishers, Inc.、San Francisco、California、2003年)

【非特許文献2】J. A. Fischer、「Very Long Instruction Word Architectures and ELI. 512」(Proceedings of the Tenth Symposium on Computer Architecture、140~150頁、1983年6月) 50

【非特許文献3】R. Colwell外、「A VLIW Architecture for a Trace Scheduling Compiler」(IEEE Transactions on Computers、967~979頁、1988年8月)

【非特許文献4】N. Sesharn、「High Velocity Processing: Texas Instruments VLIW DSP Architecture」(IEEE Signal Processing Magazine、Vol. 15、No. 2、86~101、1998年3月)

【非特許文献5】M. Smotherman、「Understanding EPIC Architecture's and Implementations」(ACM Southeast Conference、2002年) 10

【非特許文献6】M. Schlansker及びB. Rau、「EPIC: Explicitly Parallel Instruction Computing」(IEEE Computer、37~45頁、2000年2月)

【発明の開示】

【発明が解決しようとする課題】

【0010】

したがって、前述のVLIW方式およびEPIC方式にからむ諸問題を回避しながら、特に低電力埋め込みプロセッサにおいて小さなコードサイズを実現する、改良された方式が求められている。 20

【課題を解決するための手段】

【0011】

本発明は、例示的实施形態において、命令を複合命令形式で処理するプロセッサを提供する。より具体的には、最大3つの複合オペレーションをわずか64ビットで指定することが可能である。複合命令形式は、小さなコードサイズを実現し、デジタル信号プロセッサ、マルチメディアプロセッサおよびグラフィックスプロセッサなどの、低電力、高パフォーマンスの埋め込みプロセッサに好適である。

【0012】

本発明の一態様によれば、プロセッサが、メモリと、メモリに結合され、メモリから取得された命令をデコードする命令デコーダと、デコードされた命令を実行する複数の実行ユニットとを含む。それらの命令のうちの1つまたは複数の複合命令形式内にあり、その複合命令形式内では、1つの命令が複数のオペレーションフィールドを含み、オペレーションフィールドのうちの1つまたは複数のそれぞれが、少なくともオペレーションコードフィールドとファンクションフィールドとを含む。オペレーションコードフィールドおよびファンクションフィールドは、一緒になって、1つまたは複数の実行ユニットによって実行されるべき特定のオペレーションを指定する。 30

【0013】

例示的实施形態におけるオペレーションコードの例は、「jump (ジャンプ)」、「constant (定数)」、「integer (整数)」、「load (ロード)」、「store (格納)」、「copy to special register (特殊レジスタへのコピー)」、「copy from special register (特殊レジスタからのコピー)」、および「single instruction multiple data (単一命令複数データ)」を含む。オペレーションコードフィールドおよびファンクションフィールドは、デコードおよび実行が容易になるように、オペレーションフィールド内でのサイズおよびロケーションが固定されていることが可能である。 40

【0014】

本発明の別の態様によれば、複合命令形式内の命令のうちの所与の1つが、複数のオペレーションフィールドに加えて、従属フィールドを含む、少なくとも1つの付加フィールドを含むことが可能である。従属フィールドは、複数のオペレーションフィールドにおい 50

て指定された複合オペレーションを順次実行するか、並列実行するかを指定する単一ビットのフィールドを含むことが可能である。

【0015】

例示的实施形態では、複合命令形式内の命令のうちの所与の1つが、3つの21ビットオペレーションフィールドと1ビット従属フィールドとを有する64ビット命令を含むが、他の形式も使用可能である。

【0016】

別の例として、複合命令形式内の命令のうちの所与の1つが、その命令の複数のオペレーションフィールドによって指定される複合オペレーションを含むことが可能である。

【0017】

複合命令形式内の命令の所与の1つの、1つまたは複数のオペレーションフィールドを、それによって指定可能な特定のオペレーションに関して限定することが可能である。たとえば、所与の命令の1つまたは複数のオペレーションフィールドを、単一命令複数データオペレーションに限定することが可能である。

【0018】

例示的实施形態における複合命令形式は、前述の従来のVLW方式およびEPC方式にからむ諸問題を有利に克服する。

【発明を実施するための最良の形態】

【0019】

本発明を、いくつかの例示的プロセッサ構成の内容で説明する。しかしながら、本発明は、図示された特定の仕組みを必須とするものではなく、他のタイプのデジタルデータプロセッサおよび関連処理回路を用いて実装することも可能であることを理解されたい。本発明は、一般に、小さなコードサイズと高パフォーマンスの処理とによる恩恵が得られるあらゆるプロセッサでの実装に好適である。そのようなプロセッサとして、たとえば、プログラムデジタル信号プロセッサ、マルチメディアプロセッサおよびグラフィックスプロセッサなどがある。

【0020】

本明細書に記載したようなプロセッサは、1つまたは複数の集積回路の形での実装が可能である。

【0021】

本発明の例示的实施形態では、最大3つの強力な複合オペレーションをわずか64ビットで指定することを可能にする複合命令形式を提供する。複合命令形式は、前述のデジタル信号プロセッサ、マルチメディアプロセッサおよびグラフィックスプロセッサのような、低電力、高パフォーマンスの埋め込みプロセッサに好適である。

【0022】

図1は、複合命令形式を有する命令が処理されるプロセッサ100を示している。プロセッサ100は、プログラムメモリ102と、データメモリ104と、命令デコーダ106と、レジスタファイル108と、複数の実行ユニット110とを含む。実行ユニット110は、データメモリ104およびレジスタファイル108と、それぞれのバスライン112および114を介して通信する。

【0023】

プログラムメモリ102およびデータメモリ104は、図では別々の要素として示されているが、1つのメモリまたは他のメモリ構成の、別々の部分を含むことが可能である。また、代替実施形態では、メモリ102、104の一方または両方の少なくとも一部を、プロセッサ100の外におくことも可能である。

【0024】

一般に、プログラムメモリ102は、プロセッサ100によって実行される命令を格納し、データメモリ104は、その命令によって操作されるデータを格納する。命令は、命令デコーダ106によって、プログラムメモリ102からフェッチされ、命令デコーダ106は、レジスタファイル108および実行ユニット110と関係して、命令の実行を制

10

20

30

40

50

御するよう動作する。

【0025】

プロセッサ100は、埋め込みプロセッサを含むことが可能であり、たとえば、携帯電話、携帯情報端末、または他の可搬型コンピューティング機器に関連する特定用途向け集積回路に埋め込まれたものや、機器自体に埋め込まれたものを含むことが可能である。

【0026】

プロセッサ100のマルチスレッド版の詳細な例を、図4と併せて後述する。

【0027】

図2Aは、例示的实施形態のプロセッサ100で利用される複合命令形式を示している。複合命令形式は、オペレーション1、オペレーション2、およびオペレーション3で表される3つの21ビット複合オペレーションフィールドと、任意選択の1ビット従属フィールドdとを含む。この例では、複合命令形式の64ビットに、ビット0～63の番号が付けられ、オペレーション3フィールドがビット0～20を含み、オペレーション2フィールドがビット21～41を含み、オペレーション1フィールドがビット42～62を含み、従属フィールドdがビット63を含む。

10

【0028】

従属フィールドdは、オペレーション1、オペレーション2、およびオペレーション3の各フィールドで指定された複合オペレーションを順次実行するか、並列実行するかを示す。たとえば、ある可能な単一ビットフィールド実装では、d=1の場合は、複合オペレーションは、従属を含み、順次実行されなければならない。d=0の場合は、3つの複合オペレーションのすべてを並列実行することが可能である。他の実装では、複数ビットの従属フィールドを、他のタイプの論理インジケータとともに用いることが可能である。

20

【0029】

様々な代替形式が可能である。たとえば、22ビット以上を必要とする複合オペレーションであれば、2つのオペレーションフィールドを用いることが可能である。個々の用途の必要に応じて、命令の長さ、オペレーションフィールドの長さ、フィールドロケーション、および形式の他の態様を変えることも可能である。したがって、命令は、長さが64ビットである必要はなく、それより長くても短くてもよい。さらに、オペレーションフィールドは3つより多くても少なくともよく、所与の命令における各種オペレーションフィールドは、図2Aの例ではすべてが同じ長さであったが、それぞれが異なる長さであってもよい。

30

【0030】

図2Aの複合命令形式は、非常に強力な複合命令をわずか64ビットで指定することを可能にする。これにより、コードサイズが小さくなり、プロセッサのパフォーマンスが向上する。このことは、低電力のデジタル信号処理、マルチメディア処理およびグラフィックス処理などの用途において重要である。

【0031】

複合命令形式はさらに、柔軟であって、様々な命令の指定を可能にする。しかしながら、プロセッサの設計の複雑さを減らすために、各オペレーションフィールドで許可される複合オペレーションのタイプに制限を設けることが可能である。可能な一例として、ある特定の实装では、オペレーション1をJumpまたはConstオペレーションのみに限定し、オペレーション2をIntegerまたはLoad/Storeオペレーションのみに限定し、オペレーション3をSIMDオペレーションのみに限定することが可能である。

40

【0032】

図2Bは、複合オペレーションについて可能ないくつかの形式を示している。各複合オペレーションフィールドは21ビットであるが、これらのオペレーションの形式を、オペレーションのタイプに基づいて変えることが可能である。

【0033】

これらの例の左端のフィールドは、常に5ビットであり、実行されるオペレーションの

50

タイプ（たとえば、J u m p、C o n s t、I n t e g e r、L o a d、S t o r e、c t s r、c f s r、またはS I M D）を指定するオペコードに対応する。各種オペコード名の意味を、後の表 1 に一覧表示した。

【0034】

右端のフィールド（ファンクション）は、これらの例では常に4ビットである。オペコードフィールドおよびファンクションフィールドは一緒に、複合オペレーションによって実行される特定のオペレーションを指定する。オペレーションをデコードして適切な実行ユニットに送ることを容易にするために、オペコードフィールドおよびファンクションフィールドは、サイズおよびロケーションが固定されている。残りのオペレーションフィールドは、オペコードおよびファンクションに応じて変わる。オペレーションフィールドの意味を、後の表 2 に一覧表示した。

10

【0035】

表 1 および表 2 で説明した複合オペレーションの具体的詳細は例に過ぎず、本発明の範囲をいかようにも限定するものではないことを理解されたい。

【0036】

図 3 は、3つの複合オペレーションを有する単一64ビット複合命令のアセンブリ言語コードの例を示している。オペレーション間の記号||は、3つの複合オペレーションがすべて並列に実行されることを示している。この命令は、ベクトル平方和計算の内側ループを実施する。第1の複合オペレーションl v uは、ベクトルレジスタv r 0に4個の16ビットベクトル要素をロードし、アドレスポインタr 3を次の要素に更新する。v m u l r e d s オペレーションは、4個の固定小数点（端数）16ビットベクトル要素をv r 0から読み込み、各要素を自乗し、各積を飽和させ、4個の飽和積をすべて加算し、さらに累算レジスタa c 0を加算し、加算するたびに飽和させ、結果をa c 0に再格納する。l o o p オペレーションは、ループカウントレジスタl c 0をデクリメントし、それをゼロと比較し、結果がゼロでない場合にアドレスL 0に分岐する。

20

【表 1】

オペコード名	オペコードの意味
Jump	オペレーションタイプはジャンプである。Jumpオペレーションは、無条件ジャンプ、条件付きジャンプ、サブルーチンコール、ループ、および割込みからの戻りを含む。
Const	オペレーションタイプは定数(拡張即値)である。このオペレーションタイプは、2つの21ビット複合オペレーションフィールドを一緒に用いて、長い即値で命令を指定することを可能にする。Constオペコードは、ノーオペレーション(NOP)を指定する場合にも用いる。
Integer	オペレーションタイプは整数である。 #8 Integerオペレーションは、整数算術演算、論理演算、およびデータ操作演算を含む。
Load	オペレーションタイプはロードである。Loadオペレーションは、データをメモリからプロセッサにロードする。
Store	オペレーションタイプは格納である。Storeオペレーションは、データをプロセッサからメモリに格納する。
Ctsr	オペレーションタイプは、特殊レジスタへのコピーである。Ctsrオペレーションは、データを整数レジスタから特殊レジスタにコピーすることを可能にする。
Cfsr	オペレーションタイプは、特殊レジスタからのコピーである。Cfsrオペレーションは、データを特殊レジスタから整数レジスタにコピーすることを可能にする。
SIMD	オペレーションタイプは単一命令複数データ(SIMD)である。SIMDオペレーションは、複数ベクトル要素についての算術演算、論理演算、およびデータ操作演算を並列実行する。ベクトル要素は、8、16、または40ビット固定少数点数、または32ビット浮動小数点数であってよい。実際には、様々なオペコードを用いて、様々なタイプのベクトル要素を指定することが可能である。

10

20

30

表1:オペコード名の意味

【表 2】

オペレーションフィールド名	オペレーションフィールドの意味
ファンクション	所与のオペコードの複合オペレーションによって実行されるファンクション
Imm12	12ビット即値(定数)オペランド
Imm8	8ビット即値(定数)オペランド
Imm4	4ビット即値(定数)オペランド
Cfa	3ビット条件フラグソースレジスタ指定子
Cft	3ビット条件フラグターゲットレジスタ指定子
C	1ビット補完条件指定子
ra, rb	4ビット汎用ソースレジスタ指定子
Rt	4ビット汎用ターゲットレジスタ指定子
srt1, srt2	4ビット専用レジスタ指定子
va, vb, vs	3ビットベクトルソースレジスタ指定子
Vt	3ビットベクトルターゲットレジスタ指定子
wa, wb	3ビット幅ソースレジスタ指定子
Wt	3ビット幅ターゲットレジスタ指定子
/	ビットを指定しない

10

表2:オペレーションフィールド名の意味

20

【0037】

従来の命令形式およびオペレーション形式と比較して、例示的实施形態の形式はいくつかの優位点を有する。

【0038】

第1に、それらは、最大3つの複合オペレーションからなる強力な複合命令をわずか64ビットで指定することを可能にする。このことは、プロセッサのコードサイズ、電力消費、およびパフォーマンスの改善に役立つ。

【0039】

第2に、複合命令形式は、フレキシブルであって、様々な複合オペレーションを指定することが可能である。

30

【0040】

第3に、複合命令の順次実行または並列実行を可能にすることにより、命令形式は、サイズおよびパフォーマンスの両面でコードを最適化することが可能である。

【0041】

第4に、プロセッサの設計の複雑さを減らすために、各オペレーションフィールドで許可されるオペレーションのタイプに制限を設けることが可能である。前述の例では、ある特定の実装において、オペレーション1をJumpまたはConstオペレーションのみに限定し、オペレーション2をIntegerまたはLoad/Storeオペレーションのみに限定し、オペレーション3をSIMDオペレーションのみに限定することが可能である。ほかにも様々なタイプの制限を適用できる。

40

【0042】

第5に、たとえば、22ビット以上を必要とする複合オペレーションであれば、2つのオペレーションフィールドを用いることが可能であり、その場合、第2のオペレーションフィールドは拡張即値を与える。

【0043】

本発明は、マルチスレッドプロセッサの形で実施可能である。本発明を実施できるマルチスレッドプロセッサの具体例が、これにより本発明の譲受人に譲渡され、参照によって本明細書に組み込まれている、2002年10月11日に出願された米国特許出願第10/269,372号(発明の名称「Multithreaded Processor

50

With Efficient Processing For Convergence Device Applications」)に記載されている。このマルチスレッドプロセッサは、RISC(登録商標)ベースの制御コード、DSPコード、Java(登録商標)コード、およびネットワーク処理コードを実行するように構成可能である。これは、単一命令複数データ(SIMD)ベクトル処理ユニットと、リダクションユニットと、長命令語(LIW)複合命令実行とを含む。この例示的マルチスレッドプロセッサとともに用いるのに好適なスレディング方式およびパイプライン方式の例示的が、これにより本発明の譲受人に譲渡され、参照によって本明細書に組み込まれている、2002年10月11日に出願された米国特許出願第10/269,245号(発明の名称「Method and Apparatus for Token Triggered Multithreading」)(現在は米国特許第6,842,848号として公開されている)に記載されている。

【0044】

もちろん、本発明は、他のマルチスレッドプロセッサや、より一般的な他のタイプのデジタルデータプロセッサの形でも実施可能である。

【0045】

本発明の複合命令形式および複合オペレーション形式を利用できる別の例示的マルチスレッドプロセッサが、これにより本発明の譲受人に譲渡され、参照によって本明細書に組み込まれている、2004年5月7日に出願された米国特許出願第10/841,261号(発明の名称「Processor Reduction T3nit for Accumulation of Multiple Operands With or Without Saturation」)に記載されている。

【0046】

図4は、リダクションユニット402および累算レジスタファイル406を組み込んだマルチスレッドプロセッサ400の例を示している。プロセッサ400は、米国特許出願第10/269,372号に記載されているものとおおむね類似しているが、前に引用した米国特許出願第10/841,261号に記載されているように構成されたリダクションユニット402および累算レジスタファイル406を組み込んでいる。

【0047】

マルチスレッドプロセッサ400は、ほかにも要素を含むが特に、マルチスレッドキャッシュメモリ410、マルチスレッドデータメモリ412、命令バッファ414、命令デコード416、レジスタファイル418、およびメモリ管理ユニット(MMU)420を含む。マルチスレッドキャッシュメモリ410は、複数のスレッドキャッシュ410-1、410-2、410-Nを含む。Nは、一般に、マルチスレッドプロセッサ400によってサポートされるスレッドの数を表し、この特定の例では、N=4によって与えられる。もちろん、当業者であれば自明であるように、Nの他の値も使用可能である。

【0048】

したがって、各スレッドは、それぞれに関連付けられた、対応するスレッドキャッシュをマルチスレッドキャッシュ410に有する。同様に、データメモリ412は、図示されているようにデータメモリ412-1、412-2、412-Nで表されるN個の別個のデータメモリインスタンスを含む。

【0049】

マルチスレッドキャッシュ410は、プロセッサ400の外部にあるメインメモリ(図示せず)と、MMU 420を介してインターフェースする。MMU 420は、キャッシュ410と同様に、プロセッサによってサポートされるN個のスレッドのそれぞれに対応する個別インスタンスを含む。MMU 420は、メインメモリから適切な命令がマルチスレッドキャッシュ410にロードされることを保証する。

【0050】

データメモリ412はまた、前述の外部メインメモリと直接接続されるのが一般的であるが、この接続も明示的には図示していない。データメモリ412には、データバッファ

430も関連付けられる。

【0051】

一般に、マルチスレッドキャッシュ410は、マルチスレッドプロセッサ400によって実行される命令を格納し、データメモリ412は、その命令によって操作されるデータを格納する。命令デコーダ416によって、命令がマルチスレッドキャッシュ410からフェッチされ、デコードされる。命令デコーダ416は、命令タイプに応じて、与えられた命令または関連情報をプロセッサ内の他の様々なユニットに転送することが可能である（これについては後述する）。

【0052】

プロセッサ400は、分岐命令キュー（IQ）440およびプログラムカウンタ（PC）レジスタ442を含む。プログラムカウンタレジスタ442は、スレッドごとに1つのインスタンスを含む。分岐命令キュー440は、命令デコーダ416から命令を受け取り、プログラムカウンタレジスタ442とともに、例示的に桁上げ伝播加算器（CPA）を含む加算器ブロック444への入力を与える。要素440、442、および444は、ひとまとまりでプロセッサ400の分岐ユニットを構成する。図示されていないが、プロセッサ400に補助レジスタを含めることも可能である。

【0053】

レジスタファイル418は、整数結果の一時記憶を与える。命令デコーダ416から整数命令キュー（IQ）450に転送された命令がデコードされ、スレッドごとの個別のインスタンスを含むように図示されたオフセットユニット452の使用を通して、適正なハードウェアスレッドユニットが選択される。オフセットユニット452は、独立スレッドデータが破損しないように、レジスタファイルアドレスに明示的なビットを挿入する。この明示的なビットは、所与のスレッドについて、たとえば、対応するスレッド識別子を含むことが可能である。

【0054】

図に示すように、レジスタファイル418は、入力レジスタRAおよびRBに結合され、それらの出力は、加算器を含むことが可能な算術論理ユニット（ALU）ブロック454に結合される。入力レジスタRAおよびRBは、命令パイプライン方式を実施するために用いられる。ALUブロック454の出力は、データメモリ412に結合される。

【0055】

レジスタファイル418、整数命令キュー450、オフセットユニット452、要素RAおよびRB、およびALUブロック454は、ひとまとまりで例示的整数ユニットを構成する。

【0056】

プロセッサ400で実行可能な命令タイプとして、Branch、Load、Store、Integer、およびVector/SIMDの各命令タイプがある。所与の命令がBranch、Load、Store、またはIntegerオペレーションを指定しない場合、それはVector/SIMD命令である。他の命令タイプも使用可能であるか、または代替として使用可能である。IntegerおよびVector/SIMD命令タイプは、それぞれ、本明細書において整数命令タイプおよびベクトル命令タイプと一般的に呼ばれているものの例である。

【0057】

ベクトルIQ 456が、命令デコーダ416から転送されたVector/SIMD命令を受け取る。スレッドごとの個別インスタンスを含むものとして図示されている、対応するオフセットユニット458は、独立スレッドデータが破損しないように、適切なビットを挿入する役目を果たす。

【0058】

プロセッサ400のベクトルユニット460が、N個の別個の並列部分に分離され、同様に分割されたベクトルファイル462を含む。ベクトルファイル462は、VR00からVR31で表される32個のレジスタを含む。ベクトルファイル462は、Vecto

r / SIMD命令タイプで動作すること以外は、レジスタファイル418とほぼ同じ目的のために動作する。

【0059】

ベクトルユニット460は、例示的には、ベクトル命令キュー456と、オフセットユニット458と、ベクトルファイル462と、それらに関連付けられた算術要素および記憶要素とを含む。

【0060】

ベクトルユニット460の動作は次のとおりである。小数または整数のいずれかのデータ型としてエンコードされたVector / SIMDブロックがベクトルファイル462から読み出され、アーキテクチャの管理下にあるレジスタVRA、VRB、VRCに格納される。フローは、そこから、Vector / SIMDデータの並列同時乗算を実行する乗算器(MPY)に進む。桁上げスキップ加算器(CSA)およびCPAを含む加算ユニットが、追加算術演算を実行することが可能である。たとえば、1つまたは複数のCSAを用いてベクトルレジスタファイルからの累算値を加算したり、1つまたは複数のCPAを用いて最終加算を実行して乗算演算を完成させたりすることが可能である。これらは当業者であれば自明であろう。計算結果は、結果レジスタ464に格納され、リダクションユニット402への入力オペランドとして与えられる。リダクションユニット402は、生成された加算結果が、各演算が直列実行されたとしたら得られたであろう値と同じになるように、入力オペランドを減らす。減らされた加算結果は、今後の処理のために、累算レジスタファイル406に格納される。

【0061】

ベクトル内積を実行する場合は、MPYブロックが4つの乗算を並列実行し、CSAおよびCPAユニットが、追加演算を実行するか、単に乗算結果を記憶のために結果レジスタ464に送り、リダクションユニット402が、累算レジスタファイル406に格納されている累算値に合わせて乗算結果を減らす。リダクションユニットで生成された結果は、次の反復に用いるために、既に説明した形で累算レジスタファイルに格納される。

【0062】

この例の累算レジスタ406は、ACC00からACC15で表される全部で16個の累算レジスタを含む。

【0063】

マルチスレッドプロセッサ400は、これにより本発明の譲受人に譲渡され、参照によって本明細書に組み込まれている、2002年10月11日に出願された米国特許出願第10/269,373号(発明の名称「Method and Apparatus for Register File Port Reduction in a Multithreaded Processor」)に記載されているような、レジスタファイルへのスレッドベースのアクセスの手法を利用することが可能である。

【0064】

マルチスレッドプロセッサ400は、前に引用した米国特許出願第10/841,261号に記載されているように、ベクトル内積や他のタイプの並列ベクトル乗算演算や減らす演算の実行に好適である。

【0065】

図1および4に示した特定のプロセッサ構成は、説明のための例としてのみ提示したのであって、明示的に示していない追加要素や代替要素を含めることが可能であることに再度注意されたい。このことは、当業者であれば自明であろう。

【0066】

また、本発明は、図2A、2B、および3に示した特定の複合命令形式および複合オペレーション形式が必須でないことも強調しておきたい。本発明は、他の命令形式およびオペレーション形式を有する、他の様々なタイプの命令およびオペレーションを用いて実施可能である。

【0067】

10

20

30

40

50

したがって、本発明の先述の実施形態は例示に過ぎず、当業者であれば、添付の特許請求項の範囲内の様々な代替実施形態が自明であろう。

【図面の簡単な説明】

【0068】

【図1】本発明が実装される例示的プロセッサの簡略化されたブロック図である。

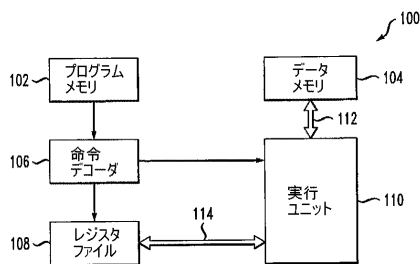
【図2A】本発明の例示的实施形態における64ビット複合命令用複合命令形式の例を示す図である。

【図2B】本発明の例示的实施形態における、図2Aの命令形式の21ビット複合オペレーション用オペレーション形式の、いくつかの異なる例を示す図である。

【図3】図2Aに示した形式を有する単一64ビット複合命令のアセンブリ言語コードの例を示す図である。

【図4】図2Aおよび2Bの形式を用いて構成された命令を処理するために用いることが可能な例示的マルチスレッドプロセッサの詳細図である。

【図1】



【図2A】

d	オペレーション1	オペレーション2	オペレーション3
63:62	42:41	21:20	0

【図2B】

20	Jump	16:15	c	14	cfa	12:11	Imm8		4:3	ファンクション	0
20	Jump	16:15	Imm12					4:3	ファンクション	0	
20	Const	16:15	Imm12					4:3	ファンクション	0	
20	Integer	16:15	rt	12:11	ra	8:7	rb	4:3	ファンクション	0	
20	Integer	16:15	rt	12:11	ra	8:7	Imm4	4:3	ファンクション	0	
20	Integer	16:15	c	14	cft	12:11	ra	8:7	rb	4:3	
20	Load	16:15	rt	12:11	ra	8:7	rb	4:3	ファンクション	0	
20	Load	16:15	rt	12:11	ra	8:7	Imm4	4:3	ファンクション	0	
20	Load	16:15	vt	13:12	/	ra	8:7	rb	4:3	ファンクション	0
20	Load	16:15	vt	13:12	/	ra	8:7	Imm4	4:3	ファンクション	0
20	Store	16:15	rs	12:11	ra	8:7	Imm4	4:3	ファンクション	0	
20	Store	16:15	vs	13:12	/	ra	8:7	Imm4	4:3	ファンクション	0
20	ctsr	16:15	rt	12:11	srt1	8:7	srt2	4:3	ファンクション	0	
20	cfsr	16:15	rs	12:11	srt1	8:7	srt2	4:3	ファンクション	0	
20	SIMD	16:15	wt	13:12	va	10:9	vb	7:6	wa	4:3	
20	SIMD	16:15	wt	13:12	wa	10:9	wb	7:6	/	4:3	
20	SIMD	16:15	vt	13:12	wa	10:9	7:6	/	4:3	ファンクション	0

【国際調査報告】

60700480047



INTERNATIONAL SEARCH REPORT

International application No.

PCT/US05/11613

A. CLASSIFICATION OF SUBJECT MATTER		
IPC: G06F 9/30(2006.01)		
USPC: 712/24		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols)		
U.S. : 712/24		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
APS search terms instruction bundle group format template bit		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 2002/0120830 A1 (Matsuo) 29 August 2002, paragraphs 0063, 0076-0078, 0081, 0106	1-12
Y	,0146, 0110-0117, 0131, 0095	13-20
Y	CHIPSOF, TurboTax, photocopy of 3.5 inch diskettes, 1994.	13-20
☐ Further documents are listed in the continuation of Box C. ☐ See patent family annex.		
Special categories of cited documents:		
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone	
"E" earlier application or patent published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art	
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another claim or other special reason (as specified)	"Z" document number of the same patent family	
"O" document referring to an oral disclosure, use, exhibition or other means		
"P" document published prior to the international filing date but later than the priority date claimed		
Date of the actual completion of the international search	Date of mailing of the international search report	
02 March 2007 (02.03.2007)	14 MAY 2007	
Name and mailing address of the ISA/US	Authorized officer	
Mail Stop PCT, Attn: ISA/US Commissioner for Patents P.O. Box 1450 Alexandria, Virginia 22313-1450 Facsimile No. (571) 273-3201	Richard Ellis DEBORAH A. THOMAS PARALEGAL SPECIALIST Telephone No. 703-305-9000 <i>Det</i>	

Form PCT/ISA/210 (second sheet) (April 2005)

20.7.2007

フロントページの続き

(81)指定国 AP(BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW

(74)代理人 100101498

弁理士 越智 隆夫

(74)代理人 100104352

弁理士 朝日 伸光

(74)代理人 100128657

弁理士 三山 勝巳

(72)発明者 グロスナー, シー. ジョン

アメリカ合衆国 1 0 5 1 2 ニューヨーク, カーメル, ベネディクト プレイス 2 6

(72)発明者 ホケネク, エルデム

アメリカ合衆国 1 0 5 9 8 ニューヨーク, ヨークタウン ハイツ, フェアビュー コート 3
4 2 6

(72)発明者 モウジル, マヤン

アメリカ合衆国 1 0 6 0 7 ニューヨーク, ホワイト プレインズ, ジュニパー ヒル ロード
1 4 3

(72)発明者 シュルテ, マイケル, ジェー.

アメリカ合衆国 5 3 7 1 7 ウィスコンシン, マディソン, ノースウェストフィールド ロード
1 1 3 4

Fターム(参考) 5B013 DD01 DD04

5B033 AA06 AA14 BA01 BB01 BE05