(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl. ^{6}
H01L 21/76

(45) 공고일자 2001년07월12일
(11) 등록번호 10 - 0295782
(24) 등록일자 2001년05월03일

(21) 출원번호 10 - 1999 - 0026765
(22) 출원일자 1999년07월03일

(65) 공개번호 특2001 - 0008775
(43) 공개일자 2001년02월05일

(73) 특허권자 삼성전자 주식회사
윤종용
경기 수원시 팔달구 매탄3동 416

(72) 발명자 이승재
경기도수원시권선구권선동1240현대아파트208동1501호
이수근
경기도화성군태안읍병점리주공아파트113동802호
임훈
서울특별시서대문구신촌동2 - 199번지201호

(74) 대리인 이건주

심사관 : 이금욱

(54) 얇은 트렌치 소자분리 방법

요약

반도체 장치의 얕은 트렌치 소자분리의 형성방법이 개시되어 있다. 반도체 기판의 상부에 액티브 마스크층을 형성한다. 액티브 마스크층 및 기판을 식각하여 다수의 트렌치들을 형성한다. 액티브 마스크층의 상부 및 트렌치들의 내부에 트렌치의 깊이보다 크고 트렌치의 깊이에 액티브 마스크층의 두께를 더한 값보다 작은 두께로 고밀도 플라즈마 산화막층을 증착한다. 고밀도 플라즈마 산화막층의 상부에 테트라에틸오소실리케이트(TEOS)를 소오스로 하여 플라즈마 방식으로 캡핑 산화막층을 증착한다. 액티브 마스크층의 표면이 노출될 때까지 캡핑 산화막층 및 고밀도 플라즈마 산화막층을 연마한다. 트랜지스터의 Idoff 특성을 개선하고, 보이드없이 트렌치를 충전할 수 있다.

대표도

도 9

색인어

얕은 트렌치 소자분리, 고밀도 플라즈마 산화막, 갭 충전, PE - TEOS막, 어스펙트비

명세서

도면의 간단한 설명

도 1 내지 도 3은 종래 방법에 의한 얕은 트렌치 소자분리의 형성 방법을 설명하기 위한 단면도들이다.

도 4 내지 도 9는 본 발명의 제1 실시예에 의한 얕은 트렌치 소자분리의 형성 방법을 설명하기 위한 단면도들이다.

도 10은 캡핑 산화막층을 구성하는 물질에 따른 트랜지스터의 스탠바이시 누설전류 특성을 비교 도시한 그래프이다.

도 11 내지 도 13은 본 발명의 제2 실시예에 의한 얕은 트렌치 소자분리의 형성 방법을 설명하기 위한 단면도들이다.

< 도면의 주요 부분에 대한 부호의 설명

100, 200 : 반도체 기판 102, 202 : 패드 산화막층

104, 204 : 실리콘 질화막층 106 : 고온 산화막층

108, 208 : 트렌치 110, 210 : 고밀도 플라즈마 산화막층

112, 214 : 캡핑 산화막층 212 : 오존-TEOS USG층

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 장치의 제조 방법에 관한 것으로, 보다 상세하게는 트랜지스터의 누설전류 특성을 개선하고 양호한

반도체 회로에서는 반도체 기판의 상부에 형성된 트랜지스터, 다이오드 및 저항 등의 여러가지 소자들을 전기적으로 분리하는 것이 필요하다. 소자분리의 형성공정은 모든 반도체 제조 공정 단계에 있어서 초기 단계의 공정으로서, 액티브 영역의 사이즈 및 후속 단계의 공정 마진을 좌우하게 된다.

이러한 소자분리를 형성하기 위한 방법으로 실리콘 부분 산화법(LOCal Oxidation of Silicon; LOCOS)이 가장 많이 사용되고 있다.

LOCOS 소자분리는 실리콘 기판 상에 패드 산화막 및 질화막을 차례로 형성하는 단계, 질화막을 패터닝하는 단계, 및 실리콘 기판을 선택적으로 산화시켜 필드 산화막을 형성하는 단계로 이루어진다. 그러나, LOCOS 소자분리에 의하면, 실리콘 기판의 선택적 산화시 마스크로 사용되는 질화막 하부에서 패드 산화막의 측면으로 산소가 침투하면서 필드 산화막의 끝부분에 버즈 비크(bird's beak)가 발생하게 된다. 이러한 버즈 비크에 의해 필드 산화막이 버즈 비크의 길이만큼 액티브 영역으로 확장되기 때문에, 채널 길이가 짧아져서 문턱전압(threshold voltage)이 증가하는 소위 '협채널 효과(narrow channel effect)'가 유발되어 트랜지스터의 전기적 특성을 악화시킨다. 특히, LOCOS 소자분리는 채널 길이가 0.3㎛ 이하로 감소됨에 따라 액티브 영역 양측의 필드 산화막이 붙어버리는 펀치쓰루우(punchthrough)가 발생하여 액티브 영역이 정확하게 확보되지 않는 등 그 한계를 나타내고 있다.

그러므로, 0.25㎛ 이하의 디자인-룰로 제조되어지는 반도체 장치에서는 트렌치 소자분리 방법이 거론되어 왔다. 얕은 트렌치 소자분리(STI) 공정은 실리콘 기판을 소정 깊이로 식각하여 트렌치를 형성하는 단계, 트렌치 및 기판의 상부에 절연막을 증착하는 단계, 및 절연막을 에치백(etch back) 또는 화학 물리적 연마(chemical mechanical polishing; CMP) 방법으로 식각하여 트렌치의 내부를 절연막으로 충전(filling)하는 단계로 이루어진다.

도 1 내지 도 3은 STI 구조를 갖는 반도체 장치의 제조 방법을 설명하기 위한 단면도들이다.

도 1을 참조하면, 반도체 기판(10)의 상부에 패드 산화막층(11), 실리콘 질화막층(12) 및 고온 산화막층(도시하지 않음)을 순차적으로 형성한 후, 사진식각 공정을 통해 트렌치가 형성되어질 필드 영역의 고온 산화막층, 실리콘 질화막층(12) 및 패드 산화막층(11)을 식각하여 액티브 영역의 상부에 고온 산화막층, 실리콘 질화막층(12) 및 패드 산화막층(11)으로 이루어진 액티브 마스크층을 형성한다.

이어서, 액티브 마스크층을 식각 마스크로 사용하여 기판(10)을 소정 깊이로 식각함으로써 트렌치(14)를 형성한다. 이와 같이 트렌치(14)를 식각하는 동안 액티브 마스크층의 고온 산화막층이 함께 식각된다.

도 2를 참조하면, 실리콘 질화막층(12)의 상부 및 트렌치(14)의 내부에 트렌치(14)를 충전할 수 있을 정도의 두께로 오존-TEOS USG층(16)을 증착한다.

도 3을 참조하면, 오존-TEOS USG층(16)의 상부에 플라즈마-증진 화학 기상 증착(plasma-enhanced chemical vapor deposition; PE-CVD) 방법에 의해 TEOS막을 증착하여 캡핑 산화막층(20)을 형성한다. 캡핑 산화막층(20)은 트렌치(14)를 충전하고 있는 산화막의 계면 응력을 완화시키고 산화막을 단단히 덮어주기 위해 형성한다.

이어서, 도시하지는 않았으나, 캡핑 산화막층(20) 및 오존-TEOS USG층(16)의 일부분을 에치백하여 기판 상의 수직 단차를 감소시킨 후, 화학 물리적 연마 방법에 의해 캡핑 산화막층(20) 및 오존-TEOS USG층(16)을 실리콘 질화막층(12)의 표면이 노출될 때까지 연마한다. 그 결과, 평탄화된 오존-TEOS USG층(16)으로 충전되어진 STI 영역이 형성된다.

상술한 종래 방법에 의하면, 트렌치의 어스펙트비(aspect ratio)가 증가함에 따라 오존-TEOS USG막이 트렌치를 완전히 충전하지 못하게 되어 트렌치의 내부에 보이드(void)가 형성되는 문제가 발생한다. 또한, 오존-TEOS USG막은 열적 성장된 산화막(thermally grown oxide)에 비해 비교적 열화된 특성을 갖는다는 단점이 있다.

발명이 이루고자 하는 기술적 과제

따라서, 본 발명의 일 목적은 트랜지스터의 누설전류 특성을 개선할 수 있는 반도체 장치의 얕은 트렌치 소자분리 형성방법을 제공하는데 있다.

본 발명의 다른 목적은 트랜지스터의 누설전류 특성을 개선하면서 트렌치의 어스펙트비를 감소시켜 양호한 갭 충전을 구현할 수 있는 반도체 장치의 얕은 트렌치 소자분리 형성방법을 제공하는데 있다.

발명의 구성 및 작용

상기 일 목적을 달성하기 위하여 본 발명은, 반도체 기판의 상부에 액티브 마스크층을 형성하는 단계; 상기 액티브 마스크층 및 상기 반도체 기판을 식각하여 다수의 트렌치들을 형성하는 단계; 상기 액티브 마스크층의 상부 및 상기 트렌치들의 내부에, 상기 트렌치의 깊이보다 크고 상기 트렌치의 깊이에 상기 액티브 마스크층의 두께를 더한 값보다 작은 두께로 고밀도 플라즈마 산화막층을 증착하는 단계; 상기 고밀도 플라즈마 산화막층의 상부에 테트라에틸오소실리케이트(TEOS)를 소오스로 하여 플라즈마 방식으로 캡핑 산화막층을 증착하는 단계; 그리고 상기 액티브 마스크층의 표면이 노출될 때까지 상기 캡핑 산화막층 및 상기 고밀도 플라즈마 산화막층을 연마하는 단계를 구비하는 것을 특징으로 하는 반도체 장치의 얕은 트렌치 소자분리 형성방법을 제공한다.

바람직하게는, 반도체 기판의 상부에 액티브 마스크층을 형성하는 단계는, 반도체 기판의 상부에 패드 산화막층을 형성하는 단계; 패드 산화막층의 상부에 실리콘 질화막층을 증착하는 단계; 그리고 실리콘 질화막층의 상부에 산화막층을 증착하는 단계를 포함한다.

바람직하게는, 캡핑 산화막층은 1000   5000Å의 두께로 증착한다.

또한, 상기 일 목적을 달성하기 위하여 본 발명은, 반도체 기판의 상부에 액티브 마스크층을 형성하는 단계; 상기 액티브 마스크층 및 상기 반도체 기판을 식각하여 상기 반도체 기판의 두 개의 트렌치들 사이에는 적어도 하나의 넓은 제1 액티브 마스크 영역이 있고 다른 두 개의 트렌치들 사이에는 적어도 하나의 좁은 제2 액티브 마스크 영역이 있도록 다수의 트렌치들을 형성하는 단계; 상기 액티브 마스크층의 상부 및 상기 트렌치들의 내부에, 상기 트렌치들을 충전하면서 상기 넓은 제1 액티브 마스크 영역의 상부에서는 두껍게 증착되고 상기 좁은 제2 액티브 마스크 영역의 상부에서는 얇게 증착되는 고밀도 플라즈마 산화막층(high density plasma oxide layer)을 증착하는 단계; 상기 고밀도 플라즈마 산화막층의 상부에 테트라에틸오소실리케이트(TEOS)를 소오스로 하여 플라즈마 방식으로 캡핑 산화막층을 증착하는 단계; 상기 넓은 제1 액티브 마스크 영역의 상기 캡핑 산화막층 및 상기 고밀도 플라즈마 산화막층의 일부분을 에치백하는 단계; 및 상기 액티브 마스크층의 표면이 노출될 때까지 상기 캡핑 산화막층 및 상기 고밀도 플라즈마 산화막층을 연마하는 단계를 구비하는 것을 특징으로 하는 반도체 장치의 얕은 트렌치 소자분리 형성방법을 제공한다.

바람직하게는, 넓은 제1 액티브 마스크 영역의 캡핑 산화막층 및 고밀도 플라즈마 산화막층의 일부분을 식각하는 단계는 넓은 제1 액티브 마스크 영역을 오픈시키기 위한 사진 공정을 포함한다.

바람직하게는, 고밀도 플라즈마 산화막층은 트렌치의 깊이보다 크고 트렌치의 깊이에 액티브 마스크층의 두께를 더한 값보다 작은 두께로 증착한다.

상기 다른 목적을 달성하기 위하여 본 발명은, 반도체 기판의 상부에 액티브 마스크층을 형성하는 단계; 상기 액티브 마스크층 및 상기 반도체 기판을 식각하여 다수의 트렌치들을 형성하는 단계; 상기 액티브 마스크층의 상부 및 상기 트렌치들의 내부에 상기 트렌치 깊이의 일부분만 충전하도록 고밀도 플라즈마 산화막층을 증착하여 상기 트렌치의 어스펙트비를 감소시키는 단계; 상기 고밀도 플라즈마 산화막층의 상부에 상기 트렌치들을 충전하도록 오존-TEOS USG층을 증착하는 단계; 상기 오존-TEOS USG층의 상부에 테트라에틸오소실리케이트(TEOS)를 소오스로 하여 플라즈마 방식으로 캡핑 산화막층을 증착하는 단계; 그리고 상기 액티브 마스크층의 표면이 노출될 때까지 상기 캡핑 산화막층, 상기 오존-TEOS USG층 및 상기 고밀도 플라즈마 산화막층을 연마하는 단계를 구비하는 것을 특징으로 하는 반도체 장치의 얕은 트렌치 소자분리 형성방법을 제공한다.

상술한 바와 같이 본 발명에 의하면, 고밀도 플라즈마 산화막층으로 트렌치를 충전한 후 PE-TEOS로 이루어진 캡핑 산화막층을 증착함으로써 트랜지스터의 누설전류 특성을 개선하고 리프레쉬 특성을 개선할 수 있다. 또한, 고밀도 플라즈마 산화막층을 트렌치 깊이의 일부분만 충전하도록 증착하여 트렌치의 어스펙트비를 감소시킨 후 오존-TEOS USG층으로 보이드없이 트렌치를 충전할 수 있다.

이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 상세히 설명하고자 한다.

도 4 내지 도 9는 본 발명의 제1 실시예에 의한 얕은 트렌치 소자분리의 형성 방법을 설명하기 위한 단면도들이다.

도 4는 액티브 마스크층을 형성하는 단계를 도시한다. 열산화 공정을 통해 반도체 기판(100)의 표면 상에 패드 산화막층(102)을 약 110   200Å의 두께로 형성한다. 패드 산화막층(102)의 상부에 저압 화학 기상 증착(low pressure chemical vapor deposition; LPCVD) 방법에 의해 실리콘 질화막층(104)을 약 1500   2000Å의 두께로 증착한다. 실리콘 질화막층(104)은 후속하는 화학 물리적 연마(chemical mechanical polishing; CMP) 공정시 연마 종료층으로

작용한다.

실리콘 질화막층(104)의 상부에 고온 산화막층(high temperature oxide layer)(106)을 화학 기상 증착 방법에 의해 약 1500 2000Å의 두께로 증착한다. 이어서, 사진식각 공정을 통해 트렌치가 형성되어질 필드 영역의 고온 산화막층(106), 실리콘 질화막층(104) 및 패드 산화막층(102)을 식각해냄으로써, 액티브 영역의 상부에 고온 산화막층(106), 실리콘 질화막층(104) 및 패드 산화막층(102)으로 이루어진 액티브 마스크층을 형성한다.

도 5는 트렌치들(108)을 형성하는 단계를 도시한다. 액티브 마스크층을 식각 마스크로 사용하여 반도체 기판(100)을 반응성 이온 식각(reactive ion etching) 방법에 의해 약 2500 5000Å의 깊이로 식각함으로써 다수의 트렌치들(108)을 형성한다. 이와 같이 트렌치들(108)을 식각하는 동안 액티브 마스크층의 고온 산화막층(106)이 함께 식각된다.

도 6은 고밀도 플라즈마 산화막층(110)을 형성하는 단계를 도시한다. 상술한 바와 같이 트렌치들(108)을 형성한 후, 트렌치 식각 공정 동안에 고에너지의 이온 충격으로 야기된 실리콘 손상(damage)을 제거하기 위하여 열산화 공정을 통해 트렌치(108)의 측벽에 열산화막(도시하지 않음)을 약 70Å 이상의 두께로 성장시킨다.

이어서, 후속하는 갭 충전용 산화막층의 어닐링 공정시 이 산화막층 내의 불순물들이 기판(100)으로 침투되어 누설 전류를 발생시키는 것을 방지하기 위하여 실리콘 질화막층(도시하지 않음)을 저압 화학 기상 증착 방법에 의해 약 45Å 이상의 두께로 증착한다.

이어서, 후속하는 고밀도 플라즈마 산화막층의 증착시 상기 실리콘 질화막층이 손상되는 것을 방지하기 위하여 실리콘 질화막층의 상부에 산화막층(도시하지 않음)을 화학 기상 증착 방법에 의해 약 100Å 이상의 두께로 증착한다.

이어서, 결과물의 상부에 화학 기상 증착 방법을 통해 고밀도 플라즈마 산화막층(110)을 증착한다. 바람직하게는, 고밀도 플라즈마 산화막층(110)은 트렌치(108)의 깊이보다 크고 트렌치(108)의 깊이에 액티브 마스크용 실리콘 질화막층(104)의 두께를 더한 값보다 작은 두께로 형성한다.

고밀도 플라즈마 산화막층(110)은 SiH_4, O_2 및 Ar 가스를 플라즈마 소오스로 이용하여 고밀도 플라즈마를 발생시키는 방식으로 증착된다. 고밀도 플라즈마 산화막층(110)은 종래의 갭 충전에 주로 사용되었던 오존-TEOS USG에 비해 안정된 막 특성을 가지며, SiH_4와 O_2를 이용하여 증착되므로 고에너지 이온들이 막을 더욱 치밀하게(dense) 만든다.

고밀도 플라즈마 산화막층(110)은 코너에서 SiO_2의 스퍼터링이 동시에 일어나면서 증착되므로, 45° 로 경사진 프로파일을 갖게 된다. 또한, 좁은 영역 위에서의 스퍼터 속도(sputter rate)가 넓은 영역 위에서의 스터퍼 속도보다 크기 때문에, 도시된 바와 같이 메모리 셀 영역과 같은 좁은 영역에 비해 넓은 영역 위에서의 고밀도 플라즈마 산화막층(110)의 두께가 더 커지게 된다. 따라서, 좁은 액티브 마스크 영역과 넓은 액티브 마스크 영역 간에 트렌치(108)의 깊이에 의존하는 단차가 발생하게 된다.

도 7은 캡핑 산화막층(112)을 형성하는 단계를 도시한다. 고밀도 플라즈마 산화막층(110)의 상부에 테트라에틸오소실리케이트(TEOS)($Si(OC_2H_5)_4$)를 소오스로 하여 플라즈마 방식으로 캡핑 산화막층(112)을 약 1000 5000Å의 두께로 증착한다. PE-TEOS로 이루어진 캡핑 산화막층(112)은 하지층의 계면 스트레스를 완화시키고 하지층을 단단히 덮어주는 역할을 하며, 도 10에 도시한 바와 같이 PE-SiH_4나 오존-TEOS USG와 같은 물질들로 캡핑 산화막층을 형성하는 방법들에 비해 트랜지스터의 스탠바이(stand-by)시 누설전류(이하 'Idoff'라 한다) 특성을 크게 개선시킬 수 있다. 도 10에서, □는 고밀도 플라즈마 산화막층으로 트렌치를 충전한 후 PE-TEOS 캡핑 산화막층을 증착했을 때의 Idoff 특성을 나타내고, ○는 오존-TEOS USG층으로 트렌치를 충전한 후 PE-TEOS 캡핑 산화막층을 증착한 경우를 나타내며, ●는 고밀도 플라즈마 산화막층으로 트렌치를 충전한 후 PE-SiH_4캡핑 산화막층을 증착한 경우를 나타낸다. 도 10을 참조하면, 고밀도 플라즈마 산화막층으로 트렌치를 충전한 후 PE-TEOS 캡핑 산화막층을 증착했을 때의 트랜지스터의 Idoff 특성이 약 1.0e-10[A]로 가장 우수하게 나타났으며, PE-SiH_4캡핑 산화막층을 증착한 경우에는 트랜지스터의 Idoff 특성이 약 1.0e-02[A]로 매우 불량하게 나타남을 알 수 있다. 오존-TEOS USG층으로 트렌치를 충전한 후 PE-TEOS 캡핑 산화막층을 증착한 경우는 트랜지스터의 Idoff 특성이 약 1.0e-09[A]로 양호한 편이지만, 트렌치의 어스펙트비가 증가함에 따라 오존-TEOS USG만으로는 보이드가 없는 갭 충전이 어려워진다는 문제가 있다. 따라서, 본 발명에서와 같이 고밀도 플라즈마 산화막층으로 트렌치를 충전한 후 PE-TEOS 캡핑 산화막층을 증착하는 것이 트랜지스터의 Idoff 측면에서 가장 유리하다.

특히, DRAM의 경우 메모리 셀의 커패시터에 저장된 정보 전하를 재충전하기 위한 리프레쉬(refresh) 특성을 개선시키기 위해 누설전류의 감소가 요구되므로, 얕은 트렌치 소자분리를 형성할 때 고밀도 플라즈마 산화막층으로 트렌치를 충전한 후 PE-TEOS 캡핑 산화막층을 증착함으로써 누설전류를 감소시켜 리프레쉬 특성을 개선할 수 있다.

도 8은 넓은 액티브 마스크 영역의 캡핑 산화막층(112) 및 고밀도 플라즈마 산화막층(110)의 일부분을 에치백하는 단계를 도시한다. 상술한 바와 같이 캡핑 산화막층(112)을 증착한 후, 캡핑 산화막층(112) 및 고밀도 플라즈마 산화막층(110)을 치밀화(densification)하여 그 습식 식각율을 낮추고 균일하게 식각되도록 하기 위하여 약 800 1050℃의 고온에서 불활성 가스 분위기 하에서 어닐링을 실시한다.

이어서, 사진 공정을 통해 넓은 액티브 마스크 영역을 오픈시킨 후, 노출된 캡핑 산화막층(112) 및 고밀도 플라즈마 산화막층(110)의 일부분을 타임 에칭(timed etching) 방식으로 에치백함으로써 넓은 액티브 마스크 영역과 좁은 액티브 마스크 영역 간의 단차를 감소시킨다.

도 9는 평탄화된 얕은 트렌치 소자분리 영역을 형성하는 단계를 도시한다. 액티브 마스크 영역들의 상부에 남아있는 캡핑 산화막층(112) 및 고밀도 플라즈마 산화막층(110)을 화학 물리적 연마 방법에 의해 실리콘 질화막층(104)의 표면이 노출될 때까지 연마한다. 그 결과, 평탄화된 고밀도 플라즈마 산화막층(110)으로 충전되어진 얕은 트렌치 소자분리 영역이 형성된다.

이어서, 도시하지는 않았으나, 실리콘 질화막층(104) 및 패드 산화막층(102)을 순차적으로 제거한 후, 트렌치 소자분리 영역들 사이의 기판(100) 상부에 반도체 소자들을 제조한다.

도 11 내지 도 13은 본 발명의 제2 실시예에 의한 얕은 트렌치 소자분리의 형성 방법을 설명하기 위한 단면도들이다.

도 11을 참조하면, 상술한 제1 실시예와 동일한 방법을 수행하여 패드 산화막층(202) 및 실리콘 질화막층(204)이 적층된 액티브 마스크층을 통해 반도체 기판(200) 내에 다수의 트렌치들(208)을 식각한 후, 액티브 마스크층의 상부 및 트렌치들(208)의 내부에 화학 기상 증착 방법을 통해 고밀도 플라즈마 산화막층(210)을 트렌치(208) 깊이의 일부분만 충전하도록 증착한다. 바람직하게는, 고밀도 플라즈마 산화막층(210)은 트렌치(208) 깊이의 3/4 이하의 두께로 증착한다.

고밀도 플라즈마 산화막층(210)은 증착과 스퍼터 에칭이 동시에 이루어지면서 증착되기 때문에, 고밀도 플라즈마 산화막층(210)을 트렌치(208) 깊이의 일부분만 충전하도록 증착할 경우 트렌치(208)의 측벽에서는 증착이 거의 이루어

지지 않는 반면 트렌치(208)의 바닥면에서는 증착이 잘 이루어진다. 따라서, 결과적으로 트렌치(208)의 어스펙트비가 감소되며, 넓은 액티브 마스크 영역과 좁은 액티브 마스크 영역 간의 고밀도 플라즈마 산화막층(210)의 두께 차이를 감소시킬 수 있다.

도 12를 참조하면, 결과물의 전면에 NH_3 플라즈마 처리를 실시한 후, 고밀도 플라즈마 산화막층(210)의 상부에 트렌치(208)을 완전히 충전할 수 있을 정도의 두께로 오존-TEOS USG층(212)을 증착한다. NH_3 플라즈마 처리는 오존-TEOS USG층(212)의 하지막 의존성을 제거하는 역할을 한다.

바람직하게는, 오존-TEOS USG층(212)은 트렌치(208)의 깊이에 실리콘 질화막층(204)의 두께를 더한 두께로 형성한다. 갭 충전에 사용되는 오존-TEOS USG층(212)은 트렌치의 어스펙트비가 증가함에 따라 트렌치의 센터에 보이드를 발생시키는 문제점을 갖고 있지만, 본 발명에서는 고밀도 플라즈마 산화막층(210)을 이용하여 트렌치(208)의 어스펙트비를 감소시킨 후 오존-TEOS USG층(212)으로 트렌치(208)를 충전하므로 트렌치(208)의 센터에 보이드가 발생하지 않는다.

이어서, 오존-TEOS USG층(212)의 상부에 테트라에틸오소실리케이트(TEOS)($Si(OC_2H_5)_4$)를 소오스로 하여 플라즈마 방식으로 캡핑 산화막층(214)을 약 1000 5000Å의 두께로 증착한다. PE-TEOS로 이루어진 캡핑 산화막층(214)은 오존-TEOS USG층(212)의 계면 스트레스를 완화시키는 역할을 하여 트랜지스터의 Idoff 특성을 개선시킨다.

도 13을 참조하면, 액티브 마스크 영역들의 상부에 남아있는 캡핑 산화막층(214), 오존-TEOS USG층(212) 및 고밀도 플라즈마 산화막층(210)을 화학 물리적 연마 방법에 의해 실리콘 질화막층(204)의 표면이 노출될 때까지 연마한다. 그 결과, 평탄화된 오존-TEOS USG층(212)과 고밀도 플라즈마 산화막층(210)으로 충전되어진 얕은 트렌치 소자분리 영역이 형성된다.

이어서, 도시하지는 않았으나, 실리콘 질화막층(204) 및 패드 산화막층(202)을 순차적으로 제거한 후, 트렌치 소자분리 영역들 사이의 기판(200) 상부에 반도체 소자들을 제조한다.

상술한 본 발명의 제2 실시예에 의하면, 고밀도 플라즈마 산화막층을 트렌치 깊이의 일부분만 충전하도록 증착하여 트렌치의 어스펙트비를 감소시킨 후 오존-TEOS USG층으로 보이드없이 트렌치를 완전히 충전할 수 있다. 또한, 고밀도 플라즈마 산화막층의 일부 증착에 의해 넓은 액티브 마스크 영역과 좁은 액티브 마스크 영역 간의 단차가 감소되므로, 넓은 액티브 마스크 영역의 산화막층들을 식각해내기 위한 별도의 사진 공정이 필요하지 않으므로 공정을 단순화할 수 있다.

발명의 효과

상술한 바와 같이 본 발명의 얕은 트렌치 소자분리 형성방법에 의하면, 고밀도 플라즈마 산화막층으로 트렌치를 충전한 후 PE-TEOS로 이루어진 캡핑 산화막층을 증착함으로써 트랜지스터의 Idoff 특성을 개선하고 리프레쉬 특성을 개선할 수 있다.

또한, 고밀도 플라즈마 산화막층을 트렌치 깊이의 일부분만 충전하도록 증착하여 트렌치의 어스펙트비를 감소시킬 수 있으므로, 오존-TEOS USG층으로 보이드없이 트렌치를 충전할 수 있다.

또한, 고밀도 플라즈마 산화막층의 일부 증착에 의해 넓은 액티브 마스크 영역과 좁은 액티브 마스크 영역 간의 단차가 감소되므로, 넓은 액티브 마스크 영역의 산화막층들을 식각해내기 위한 별도의 사진 공정이 필요하지 않아 공정 단순화를 도모할 수 있다.

상술한 바와 같이, 본 발명의 바람직한 실시예를 참조하여 설명하였지만 해당 기술 분야의 숙련된 당업자라면 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

(57) 청구의 범위

청구항 1.

반도체 기판의 상부에 액티브 마스크층을 형성하는 단계;

상기 액티브 마스크층 및 상기 반도체 기판을 식각하여 다수의 트렌치들을 형성하는 단계;

상기 액티브 마스크층의 상부 및 상기 트렌치들의 내부에, 상기 트렌치의 깊이보다 크고 상기 트렌치의 깊이에 상기 액티브 마스크층의 두께를 더한 값보다 작은 두께로 고밀도 플라즈마 산화막층을 증착하는 단계;

상기 고밀도 플라즈마 산화막층의 상부에 테트라에틸오소실리케이트(TEOS)를 소오스로 하여 플라즈마 방식으로 캡핑 산화막층을 증착하는 단계; 그리고

상기 액티브 마스크층의 표면이 노출될 때까지 상기 캡핑 산화막층 및 상기 고밀도 플라즈마 산화막층을 연마하는 단계를 구비하는 것을 특징으로 하는 반도체 장치의 얕은 트렌치 소자분리 형성방법.

청구항 2.

제1항에 있어서, 상기 반도체 기판의 상부에 액티브 마스크층을 형성하는 단계는,

상기 반도체 기판의 상부에 패드 산화막층을 형성하는 단계;

상기 패드 산화막층의 상부에 실리콘 질화막층을 증착하는 단계; 그리고

상기 실리콘 질화막층의 상부에 산화막층을 증착하는 단계를 포함하는 것을 특징으로 하는 반도체 장치의 얕은 트렌치 소자분리 형성방법.

청구항 3.

제1항에 있어서, 상기 캡핑 산화막층은 1000 5000Å의 두께로 증착하는 것을 특징으로 하는 반도체 장치의 얕은 트렌치 소자분리 형성방법.

청구항 4.

반도체 기판의 상부에 액티브 마스크층을 형성하는 단계;

상기 액티브 마스크층 및 상기 반도체 기판을 식각하여 상기 반도체 기판의 두 개의 트렌치들 사이에는 적어도 하나의 넓은 제1 액티브 마스크 영역이 있고 다른 두 개의 트렌치들 사이에는 적어도 하나의 좁은 제2 액티브 마스크 영역이 있도록 다수의 트렌치들을 형성하는 단계;

상기 액티브 마스크층의 상부 및 상기 트렌치들의 내부에, 상기 트렌치들을 충전하면서 상기 넓은 제1 액티브 마스크 영역의 상부에서는 두껍게 증착되고 상기 좁은 제2 액티브 마스크 영역의 상부에서는 얇게 증착되는 고밀도 플라즈마 산화막층을 증착하는 단계;

상기 고밀도 플라즈마 산화막층의 상부에 테트라에틸오소실리케이트(TEOS)를 소오스로 하여 플라즈마 방식으로 캡핑 산화막층을 증착하는 단계;

상기 넓은 제1 액티브 마스크 영역의 상기 캡핑 산화막층 및 상기 고밀도 플라즈마 산화막층의 일부분을 에치백하는 단계; 그리고

상기 액티브 마스크층의 표면이 노출될 때까지 상기 캡핑 산화막층 및 상기 고밀도 플라즈마 산화막층을 연마하는 단계를 구비하는 것을 특징으로 하는 반도체 장치의 얕은 트렌치 소자분리 형성방법.

청구항 5.

제4항에 있어서, 상기 반도체 기판의 상부에 액티브 마스크층을 형성하는 단계는,

상기 반도체 기판의 상부에 패드 산화막층을 형성하는 단계;

상기 패드 산화막층의 상부에 실리콘 질화막층을 증착하는 단계; 그리고

상기 실리콘 질화막층의 상부에 산화막층을 증착하는 단계를 포함하는 것을 특징으로 하는 반도체 장치의 얕은 트렌치 소자분리 형성방법.

청구항 6.

제4항에 있어서, 상기 고밀도 플라즈마 산화막층은 상기 트렌치의 깊이보다 크고 상기 트렌치의 깊이에 상기 액티브 마스크층의 두께를 더한 값보다 작은 두께로 증착하는 것을 특징으로 하는 반도체 장치의 얕은 트렌치 소자분리 형성방법.

청구항 7.

제4항에 있어서, 상기 넓은 제1 액티브 마스크 영역의 상기 캡핑 산화막층 및 상기 고밀도 플라즈마 산화막층의 일부분을 에치백하는 단계는 상기 넓은 제1 액티브 마스크 영역을 오픈시키기 위한 사진 공정을 포함하는 것을 특징으로 하는 반도체 장치의 얕은 트렌치 소자분리 형성방법.

청구항 8.

제4항에 있어서, 상기 캡핑 산화막층은 1000 5000Å의 두께로 증착하는 것을 특징으로 하는 반도체 장치의 얕은 트렌치 소자분리 형성방법.

청구항 9.

반도체 기판의 상부에 액티브 마스크층을 형성하는 단계;

상기 액티브 마스크층 및 상기 반도체 기판을 식각하여 다수의 트렌치들을 형성하는 단계;

상기 액티브 마스크층의 상부 및 상기 트렌치들의 내부에 상기 트렌치 깊이의 일부분만 충전하도록 고밀도 플라즈마 산화막층을 증착하여 상기 트렌치의 어스펙트비를 감소시키는 단계;

상기 고밀도 플라즈마 산화막층의 상부에 상기 트렌치들을 충전하도록 오존 - TEOS USG층을 증착하는 단계;

상기 오존 - TEOS USG층의 상부에 테트라에틸오소실리케이트(TEOS)를 소오스로 하여 플라즈마 방식으로 캡핑 산화막층을 증착하는 단계; 그리고

상기 액티브 마스크층의 표면이 노출될 때까지 상기 캡핑 산화막층, 상기 오존 - TEOS USG층 및 상기 고밀도 플라즈마 산화막층을 연마하는 단계를 구비하는 것을 특징으로 하는 반도체 장치의 얕은 트렌치 소자분리 형성방법.

청구항 10.

제9항에 있어서, 상기 반도체 기판의 상부에 액티브 마스크층을 형성하는 단계는,

상기 반도체 기판의 상부에 패드 산화막층을 형성하는 단계;

상기 패드 산화막층의 상부에 실리콘 질화막층을 증착하는 단계; 그리고

상기 실리콘 질화막층의 상부에 산화막층을 증착하는 단계를 포함하는 것을 특징으로 하는 반도체 장치의 얕은 트렌치 소자분리 형성방법.

청구항 11.

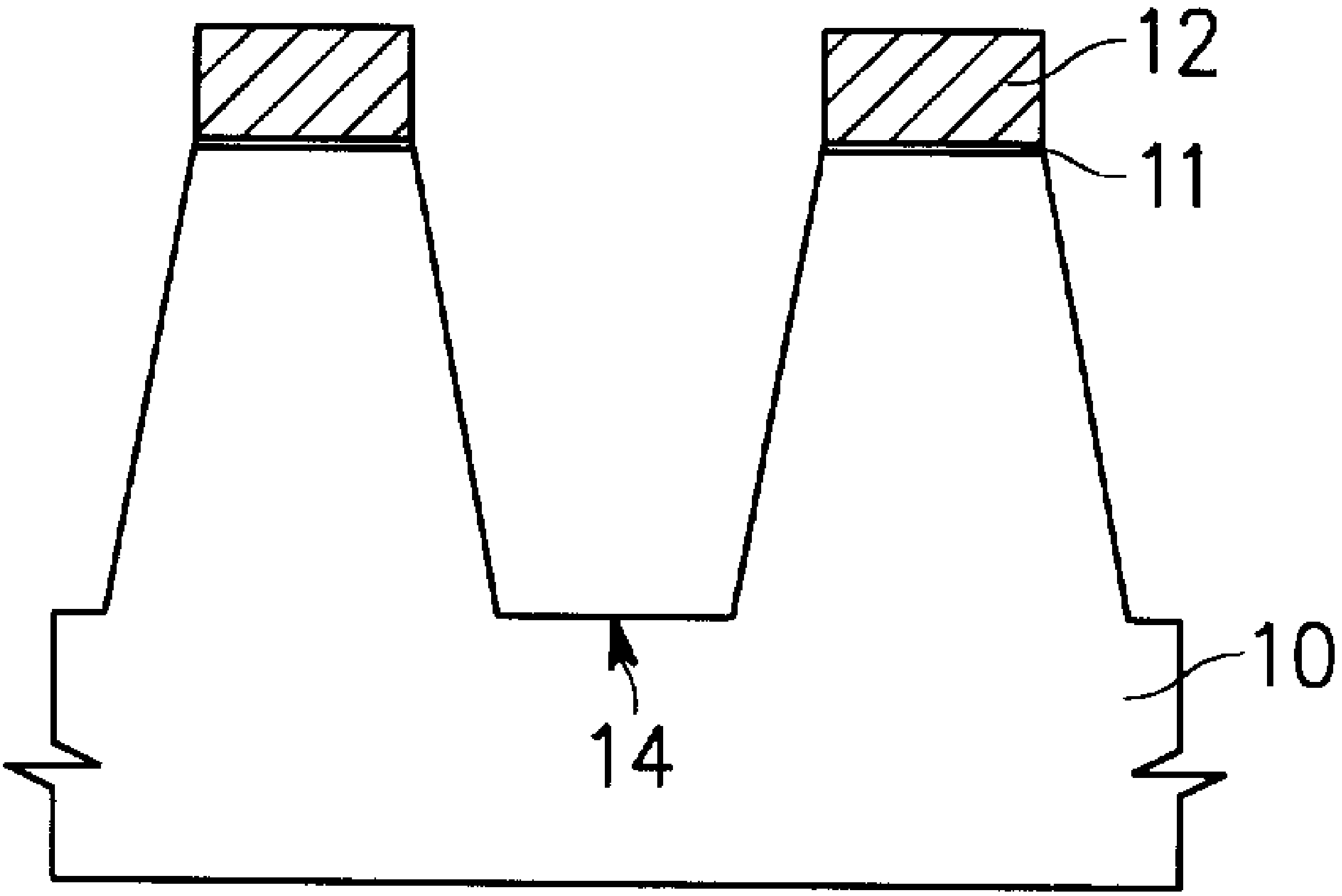
제9항에 있어서, 상기 고밀도 플라즈마 산화막층은 상기 트렌치 깊이의 3/4 이하의 두께로 증착하는 것을 특징으로 하는 반도체 장치의 얕은 트렌치 소자분리 형성방법.

청구항 12.

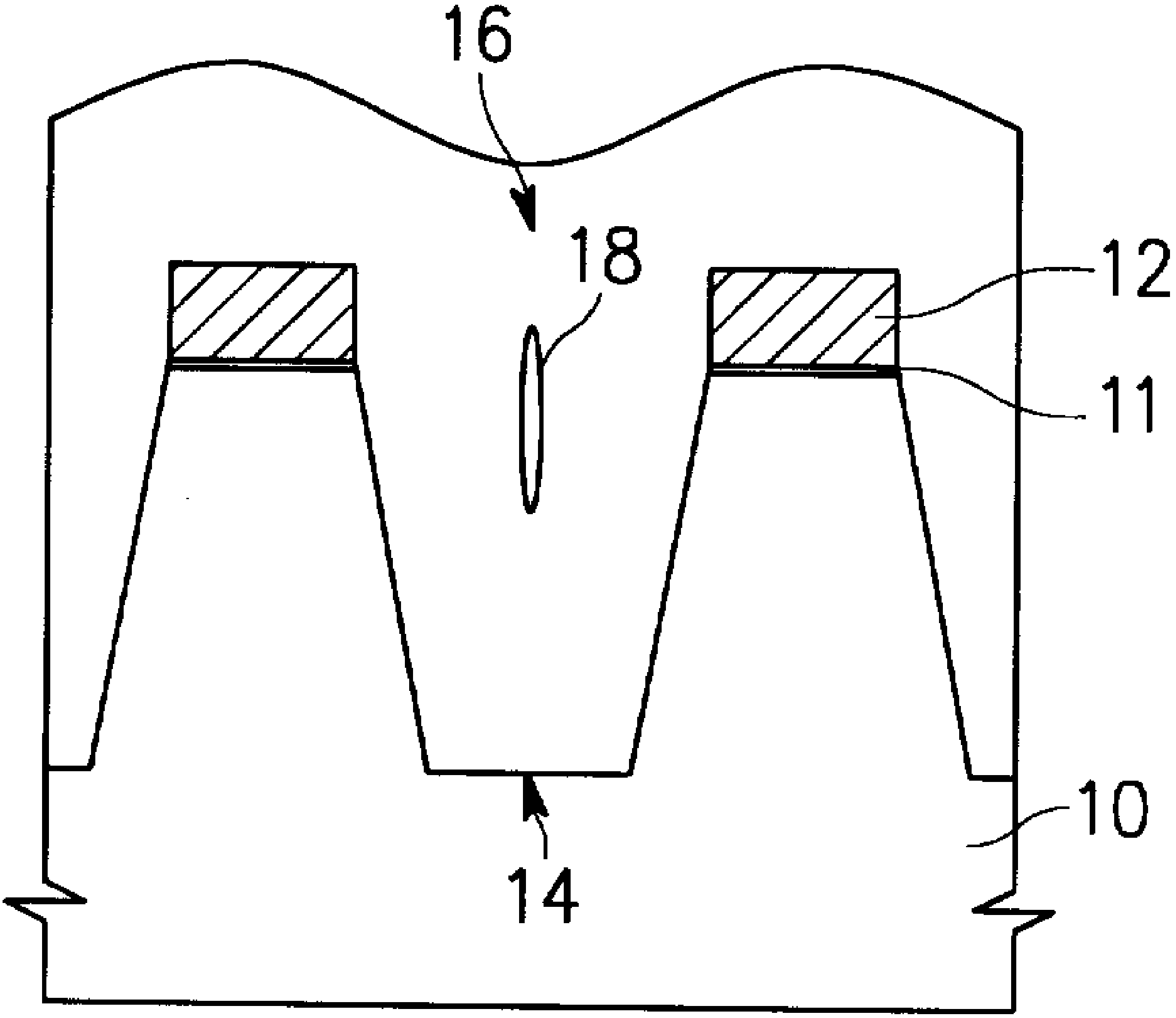
제9항에 있어서, 상기 캡핑 산화막층은 1000 5000Å의 두께로 증착하는 것을 특징으로 하는 반도체 장치의 얕은 트렌치 소자분리 형성방법.

도면

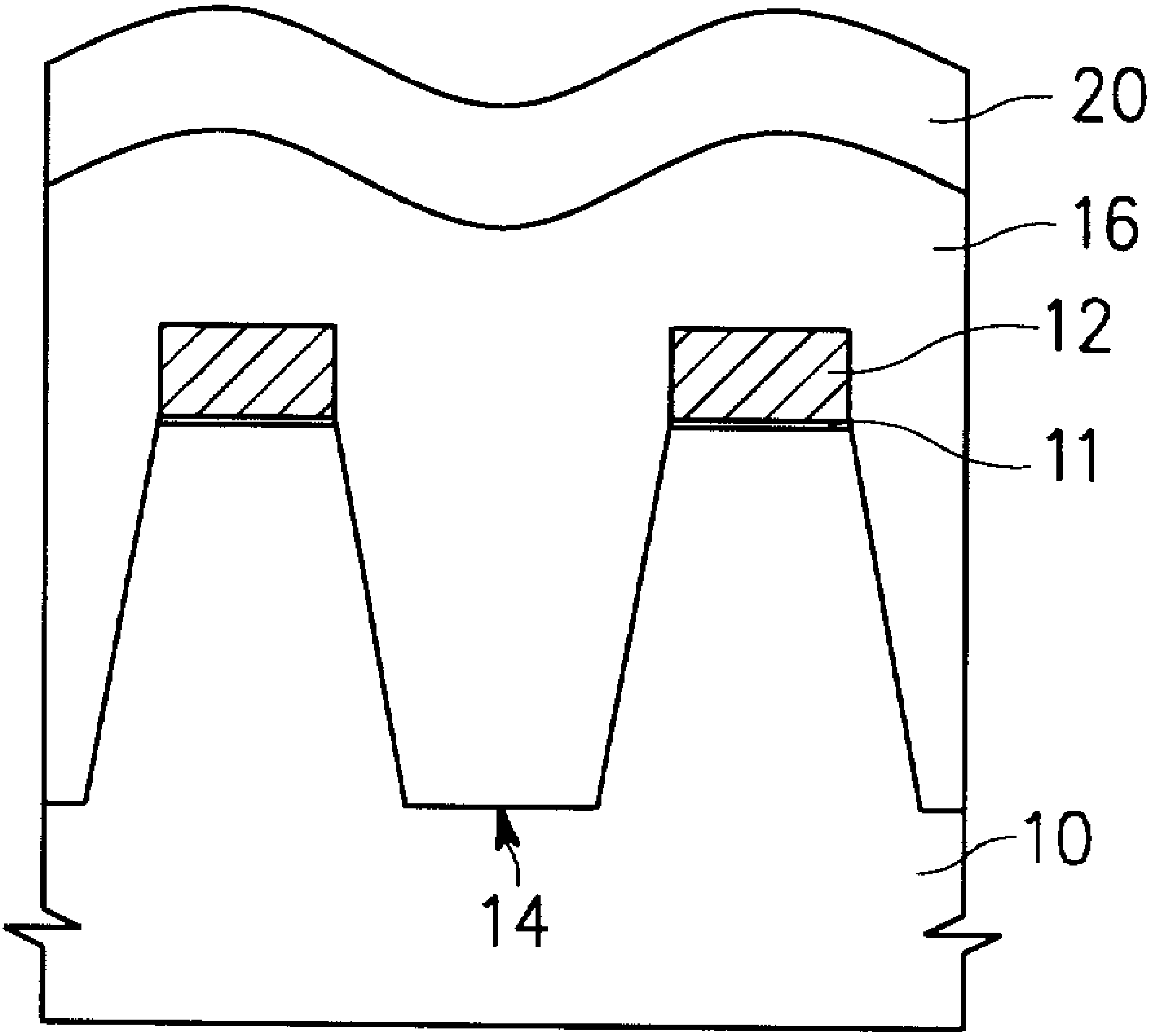
도면 1



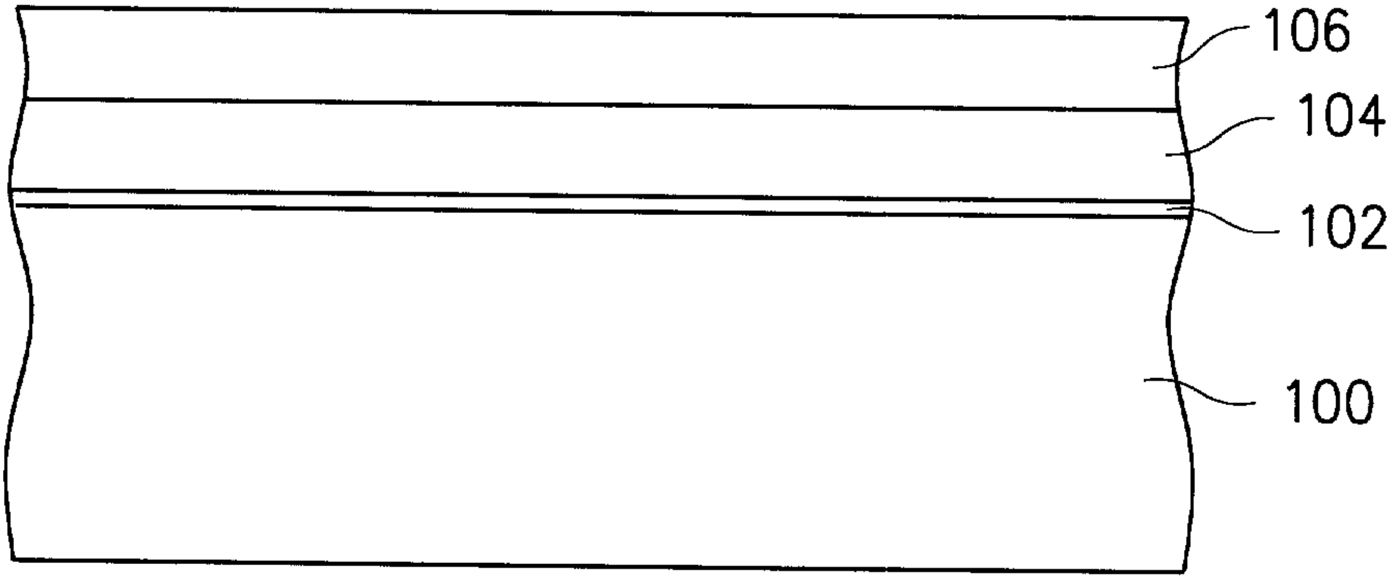
도면 2



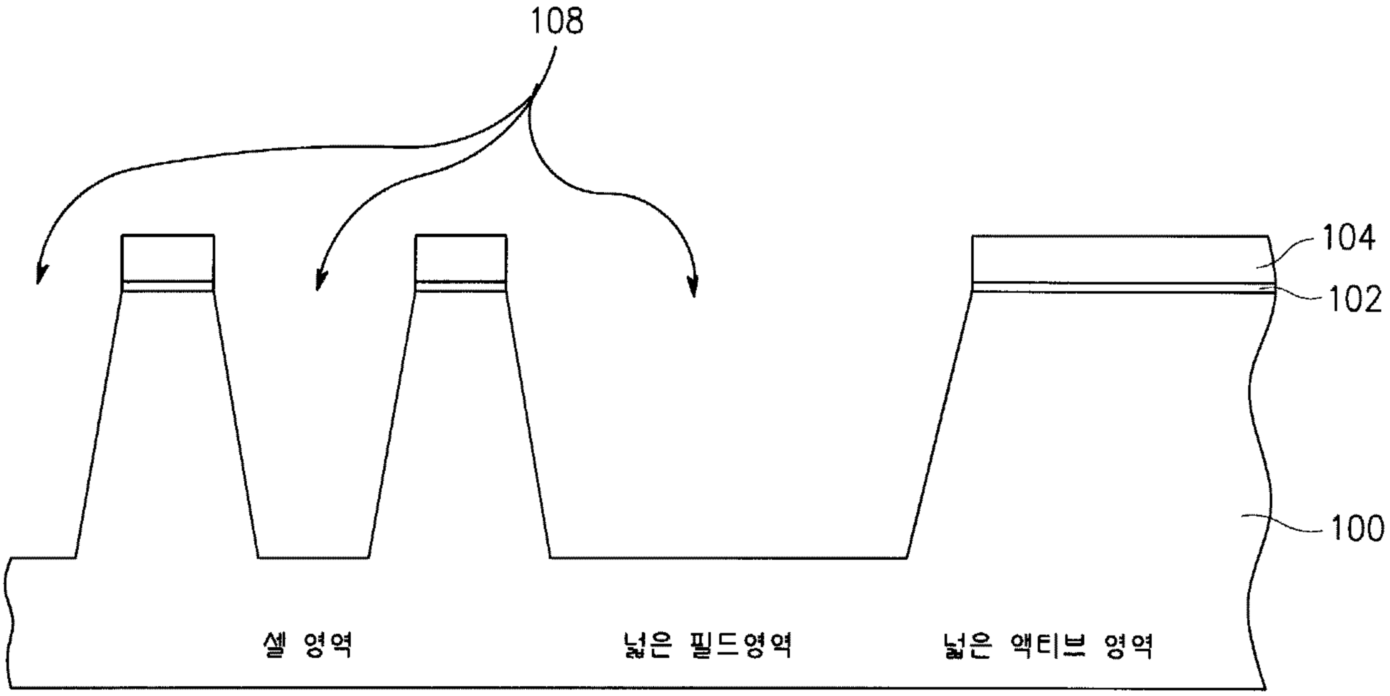
도면 3



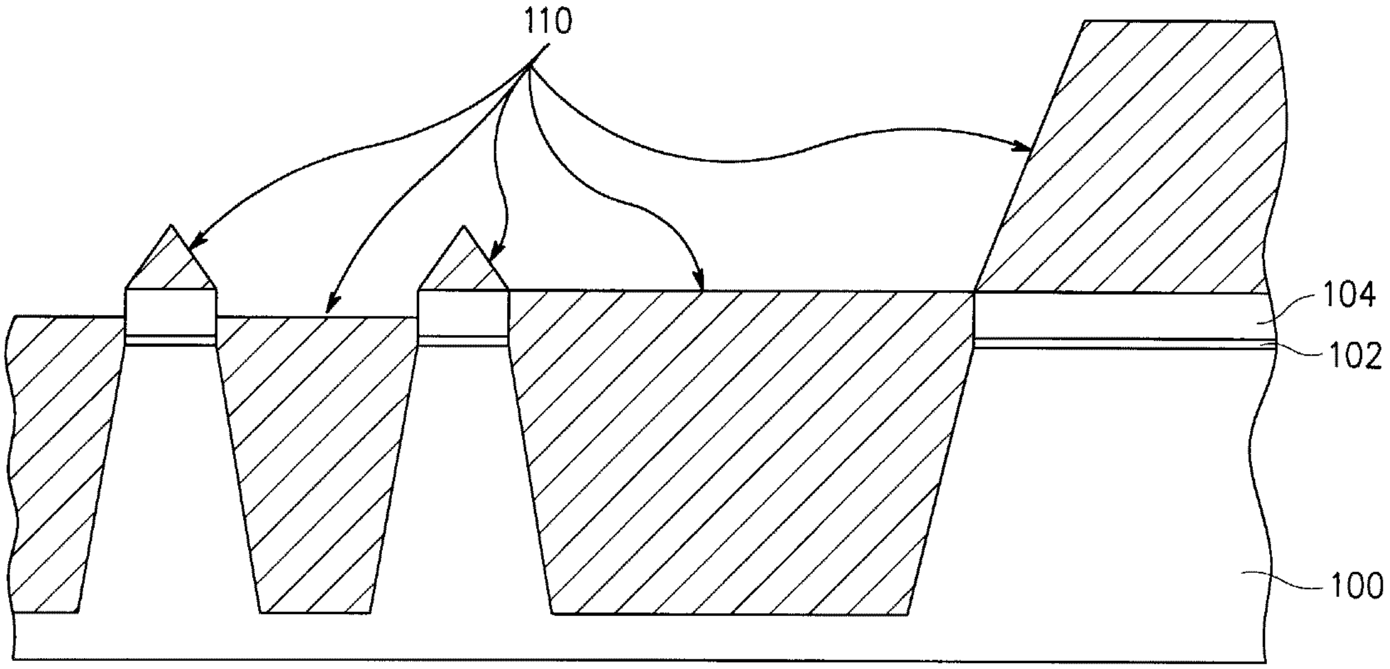
도면 4



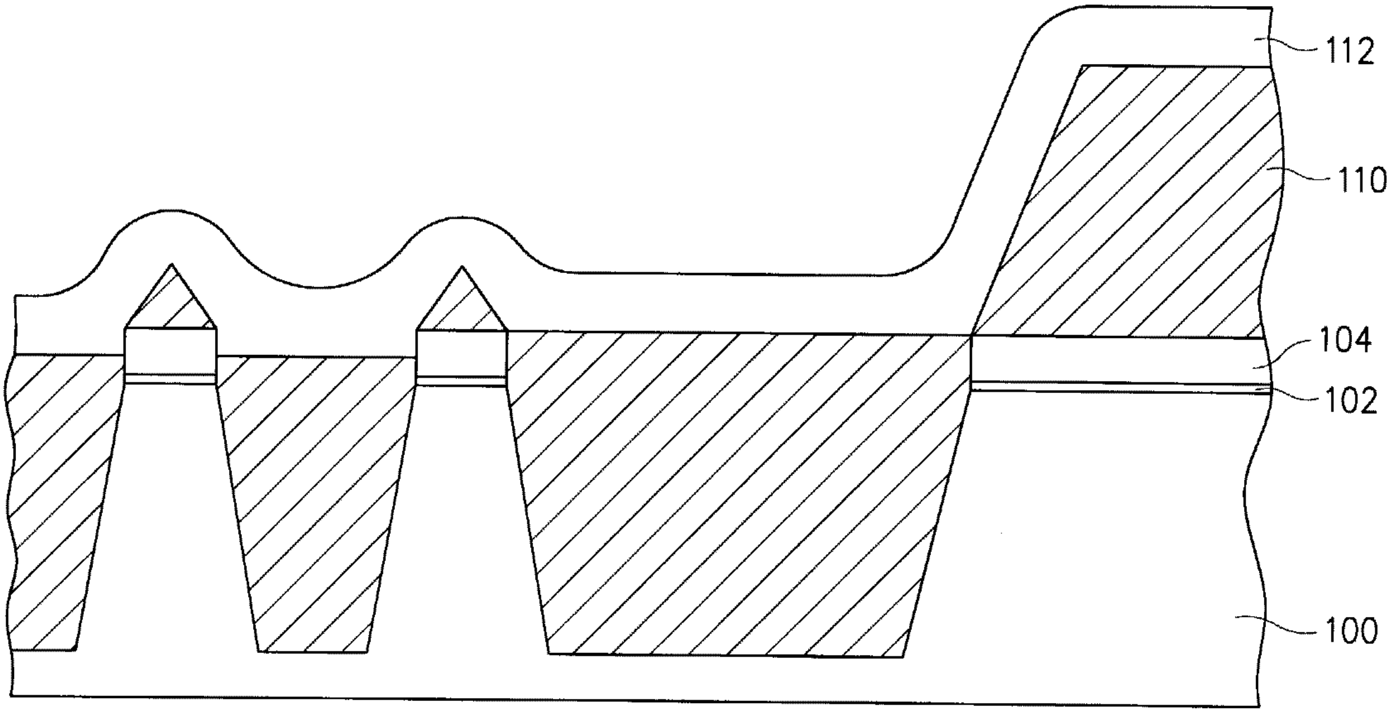
도면 5



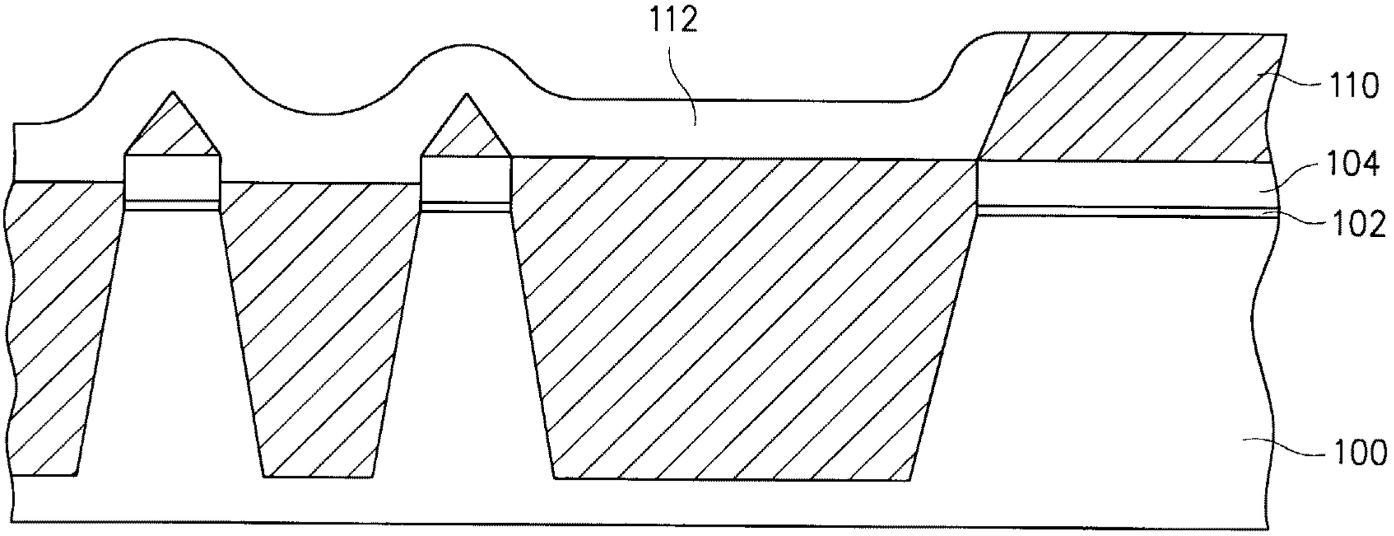
도면 6



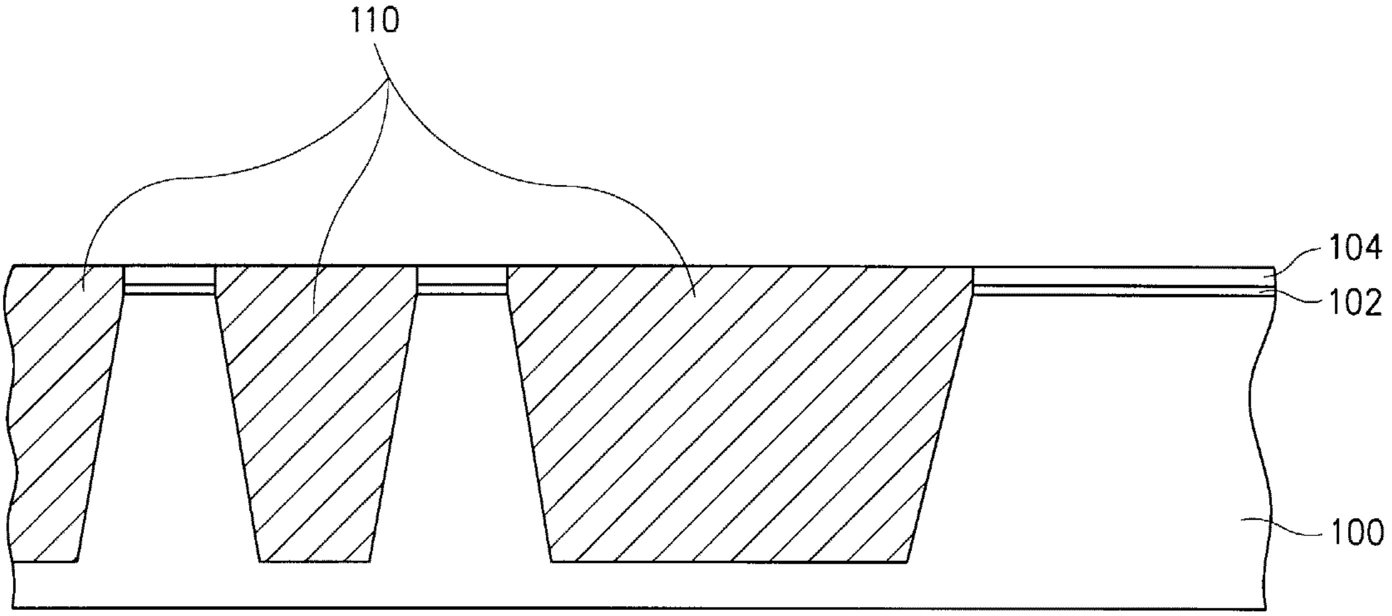
도면 7



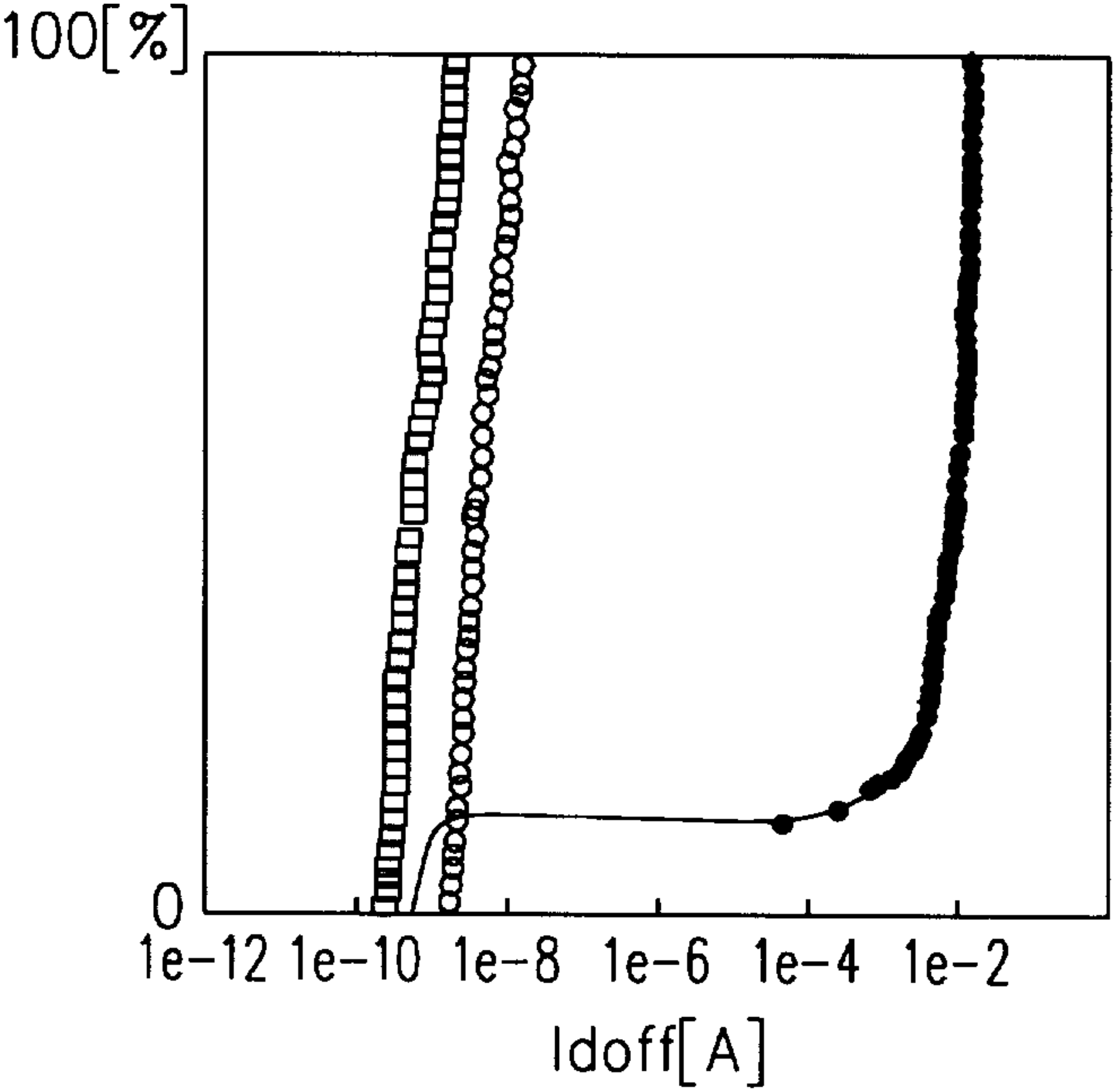
도면 8



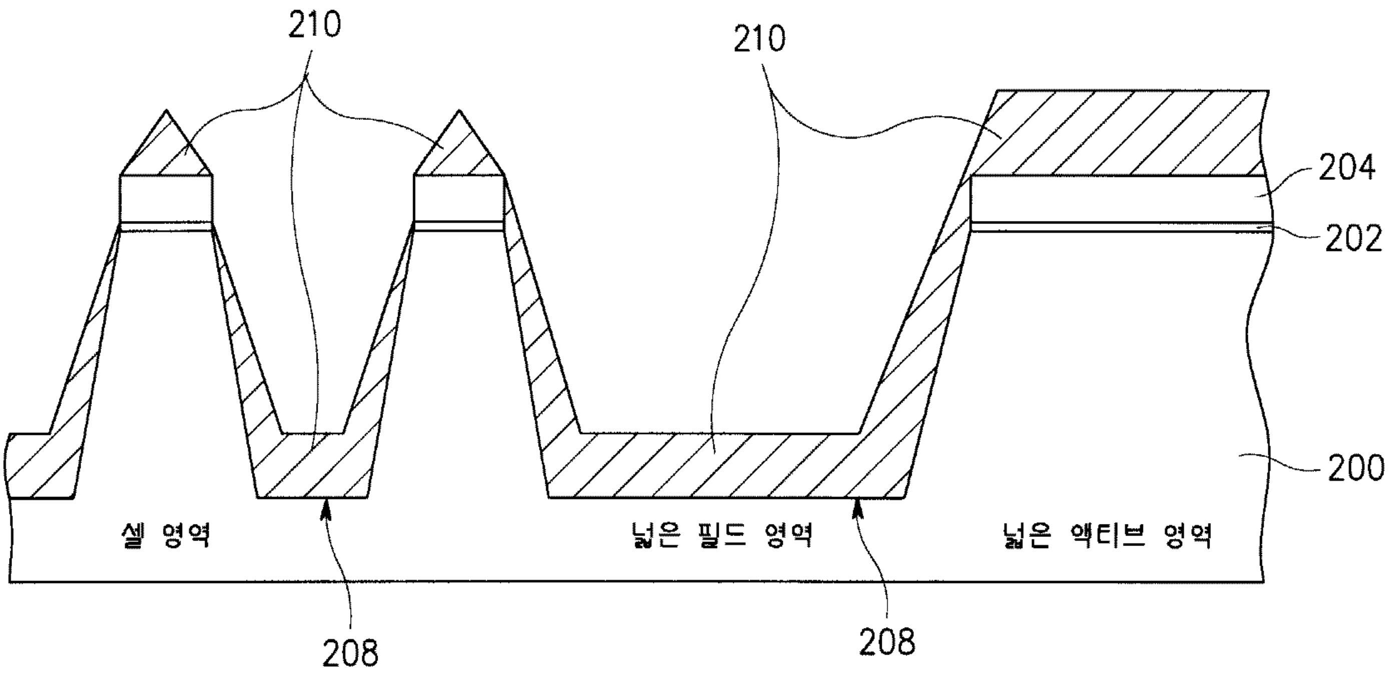
도면 9



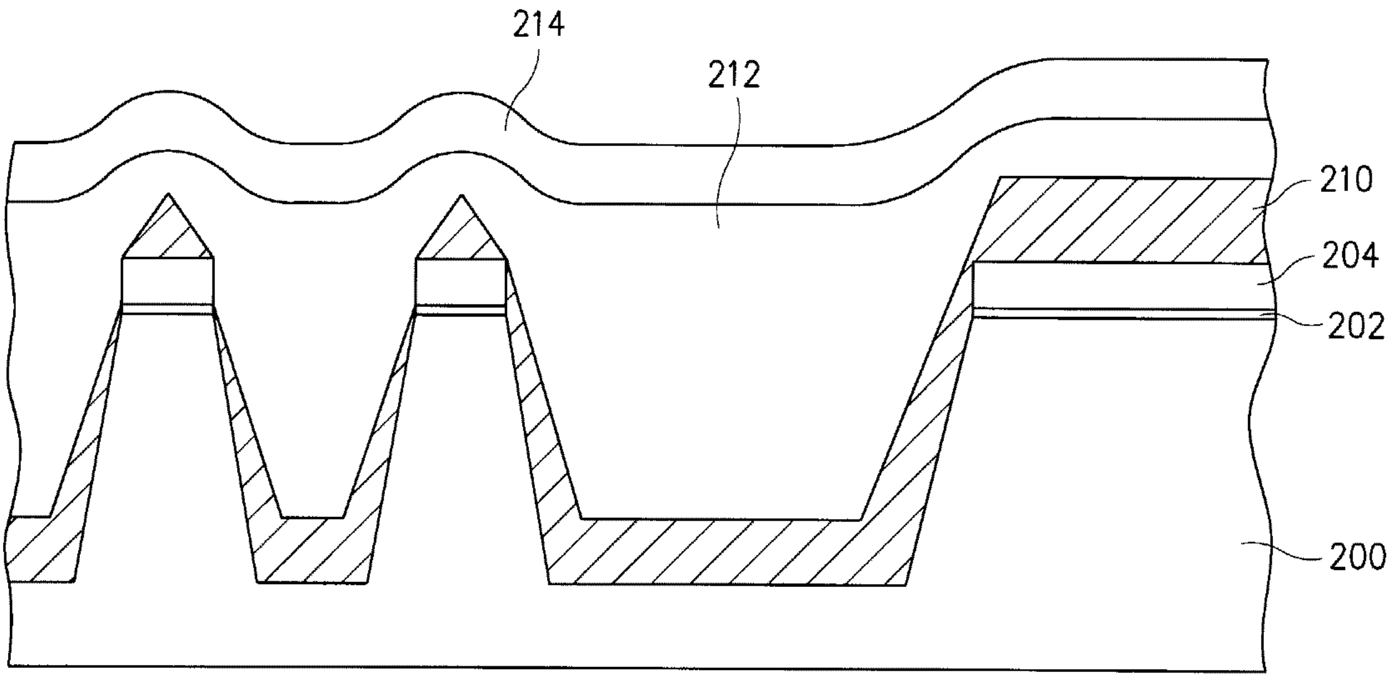
도면 10



도면 11


210
210
204
202
200
셀 영역
넓은 필드 영역
넓은 액티브 영역
208
208

도면 12


214
212
210
204
202
200

도면 13