

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2018年3月8日(08.03.2018)



(10) 国際公開番号

WO 2018/043377 A1

(51) 国際特許分類:
H01L 43/12 (2006.01) H01L 27/105 (2006.01)
H01L 21/8239 (2006.01) H01L 43/08 (2006.01)

(21) 国際出願番号: PCT/JP2017/030682

(22) 国際出願日: 2017年8月28日(28.08.2017)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

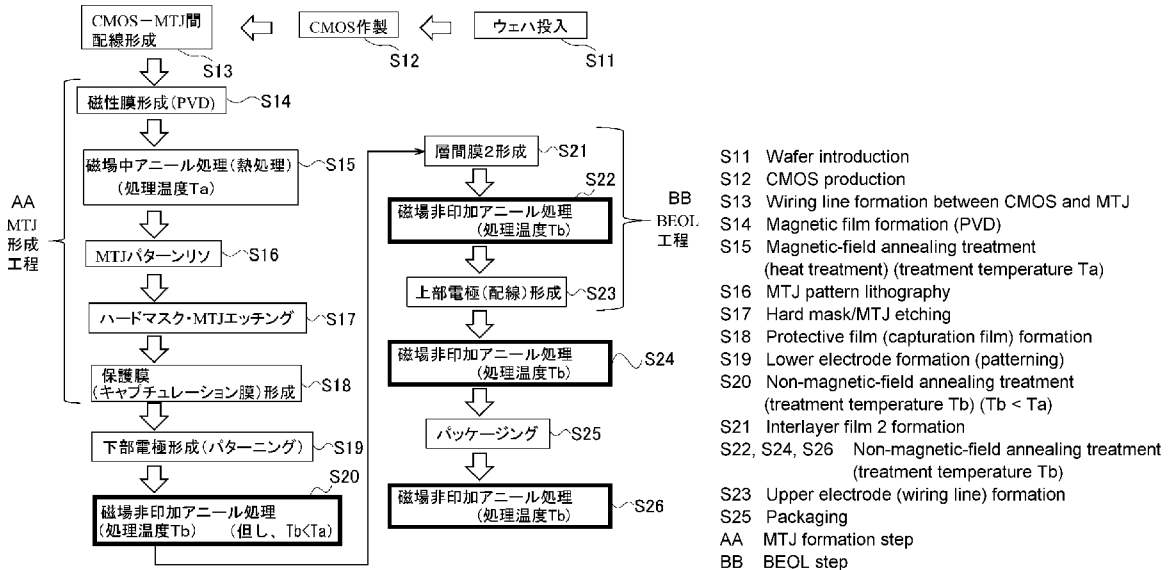
(30) 優先権データ:
特願 2016-170032 2016年8月31日(31.08.2016) JP

(71) 出願人: 国立大学法人東北大学 (TOHOKU UNIVERSITY) [JP/JP]; 〒9808577 宮城県仙台市青葉区片平二丁目1番1号 Miyagi (JP).

(72) 発明者: 伊藤 顕知 (ITO Kenchi); 〒9808577 宮城県仙台市青葉区片平二丁目1番1号 国立大学法人東北大学内 Miyagi (JP). 遠藤 哲郎 (ENDO H Tetsuo); 〒9808577 宮城県仙台市青葉区片平二丁目1番1号 国立大学法人東北大学内 Miyagi (JP). 池田 正二 (IKEDA Shoji); 〒9808577 宮城県仙台市青葉区片平二丁目1番1号 国立大学法人東北大学内 Miyagi (JP). 佐藤 英夫 (SATO Hideo); 〒9808577 宮城県仙台市青葉区片平二丁目1番1号 国立大学法人東北大学内 Miyagi (JP). 大野 英男 (OHNO Hideo); 〒9808577 宮城県仙台市青葉区片平二丁目1番1号 国立大学法人東北大学内 Miyagi (JP). 三浦 貞彦 (MIURA Sadahiko); 〒9808577 宮城県仙台市青葉区片平二丁目1番1号 国立大学

(54) Title: METHOD FOR PRODUCING MAGNETIC MEMORY COMPRISING MAGNETIC TUNNEL JUNCTION ELEMENT

(54) 発明の名称: 磁気トンネル接合素子を備える磁気メモリの製造方法



(57) Abstract: Provided is a method for producing a magnetic memory, by which a magnetic memory comprising a magnetic tunnel junction element that exhibits a high element performance is able to be easily produced. This method for producing a magnetic memory comprising a magnetic tunnel junction element comprises: a step for forming a magnetic film on a substrate that is provided with an electrode layer, said magnetic film comprising a non-magnetic layer between a first magnetic layer and a second magnetic layer; a magnetic-field annealing step wherein an annealing treatment is performed at a first treatment temperature in a vacuum, while applying a magnetic field in a direction perpendicular to the film surface of the first magnetic layer or the second magnetic layer; a step for forming a magnetic tunnel junction element; a protective film formation step for forming a protective film that protects the magnetic tunnel junction element; a formation step accompanied with a thermal history, wherein a constituent element of a magnetic memory is formed on



法人東北大学内 Miyagi (JP). 丹羽 正昭(NIWA Masaaki); 〒9808577 宮城県仙台市青葉区片平二丁目1番1号 国立大学法人東北大学内 Miyagi (JP). 本庄 弘明(HONJOU Hiroaki); 〒9808577 宮城県仙台市青葉区片平二丁目1番1号 国立大学法人東北大学内 Miyagi (JP).

添付公開書類：

一 国際調査報告（条約第21条(3)）

(74) 代理人：特許業務法人 英知国際特許事務所 (EICHI PATENT & TRADEMARK CORP.); 〒1120011 東京都文京区千石4丁目45番13号 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能)：AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能)：ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

規則4.17に規定する申立て：

一 出願し及び特許を与えられる出願人の資格に関する申立て（規則4.17(ii)）

the substrate, which has been provided with the protective film, after the protective film formation step; and a non-magnetic-field annealing step wherein the substrate is subjected to an annealing treatment at a second treatment temperature that is lower than the first treatment temperature in a vacuum or in an inert gas in an annealing treatment chamber without applying a magnetic field thereto.

(57) 要約：高い素子性能を有する磁気トンネル接合素子を備える磁気メモリを簡単に製造可能な磁気メモリの製造方法を提供する。磁気トンネル接合素子を備える磁気メモリの製造方法は、電極層が設けられた基板に、第1磁性層と第2磁性層との間に非磁性層を備えた磁性膜を形成する工程と、真空中で第1磁性層又は第2磁性層の膜面垂直方向に磁界を印加した状態で、第1処理温度でアニール処理を行う磁場中アニール処理工程と、磁気トンネル接合素子を形成する工程と、磁気トンネル接合素子を保護する保護膜を形成する保護膜形成工程と、保護膜形成工程の後に、保護膜が形成された基板に対して、磁気メモリの構成要素を形成する、熱履歴を伴う形成工程と、アニール処理室にて、真空中又は不活性ガス中、磁場非印加状態で、基板に対して、第1処理温度よりも低い第2処理温度でアニール処理を施す磁場非印加アニール処理工程と、を有する。

明 細 書

発明の名称：

磁気トンネル接合素子を備える磁気メモリの製造方法

技術分野

[0001] 本発明は、磁気トンネル接合素子を備える磁気メモリの製造方法に関する。

背景技術

[0002] 磁気抵抗効果素子を用いたMRAM等の不揮発メモリが知られている（例えば、特許文献1参照）。磁気抵抗効果素子としては、例えば、図16に示したように、磁性層である参照層111と記録層113の間に障壁層112（非磁性障壁層）を配置した磁気トンネル接合素子（MTJ素子）を挙げることができる。図16に示した例では、磁化の向きが変化しにくい参照層111は、層面（膜面）に対して垂直方向に磁化されている。記録層113は磁化方向が可変である。記録層113の飽和磁化 M_s は記録層113の材料、構造、温度等により規定されている。図16に示した磁気抵抗効果素子を、いわゆる垂直磁化MTJ素子という。記録層113の磁化方向が、参照層111の磁化に対して平行である場合にMTJ素子の電気抵抗が低くなり、反平行である場合にMTJ素子の電気抵抗が高くなる。MTJ素子は2つの抵抗の状態を、ビット情報の“0”及び“1”にそれぞれ対応させることで情報を記録可能な構造となっている。

[0003] 図16、図17（a）に示したように、記録層113のエネルギー E_b は、記録層113の磁化の方向と参照層111の磁化の方向とのなす角度 θ 、参照層111の磁気異方性エネルギー密度 K_{eff} 、記録層113の体積 V を用いて、数式（1）で示される。 $\sin^2\theta=1$ のとき（ $\theta=90^\circ$ 、 270° のとき）、磁化反転に要するエネルギー障壁（ E_b ）となる。

[0004] $E_b = K_{\text{eff}} V \sin^2\theta \quad \cdots (1)$

[0005] 磁気抵抗効果素子（MTJ素子）を有するMRAM等の不揮発性メモリに

ついて、ビット情報の安定性を示すものとして、熱安定性指数がある。この熱安定性指数 Δ_0 は、ボルツマン定数 k_B 、絶対温度 T を用いて、数式（２）で表される。

$$[0006] \quad \Delta_0 = E_b / (k_B T) \quad \cdots (2)$$

[0007] 熱安定性指数 Δ_0 を有する記録層が、時間 t ののち磁化反転する確率 P は、Neel-Arrheniusの法則により、数式（３）で表される（例えば、非特許文献１参照）。図１７（ｂ）に示すように、確率 P が５０％のときの時間 t は、記録層１１３による情報の保持時間に対応する。

$$[0008] \quad P = 1 - \exp \{ (-t / 10^{-9}) \times \exp (-\Delta_0) \} \quad \cdots (3)$$

[0009] 熱安定性指数 Δ_0 を測定する一般的な方法として、磁場パルス法、電流パルス法などが知られている。磁場パルス法は、特定のパルス幅の磁場パルスを与えたときの磁化反転確率を、磁場パルスの磁場の大きさを変えながら測定し、磁場の大きさと磁化反転確率との関係に基づいて、熱安定性指数 Δ_0 を求めるものである。

電流パルス法は、特定のパルス幅の電流パルスを与えたときの磁化反転確率を、電流パルスの電流の大きさを変えながら測定し、電流の大きさと磁化反転確率の関係に基づいて、熱安定性指数 Δ_0 を求めるものである。

[0010] 磁場パルス法や電流パルス法とは異なる熱安定性指数 Δ_0 の測定方法として、１０Ｍｂ以上のＭＴＪからなるＭＲＡＭチップを準備し、各ＭＴＪの記録層にチェッカーボードパターン等で、１または０の情報を書き込み、高温で数分から１００時間程度放置した後、初期情報がどのくらい失われたかを表すエラー率（error rate）を測定し、そのエラー率から算出した反転確率と放置時間との関係に基づいて、熱安定性指数 Δ_0 を求める方法が知られている。この方法によれば、測定中にエネルギー障壁の値が変化しないため、磁化反転のモードによらず、正確な熱安定性指数 Δ_0 を求めることができる。

[0011] ところで、磁気抵抗効果素子を用いた磁気メモリの製造方法としては、例えば、基板となるウェハにＣＭＯＳを作製し、ＣＭＯＳ上にＭＴＪと接続するための中間配線を形成し、中間配線の上部に磁性膜を配線し、それらに対

して磁場中熱処理を施した後、MTJパターンを作製し、エッチング加工によりMTJを形成し、保護膜を形成し、MTJ上に上部配線を形成し、それをチップ状に切り出し、ワイヤボンディング金属線で所定の回路基板に接続した後、樹脂封止を行う方法が知られている。

先行技術文献

特許文献

[0012] 特許文献1：特開2014-112691号公報

特許文献2：特開2011-27495号公報

非特許文献

[0013] 非特許文献1：W.F. Brown, Jr., “Thermal Fluctuations of a Single-Domain Particle”, Phys. Rev., 1963, Vol.130, Num.5, p.1677-1686

発明の概要

発明が解決しようとする課題

[0014] しかしながら、上述した磁気メモリの製造方法では、磁性膜を形成した後、保護膜や配線等を形成する工程、樹脂封止工程等で、MTJ素子等に対して様々な熱履歴がかかり、MTJ素子やその周辺の構成要素に応力ないし歪が生じ、その応力ないし歪によりMTJ素子の熱安定性指数等の性能が劣化する場合がある。

[0015] また、特許文献2には、ブリッジ状に組んだ磁気検出素子を基板に形成するとともに、前記磁気検出素子を保護する保護膜を前記基板に形成することで該基板を多層基板とし、当該保護膜において前記磁気検出素子の近傍に、該保護膜をエッチングすることで応力緩和溝を形成し、該応力緩和溝形成後の前記多層基板をパッケージする工程手順を経る磁気センサの製造方法において、前記多層基板をパッケージする前に、該多層基板をアニールする、磁気センサの製造方法が記載されている。

しかしながら、特許文献2に記載の磁気センサの製造方法では、応力緩和溝を形成する煩雑な工程を行うことを要する。上記特許文献2に記載のよう

に、パッケージ前にアニールした場合は、パッケージ後に残っている応力を除去することができない。

課題を解決するための手段

[0016] 本発明の磁気トンネル接合素子（磁気抵抗効果素子）を備える磁気メモリの製造方法は、少なくとも以下の構成を具備するものである。

磁気トンネル接合素子（磁気抵抗効果素子）を備える磁気メモリの製造方法であって、

電極層が設けられた基板に、第1磁性層と第2磁性層との間に非磁性層を備えた磁性膜を形成する工程と、

前記基板に対して、真空中で前記第1磁性層又は第2磁性層の膜面垂直方向に磁界を印加した状態で、第1処理温度でアニール処理を行う磁場中アニール処理工程と、

前記基板に形成された前記磁性膜にエッチング処理を施して所定のパターンの磁気トンネル接合素子を形成する工程と、

前記基板に形成された前記磁気トンネル接合素子を保護する保護膜を形成する保護膜形成工程と、

前記保護膜形成工程の後に、前記保護膜が形成された基板に対して、磁気メモリの構成要素を形成する、熱履歴を伴う形成工程と、

アニール処理室にて、真空中又は不活性ガス中、磁場非印加状態で、前記基板に対して、前記第1処理温度よりも低い第2処理温度でアニール処理を施す磁場非印加アニール処理工程と、を有することを特徴とする。

発明の効果

[0017] 本発明に係る磁気トンネル接合素子を用いた磁気メモリの製造方法は、高い素子性能（熱安定性指数等）を有する磁気トンネル接合素子を備える磁気メモリを、簡単に製造することができる。

図面の簡単な説明

[0018] [図1]本発明の実施形態に係る磁気トンネル接合素子を用いた磁気メモリ（半導体集積回路）を説明するための図、（a）は磁気メモリ（半導体集積回路

）の一例を示す斜視図、（b）は磁気メモリ（半導体集積回路）の一部分を拡大した斜視図。

[図2]本発明の実施形態に係る磁気メモリ（半導体集積回路）の製造装置の一例を示す概念図。

[図3]本発明の実施形態に係る磁気トンネル接合素子を用いた磁気メモリの製造方法の一例を示すフローチャート。

[図4]磁気メモリの製造方法の一例を示す図、（a）は磁性膜形成工程を説明するための図、（b）は磁場中アニール処理（磁場中熱処理）を説明するための図、（c）はMTJパターニング用のレジストパターンを形成する工程を説明するための図。

[図5]磁気メモリの製造方法の一例を説明するための概念図、（a）はMTJのパターニングを説明するための図、（b）はキャプチュレーション膜（保護膜）の形成工程を説明するための図、（c）は下部電極形成（パターニング）を説明するための図。

[図6]磁気メモリの製造方法の一例を説明するための概念図、（a）は熱処理装置（アニール装置）を用いた熱処理（アニール処理）を説明するための図、（b）は第2層間膜を形成する工程を説明するための図。

[図7]磁気メモリの製造方法の一例を説明するための概念図、（a）は第2層間膜を平坦化する工程を説明するための図、（b）は熱処理装置（アニール装置）を用いた熱処理（アニール処理）を説明するための図。

[図8]磁気メモリの製造方法の一例を説明するための概念図、（a）は第2層間膜にビアを形成した状態の一例を示す断面図、（b）は拡散防止膜を形成した状態の一例を説明するための図、（c）は上部配線を形成した状態の一例を説明するための図。

[図9]磁気メモリの製造方法の一例を説明するための概念図、（a）は上部配線のパターニングを説明するための図、（b）は熱処理装置（アニール装置）を用いた熱処理（アニール処理）を説明するための図、（c）MTJ素子等が形成されたウェハからチップを切り出す工程を説明するための図。

[図10]磁気メモリの製造方法の一例を示す図、（a）はチップをダイボンディングした状態の一例を示す断面図、（b）は樹脂封止された磁気メモリの断面図、（c）は熱処理装置（アニール装置）を用いた熱処理（アニール処理）を説明するための図。

[図11]本発明の実施形態に係る磁気トンネル接合素子を用いた磁気メモリ（半導体集積回路）のMTJアレイ構造の一例を示す斜視図。

[図12]磁気メモリ（半導体集積回路）製造時の温度の時間変化の一例を示す図。

[図13]本発明の一実施形態に係る磁気メモリの製造方法の一例を示す図。

[図14]図13に示した磁気メモリの製造方法により作製されたMTJ素子と、比較例のMTJ素子の熱安定性指数の一例を示す図。

[図15]本発明の実施形態に係るMTJ素子の熱安定性指数を測定する測定システムの一例を示す概念図。

[図16]参照層と障壁層と記録層を備えるMTJ素子を説明するための模式図。

[図17]MTJ素子の記録層を説明するための図、（a）は記録層の磁化の角度 θ とエネルギー障壁の関係を示す図、（b）は記録層における情報の保持時間を説明するための図。

発明を実施するための形態

[0019] 本発明の実施形態に係る磁気抵抗効果素子（磁気トンネル接合素子（MTJ素子））を用いた磁気メモリの製造方法は、基板にMTJ素子の磁性膜を形成し、その基板に対して第1処理温度 T_a で磁場中熱処理を施した後、それよりも後の工程のうち、MTJ素子を保護するSiN等の保護膜（キャプチュレーション膜）形成工程、第2層間膜形成工程、上部配線形成工程、パッケージング工程の少なくともいずれか一つ以上の工程の後、アニール処理室（熱処理室）内で、磁場非印加状態、真空中又は不活性ガス雰囲気中、第2処理温度 T_b で、基板に対してアニール処理を施すことにより、保護膜（キャプチュレーション膜）やMTJ素子の応力ないし歪を緩和する。第2処

理温度 T_b は第 1 処理温度 T_a よりも低い温度に設定されている。

[0020] 以下、図面を参照しながら本発明の実施形態を説明する。本発明の実施形態は図示の内容を含むが、これのみに限定されるものではない。なお、以後の各図の説明で、既に説明した部位と共通する部分は同一符号を付して重複説明を一部省略する。

[0021] 図 1 に示したように、本発明の実施形態に係る磁気トンネル接合素子を用いた磁気メモリ 10（半導体集積回路）は、多数の MTJ 素子 11（磁気トンネル接合素子）を有する MRAM（磁気メモリ）から成り、図 2 に示した複数の各種の形成装置 51、磁場中熱処理室 52、熱処理室 53、制御部 54 等を有する磁気メモリの製造装置により、図 3 に示した製造工程を行うことにより作製される。図 4～図 10 は、磁気メモリ 10 の詳細な製造方法の一例を説明するための図である。

[0022] 本実施形態では、図 1（a）に示したように、磁気メモリ 10 は、基板としてのウェハ 12 上に CMOS 13 が設けられており、その CMOS 13 上に多層の中間配線 14（例えば、M1～M4）が設けられている。本実施例では、4 層からなる中間配線の例を示したが、配線の総数は、MRAM の応用に応じて変えることが可能で、また MTJ 素子 11 の形成場所も、必ずしも M4 配線上に限定されるものではない。中間配線 14 上には MTJ 素子 11 が設けられている。MTJ 素子 11 と中間配線 14 は電氣的に接続されている。MTJ 素子 11 の上部には上部配線 15 が設けられており、MTJ 素子 11 と上部配線 15 が電氣的に接続されている。

[0023] 詳細には、図 1（b）に示したように、第 1 層間膜 1 上に下部電極 140 が設けられている。第 1 層間膜 1 は、絶縁性材料により形成されており、基板としてのウェハ 12 に設けられた CMOS 13 の上方に配置されている。第 1 層間膜 1 には導電性のビア 141（VIA）が設けられており、ビア 141 は下部電極 140 と CMOS 13 等とを電氣的に接続した構造を有する。下部電極 140 に隣接した参照層 111 としての第 1 磁性層（導電性層）、非磁性層の障壁層 112、記録層 113 としての第 2 磁性層（導電性層）

を有するMTJ素子11が設けられている。その記録層113に隣接して導電性のハードマスク103が設けられている。ハードマスク103に隣接して導電性のビア151、上部配線15が設けられている。

また、MTJ素子11の側面側には、保護膜105（キャプチュレーション膜）が設けられており、MTJ素子11を保護する構造となっている。また、保護膜105の周囲には第2層間膜2が設けられており、第2層間膜2と上部配線15との間には、拡散防止膜106が設けられている。

参照層111としての第1磁性層や記録層113としての第2磁性層は、例えば、Co、Fe、Niを含む合金、例えばCoFeB、などの強磁性体を含む材料で構成されている。

非磁性層である障壁層112は、例えば、MgO、Al₂O₃、SiO₂、TiO、HfOなどの化合物を有する材料で構成されている。

[0024] 図2に示したように、本発明の実施形態に係る磁気メモリの製造装置は、複数の各種の形成装置51、磁場中熱処理室52、磁場非印加アニール処理室としての熱処理室53、制御部54等を有する。また、製造装置は、各形成装置により処理された基板等を検査する検査装置を備えていてもよい。

[0025] 本実施形態では、形成装置51は、A形成装置51A、B形成装置51B、C形成装置51C、・・・、Y形成装置51Y、Z形成装置51Z等を有する。具体的には、各形成装置51は、スパッタリング装置等の製膜装置、レジスト塗布装置、露光装置、エッチング装置、化学気相成長装置、ケミカルメカニカルポリッシング装置、メッキ装置、ダイシング装置、ダイボンディング装置、ワイヤボンディング装置、樹脂封止装置などである。

[0026] 基板に参照層111である第1磁性層、非磁性の障壁層112、記録層113である第2磁性層が形成された後、その基板を室温まで自然冷却または強制冷却した後、磁場中アニール処理室（磁場中熱処理室52）は、真空状態で、その基板に対して、第1処理温度T_aにてアニール処理を行いつつ、参照層111の面直方向に磁界を印加して、参照層111の磁化を面直方向に揃えるように着磁させる。そのMTJ素子を備える基板は、次の形成装置

により、次の工程に応じた処理が行われる。なお、本実施形態では、室温は $1^{\circ}\text{C} \sim 30^{\circ}\text{C}$ 程度であるとする。

[0027] 熱処理室 53（磁場非印加アニール処理室）は、各種形成装置 51 による、熱履歴を生じる形成処理後、必要に応じて、基板上に形成された MTJ 素子や保護膜（キャプチュレーション膜）等に対して、第 2 処理温度 T_b でアニール処理が施され、MTJ 素子や保護膜の応力ないし歪を緩和する。なお、第 2 処理温度 T_b は、第 1 処理温度 T_a よりも低い温度に設定されている。

[0028] 制御部 54（制御装置）は、各形成装置 51、磁場中熱処理室 52（磁場中アニール処理室）、磁場非印加アニール処理室としての熱処理室 53（アニール処理室）等を統括的に制御することで、磁気メモリを製造する。詳細には、制御部 54 は、コンピュータにより構成され、制御プログラムを実行することにより、本発明に係る磁気メモリの製造方法等を実現する。

[0029] 次に、本発明の実施形態に係る磁気メモリの製造方法を説明する。

図 3 に示すように、基板となるシリコン等のウェハ 12 を所定の形成装置 51 内に投入し（ステップ S11）、そのウェハ 12 の表面に CMOS 13 を作製し（ステップ S12）、CMOS 13 の上に MTJ 素子 11 と接続するための多層の中間配線 14（例えば、M1-M4）を形成する。

そして、中間配線 14 上に第 1 層間膜 1 が形成され、第 1 層間膜 1 にビアホールが形成される（図 4（a）を参照）。

[0030] 次に、ステップ S14 において、製膜装置、例えば物理蒸着（PVD: Physical Vapor Deposition）装置、特に本実施形態では、スパッタリング装置により、第 1 層間膜 1 に隣接して、下部電極 140 となる導電層、参照層 111 となる第 1 磁性膜、非磁性層である障壁層 112、記録層 113 となる第 2 磁性膜、ハードマスク 103 を順に成膜する。上記の製膜工程では、必要に応じて室温からの加熱を行う場合もある。尚、下部電極 140 となる導電層の形成時に、第 1 層間膜 1 に設けられたビアホールに、導電材料が成膜され、電氣的に接続されることにより、ビア 141（VIA）との電氣的な

コンタクトが形成される。

[0031] 次に、ステップS 1 5において、図4（b）に示したように、アニール処理専用の磁場中熱処理室5 2（磁場中アニール処理室）にて、上記磁性膜等が形成されたウェハ1 2 A（基板）に対して、磁場中アニール処理が施される。詳細には、磁場中熱処理室5 2には、ヒーター等の加熱部5 2 2、温度センサ5 2 3、真空ポンプ5 2 4、磁場発生装置5 2 5などが設けられている。制御部5 4は、磁場中熱処理室5 2の各構成要素を統括的に制御する。

[0032] 磁場中アニール処理としては、具体的には、室温状態の熱処理室5 2内に、磁性膜等が形成されたウェハ1 2 A（基板）が配置され、真空ポンプ5 2 4により熱処理室5 2内を真空状態とし、加熱部5 2 2により熱処理室5 2内を第1処理温度 T_a （380℃～420℃程度、本実施形態では400℃）に加熱しつつ、磁場発生装置5 2 5により、参照層1 1 1となる第1磁性膜の面に対して垂直方向（直交方向）に磁界を印加し、所定時間経過後、加熱部5 2 2をオフ状態とし、室温程度となった後、熱処理室5 2からアニール処理された基板を取り出す。そして、検査装置により磁性膜の膜性能を検査する。なお、本実施形態では、室温は1℃～30℃程度であるとする。

[0033] ステップS 1 6において、図4（c）に示したように、MTJパターン1 0 4がリソグラフィで作製される。詳細には、レジスト塗布装置によりフォトレジストをハードマスク1 0 3上に塗布し（処理温度は室温）、それに対してベーキング処理を行う（約100℃）。次に、露光装置により、フォトマスクのパターンをフォトレジストに転写する（処理温度は室温）。次に、それに対してポストベーキング処理を施して、未露光部分を除去する（約150℃）。検査装置がリソグラフィの形状を検査する。

[0034] ステップS 1 7において、ハードマスクとMTJに対して、エッチング処理を行う。詳細には、上記MTJパターン1 0 4等が形成された基板に対して、反応性イオンエッチング装置によりエッチング処理を施すことにより（処理温度は室温）、図5（a）に示したように、MTJパターン1 0 4に対応した形状のハードマスク1 0 3とMTJ素子1 1が形成される。フォトレ

ジスト（MTJパターン104）を除去した後、検査装置がMTJ素子11の形状を検査する。

[0035] ステップS18において、化学気相成長装置の装置内に、ステップS17の処理が施された基板を配置し、装置内に反応性ガスを導入して、基板を200℃～300℃程度に加熱し、図5（b）に示すように、下部電極140となる導電層上に、保護膜105（キャプチュレーション膜）を成膜する。詳細には、MTJ素子11の側面側、及びハードマスク103に隣接して保護膜105が形成される。保護膜105（キャプチュレーション膜）の形成材料としては、例えばSiN等を挙げることができる。

[0036] ステップS19において、上記処理が行われた基板に対して、下部電極レジストパターンを形成後、反応性イオンエッチング装置を用いてエッチング処理を施すことにより、図5（c）に示したように、所定の形状の下部電極140が形成される。ステップS19における処理温度は、室温程度である。

[0037] ステップS20において、上記処理が行われた基板に対して、アニール処理（熱処理）を施す。詳細には、図6（a）に示したように、熱処理室53（アニール処理室）には、ヒーター等の加熱部532、温度センサ533、真空ポンプ534、不活性ガス供給部536などが設けられている。制御部54は、熱処理室53の各構成要素を統括的に制御する。

[0038] アニール処理としては、具体的には、磁場非印加状態、且つ、室温状態の熱処理室53内に、上記処理が行われたウェハ12B（基板）が配置され、真空ポンプ534により熱処理室53内を真空状態とし、加熱部532により熱処理室53内を第2処理温度Tb（例えば200℃以上～400℃未満、本実施形態では300℃）に加熱し、所定時間経過後、加熱部532をオフ状態とし、室温程度となった後、熱処理室53からアニール処理が行われた基板を取り出す。そして、検査装置によりMTJ素子等の性能を検査する。

MTJ素子や保護膜105等が形成されたウェハ12B（基板）に対して

、上記アニール処理を施すことにより、MTJ素子や保護膜105等の応力ないし歪が緩和される。

[0039] 尚、不活性ガス供給部536により窒素ガスやアルゴンガス等の不活性ガスを、熱処理室53内に供給し、熱処理室53内を不活性ガスで満たした状態で、アニール処理を施してもよい。

[0040] ステップS21において、第2層間膜2を形成する処理を行う。詳細には、化学気相成長装置の装置内に、ステップS20の処理が施された基板を配置し、装置内に反応性ガスを導入して、基板を200℃～300℃程度に加熱しながら成膜し、図6(b)に示したように、第1層間膜1や保護膜105（キャプチュレーション膜）に隣接して第2層間膜2が形成される。

[0041] 次に、第2層間膜2を平坦化する処理を行う。詳細には、ケミカルメカニカルポリッシング（CMP）装置により、研磨剤を第2層間膜2の表面に塗布しながら、第2層間膜2の表面を研磨する処理を行う。図7(a)に示したように、第2層間膜2の表面が平坦となる。平坦化処理の処理温度は室温程度である。

[0042] ステップS22において、上記平坦化処理が行われた基板に対して、図7(b)に示したように、アニール処理を行う。熱処理室53（アニール処理室）の構成に関する説明は省略する。アニール処理としては、ステップS20と同様であり、具体的には、磁場非印加状態、且つ、室温状態の熱処理室53内に、上記処理が行われたウェハ12C（基板）が配置され、熱処理室53内を真空状態、又は不活性ガス雰囲気とし、加熱部532により熱処理室53内を第2処理温度Tb（例えば200℃以上～400℃未満、本実施形態では300℃）に加熱し、所定時間経過後、加熱部532をオフ状態とし、室温程度となった後、熱処理室53からアニール処理が行われた基板を取り出す。そして、検査装置によりCMPの平坦化の状況を検査する。

[0043] ステップS23において、上記ステップS22により処理された基板に対して、上部配線形成処理を行う。本実施形態では、ビア（ビアホール）形成処理、拡散防止膜形成処理の後、上部配線膜形成処理、上部配線パターンニ

ング処理を行う。

[0044] 詳細には、先ず、図8（a）に示したように、第2層間膜2にビア（ビアホール）を形成する処理を行う。具体的には、ビアホールに対応するリソグラフィパターンを形成後、反応性イオンエッチング装置によりエッチング処理が行われ、ビアホール151Hが形成される。ステップS23の処理温度は室温程度である。

[0045] 次に、拡散防止膜106を形成する処理を行う。詳細には、化学気相成長装置の装置内に、上記ビアホール151H等が形成された基板を配置し、装置内に反応性ガスを導入して、基板を200℃～300℃程度に加熱しながら成膜し、図8（b）に示すように、第2層間膜2の表面、及びビアホール151Hの内側面に拡散防止膜106が形成される。拡散防止膜106の形成材料としては、例えばTiN等を挙げることができる。この拡散防止膜形成処理の処理温度は、200℃～300℃程度である。

[0046] 次に、図8（c）に示したように、無電解めっき装置により、拡散防止膜106に隣接して、上部配線15となる上部配線膜を形成する。処理温度は、室温程度である。上部配線の形成材料としては、例えば、Cu等を採用することができる。また、ビアホール151HにCu等が成膜されることで、ビア151が形成される。

[0047] 次に、上部配線パターンニング処理を行う。詳細には、上部配線の形状に対応したリソグラフィパターンを形成後、反応性イオンエッチング装置により上部配線膜に対してエッチング処理を行うことで、図9（a）に示したように、所定形状の上部配線15が形成される。この上部配線パターンニング処理の処理温度は、室温程度である。

[0048] ステップS24において、上記処理が施された基板に対して、図9（b）に示したように、アニール処理を行う。熱処理室53（アニール処理室）の構成に関する説明は省略する。アニール処理としては、ステップS20、S22と同様であり、具体的には、磁場非印加状態、且つ、室温状態の熱処理室53内に、上記処理が行われたウェハ12D（基板）が配置され、熱処理

室53内を真空状態、又は不活性ガス雰囲気とし、加熱部532により熱処理室53内を第2処理温度 T_b （例えば200℃以上～400℃未満、本実施形態では300℃）に加熱し、所定時間経過後、加熱部532をオフ状態とし、室温程度となった後、熱処理室53からアニール処理が行われた基板を取り出す。そして、検査装置によりMTJ素子等の性能を検査する。

尚、ステップS21、S23を配線形成工程（BEOL：Back end of line）という。

- [0049] ステップS25において、パッケージング処理を行う。本実施形態では、パッケージング処理としては、チップ切り出し処理、チップダイボンディング処理、ワイヤボンディング処理、樹脂封止処理等を行う。
- [0050] 詳細には、チップ切り出し処理としては、図9（c）に示したように、ステップS24までの処理が施されたウェハ12E（基板）を、ダイシング装置によりチップ状に切り出して、所定の大きさのチップ121を作製する。処理温度は室温である。本実施形態ではウェハの直径は300mmである。
- [0051] チップダイボンディング処理としては、図10（a）に示したように、回路基板上に導電性接着材料からなるボンディング層201を介してチップ121を接着する。回路基板は、絶縁材203、回路パターンとしての金属パターン202、はんだ等の導電体204により構成されている。導電性接材料を用いた場合、チップダイボンディング処理の処理温度としては、150℃～200℃程度である。
- [0052] ワイヤボンディング処理としては、図10（b）に示したように、チップ121の所定箇所と、回路基板の金属パターン202の所定箇所とをワイヤボンディング金属線206で電氣的に接続する。
- [0053] 樹脂封止処理としては、図10（b）に示したように、回路基板上のチップ121及び金属線206を樹脂材料207により封止する。上記一連の処理により、磁気メモリ10が作製される。ボンディング部分の処理温度は150℃～300℃程度である。チップへの加熱は行わない。
- [0054] ステップS26において、上記作製された磁気メモリ10に対して、図1

0 (c) に示したように、アニール処理を行う。熱処理室 5 3 (アニール処理室) の構成に関する説明は省略する。アニール処理としては、ステップ S 2 0、S 2 2、S 2 4 と同様であり、具体的には、磁場非印加状態、且つ、室温状態の熱処理室 5 3 内に、上記磁気メモリ 1 0 が配置され、熱処理室 5 3 内を真空状態、又は不活性ガス雰囲気とし、加熱部 5 3 2 により熱処理室 5 3 内を第 2 処理温度 T_b (例えば 200°C 以上 $\sim 400^{\circ}\text{C}$ 未満、本実施形態では 300°C) に加熱し、所定時間経過後、加熱部 5 3 2 をオフ状態とし、室温程度となった後、熱処理室 5 3 からアニール処理が行われた磁気メモリ 1 0 を取り出す。そして、検査装置により最終的に素子等の各種の性能を検査する。

[0055] また、製造された磁気メモリ 1 0 (半導体集積回路) は、図 1 1 に示したように、MTJ 素子 1 1 の上部配線 1 5 として複数のビット線 1 8 が配線され、CMOS 1 3 の上部に複数のワード線 1 9 が配線された MRAM からなっている。各ビット線 1 8 は、互いに平行に配置され、ビットライン選択回路 1 8 a に接続されている。各ワード線 1 9 は互いに平行に配置され、ワードライン選択回路 1 9 a に接続されている。

[0056] この磁気メモリ 1 0 (半導体集積回路) において、任意の MTJ 素子 1 1 へ書き込みを行う場合、書き込みビットナンバーをもとに、ビットライン選択回路 1 8 a およびワードライン選択回路 1 9 a でそれぞれ、所定のビット線 1 8 およびワード線 1 9 に電圧を印加して行う。

また、任意の MTJ 素子 1 1 から読み出しを行う場合、読み出しビットナンバーをもとに、ビットライン選択回路 1 8 a およびワードライン選択回路 1 9 a で、それぞれ所定のビット線 1 8 およびワード線 1 9 を選択し、センスアンプ 2 0 へ接続して行う。センスアンプには参照抵抗 8 が電氣的に接続されている。

[0057] 尚、熱処理室 5 3 によるアニール処理は、上述した磁気メモリの製造工程のステップ S 2 0、S 2 2、S 2 4、S 2 6 のうち、いずれか一つ以上を行うことで、MTJ 素子や保護膜 (キャプチュレーション膜) 等の応力ないし

歪を緩和することができる。

[0058] 図12は磁気メモリ（半導体集積回路）製造時の温度の時間変化の一例を示す図である。

本実施形態では、熱処理室53（アニール処理室）による、アニール処理の第2処理温度 T_b は、磁場中熱処理工程での第1処理温度 T_a よりも低く設定されている。

また、図12に示したように、アニール処理対象物を室温状態に自然冷却する、又は強制冷却した後、熱処理室53による磁場非印加のアニール処理を行うので、MTJ素子や保護層（キャプチュレーション膜）等の応力ないし歪を確実に緩和することができる。

すなわち、MTJ素子の素子性能を劣化させることなく、保護膜（キャプチュレーション膜）やMTJ素子等の応力ないし歪を緩和することができ、その応力ないし歪の緩和により、高い性能のMTJ素子を備えた磁気メモリを提供することができる。

[0059] 本願発明者は、本発明に係る磁気メモリの製造方法の効果を確認するために、磁気トンネル接合素子（磁気抵抗効果素子）を有する磁気メモリを実際に作製し、磁気抵抗効果素子の熱安定性指数 ΔO の測定を行った。尚、製造コスト等の制約で、これまで述べたすべての工程（詳細には図3に示すS20、S22、S24、S26）での熱処理（磁場非印加アニール処理）が難しい場合、ウェハ上でのMRAM製造工程がすべて終了する上部電極（上部配線15）を形成する工程（S23）の後に熱処理工程（磁場非印加アニール処理工程S24）を行うことが効果的である。この理由は、上部電極（上部配線15）を形成する工程（S23）までに、ウェハ上でのMRAM製造工程におけるすべての熱履歴を伴う工程が終了しているので、上部電極（上部配線15）を形成する工程（S23）の後に熱処理（磁場非印加アニール処理工程S24）を行うと、この工程以前に蓄積された保護膜105やMTJ素子11等の応力ないし歪を、一度に緩和することができるためである。

[0060] 図13は本発明の一実施形態に係る磁気メモリの製造方法の一例を示すフ

ローチャートである。図13に示した磁気メモリの製造方法では、ステップS11～S19、S21、S23、S24（磁場非印加アニール処理）を実行し、このステップS24（磁場非印加アニール処理）による効果を確認するために、図3に示したステップS20、S22、S25、S26に関しては実行していない。

図14は、図13に示した磁気メモリの製造方法により作製されたMTJ素子の熱安定性指数と、比較例のMTJ素子の熱安定性指数の一例を示す図である。熱安定性指数の測定は、図15に示した測定システムにより測定を行った。

図14において、縦軸に熱安定性指数 Δ_0 を示し、横軸にMTJ素子のサイズを示す。MTJ素子のサイズは、本実施例では、円柱形状の記録層の直径としている。

[0061] 三角マークは、図13に示した本発明の一実施形態に係る磁性メモリの製造方法、詳細には、ステップS11～S19、S21、S23、S24（アニール処理）を実行することにより作製された磁気メモリのMTJ素子の熱安定指数の値を示す。つまり、ステップS21、S23のBEOL工程後に、熱処理室53によるアニール処理を行っている。

[0062] 丸マークは、比較例の磁性メモリの製造方法、詳細には、ステップS11～S19、S21、S23を実行することにより作製された磁気メモリのMTJ素子の熱安定指数の値を示す。つまり、比較例では、熱処理室53によるアニール処理を行っていない。

[0063] 測定の結果、図14に示したように、本発明に係る磁気メモリの製造方法で製造されたMTJ素子の熱安定性指数 Δ_0 は、比較例と比べて、大きな値を示した。つまり、熱処理室53によるアニール処理を施すことにより、保護膜（キャプチュレーション膜）やMTJ素子等の応力ないし歪が緩和されて、高い熱安定性指数 Δ_0 を有するMTJ素子が作製されていることが分かった。

非特許文献2によると、数式（3）から、容量mビットの磁気メモリの故

障率 F は、数式 (4) で表される。

$$[0064] \quad F = 1 - \exp \{ -m \times (t / 10^{-9}) \times \exp(-\Delta_0) \} \quad \dots (4)$$

[0065] したがって、一般的なエラー補償回路で救済可能な故障率 10^{-7} 以下を確保可能な時間 t は、数式 (5) で表される。

$$[0066] \quad t = \{ (-10^{-9}) / m \} \times \ln(1 - 10^{-7}) \times \exp(\Delta_0) \quad \dots (5)$$

[0067] 例えば、メモリの容量として、本発明の主要な応用である $m = 64 \text{ Mb}$ のエンベデッドメモリを想定すると、比較例では、MTJ サイズ 40 nm の場合 $\Delta_0 = 70$ 程度なので、上記時間 t は約 0.1 年であるが、本発明に係る磁気メモリでは、MTJ サイズ 40 nm の場合 $\Delta_0 = 90$ 程度なので、上記時間 t は約 6×10^7 年であり、飛躍的に拡大可能となる。

[0068] 非特許文献2: R. Takemura et al, "A 32-Mb SPRAM With 2T1R Memory Cell, Localized Bi-Directional Write Driver and '1'/'0' Dual-Array Equalized Reference Scheme," , IEEE JOURNAL OF SOLID-STATE CIRCUITS, VOL. 45, NO. 4, APRIL 2010

[0069] 図15は本発明の一実施形態に係るMTJ素子の熱安定性指数を測定する測定システムの一例を示す概念図である。

図15に示した例では、評価用MTJ素子11aのみに電氣的に接続された中間配線14とビア16(VIA)と上部配線15とからなる検査用端子ブロック17が形成されている。

検査用端子ブロック17は、一対の端子から構成されており、一方の端子は、単体の評価用MTJ素子11aの下部に接続された中間配線14(BASE)と、その上に形成されたビア16と、上部配線15とで構成されている。検査用端子ブロック17は、電氣的に接続された単体の評価用MTJ素子11aのみに電流を流すように構成されている。

[0070] <熱安定性指数の測定>

次に、単体の評価用MTJ素子11aに対する熱安定性指数の測定方法を

説明する。

図 15 に示したように、測定システム 40 は、保温手段（不図示）と、測定手段 41 と、解析手段 42 とを有する。

保温手段は、温度調整可能なプローバからなり、評価用 M T J 素子 11 a を含むウェハ 12 を搭載して、所定の温度に保持可能に構成されている。

測定手段 41 は、保温手段のプローバの一对の探針 41 a と、例えば、電圧パルス発生器 41 b と、標準抵抗 41 c と、電圧測定器 41 d とを有する。

電圧パルス発生器 41 b は、探針 41 a に接続され、各探針 41 a の間に電圧パルスを印加可能になっている。標準抵抗 41 c は、一方の探針 41 a と電圧パルス発生器 41 b との間に直列に接続されている。

電圧測定器 41 d は、電圧を測定可能なオシロスコープなどの測定器からなり、標準抵抗 41 c に並列に接続されて、標準抵抗 41 c に発生する電圧を測定可能に構成されている。なお電圧パルス発生器 41 b の代わりに、例えば、D C 電流源と、D C 電流源から電流を発生させるタイミングを指定するトリガー機構とを用いてもよい。

[0071] 測定手段 41 は、各探針 41 a を評価用 M T J 素子 11 a の各検査用端子ブロック 17 の上部配線 15 にビア（V I A）を介して接続されたパッド 17 a に接触させ、電圧パルス発生器 41 b で所定の電圧パルスを発生して、評価用 M T J 素子 11 a の両端に印加することにより、評価用 M T J 素子 11 a に所定の電流を流すように構成されている。また、その電流によって発生する標準抵抗 41 c の両端に発生する電圧を、所定時間、電圧測定器 41 d でモニターして測定することにより、評価用 M T J 素子 11 a の抵抗値の変化を測定可能に構成されている。

[0072] 解析手段 42 は、コンピュータで構成され、電圧測定器 41 d に接続されて、電圧測定器 41 d の測定値を入力可能に構成されている。解析手段 42 は、電圧測定器 41 d で測定された抵抗値の変化から、低抵抗状態を保持する時定数 τ_p 、及び高抵抗状態を保持する時定数 τ_{AP} を算出可能に構成されてい

る。

[0073] 詳細には、異なる大きさの複数の電流を順番に流しながら、各電流についてそれぞれ抵抗値の変化を測定し、抵抗値の変化から、低抵抗状態を保持する時間の頻度分布 $N_p(t)$ 、及び高抵抗状態を保持する時間の頻度分布 $N_{AP}(t)$ を求め、それぞれ $N_p(t) \propto \exp(-t/\tau_p)$ 、および $N_{AP}(t) \propto \exp(-t/\tau_{AP})$ の関係を用いて、低抵抗状態を保持する時定数 τ_p 、及び高抵抗状態を保持する時定数 τ_{AP} を算出する。

[0074] また、所定の電流 I と、低抵抗状態を保持する時定数 τ_p 、高抵抗状態を保持する時定数 τ_{AP} に基づいて、数式 (6) により、熱安定性指数 Δ_0 、及び I_{c0} を算出する。

$$[0075] \quad \tau_p / (\tau_p + \tau_{AP}) = 1 / [1 + \exp\{-\Delta_0 (2I / I_{c0})\}] \cdots (6)$$

[0076] 以上、図 15 に示した測定システムによる、熱安定性指数 Δ_0 の測定方法を説明したが、この測定方法に限られるものではなく、MTJ 素子の熱安定性指数を測定することができれば、例えば、磁場パルス法、電流パルス法などの測定方法を採用してもよい。

[0077] 以上、説明したように、本発明の実施形態に係る磁気トンネル接合素子（磁気抵抗効果素子）を備える磁気メモリの製造方法は、第 1 処理温度 T_a の磁場中熱処理工程の後の工程のうち、MTJ 素子を保護する SiN 等の保護膜 105（キャプチュレーション膜）形成工程、第 2 層間膜 2 形成工程、上部配線形成工程、パッケージング工程の少なくともいずれか一つ以上の工程の後、熱処理室 53（アニール処理室）内で、磁場非印加状態、真空中又は不活性ガス雰囲気中、第 2 処理温度 T_b で、MTJ 素子や保護膜等が形成された基板に対してアニール処理を施すことにより、保護膜（キャプチュレーション膜）や MTJ 素子の応力ないし歪を緩和する。第 2 処理温度 $T_b <$ 第 1 処理温度 T_a である。

[0078] 詳細には、本発明の実施形態に係る磁気トンネル接合素子（MTJ 素子 1）を備える磁気メモリの製造方法は、電極層（140）が設けられた基板

に、第1磁性層（参照層111）と第2磁性層（記録層113）との間に非磁性層（障壁層112）を備えた磁性膜を形成する工程（S14）と、基板に対して、真空中で第1磁性層（参照層111）又は第2磁性層（記録層113）の膜面垂直方向に磁界を印加した状態で、第1処理温度 T_a でアニール処理を行う磁場中アニール処理工程（S15）と、基板に形成された磁性膜にエッチング処理を施して所定のパターンの磁気トンネル接合素子（MTJ素子11）を形成する工程（S17）と、基板に形成された磁気トンネル接合素子（MTJ素子11）を保護する保護膜105（キャプチュレーション膜）を形成する保護膜形成工程（S18）と、保護膜形成工程（S18）の後に、保護膜が形成された基板に対して、磁気メモリの構成要素を形成する、熱履歴を伴う形成工程（S19、S21、S23、S25）と、熱処理室53（磁場非印加アニール処理室）にて、真空中又は不活性ガス中、磁場非印加状態で、基板に対して、第1処理温度 T_a よりも低い第2処理温度 T_b でアニール処理を施す磁場非印加アニール処理工程（S20、S22、S24、S26のうち少なくとも1つ以上）と、を有する。

尚、上記保護膜形成工程（S18）の後に、保護膜105が形成された基板に対して、磁気メモリの構成要素を形成する、熱履歴を伴う形成工程における、磁気メモリの構成要素としては、例えば、下部電極140、第2層間膜2、上部配線15、磁気抵抗効果素子（磁気トンネル接合素子）が形成されている基板を樹脂封止する封止部分（樹脂材料207）等のいずれか1つ又は複数である。

[0079] すなわち、磁場非印加アニール処理工程で、少なくとも磁気トンネル接合素子（MTJ素子11）や保護膜105が形成された基板（ウェハ）に対して、第2処理温度 T_b でアニール処理を施すことにより、少なくとも保護膜105や磁気トンネル接合素子（MTJ素子11）の応力ないし歪が緩和され、熱安定性指数等の素子性能の高い、磁気トンネル接合素子を備える磁気メモリを簡単に製造することができる。

尚、上記磁場中アニール処理工程（S15）で、磁気トンネル接合素子（

MTJ素子11)の基本的な素子性能が略決定されるが、その後の下部電極形成工程(S19)、第2層間膜2形成工程(S21)、上部電極(上部配線)形成工程(S23)、パッケージング工程(S25)等により蓄積される保護膜105やMTJ素子11等の応力ないし歪を、磁場非印加アニール処理工程により緩和させることで、MTJ素子11の素子性能の回復を図ることができる。

また、磁場非印加アニール処理工程で、比較的低い第2処理温度Tbでアニール処理を施すことにより、磁気トンネル接合素子(MTJ素子11)自体の性能劣化を生じさせない。

[0080] また、本発明の実施形態に係る磁気メモリの製造方法において、熱履歴を伴う形成工程は、基板に設けられた電極層にエッチング処理を施して、所定のパターンの下部電極を形成する下部電極形成工程(S19)を有する。磁場非印加アニール処理工程(S20)は、下部電極形成工程(S19)が施された基板に対して処理される。

すなわち、下部電極形成工程(S19)の後、保護膜105やMTJ素子11等に応力が生じている場合であっても、磁場非印加アニール処理工程(S20)により、保護膜105やMTJ素子11等の応力ないし歪を、簡単に緩和することができる。

[0081] また、本発明の実施形態に係る磁気メモリの製造方法において、熱履歴を伴う形成工程は、第2層間膜2を形成する層間膜形成工程(S21)を有する。磁場非印加アニール処理工程(S22)は、第2層間膜2を形成する層間膜形成工程(S21)が施された基板に対して処理される。

すなわち、第2層間膜2を形成する層間膜形成工程(S21)の後、保護膜105やMTJ素子11等に応力が生じている場合であっても、磁場非印加アニール処理工程(S22)により、保護膜105やMTJ素子11等の応力ないし歪を簡単に緩和することができる。

[0082] また、本発明の実施形態に係る磁気メモリの製造方法において、熱履歴を伴う形成工程は、磁気トンネル接合素子に隣接した上部電極である上部配線

15を形成する上部電極形成工程（S23）を有する。磁場非印加アニール処理工程（S24）は、上部電極形成工程（S23）が施された基板に対して処理される。

すなわち、上部電極（上部配線15）を形成する工程（S23）の後、保護膜105やMTJ素子11等に応力が生じている場合であっても、磁場非印加アニール処理工程（S24）により、保護膜105やMTJ素子11等の応力ないし歪を簡単に緩和することができる。

また、上述したように、製造コスト等の制約で、上記ステップS20、S22、S24、S26のすべてで熱処理（磁場非印加アニール処理）が難しい場合、ステップS20、S22を行わずとも、ウェハ上でのMRAM製造工程がすべて終了する上部電極（上部配線15）を形成する工程（S23）の後に熱処理工程（磁場非印加アニール処理工程S24）を行うことで、上部電極（上部配線15）を形成する工程（S23）までにウェハ上でのMRAM製造工程におけるすべての熱履歴を伴う工程が終了しているので、磁場非印加アニール処理工程S24以前に蓄積された保護膜105やMTJ素子11等の応力ないし歪を、一度に緩和することができる。

[0083] また、本発明の実施形態に係る磁気メモリの製造方法において、熱履歴を伴う形成工程は、磁気トンネル接合素子を含むチップ状の基板に対してパッケージング処理を施すパッケージング工程（S25）を有する。磁場非印加アニール処理工程（S26）は、このパッケージング処理が施されたチップ状の基板に対して処理される。詳細には、パッケージング工程（S25）としては、磁気トンネル接合素子を含むチップ状の基板を回路基板にボンディングした状態で樹脂封止する工程（S25）を有する。磁場非印加アニール処理工程（S26）は、樹脂封止されたチップ状の基板に対して処理される。

すなわち、パッケージング工程（S25）の後、保護膜105やMTJ素子11等に応力が生じている場合であっても、磁場非印加アニール処理工程（S24）により、保護膜105やMTJ素子11等の応力ないし歪を簡単

に緩和することができる。

[0084] また、本発明の実施形態に係る磁気メモリの製造方法において、磁場非印加アニール処理工程（S20、S22、S24、S26の少なくともいずれか1つ）の直前に、アニール処理対象物を室温状態に自然冷却する、又は強制冷却する工程を有する（図12参照）。

すなわち、各形成工程後に、室温状態に冷却されることで、保護膜105やMTJ素子11等に応力が生じている場合であっても、磁場非印加アニール処理工程により、保護膜105やMTJ素子11等に応力ないし歪を緩和することができる。なお、本実施形態では、室温状態に冷却するとは、1℃～30℃程度に冷却することである。

[0085] また、本実施形態では、第1処理温度Taは、380℃～420℃であり、好ましくは390℃～410℃であり、最適には400℃である。

第1処理温度Taよりも低い第2処理温度Tbは、200℃以上400℃未満であり、好ましくは290℃～310℃であり、最適には300℃である。

また、第1処理温度、第2処理温度は、磁性体膜や非磁性膜等の材質や構造等に応じて適宜設定することができる。

[0086] 以上、本発明の実施形態について図面を参照して詳述してきたが、具体的な構成はこれらの実施形態に限られるものではなく、本発明の要旨を逸脱しない範囲の設計の変更等があっても本発明に含まれる。

また、上述の各図で示した実施形態は、その目的及び構成等に特に矛盾や問題がない限り、互いの記載内容を組み合わせることが可能である。

また、各図の記載内容はそれぞれ独立した実施形態になり得るものであり、本発明の実施形態は各図を組み合わせた一つの実施形態に限定されるものではない。

[0087] 尚、磁場非印加の熱処理室53（アニール処理室）としては、磁場発生装置をオフ状態とした磁場中熱処理室52を用いてもよい。

また、MTJ素子11の参照層111と記録層113は逆の配置であって

もよい。

[0088] また、上記実施形態では、ステップS 1 1～S 1 8の後、ステップS 1 9、S 2 1、S 2 3、S 2 5の各工程の直後に、ステップS 2 0、S 2 2、S 2 4、S 2 6のアニール処理（熱処理）を行ったが、この実施形態に限られるものではない。

例えば、ステップS 2 0、S 2 2、S 2 4、S 2 6のうち、いずれか一つ以上のアニール処理（熱処理）を行ってもよい。

また、ステップS 1 9、S 2 1、S 2 3、S 2 5の全てを行う必要はなく、適宜、いずれか一つ以上の工程を行ってもよい。

符号の説明

- [0089] 1 0…磁気メモリ（半導体集積回路）
1 1…MTJ素子（磁気抵抗効果素子、磁気トンネル接合素子）
1 2…ウェハ（基板）
1 3…CMOS
1 4…中間配線
1 5…上部配線（上部電極）
1 8…ビット線
1 8 a…ビットライン選択回路
1 9…ワード線
1 9 a…ワードライン選択回路
2 0…センスアンプ
4 0…測定システム
4 1…測定手段
4 2…解析手段
5 0…形成装置
5 2…磁場中熱処理室（磁場中アニール処理室）
5 3…熱処理室（磁場非印加アニール処理室）
5 4…制御部（制御装置）

1 0 5 …保護膜（キャプチュレーション膜）

1 0 6 …拡散防止膜

1 1 1 …参照層（第 1 磁性層）

1 1 2 …障壁層（非磁性層）

1 1 3 …記録層（第 2 磁性層）

1 4 0 …下部電極

1 4 1 …ビア（V I A）

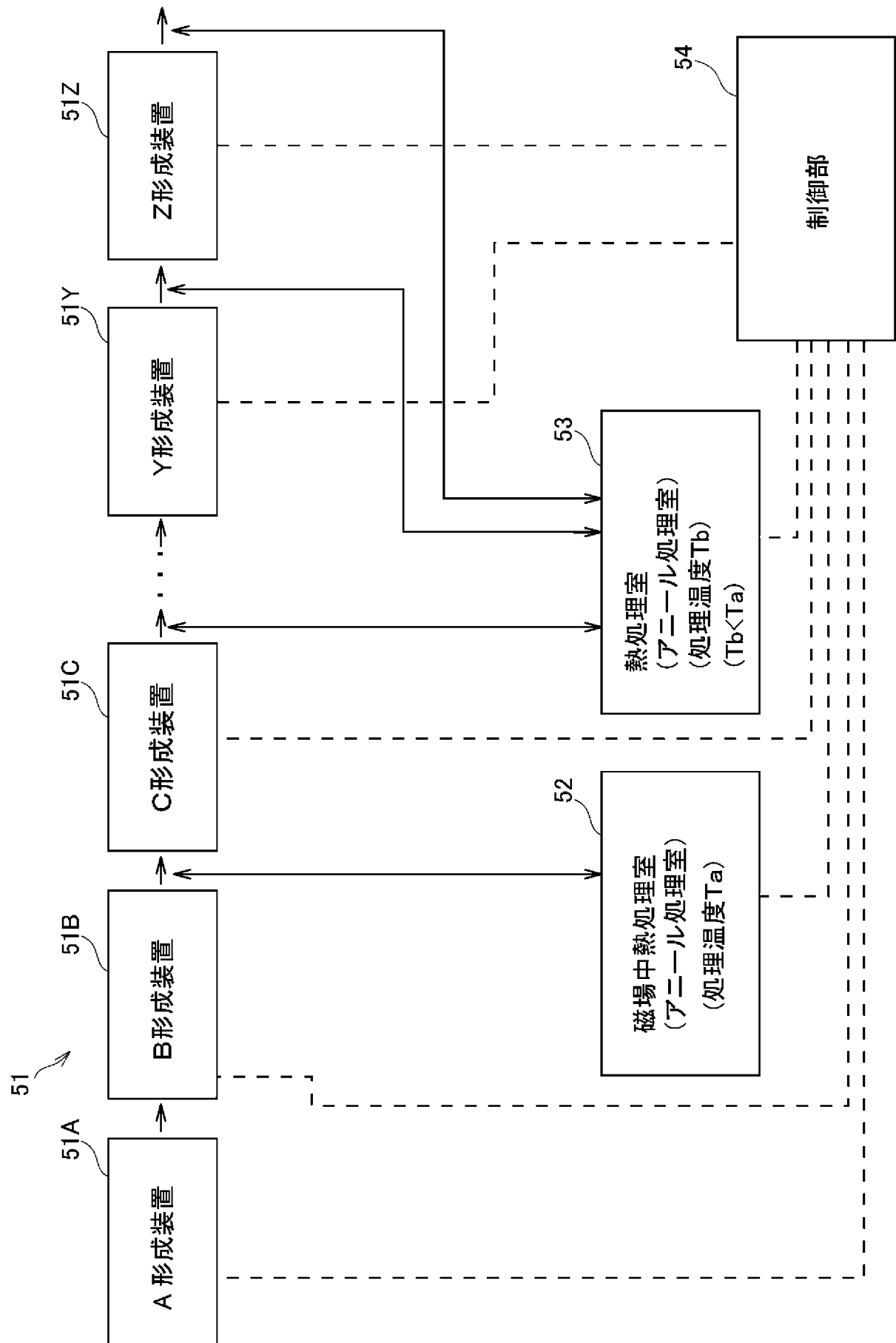
2 0 7 …樹脂材料

請求の範囲

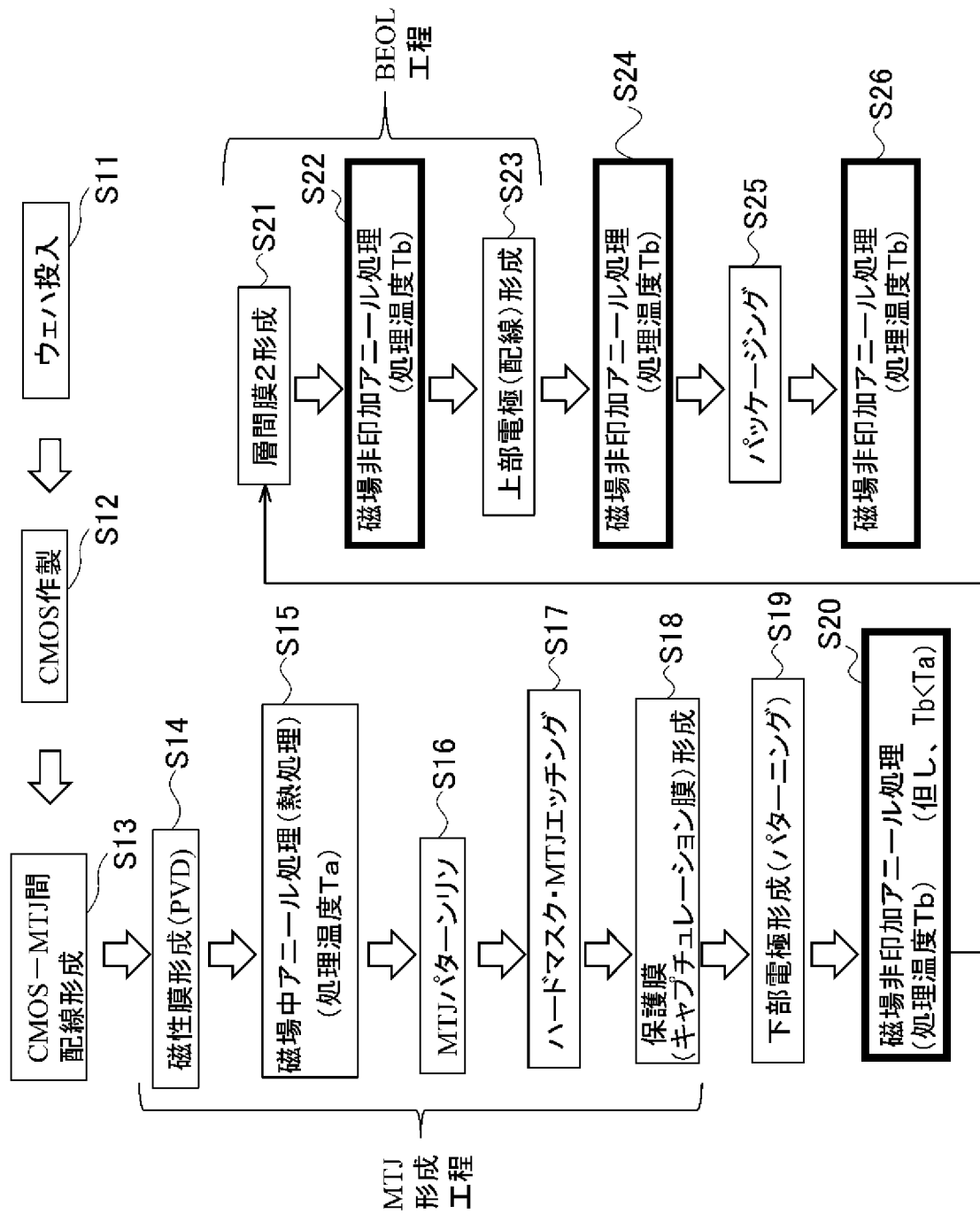
- [請求項1] 磁気トンネル接合素子を備える磁気メモリの製造方法であって、
電極層が設けられた基板に、第1磁性層と第2磁性層との間に非磁性層が配置された磁性膜を形成する工程と、
前記基板に対して、真空中で前記第1磁性層又は第2磁性層の膜面垂直方向に磁界を印加した状態で、第1処理温度でアニール処理を行う磁場中アニール処理工程と、
前記基板に形成された前記磁性膜にエッチング処理を施して所定のパターンの磁気トンネル接合素子を形成する工程と、
前記基板に形成された前記磁気トンネル接合素子を保護する保護膜を形成する保護膜形成工程と、
前記保護膜形成工程の後に、前記保護膜が形成された基板に対して、磁気メモリの構成要素を形成する、熱履歴を伴う形成工程と、
アニール処理室にて、真空中又は不活性ガス中、磁場非印加状態で、前記基板に対して、前記第1処理温度よりも低い第2処理温度でアニール処理を施す磁場非印加アニール処理工程と、を有することを特徴とする
磁気トンネル接合素子を備える磁気メモリの製造方法。
- [請求項2] 前記熱履歴を伴う形成工程は、基板に設けられた電極層にエッチング処理を施して、所定のパターンの下部電極を形成する下部電極形成工程を有し、
前記磁場非印加アニール処理工程は、前記下部電極形成工程が施された基板に対して処理されることを特徴とする請求項1に記載の磁気トンネル接合素子を備える磁気メモリの製造方法。
- [請求項3] 前記熱履歴を伴う形成工程は、層間膜形成工程を有し、
前記磁場非印加アニール処理工程は、前記層間膜形成工程が施された基板に対して処理されることを特徴とする請求項1または請求項2に記載の磁気トンネル接合素子を備える磁気メモリの製造方法。

- [請求項4] 前記熱履歴を伴う形成工程は、磁気トンネル接合素子に隣接した上部電極を形成する上部電極形成工程を有し、
- 前記磁場非印加アニール処理工程は、前記上部電極形成工程が施された基板に対して処理されることを特徴とする請求項1から請求項3のいずれか1項に記載の磁気トンネル接合素子を備える磁気メモリの製造方法。
- [請求項5] 前記熱履歴を伴う形成工程は、前記磁気トンネル接合素子を含むチップ状の基板に対してパッケージング処理を施すパッケージング工程を有し、
- 前記磁場非印加アニール処理工程は、前記パッケージング処理が施されたチップ状の基板に対して処理されることを特徴とする請求項1から請求項4のいずれか1項に記載の磁気トンネル接合素子を備える磁気メモリの製造方法。
- [請求項6] 前記磁場非印加アニール処理工程の直前に、アニール処理対象物を室温状態に自然冷却する、又は強制冷却する工程を有することを特徴とする請求項1から請求項5のいずれか1項に記載の磁気トンネル接合素子を備える磁気メモリの製造方法。
- [請求項7] 前記第2処理温度は、200℃以上400℃未満であることを特徴とする請求項1から請求項6のいずれか1項に記載の磁気トンネル接合素子を備える磁気メモリの製造方法。

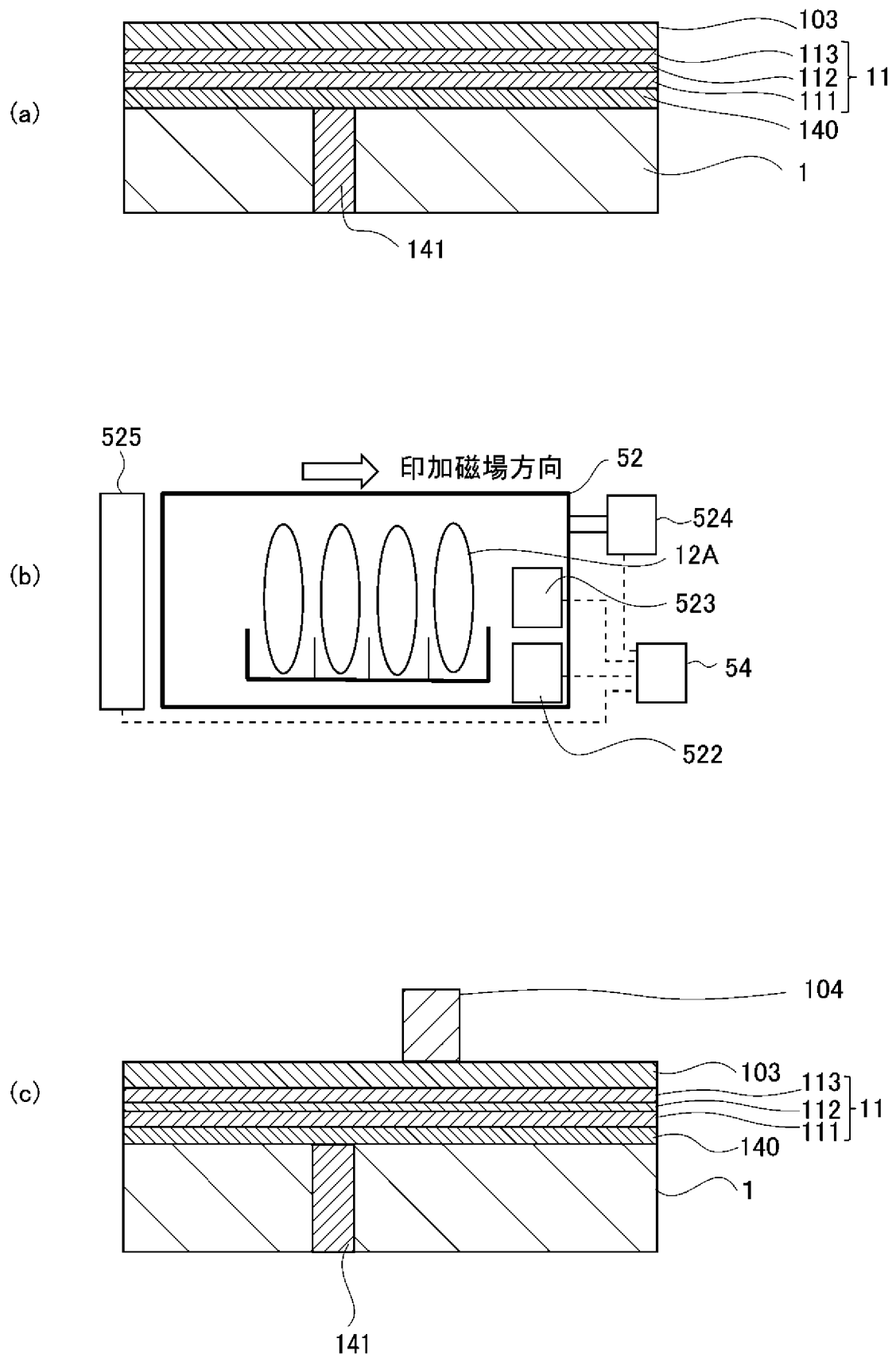
[図2]



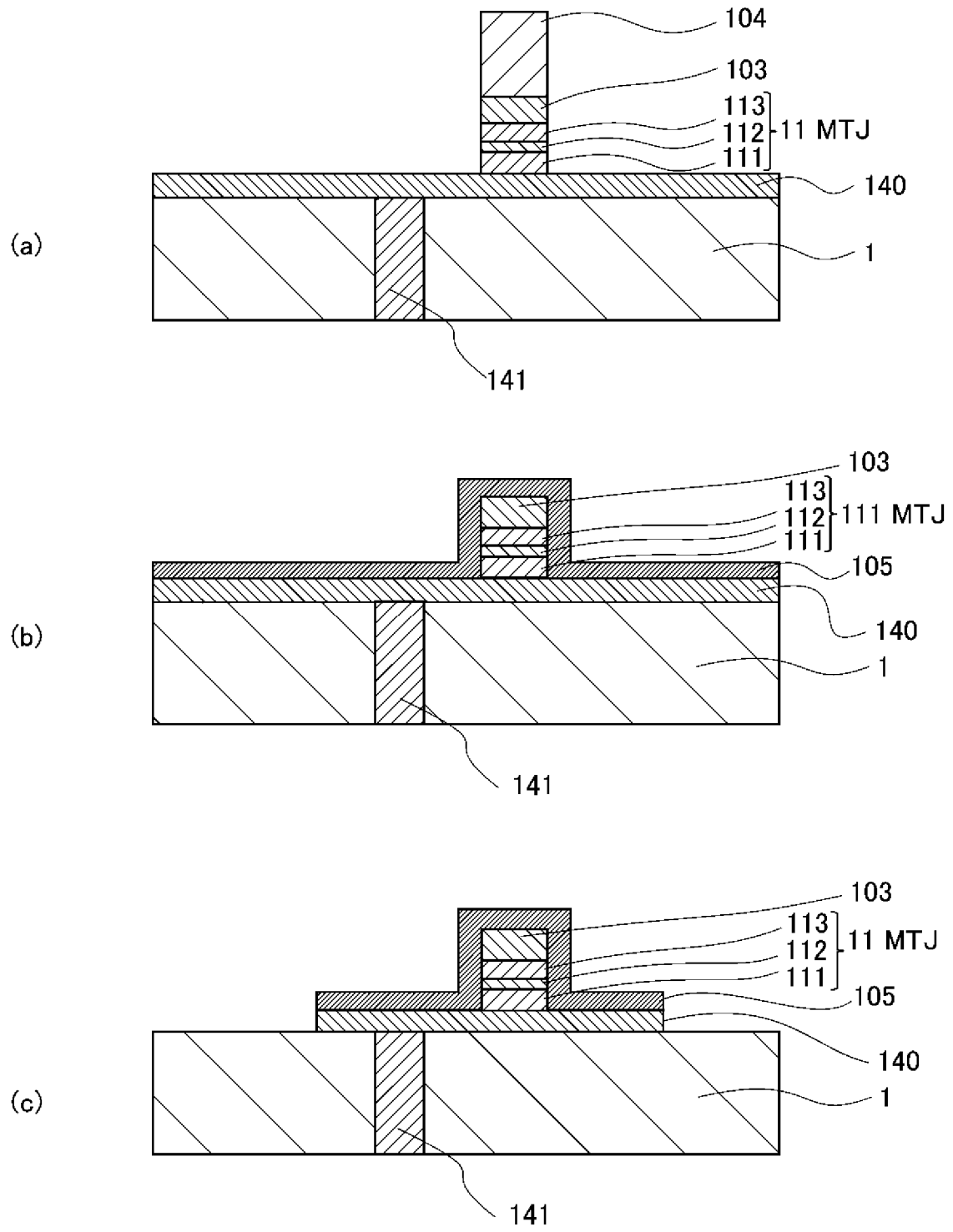
[図3]



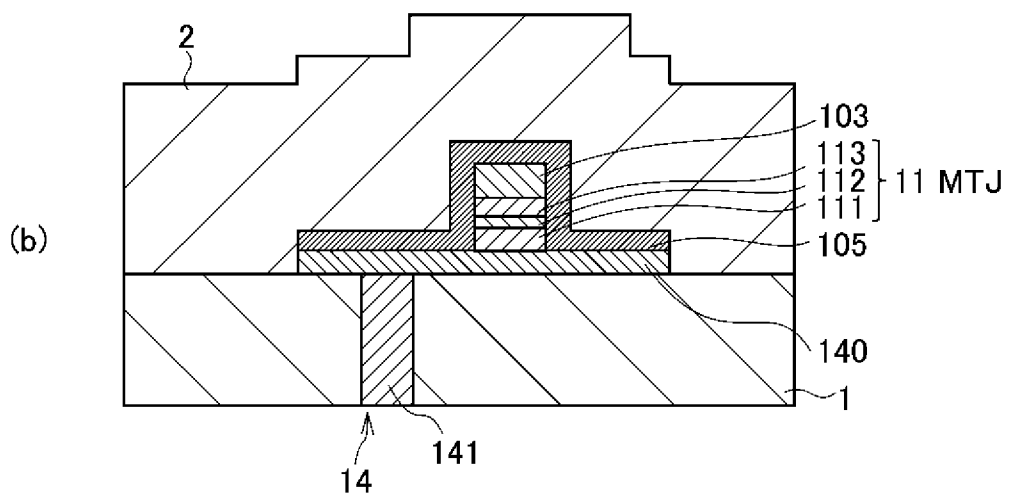
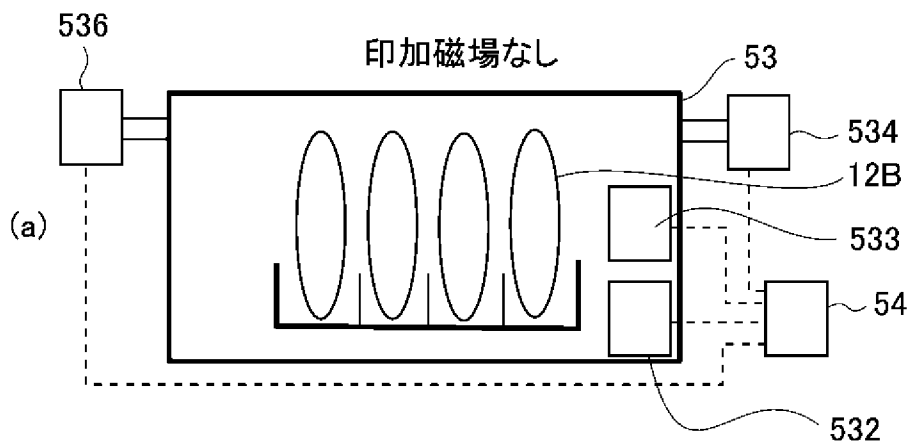
[図4]



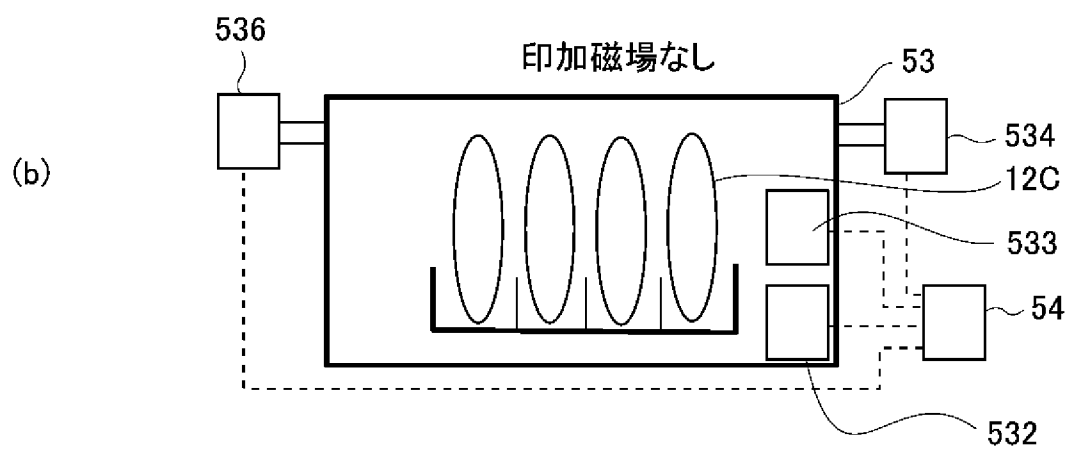
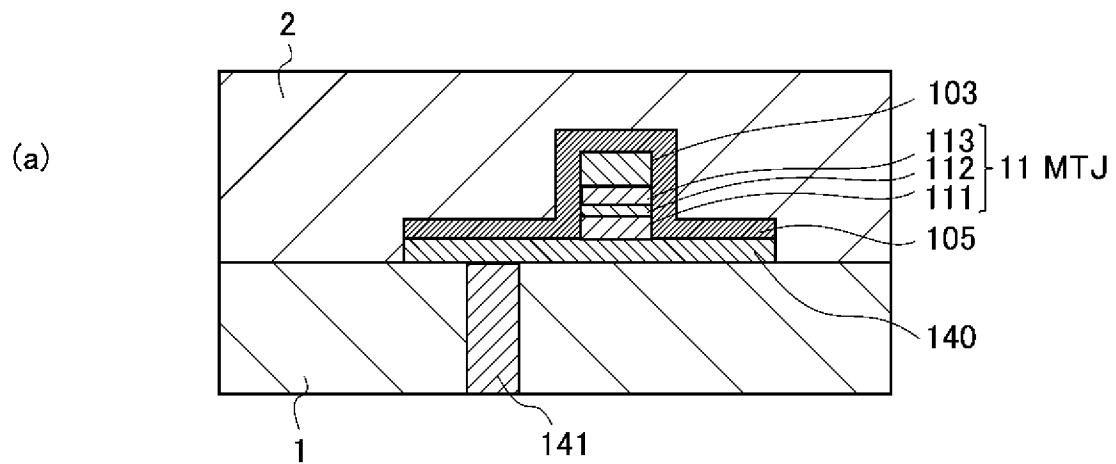
[図5]



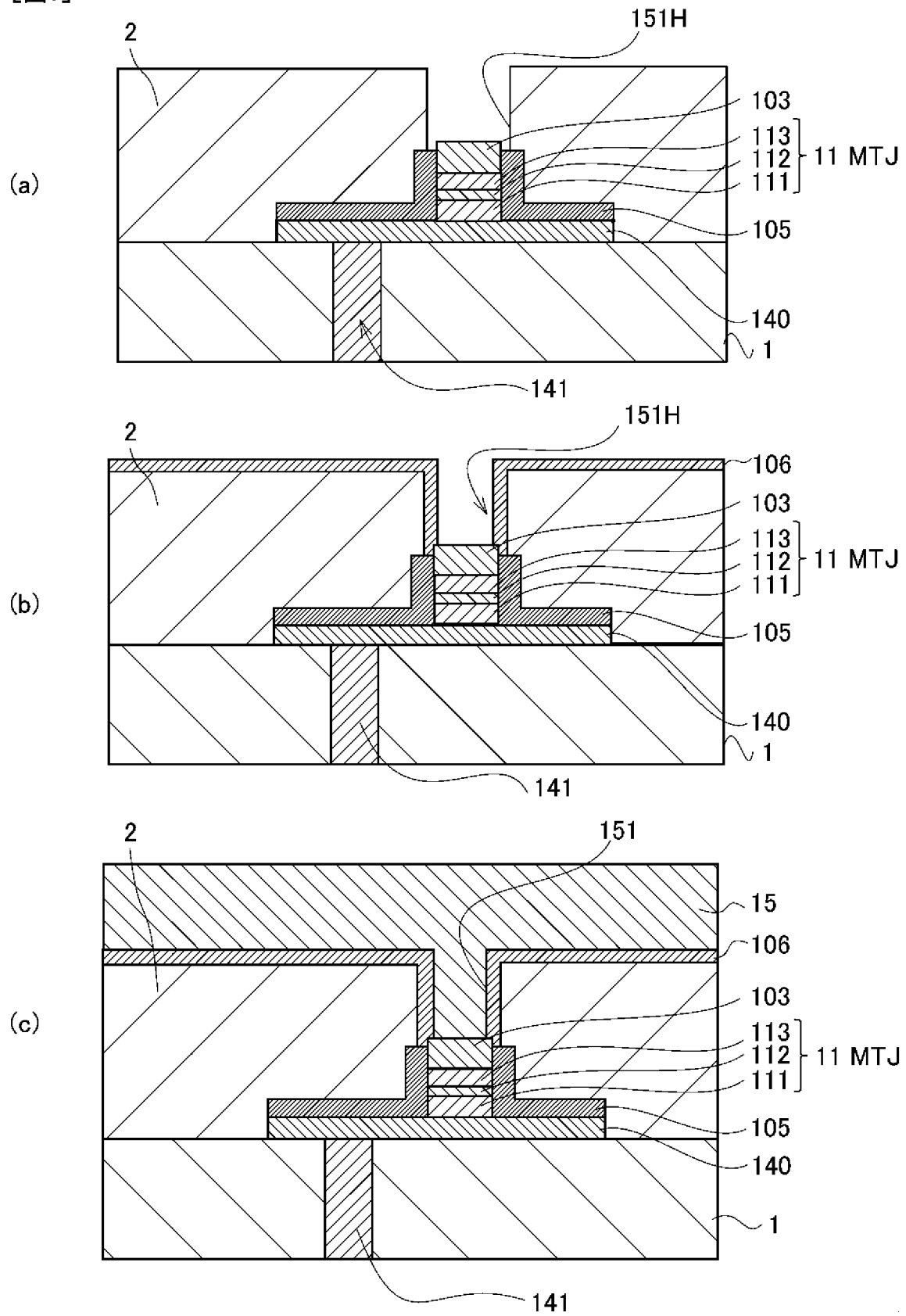
[図6]



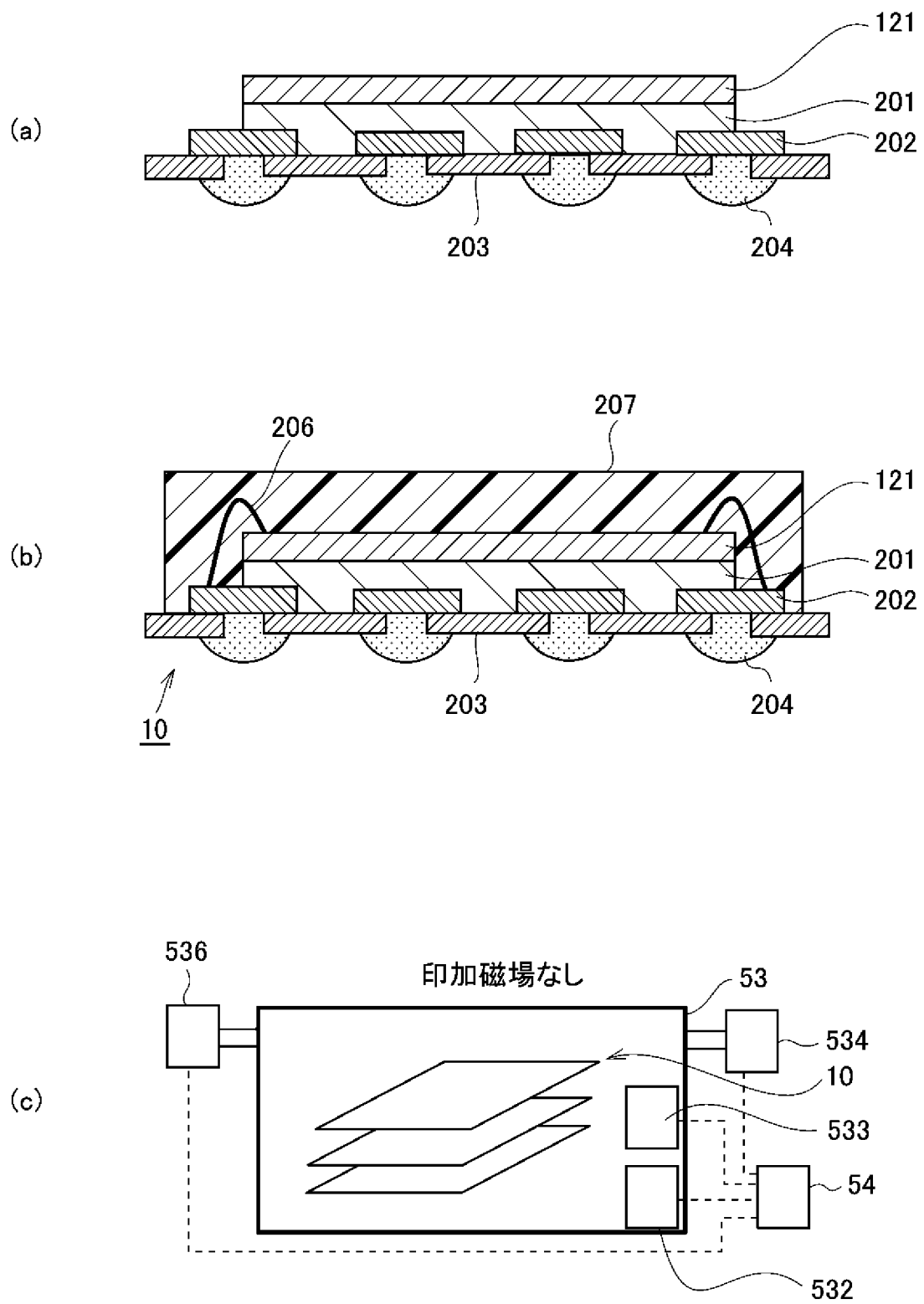
[図7]



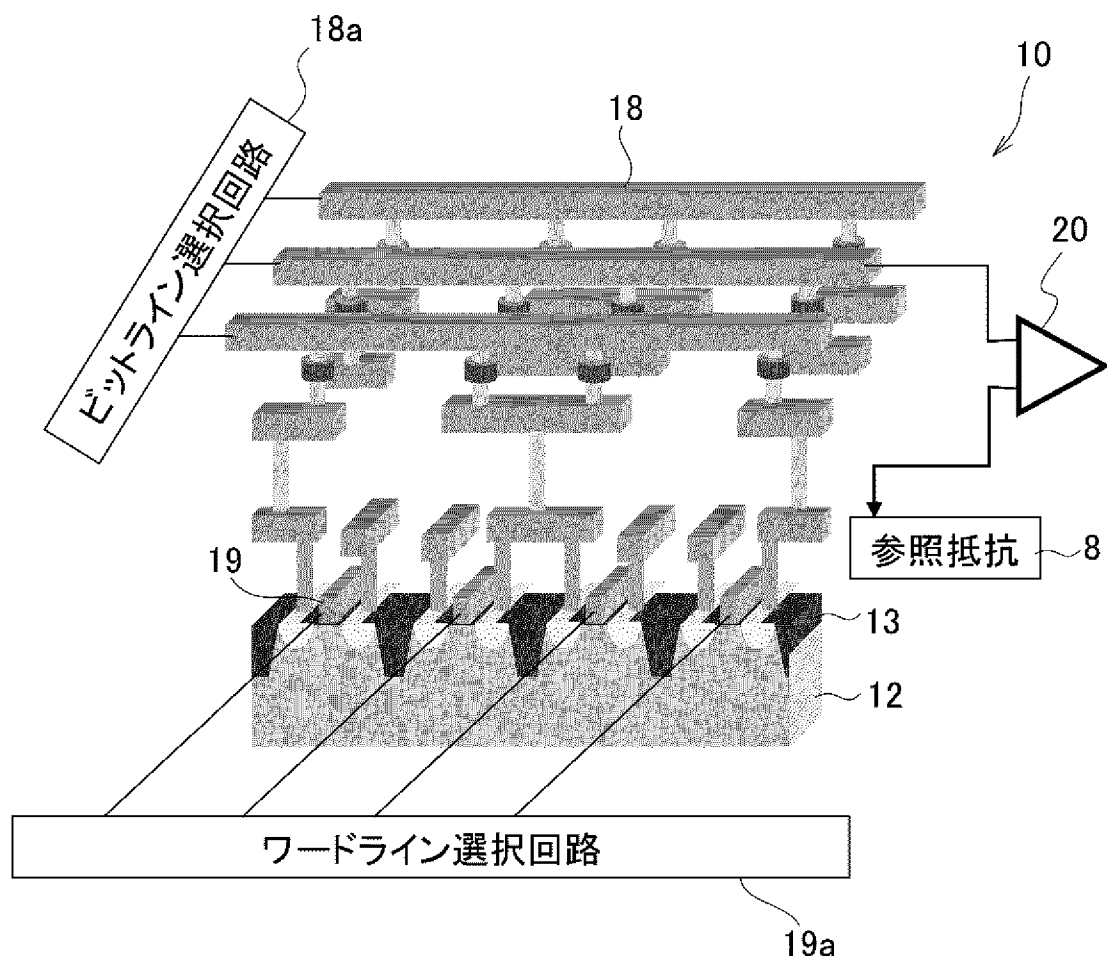
[図8]



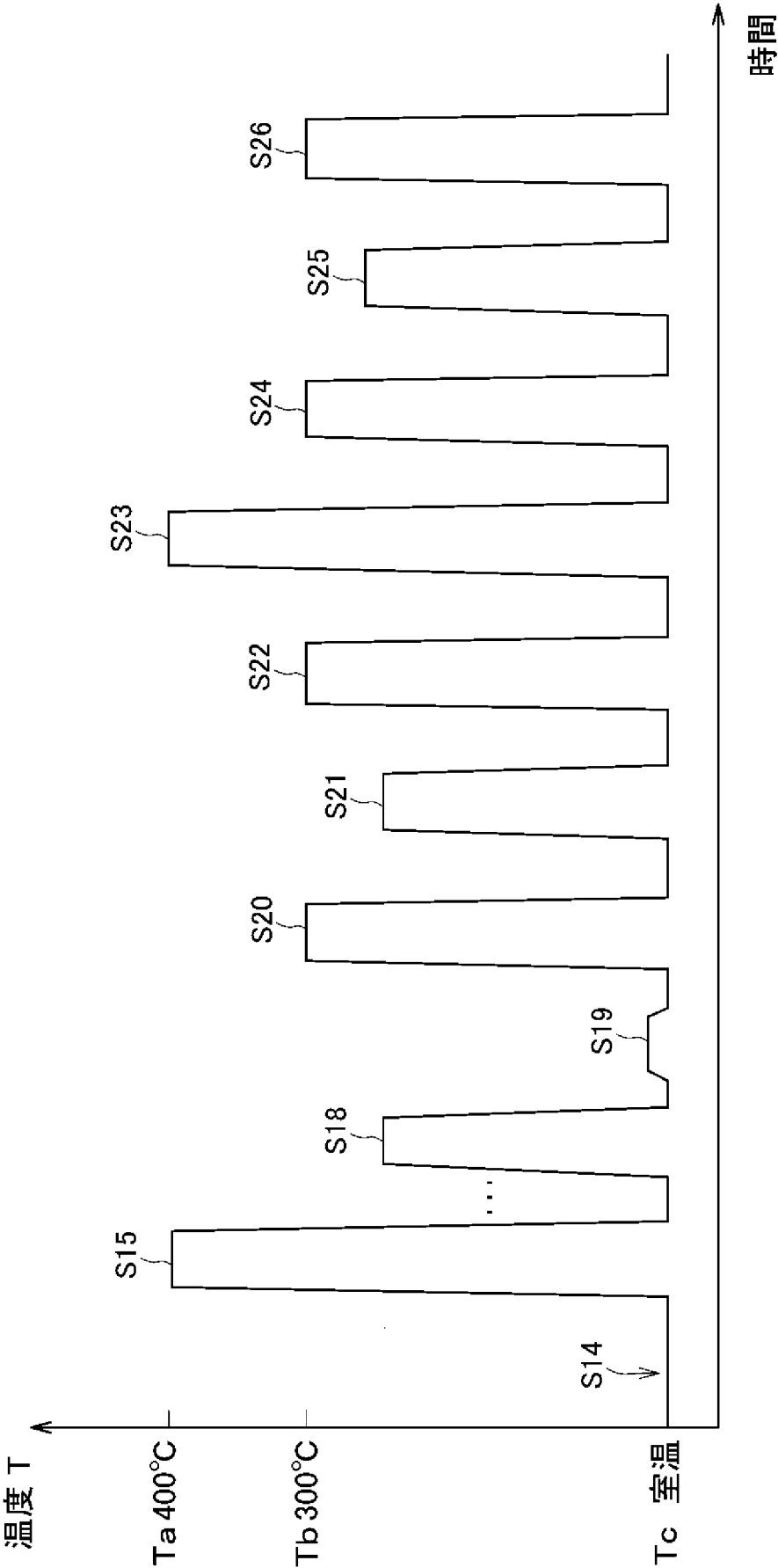
[図10]



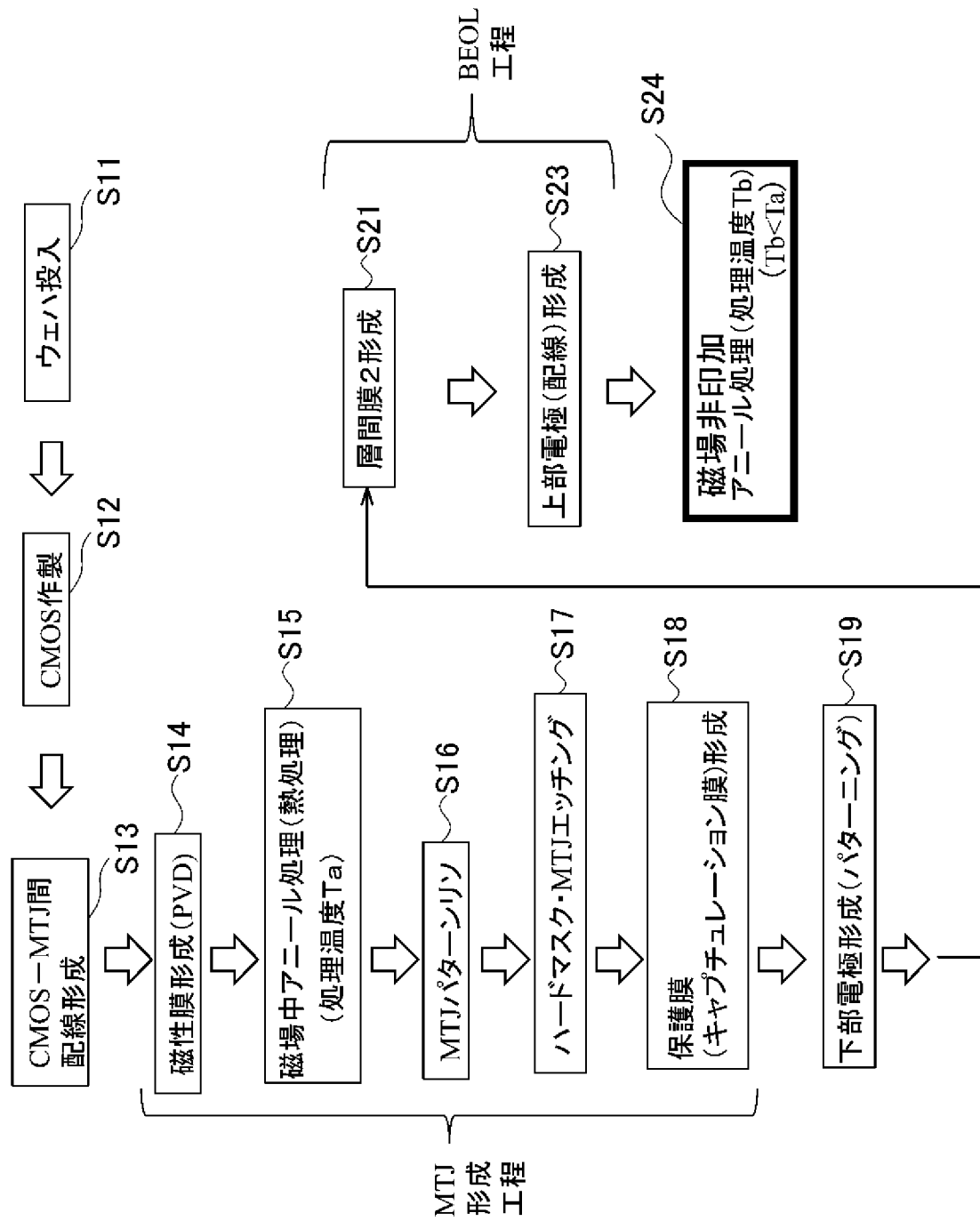
[図11]



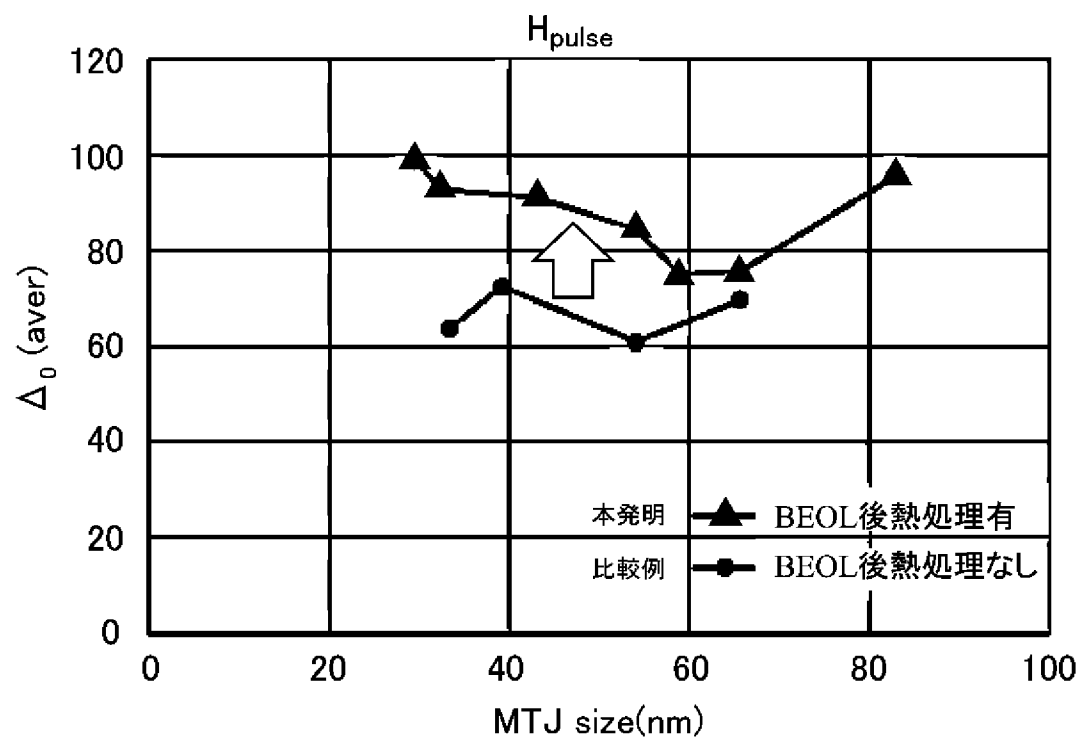
[図12]



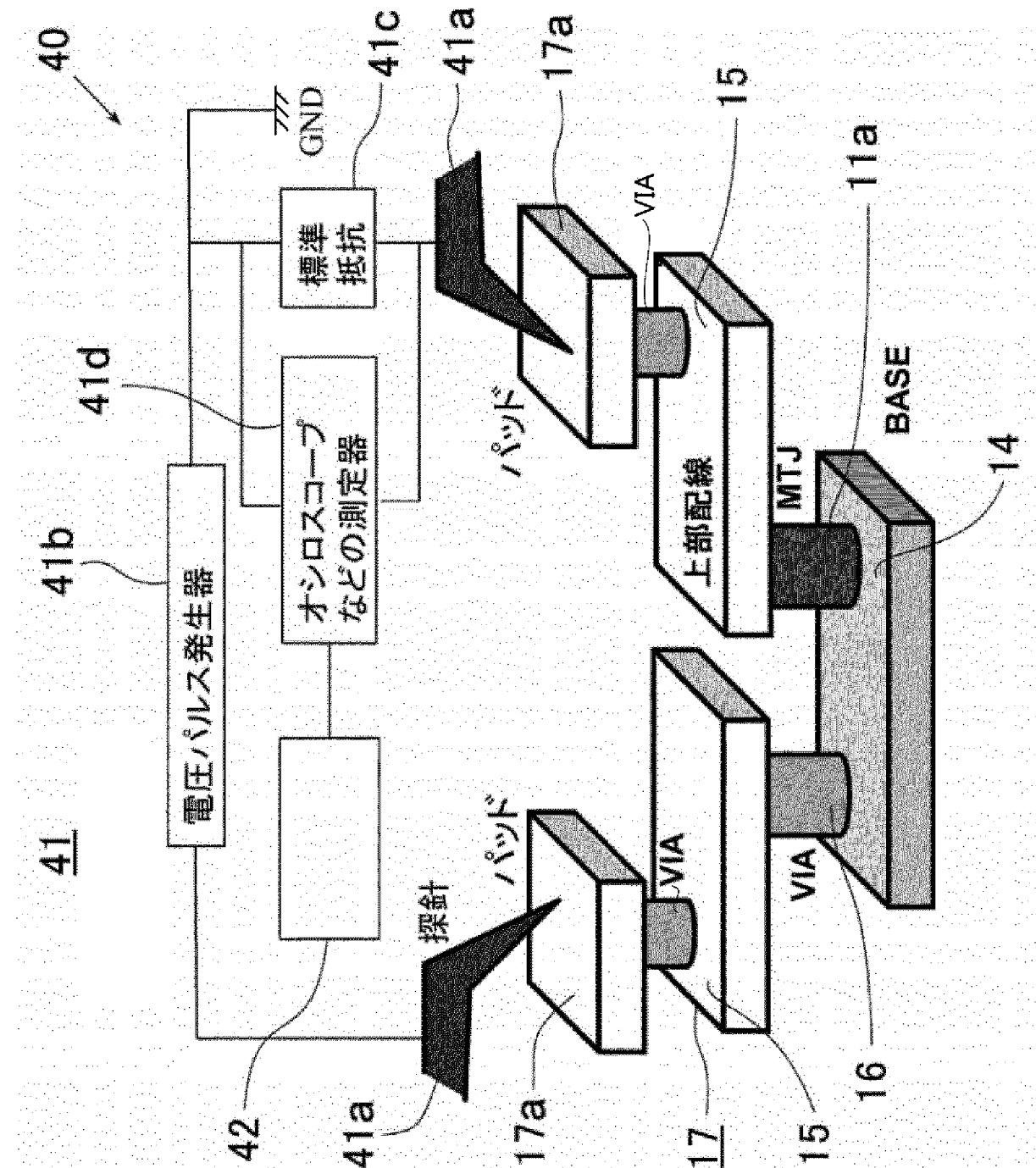
[図13]



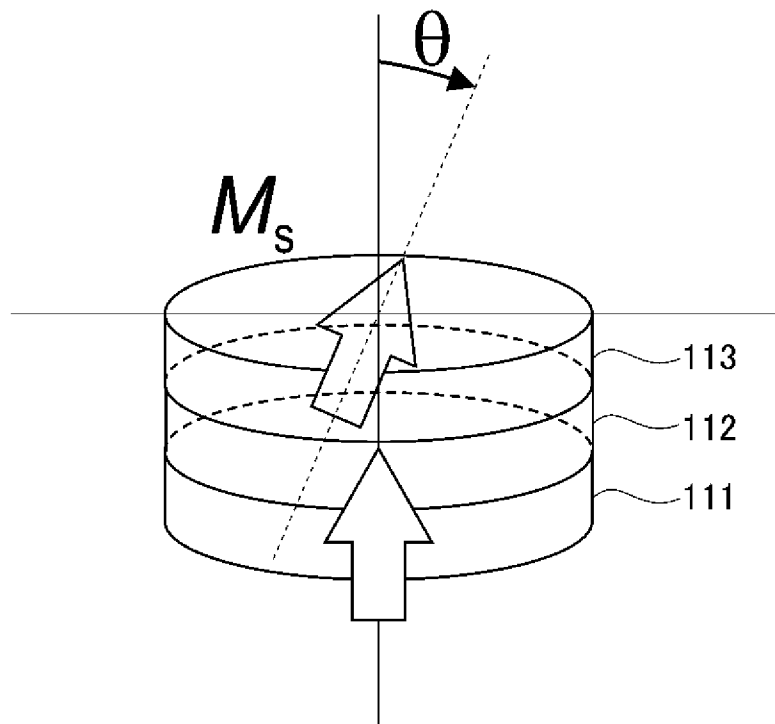
[図14]



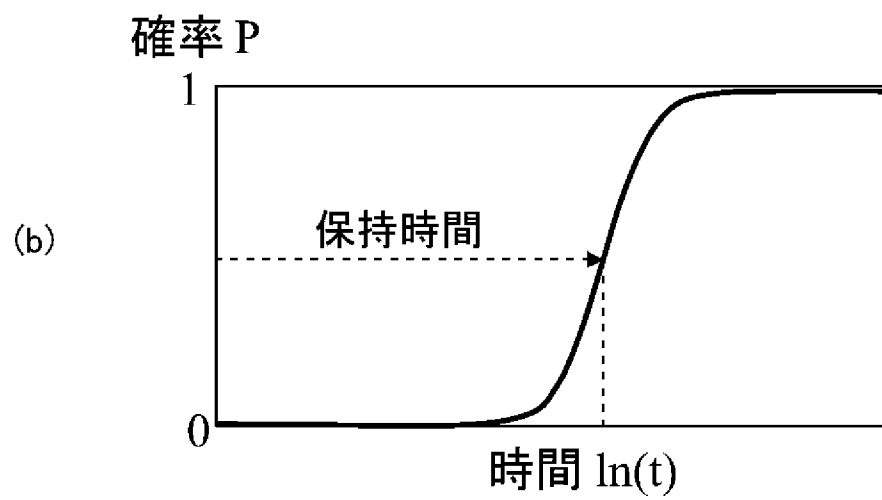
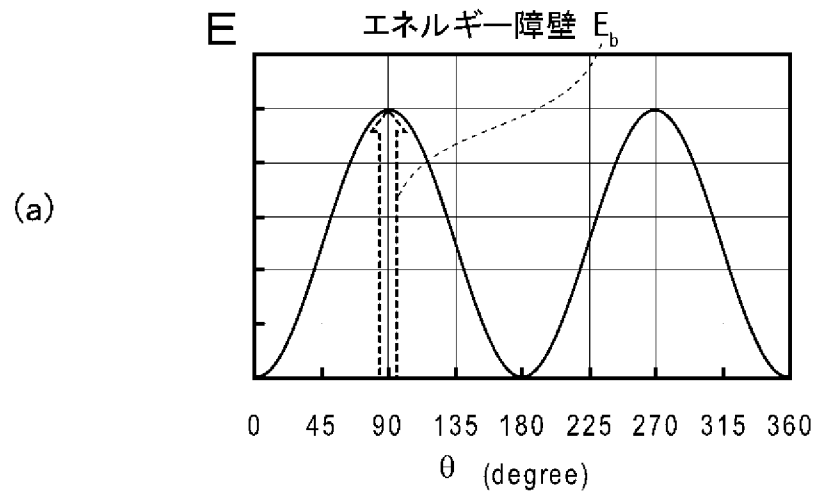
[図15]



[図16]



[図17]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2017/030682

A. CLASSIFICATION OF SUBJECT MATTER

H01L43/12(2006.01)i, H01L21/8239(2006.01)i, H01L27/105(2006.01)i,
H01L43/08(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L43/12, H01L21/8239, H01L27/105, H01L43/08

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2017
Kokai Jitsuyo Shinan Koho	1971-2017	Toroku Jitsuyo Shinan Koho	1994-2017

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 2010/125941 A1 (NEC Corp.), 04 November 2010 (04.11.2010), paragraph [0057]; fig. 1 to 17 (Family: none)	1-7
A	WO 2010/067520 A1 (Hitachi, Ltd.), 17 June 2010 (17.06.2010), paragraphs [0022] to [0033]; fig. 1 to 11 & US 2011/0233700 A1 paragraphs [0038] to [0049]; fig. 1 to 11 & EP 2375465 A1	1-7

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
31 October 2017 (31.10.17)

Date of mailing of the international search report
14 November 2017 (14.11.17)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2017/030682

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2009-295737 A (Renesas Technology Corp.), 17 December 2009 (17.12.2009), paragraphs [0052], [0053], [0063], [0091]; fig. 1 to 35 & US 2009/0302404 A1 paragraphs [0099], [0100], [0110], [0140]; fig. 1 to 35	1-7
A	WO 2010/103649 A1 (Fujitsu Ltd.), 16 September 2010 (16.09.2010), paragraphs [0019], [0022], [0063]; fig. 1 to 19 & US 2011/0280064 A1 paragraphs [0054], [0057], [0097]; fig. 1 to 19	1-7
A	JP 2009-253303 A (MagIC Technologies Inc.), 29 October 2009 (29.10.2009), paragraphs [0056], [0060], [0063]; fig. 1 to 10 & US 2009/0256220 A1 paragraphs [0065] to [0070], [0075]; fig. 1 to 10 & WO 2009/126201 A1	1-7

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. H01L43/12(2006.01)i, H01L21/8239(2006.01)i, H01L27/105(2006.01)i, H01L43/08(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. H01L43/12, H01L21/8239, H01L27/105, H01L43/08

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2017年
日本国実用新案登録公報	1996-2017年
日本国登録実用新案公報	1994-2017年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	WO 2010/125941 A1（日本電気株式会社） 2010.11.04, 段落 0057, 図 1-17 (ファミリーなし)	1-7
A	WO 2010/067520 A1（株式会社日立製作所） 2010.06.17, 段落 0022-0033, 図 1-11 & US 2011/0233700 A1, 段落 0038-0049, 図 1-11 & EP 2375465 A1	1-7

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」 口頭による開示、使用、展示等に言及する文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」 同一パテントファミリー文献

国際調査を完了した日

31.10.2017

国際調査報告の発送日

14.11.2017

国際調査機関の名称及びあて先

日本国特許庁（ISA/J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

小山 満

5 F

9458

電話番号 03-3581-1101 内線 3516

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2009-295737 A (株式会社ルネサステクノロジ) 2009. 12. 17, 段落 0052, 0053, 0063, 0091, 図 1-35 & US 2009/0302404 A1, 段落 0099, 0100, 0110, 0140, 図 1-35	1-7
A	WO 2010/103649 A1 (富士通株式会社) 2010. 09. 16, 段落 0019, 0022, 0063, 図 1-19 & US 2011/0280064 A1, 段落 0054, 0057, 0097, 図 1-19	1-7
A	JP 2009-253303 A (マグアイシー テクノロジーズ インコーポレ イテッド) 2009. 10. 29, 段落 0056, 0060, 0063, 図 1-10 & US 2009/0256220 A1, 段落 0065-0070, 0075, 図 1-10 & WO 2009/126201 A1	1-7