

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4205176号  
(P4205176)

(45) 発行日 平成21年1月7日(2009.1.7)

(24) 登録日 平成20年10月24日(2008.10.24)

(51) Int.Cl. F I  
G06T 15/00 (2006.01) G06T 15/00 300

請求項の数 12 (全 12 頁)

<p>(21) 出願番号 特願平11-551662                  (86) (22) 出願日 平成11年3月4日(1999.3.4)                  (65) 公表番号 特表2002-504251 (P2002-504251A)                  (43) 公表日 平成14年2月5日(2002.2.5)                  (86) 国際出願番号 PCT/US1999/004778                  (87) 国際公開番号 W01999/053402                  (87) 国際公開日 平成11年10月21日(1999.10.21)                  審査請求日 平成18年2月8日(2006.2.8)                  (31) 優先権主張番号 09/057,628                  (32) 優先日 平成10年4月9日(1998.4.9)                  (33) 優先権主張国 米国 (US)</p>	<p>(73) 特許権者                  エススリー・グラフィックス・カンパニー                  ・リミテッド                  英国領ケイマン諸島グランドケイマン・ピー                  ーオーボックス709・メアリストリート                  ・チャールスアダムス, リッチーアンド                  ダックワース, ゼファーハウス (番地無                  し)                  (74) 代理人                  弁理士 大島 陽一                  (72) 発明者                  クオ, ドン-イン                  アメリカ合衆国カリフォルニア州9455                  8, プレザントン, オリーブ・コート・7                  857</p>
--	--

最終頁に続く

(54) 【発明の名称】 無停止要求テクスチャキャッシュシステム及び方法

(57) 【特許請求の範囲】

【請求項1】

キャッシュシステムであって、  
 複数のテクセルを記憶するためのメモリモジュール(140)と、  
 複数のテクセルから取り出されたキャッシュされたテクセルを記憶するために、前記メモリモジュール(140)に結合されたキャッシュモジュール(220)と、  
 キャッシュ済みテクセル識別信号と前記キャッシュモジュール(220)における前記キャッシュされたテクセルとのアソシエーションを記憶するためのアドレスモジュール(210)と、  
 前記キャッシュモジュール(220)からの前記キャッシュされたテクセルの送信をトリガすることにより、前記キャッシュ済みテクセル識別信号の1つに合致する新テクセル識別信号に応答するために、及び、前記メモリモジュール(140)から複数のテクセルのうちの新テクセルを検索することにより、前記キャッシュ済みテクセル識別信号の何れにも合致しない新テクセル識別信号に応答するために、前記キャッシュモジュール(220)と前記アドレスモジュール(210)に結合された制御モジュール(290)であって、前記新テクセルが、前記新テクセル識別信号と関連する、制御モジュール(290)と、  
 前記キャッシュモジュール(220)への前記新テクセルの記憶を同期化するために、前記キャッシュモジュール(220)への前記新テクセルの記憶をトリガするまで、キャッシュモジュール(220)への前記新テクセルの記憶を遅延させるべく、前記制御モジュ

10

20

ール(290)、前記メモリモジュール(140)、及び前記キャッシュモジュール(220)に結合された検索バッファ(260)とを含む、キャッシュシステム。

【請求項2】

前記キャッシュモジュール(220)からの前記キャッシュされたテクセルの送信を同期化するために、前記制御モジュール(290)に結合されたバッファモジュール(240)をさらに含む、請求項1のシステム。

【請求項3】

前記キャッシュモジュール(220)と複数の論理状態のアソシエーションを記憶するために、バッファモジュール(240)に結合されたタグ記憶装置(320)をさらに含む、請求項2のシステム。

【請求項4】

その値を変更することによって前記キャッシュ済みテクセル識別信号に合致する前記キャッシュモジュール(220)にตอบสนองするために、前記制御モジュール(290)内に配置された第1のカウンタ(440)をさらに含む、請求項1乃至3の何れかに記載のシステム。

【請求項5】

その値を変更することによって前記キャッシュモジュール(220)による前記キャッシュされたテクセルの送信にตอบสนองするために、前記バッファモジュール(240)に結合された第2のカウンタ(330)をさらに含む、請求項2乃至4の何れかに記載のシステム。

【請求項6】

前記検索バッファ(260)が先入れ先出しキューである、請求項1乃至5の何れかに記載のシステム。

【請求項7】

テクセルを要求するための方法であって、  
メモリモジュール(140)に複数のテクセルを記憶するステップと、  
キャッシュモジュール(220)に複数のテクセルから取り出されたキャッシュされたテクセルを記憶するステップと、  
キャッシュ済みテクセル識別信号と前記キャッシュモジュール(220)における前記キャッシュされたテクセルとのアソシエーションをアドレスモジュール(210)に記憶するステップと、

前記キャッシュモジュール(220)からの前記キャッシュされたテクセルの送信をトリガすることによって、前記キャッシュ済みテクセル識別信号の1つに合致する新テクセル識別信号にตอบสนองするステップと、

前記メモリモジュール(140)から、前記新テクセル識別信号と関連する、複数のテクセルのうちの新テクセルを検索することによって、前記キャッシュ済みテクセル識別信号の何れにも合致しない新テクセル識別信号にตอบสนองするステップと、

前記キャッシュモジュール(220)からの前記キャッシュされたテクセルの送信を制御するステップと、

前記キャッシュモジュール(220)への前記新テクセルの記憶をトリガするステップと

、  
前記キャッシュモジュール(220)への前記新テクセルの記憶をトリガするまで、キャッシュモジュール(220)への前記新テクセルの記憶を遅延させるべく、前記制御モジュール(290)、前記メモリモジュール(140)、及び前記キャッシュモジュール(220)に結合された検索バッファ(260)によって、前記キャッシュモジュール(220)からの前記キャッシュされたテクセルの送信と前記キャッシュモジュール(220)への前記新テクセルの記憶とを同期化するステップとを含む方法。

【請求項8】

前記キャッシュモジュール(220)と複数の論理状態とのアソシエーションを記憶するステップをさらに含む、請求項7の方法。

10

20

30

40

50

## 【請求項 9】

前記制御モジュール(290)内に配置された第1のカウンタ(440)の値を変更することによって、前記キャッシュ済みテクセル識別信号に合致する前記新テクセル識別信号にตอบสนองするステップをさらに含む、請求項7若しくは8に記載の方法。

## 【請求項 10】

第2のカウンタ(330)の値を変更することによって、前記キャッシュモジュール(220)による前記キャッシュされたテクセルの送信にตอบสนองするステップをさらに含む、請求項7乃至9の何れかに記載の方法。

## 【請求項 11】

第2のカウンタ(330)の値を変更することによって、前記キャッシュモジュール(220)による前記キャッシュされたテクセルの送信にตอบสนองするステップと、前記キャッシュモジュール(220)への前記新テクセルの記憶をトリガすることにより、前記制御モジュール(290)内に配置された第1のカウンタ(440)の値と少なくとも同じ大きさの値を有する前記第2のカウンタ(330)の値にตอบสนองするステップをさらに含む、請求項10の方法。

## 【請求項 12】

前記同期化するステップにおける前記キャッシュモジュール(220)への前記新テクセルの記憶の遅延を、前記新テクセルより更に新しいテクセルを送信する前に、該更に新しいテクセルに先立って受信された前記新テクセルを送信するように行う、請求項7の方法。

## 【発明の詳細な説明】

発明の背景

発明の分野

本発明は、一般に、コンピュータグラフィックスシステムの分野に関連し、詳しくは、コンピュータ化されたグラフィックイメージのテクスチャの生成及び処理に関連する。

従来技術の説明

コンピュータによって生成される3次元画素(ピクセル)ベースのグラフィックイメージにおいて臨場感を得るためには、表面のテクスチャ(texture:構造/模様)のような実世界の表面構造をシミュレートするために、現実的な表面シェーディングをグラフィックイメージに付加しなければならない。かかる表面特性を作り出すための従来方式が、テクスチャマッピングである。

テクスチャマッピングは、複雑なイメージ(画像)の外観を作成するための比較的効率の良い技法であり、3次元グラフィックイメージの表面に3次元の細部を直接描写しなければならないという、時間がかかりかつ負荷の大きい計算上のコストをかける必要がない。具体的には、個々の要素(texel:テクセル)から構成されるソース(テクスチャ)イメージは、3次元グラフィックイメージ上に画素合成によりマッピングされる。例えば、オーク製のテーブルのグラフィックイメージを作成するために、まず、いすの構造が作成される。次に、オーク材のテクスチャイメージがいすの構造表面にマッピングされる。このオークのテクスチャイメージをいす上に正確に統合するために、所定数のテクセルを補間して、いすの表面の各画素を生成する。

当該分野において周知のように、テクスチャイメージから画素を効率的に補間するための、より一般的なテクスチャマッピング技法に、双一次型フィルタリング法(bi-linear filtering)と3-一次型フィルタリング法(tri-linear filtering)の2つがある。

双一次型フィルタリング法では、グラフィックイメージの各画素を補間するために4つのテクセルが使用される。3-一次型フィルタリング法では、グラフィックイメージの各画素を補間するために8つのテクセルが使用される。

これらのテクスチャマッピング技法を使用すると、極めて大きな帯域幅を必要とする可能性があるが、これを防止するために、ミップ(multum in parvo:圧縮)マッピングを使用して、テクスチャイメージを個々の「d」レベルの解像度からなるテクスチャマップに圧縮することが多い。ラスタ化の走査変換段階の間、テクスチャマップのこれらのミッ

10

20

30

40

50

プマップの各々は、特定の「d」レベルの細部について事前計算され、個別に記録される。画素ベースのグラフィックイメージの細部のレベルに応じて、特定の「d」レベルのテクスチャマップが、テクスチャのフィルタリングのために検索される。例えば、グラフィックイメージが、コンピュータによって作成されたグラフィックシーンの背景内のより小さなイメージとして表示される場合は、細部のレベルは低く、そのため、より低い解像度（例えば、 $d = 4$ ）のテクスチャマップを使用することができる。テクスチャのフィルタリングに必要とされるテクセルが少ないので、低解像度のテクスチャマップでは、システムに要求される帯域幅は小さくなる。一方、グラフィックイメージが、グラフィックシーンの前景に原寸大のイメージとして表示される場合は、より高解像度のテクスチャマップ表面（例えば、 $d = 0$ ）が使用され、このため、システム全体が必要とする帯域幅は大きくなる。

10

あいにく、本明細書に参考として組み込んでいる、「Hardware Accelerated Rendering of Anti-aliasing Using a Modified A-Buffer Algorithm」(Computer Graphics,307-316 (Siggraph '97 Proceedings))に記載されているように、実時間の環境では、これらの複雑なテクスチャマッピング技法によって毎秒数千万画素を作成しなければならず、テクスチャマッピングシステムのために高度な計算能力と極めて大きな帯域が必須となる。例えば、テクスチャマッピングシステムの主たる目的が、キャッシュを使用せずに、1クロックサイクル当たり1画素の平均的な画素合成速度を実現することである場合、1つのメモリブロック（例えば、 $2 \times 2$ マトリックス構成における4つの32ビットテクセル）を1クロックサイクル毎に検索しなければならない。クロック周波数が約100MHzの場合、かかる理想的なデータ転送速度を実現するために必要な帯域幅は、約1600メガバイト/秒(MBps)である。

20

コンピュータによって作成されるグラフィックにおける現実感に対するユーザの期待、並びに、経済的なテクスチャマッピングシステムに対する需要が絶え間なく増加しているために、かかる理想的なデータ転送速度を経済的なコストで実現することはとらえ所のない問題となることが多い。例えば、テクスチャマッピングシステムを並列DRAMメモリモジュールサブシステム構成と統合する商用システムが利用可能である。このようなシステムでは高速のデータ転送速度が得られるが、そのようなシステムは、コストが高いために、平均的な需要者には経済的に非現実的なものである。

より廉価なテクスチャマッピングシステム構成は、テクスチャマッピングシステムをグラフィックアクセラレータカードに統合したものである。グラフィックアクセラレータカードは、アドバンスドグラフィックポート/周辺機器相互接続(AGP/PCI)インターフェースによって比較的安価な汎用のパーソナルコンピュータにインターフェースするものである。しかしながら、これには、性能を制限する少なくとも2つの重大な問題がある。

30

第1に、AGP/PCIインターフェースが、約512MBpsの帯域幅しかもたないために、1600MBpsのデータ転送速度を実現するテクスチャマッピングの能力が大きく制限される。具体的には、かかる帯域幅がネックとなって、メモリモジュールから複数のテクセル(メモリブロック)を要求するシステムと、要求されたメモリブロックを受け取るシステムとの間にかなり長い待ち時間が生じる。第2に、画素識別子が走査モジュールによって生成される順に、これらのメモリブロック要求を発行することにより、テクスチャマッピングシステムは、メモリモジュール内のDRAMページをページ切り換えして、必要なメモリブロックを取得しなければならないことが多い。このため、テクスチャマッピングシステム全体にさらに待ち時間が追加されることになる。

40

かかる性能に関する問題に対処するために、コストに敏感なテクスチャマッピングシステムは、AGP/PCIの制限を最小限にすべくシステム内部に配置されるキャッシュモジュールを使用する。メモリブロック内に含まれている任意のテクセルを必要とする前にメモリブロックを検索することによって、AGP/PCIインターフェースによってこれらのテクセルを検索することに起因する待ち時間が低減される。

しかし、この局所配置キャッシュ(ローカルキャッシュ)構成の性能上の利点は、キャッシュモジュール内に必要とされるメモリブロックを記憶するヒット率に依存する。例えば

50

、テクスチャのプリミティブとして所定の形状（例えば、細長い三角形）を描写するときには、メモリブロックの局所性が不十分であるという問題が生じる。コスト上の制限により、キャッシュモジュールが限定された記憶サイズであることが要求されるために、走査変換の開始に関連するキャッシュモジュール内に記憶されたメモリブロックは、走査変換期間が終了するときには、もはや、キャッシュモジュール内に局所的に記憶されていない。この状況では、キャッシュモジュール内に特定のメモリブロックを配置するのに失敗する割合が増加するだけでなく、メモリブロックをキャッシュモジュール内外にスワップする回数も多くなる。この局所性の問題を最小限にするために、テクスチャマッピングシステムでは、システムのコストを劇的に増加させることなく、メモリモジュールとキャッシュモジュールとを正確に同期化させることが必要である。

10

多くのテクセル要求をできるだけ速く送信し、テクセル要求と対応するテクセルの処理を同期化させ、コスト効果の高い方式で帯域幅の制限を回避するという問題に効果的に対処することが可能なテクスチャマッピングシステム及び方法が必要とされている。

#### 発明の要約

本発明のシステム及び方法に従えば、先入れ先出し方式を効率的に同期化にして、キャッシュモジュールとメモリモジュール間の動作の同時性を高める高速キャッシングシステムが提供される。キャッシングシステムは、走査モジュール、メモリモジュール、テクスチャキャッシュモジュール、テクスチャフィルタモジュール及び画素処理装置から構成することができる。

走査モジュールは、3次元グラフィックイメージとメモリモジュール内のテクセルのメモリブロックの両方の特定画素に対応する画素識別子を生成する。テクスチャキャッシュモジュールは、これらの画素識別子の各々に対応するメモリブロック（MB）識別子サブコンポーネントとテクセル識別子サブコンポーネントに分離する。先入れ先出し方式に基づき、テクスチャキャッシュモジュールは、各MB識別子を利用して、MB識別子に対応するメモリブロックがキャッシュモジュール内にすでに局所的に記憶されているかどうかを判定する。メモリブロックがすでに局所的にキャッシュされている場合は、テクスチャキャッシュモジュールは、メモリブロック内のテクセルのテクスチャフィルタモジュールへの送信を同期化する。メモリブロックがテクスチャキャッシュモジュール内にまだ局所的にキャッシュされていない場合には、テクスチャキャッシュモジュールは、メモリモジュールから必要なメモリブロックを検索して、テクスチャキャッシュモジュール内の特定の場所にそのメモリブロックを記憶する。これらのテクセルが画素合成のために必要なときに、テクスチャキャッシュモジュールは、これらのテクセルをテクスチャフィルタモジュールに送信する。

20

30

このシステム及び方法は、キャッシュモジュールとメモリモジュール間の動作の同時性を効率的な同期化により高めることによって、高性能で、かつコスト効果の高い先入れ先出しキャッシュ方式を確実に実現するものである。

#### 【図面の簡単な説明】

図1は、本発明の好適な実施態様におけるテクスチャマッピングシステムの好適な実施態様を示す高レベル図である。

図2は、好適な実施態様のテクスチャキャッシュモジュールの詳細図である。

40

図3は、好適な実施態様のアドレスモジュールの詳細図である。

図4は、好適な実施態様の制御モジュールを示す図である。

図5は、好適な実施態様におけるメモリブロック記憶方式からキャッシュブロック記憶方式への変換を示す図である。

#### 好ましい実施態様の詳細な説明

図面を参照して本発明の好適な実施態様を説明する。図面では、同一のまたは機能的に類似の要素には同じ参照番号を付しており、各参照番号の最も左側の数字は、参照番号を最初に使用している図面に対応する。

図1は、画素合成のためのテクセルのキャッシュ性能を改善するための本発明の好適な実施態様のシステムの概要図である。システム100は、メモリモジュール140、走査モ

50

ジュール160、テクスチャキャッシュモジュール(TCM)130、テクスチャフィルタモジュール(TFM)180、及び画素処理ユニット(PPU)190を備える。この実施態様では、メモリモジュール140は、複数のメモリブロックの1つに、4×4のマトリックスの各テクセルを記憶するダイナミックランダムアクセスメモリ(DRAM)から構成される。

TCM130に結合された走査モジュール160は、複数の画素識別子510(図5に示す)をTCM130に送信する。TCM130は、これらの画素識別子510の各々を使用して、画素識別子510に対応するメモリブロックがメモリモジュール140から検索されて、TCM130内に局所的にキャッシュされることを確実にしている。メモリブロックが局所的にキャッシュされると、画素識別子510に対応するメモリブロック内の各テクセルが、TFM180に送信される。TFM180は、受信したテクセルをフィルタリングする。フィルタリングされたテクセルは、画素合成のためにPPU190に送信される。

図2は、本発明の好適な実施態様のTCM130の詳細図である。TCM130は、キャッシュモジュール220、データフォーマッター255、検索バッファ260、リクエストバッファ250、アドレスモジュール210、バッファモジュール240、及び制御モジュール290から構成される。

本実施態様では、4ウェイ-4セットアソシエーション(4 way-4 set association)を有するSRAMから構成されるキャッシュモジュール220は、メモリモジュール140内に記憶されたメモリブロックのサブセットを局所的に記憶する。図5に示すように、かかるアソシエーション(関連)により、キャッシュモジュール220は、各ウェイが4象限(組)を有する4つのウェイ(例えば、ウェイ0~3)に構成上分割される。固有のキャッシュブロックアドレス(例えば、0と15の間の数)を有する各組は、テクセルの4×4のマトリックス(キャッシュブロック)を表す。

走査モジュール160とキャッシュモジュール220に結合されたアドレスモジュール210は、走査モジュール160から、整数部( $u_{-}$ ,  $v_{-}$ ,  $d_{-}$ )及び小数部( $_{-}u_f$ ,  $_{-}v_f$ ,  $_{-}d_f$ )を各走査画素について備える画素識別子510( $u.u_f$ ,  $v.v_f$ ,  $d.d_f$ )を受信する。各画素識別子510の整数部から、アドレスモジュール210は、メモリブロック(MB)識別子とテクセル識別子520を生成する。アドレスモジュール210は、MB識別子530を使用して、メモリモジュール140内のメモリブロックを識別する。アドレスモジュール210は、テクセル識別子520を使用して、そのメモリブロック内に特定のテクセルを配置する。アドレスモジュール210は、画素合成のためにテクセル識別子520に対応するテクセルを線形補間するための補間係数として、画素識別子510の小数部を使用する。

図5に図2と連携して、好適な実施態様におけるこれらの各識別子の用途をより良く示す。双一次型フィルタリングでは、走査モジュール160が、3次元グラフィックイメージの各画素毎に4つの11ビット[10:0]画素識別子510を生成する。アドレスモジュール210は、画素識別子510の各整数部を、9ビットのMB識別子530と2ビットのテクセル識別子520に分離する。メモリモジュール140内の4×4のテクセルメモリブロックを表すMB識別子530は、整数部の上位8ビット[10:2]である。このメモリブロック内のテクセルに対して直交座標を表すテクセル識別子520は、整数部の下位2ビット[1:0]である。

アドレスモジュール210は、MB識別子530を使用して、MB識別子530に対応するメモリブロックが、すでにキャッシュモジュール220のキャッシュブロック内に局所的に記憶されたかどうかを判定する。アドレスモジュール210が、メモリブロックがすでに特定のキャッシュブロックアドレスに局所的にキャッシュされている(ヒット)と判定した場合には、アドレスモジュール210は、送信タグ信号を生成してバッファモジュール240に送信する。送信タグ信号は、キャッシュブロックアドレス、テクセル識別子520、補間係数及びヒットマーカを備える。TCM130は、ヒットマーカを使用して、キャッシュモジュール220にすでに局所的にキャッシュされているメモリブロックに対応する送信タグ信号を識別する。

10

20

30

40

50

メモリブロックが、まだ局所的にキャッシュされていない（ミスヒット）場合は、アドレスモジュール210は、FIFOキューとして動作するリクエストバッファ250に検索信号を送信することによって、メモリモジュール140からメモリブロックを検索するための要求を開始する。本実施態様では、リクエストバッファ250は、4つまでの検索信号を同時に受信することができる。検索信号は、MB識別子530と1次元のメモリモジュールアドレスを含む。AGP/PCIインターフェース（不図示）が許容する速度まででしか検索信号をメモリモジュール140に送信することができないので、リクエストバッファ250は、対応する画素識別子510がアドレスモジュール210によって受信された順番で、メモリモジュール140に検索信号を連続して送信する。しかし、AGP/PCIインターフェースにより、リクエストバッファ250の送信速度は最高約512MBpsまでに制限される

10

メモリモジュール140は、MB識別子530に対応するメモリブロックをTCM130に送信することにより、検索信号の受信に応答する。しかしながら、コスト上の制約のために、キャッシュモジュール220の記憶容量が有限の大きさに制限されるので、メモリモジュール140から検索されたすべてのメモリブロックを、キャッシュモジュール220内に直ちに記憶することができるわけではない。メモリブロックに関連するキャッシュブロックが、メモリブロックを記憶するために利用可能になるまで、FIFOキューとしても動作する検索バッファ260が、受信したメモリブロックを受信した順番で一時的に記憶する。本実施態様では、検索バッファ260は、システムクロックの2クロックサイクル内で256ビットのメモリブロックを受信する。

20

アドレスモジュール210は、検索信号をリクエストバッファ250に送信するのに加えて、検索タグ信号と送信タグ信号を生成してバッファモジュール240に送信する。検索タグ信号は、図3を参照して説明するタグ基準計数値とキャッシュブロックアドレスを含む。キャッシュブロックアドレスは、MB識別子530に対応する検索されたメモリブロックが記憶されることになるキャッシュモジュール220内の特定のキャッシュブロックを指定するものである。アドレスモジュール210は、最長時間未使用（LRU）アルゴリズムを使用して、各検索タグ信号に対する特定のキャッシュブロックアドレスを決定する。送信タグ信号は、キャッシュブロックアドレス、テクセル識別子、補間係数及びミスマーカーを含む。

制御モジュール290は、バッファモジュール240内の検索タグ信号を使用して、検索バッファ260からメモリブロックに関連するキャッシュブロックへのメモリブロックの送信を制御する。図4を参照してさらに詳述するように、制御モジュール290が、キャッシュブロックが検索バッファ260の最上部の関連するメモリブロックに利用可能であると判定すると、制御モジュール290は、データフォーマッター255へのメモリブロックの送信をトリガする。データフォーマッター255は、このメモリブロックをその元の形式（フォーマット）からキャッシュモジュール形式に変換するが、それは、本実施態様では、従来のARGB形式である。データフォーマッター255は、次に、これらの再フォーマットされた各メモリブロックをキャッシュモジュール220に送信し、そこで、メモリブロックは、それらの関連するキャッシュブロックに記憶される。

30

制御モジュール290は、アドレスモジュール210によって分離された補間情報を使用して、キャッシュモジュール220から各送信タグ信号に関連する各テクセルのTFM180への送信をいつトリガするかを決定する。双一次型フィルタリングのようなフィルタリング技法は、画素合成を実行するために2つ以上のテクセルを必要し、これらのテクセルの各々は、キャッシュモジュール220が4ウェイ・4セット構成であるために、異なるキャッシュブロックに配置される可能性があり、従って、画素を合成する度に、最大4つの送信タグ信号をキャッシュモジュール220に送信しなければならない。

40

図3は、アドレスモジュール210とバッファモジュール240をより詳細に示す図である。アドレスモジュール210は、アドレスコントローラ310、タグモジュール320、及びタグ基準カウンタ（TRC）330を備える。バッファモジュール240は、キャッシュバッファ335と送信バッファ345から構成される。各バッファ335と345は

50

、最大4つまでのタグ信号を同時に受信することができる。アドレスコントローラ310に結合されたタグモジュールは、各キャッシュブロックのアドレスと、そのキャッシュブロックに記憶されたメモリブロックに対応するMB識別子530とのアソシエーションを記憶する。本実施態様では、タグモジュール320は、アドレスコントローラ310によって編集されるテーブルである。

アドレスコントローラ310は、リクエストバッファ250、タグモジュール320、TRC330、キャッシュバッファ335、送信バッファ345及び走査モジュール160に結合される。この好適な実施態様では、アドレスコントローラ310は、状態マシンであり、この状態マシンは、インテル準拠のパーソナルコンピュータの中央処理装置(CPU)(不図示)によって実行されるソフトウェアプログラムであるか、または、状態マシンを実施するよう構成されたハードウェアから代替的に構成される。走査モジュール160から画素識別子510を受信すると、アドレスコントローラ310は、各画素識別子510のMB識別子530の部分と、タグモジュール320に記憶されたMB識別子530を比較する。TRC330は、アドレスコントローラ310がこれら2つのMB識別子530の一致(ヒット)を連続して検出した回数を記録する。この実施態様では、TRC330は8ビットカウンタであり、最初は0に設定される。

アドレスコントローラ310が、受信したMB識別子530と、タグモジュール320に記憶されたMB識別子530が一致を検出すると、アドレスコントローラ310は、ヒットマーカー、MB識別子530に対応するテクセル識別子520、及び、MB識別子530に関連するキャッシュブロックアドレスを含む前述の送信タグ信号を生成する。アドレスコントローラ310は、また、TRC330の値を1だけ増加させる。

アドレスコントローラ310が、受信したMB識別子530と、タグモジュール320に記憶されたMB識別子530の1つとの一致を検出できない場合は、アドレスコントローラ310は、MB識別子530と一次元メモリモジュールアドレスを含む検索タグ信号を生成する。さらに、送信タグ信号と検索タグ信号が生成されて、バッファモジュール240に送信される。検索タグ信号は、現在のTRC値、及び、前述したように、アドレスコントローラ310によって、LRUアルゴリズムを使用することにより、一致検出されなかったMB識別子530に関連付けられるキャッシュブロックアドレスとを含む。このキャッシュブロックアドレスは、キャッシュモジュール220内の位置として使用され、そこで、一致検出されなかったMB識別子530に対応する検索されたメモリブロックが記憶される。「ヒット」した場合と異なり、「ミス」した場合には、TRC330の値が1だけ増加されることはなく、TRC330の現在の値が、検索タグ信号に組み込まれ、TRC330は1に戻される。このTRCの値は、アドレスコントローラ310が「ミス」の状態を識別する前の連続して「ヒット」した数を表す。「ミス」の状態用の送信タグ信号は、テクセル識別子520、テクセル識別子520に対応するキャッシュブロックアドレス、及び「ミス」マーカーを含む。「ミス」マーカーは、メモリモジュール140から検索されなければならないメモリブロックに対応するそれらの送信タグ信号を識別するために使用される。この場合、検索タグ信号と送信タグ信号はいずれも、キャッシュバッファ335と送信バッファ345の終わりにそれぞれ追加される。

図4は、TCM130の制御モジュール290の詳細図である。制御モジュール290は、検索コントローラ410、送信コントローラ430、データ基準カウンタ(DRC)440及びステータスモジュール450を備える。DRC440は、キャッシュモジュール220に送信される、「ヒット」マーカーを有する連続した送信タグ信号の数を記録する。本実施態様では、DRC440は8ビットカウンタであり、ステータスモジュール450はテーブルであり、このテーブルで、各キャッシュブロックアドレスは、ある論理状態(例えば、「リードオンリー(読み出しのみ)」の論理状態または「ライトオンリー(書き込みのみ)」の論理状態)に関連付けられる。

送信バッファ350、DRC440、及びステータスモジュール450に結合される送信コントローラ430は、送信バッファ350の最上部における送信タグ信号に対応するメモリブロック内のテクセルを、いつTCM130によってさらに処理するかを制御する。好適

10

20

30

40

50



な実施態様では、送信コントローラ 430 は状態マシンであり、この状態マシンは、インテル準拠のパーソナルコンピュータの CPU によって実行されるソフトウェアプログラムであるか、または、代替的に、かかる状態マシンを実施するために構成されたハードウェアコンポーネントからなる。特定の画素に関連する送信タグ信号がいずれも、「ヒット」マーカを含み、送信バッファ 350 によって送信されるべき次の信号であり、対応するキャッシュブロックのステータスモジュール 450 の論理状態が、「リードオンリー」状態に設定されている場合は、送信コントローラ 430 は、送信タグ信号をキャッシュモジュール 220 に送信するために送信バッファ 350 をトリガする。次に、キャッシュモジュール 220 は、送信タグ信号に対応するテクセルを TFM 180 に送信する。ほぼ同じ時間に、送信コントローラ 430 は、また、最初は 0 の値に設定されている DRC 440 を 1 10 だけ増加させる。送信バッファ 350 の最上部にあり、特定の画素識別子 510 に関連する送信タグ信号の少なくとも 1 つが、「ミス」マーカを含む場合は、送信コントローラ 430 は、ただちに送信バッファ 350 をトリガして、送信タグ信号をキャッシュモジュール 220 に送信するのではなく、検索コントローラ 410 が、キャッシュブロックの論理状態を「リードオンリー」から「ライトオンリー」状態に変更して、検索バッファ 260 からメモリブロックの検索をトリガする。「ライトオンリー」への論理状態の変化を検出すると、送信コントローラ 430 は、その論理状態を「リードオンリー」状態に再び変更し、DRC を 1 だけ増加して、画素合成のために必要とされる送信タグ信号をキャッシュモジュール 220 に送信するために送信バッファ 350 をトリガする。

検索コントローラ 410 は、検索バッファ 260、キャッシュバッファ 340、DRC 440 及びステータスモジュール 450 に結合される。好適な実施態様では、検索コントローラ 410 は状態マシンであり、この状態マシンは、インテル準拠のパーソナルコンピュータの CPU によって実行されるソフトウェアプログラムであるか、代替的に、かかる状態マシンを実施するために構成されたハードウェアからなる。検索コントローラ 410 には、ステータスモジュール 450 内の特定のキャッシュブロックに関連付けられた論理状態を「リードオンリー」から「ライトオンリー」に変更することによって、キャッシュブロック 220 内のメモリブロックの書き込みを同期させる役目がある。具体的には、検索コントローラ 410 は、検索タグ信号に対応するメモリブロックが、メモリモジュール 140 から検索バッファ 260 によって受信されるのを待つ。受信されると、検索コントローラ 410 は、現在の DRC の値を検索タグ信号内の TRC の値と比較する。この TRC の値が 0 より 20 30 より大きくて DRC の値より小さい場合は、検索コントローラ 410 は停止する。DRC の値が TRC の値以上であり、検索バッファ 260 が空でない場合は、検索コントローラ 410 は、キャッシュブロックアドレスに対応する論理状態を「ライトオンリー」に設定し、DRC の値を 0 に戻す。

上述したように、「ライトオンリー」に論理状態を変更することによって、検索コントローラ 410 が、キャッシュバッファ 340 をトリガして、検索バッファ 260 の最上部における検索されたメモリブロックを再フォーマットのためにデータフォーマッター 255 に送信することになる。次に、データフォーマッター 255 は、再フォーマットされたメモリブロックをキャッシュモジュール 220 に送信し、そこで、メモリブロックは、検索タグ信号に対応するキャッシュブロックに記憶される。メモリブロックが、キャッシュモジュール 220 内に記憶されると、送信コントローラ 430 は、キャッシュブロックの論理状態を「リードオンリー」に戻すことによって、「ライトオンリー」への論理状態の変化に応答する。この一連の技法には、後で必要になるテクセルを含むメモリブロックを上書きしてしまうリスクがあるが、この技法によって回避される待ち時間の大きさは、これらのメモリブロックを再検索することに起因するわずかな遅延を補って余りあるものである。 40

好適な実施態様についての以上の説明は、例示と説明のために提示したものである。開示したそのままの形態を本発明の全てとすることも、また、本発明をそれに限定することも意図したものではない。上記の教示に照らして、多くの修正及び変更が可能である。例えば、本発明の代替の実施態様では、双一次型フィルタリングではなくて、3 - 一次型フィ 50

ルタリングをサポートすることができる。好適な実施態様は、本発明の原理とその実際の用途を最良に説明するために選択され、記述されたものであり、これにより、当業者は、種々の態様で本発明を最良に利用することが可能であり、かつ、意図した特定の用途に適するような種々の修正を施してそれらを利用する事が可能である。一方、本システム及び方法は、帯域幅がネックとなって大量のデータを効率的に処理できないような状況でも使用することができる。本発明の範囲は、請求の範囲とその均等物によって規定されるべきものである。

【図1】

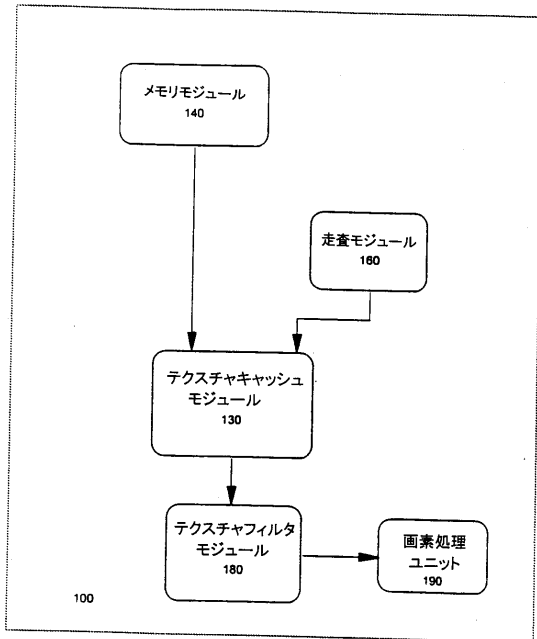


FIGURE 1

【図2】

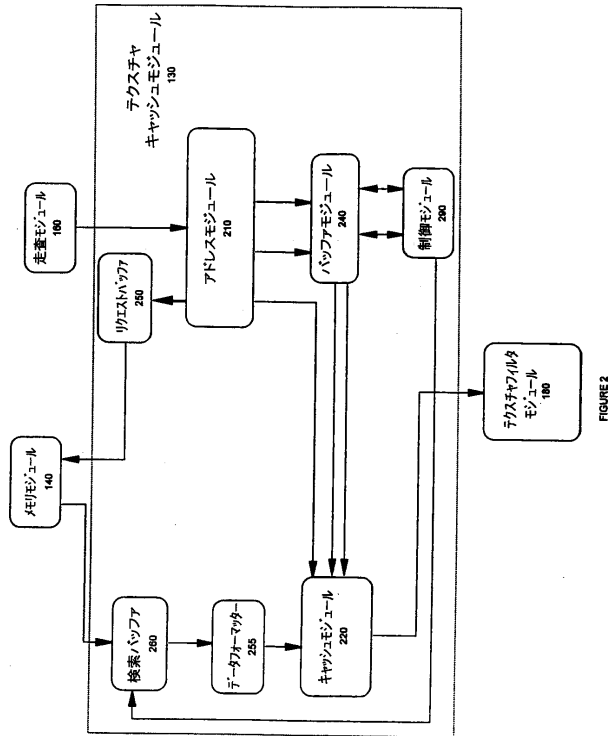
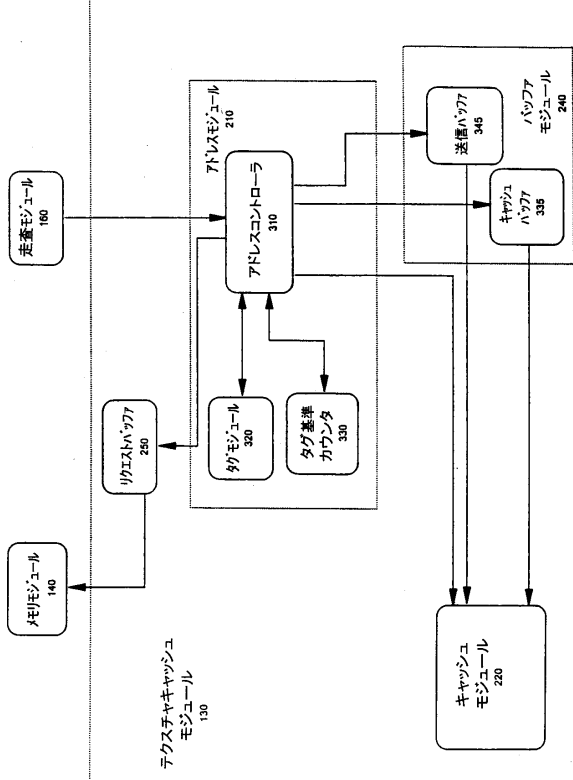


FIGURE 2

【図 3】



【図 4】

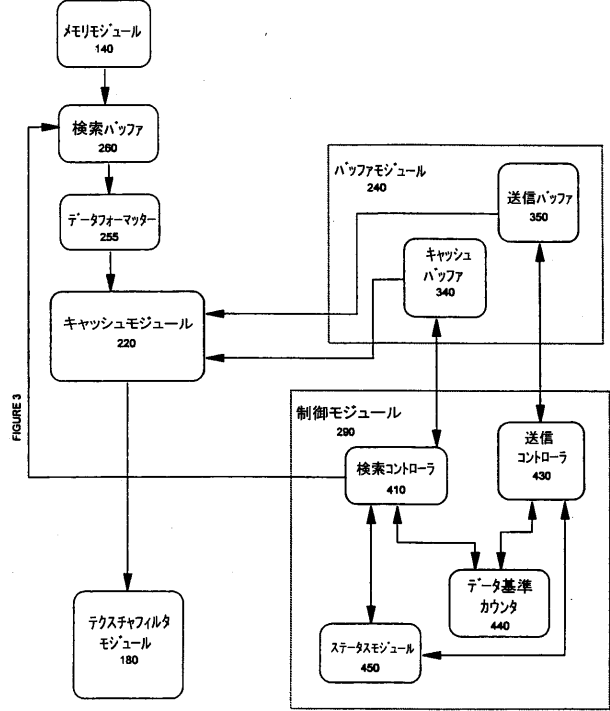


FIGURE 4

【図 5】

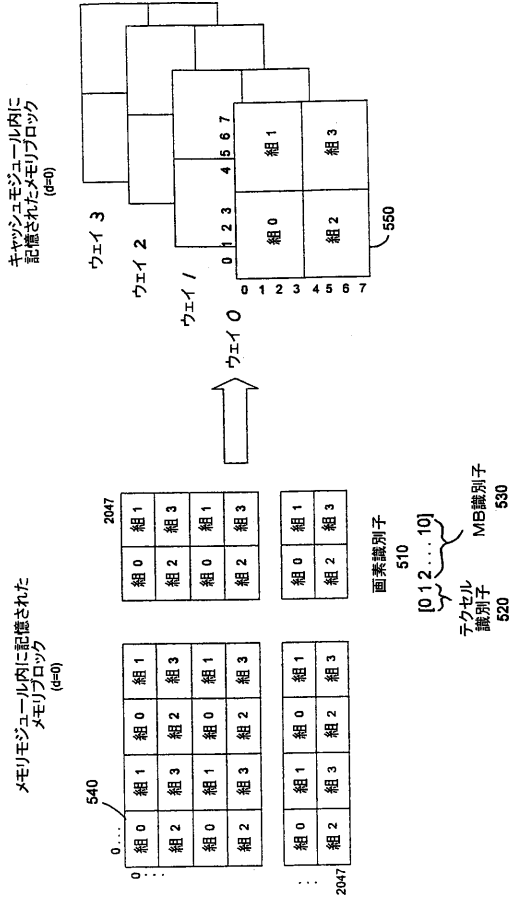


FIGURE 5

## フロントページの続き

- (72)発明者 ホン, チョウ  
アメリカ合衆国カリフォルニア州95133, サンノゼ, チェッカーズ・ドライブ・ナンバー 2  
08・311
- (72)発明者 ツアオ, ランディ  
アメリカ合衆国カリフォルニア州94539, フレモント, サン・セバスチャン・ブレイス・40  
338
- (72)発明者 ニウ, ロジャー  
アメリカ合衆国カリフォルニア州94539, フレモント, ハーラン・ドライブ・1061
- (72)発明者 ラオ, プーナチャンドラ  
アメリカ合衆国カリフォルニア州95051, サンタクララ, ホームステッド・ロード・ナンバー  
9エイ・3131
- (72)発明者 チェン, リン  
アメリカ合衆国カリフォルニア州94086, サニーベイル, カリエンテ・ドライブ・ナンバー6  
・639
- (72)発明者 アルベス, ジェレミー  
アメリカ合衆国カリフォルニア州94041, マウンテンビュー, レインボウ・ドライブ・ナンバ  
ー160・600

審査官 伊知地 和之

- (56)参考文献 特開平10-083457(JP, A)  
特開平08-328951(JP, A)  
特開平06-348857(JP, A)

- (58)調査した分野(Int.Cl., DB名)  
G06T 15/00