(19)日本国特許庁(JP)　(12)公表特許公報(A)　(11)公表番号
特表2025-520347
(P2025-520347A)
(43)公表日　令和7年7月3日(2025.7.3)

(51)国際特許分類		FI			テーマコード（参考）
Ｇ０９Ｆ	*9/30 (2006.01)*	Ｇ０９Ｆ	9/30	３３８	３Ｋ１０７
Ｈ０５Ｂ	*33/14 (2006.01)*	Ｈ０５Ｂ	33/14	Ｚ	５Ｃ０９４
Ｈ１０Ｋ	*50/115 (2023.01)*	Ｈ１０Ｋ	50/115		
Ｈ１０Ｋ	*59/12 (2023.01)*	Ｈ１０Ｋ	59/12		
Ｈ１０Ｋ	*59/131 (2023.01)*	Ｈ１０Ｋ	59/131		

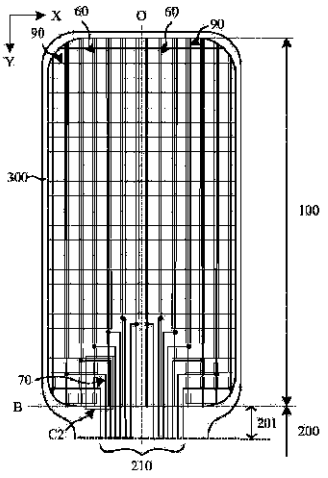
審査請求　未請求　予備審査請求　未請求　（全64頁）　最終頁に続く

(21)出願番号　特願2024-572457(P2024-572457)
(86)(22)出願日　令和5年6月9日(2023.6.9)
(85)翻訳文提出日　令和6年12月9日(2024.12.9)
(86)国際出願番号　PCT/CN2023/099495
(87)国際公開番号　WO2023/241490
(87)国際公開日　令和5年12月21日(2023.12.21)
(31)優先権主張番号　202210670468.6
(32)優先日　令和4年6月15日(2022.6.15)
(33)優先権主張国・地域又は機関
中国(CN)
(81)指定国・地域　AP(BW,CV,GH,GM,KE,LR,LS,MW,MZ,NA,RW,SD,SL,ST,SZ,TZ,UG,ZM,ZW),EA(AM,AZ,BY,KG,KZ,RU,TJ,TM),EP(AL,AT,BE,BG,CH,CY,CZ,DE,DK,EE,ES,FI,FR,GB,GR,HR,HU,IE,IS,IT,LT,LU,LV
最終頁に続く

(71)出願人　510280589
京東方科技集團股▲ふん▼有限公司
ＢＯＥ ＴＥＣＨＮＯＬＯＧＹ ＧＲＯＵＰ ＣＯ．，ＬＴＤ．
中華人民共和国１００００１５北京市朝陽區酒仙橋路１０號
Ｎｏ．１０ Ｊｉｕｘｉａｎｑｉａｏ Ｒｄ．，Ｃｈａｏｙａｎｇ Ｄｉｓｔｒｉｃｔ，Ｂｅｉｊｉｎｇ １００１５，ＣＨＩＮＡ
(71)出願人　511121702
成都京東方光電科技有限公司
ＣＨＥＮＧＤＵ ＢＯＥ ＯＰＴＯＥＬＥＣＴＲＯＮＩＣＳ ＴＥＣＨＮＯＬＯＧＹ ＣＯ．，ＬＴＤ．
最終頁に続く

(54)【発明の名称】　表示基板及び表示装置

(57)【要約】
表示基板及び表示装置である。表示基板は表示領域１００を含み、表示領域１００はベース１０１、駆動回路層１０２及び発光構造層１０３を含み、駆動回路層１０２は複数の回路ユニット、データ信号線６０、データ接続線７０、低電圧電源線８０及び電源配線９０を含み、発光構造層１０３は複数の発光デバイスを含み、回路ユニットは画素駆動回路を含み、データ信号線６０は画素駆動回路にデータ信号を供給するように構成され、低電圧電源線８０は発光デバイスに低電源電圧信号を持続的に供給するように構成され、データ接続線７０はデータ信号線６０に接続され、電源配線９０は低電圧電源線８０に接続される。



【特許請求の範囲】
【請求項１】
表示基板であって、
表示領域を含み、前記表示領域はベースに設けられる駆動回路層と、前記駆動回路層の前記ベースから離れる側に設けられる発光構造層を含み、前記駆動回路層は複数の回路ユニット、複数のデータ信号線、複数のデータ接続線、複数の低電圧電源線及び複数の電源配線を含み、前記発光構造層は複数の発光デバイスを含み、前記回路ユニットは画素駆動回路を含み、前記データ信号線は前記画素駆動回路にデータ信号を供給するように構成され、前記低電圧電源線は前記発光デバイスに低電源電圧信号を持続的に供給するように構成され、前記データ接続線は前記データ信号線に接続され、前記電源配線は前記低電圧電源線に接続される、表示基板。
【請求項２】
前記データ接続線は第１方向に沿って延びる第１接続線と第２方向に沿って延びる第２接続線を含み、前記第１接続線は前記第２接続線に接続され、前記電源配線は第１方向に沿って延びる第１電源配線と第２方向に沿って延びる第２電源配線を含み、前記第１電源配線は前記第２電源配線に接続され、前記第１方向は前記第２方向と交差し、前記ベースに平行な平面において、前記表示領域は少なくとも前記第１接続線が設けられる第１領域を含み、前記第１領域の少なくとも１つの回路ユニットにおいて、前記第１接続線、前記第１電源配線及び前記第２電源配線を含み、前記データ信号線と低電圧電源線の形状は前記第２方向に沿って延びる線状であり、前記第１接続線は前記データ信号線に接続され、前記第２電源配線は前記低電圧電源線と前記データ信号線との間に設置され、前記第２電源配線は前記低電圧電源線に接続される、請求項１に記載の表示基板。
【請求項３】
前記駆動回路層はベースに順次に設けられる複数の導電層を含み、前記第１接続線と前記第２接続線は同じ導電層に設けられ、前記第１接続線と前記データ信号線は異なる導電層に設けられ、前記第１領域の少なくとも１つの回路ユニットにおいて、前記第１接続線は第１接続孔を介して前記データ信号線に接続される、請求項２に記載の表示基板。
【請求項４】
前記駆動回路層はベースに順次に設けられる複数の導電層を含み、前記第１電源配線と前記第２電源配線は同じ導電層に設けられ、前記第２電源配線と前記低電圧電源線は異なる導電層に設けられ、前記第１領域の少なくとも１つの回路ユニットにおいて、前記第２電源配線は第２接続孔を介して前記低電圧電源線に接続される、請求項２に記載の表示基板。
【請求項５】
前記第１領域の少なくとも１つの回路ユニットにおいて電源接続電極を更に含み、前記電源接続電極は前記第２電源配線の前記データ信号線から離れる側に設置され、且つ前記第２電源配線に接続され、前記電源接続電極のベースでの正投影は前記低電圧電源線のベースでの正投影と少なくとも部分的に重なり、前記電源接続電極は第２接続孔を介して前記低電圧電源線に接続される、請求項２に記載の表示基板。
【請求項６】
前記第１領域において、前記第１方向に隣接する回路ユニットにおける第１接続線は互いに接続され、前記第１方向に隣接する回路ユニットにおける第１電源配線は互いに接続される、請求項２に記載の表示基板。
【請求項７】
前記第１領域において、前記第２方向に隣接する回路ユニットにおける第２電源配線は間隔をあけて設置され、前記第１接続線は前記第２方向に隣接する第２電源配線の間に設置される、請求項２に記載の表示基板。
【請求項８】
前記第１領域の少なくとも１つの回路ユニットにおいて、前記第２方向に沿って延びる第２補償線を更に含み、前記第２補償線は前記第２電源配線の前記データ信号線から離れ

る側に設置され、前記第２補償線は前記第１電源配線に接続され、前記第２方向に隣接する回路ユニットにおける前記第２補償線は間隔をあけて設置され、前記第１接続線は前記第２方向に隣接する第２補償線の間に設置される、請求項２に記載の表示基板。

【請求項９】

前記ベースに平行な平面において、前記表示領域は前記第２接続線が設けられる第２領域を更に含み、前記第２領域の少なくとも１つの回路ユニットにおいて前記第２接続線を含み、前記第２方向に隣接する回路ユニットにおける第２接続線は互いに接続される、請求項２に記載の表示基板。

【請求項１０】

前記第２領域の少なくとも１つの回路ユニットは２本の第２接続線を含み、２本の第２接続線は第１側接続線と第２側接続線を含み、前記第１側接続線は前記低電圧電源線と前記データ信号線との間に設置され、前記第２側接続線は前記低電圧電源線の前記データ信号線から離れる側に設置される、請求項９に記載の表示基板。

【請求項１１】

前記第２領域の少なくとも１つの回路ユニットはダミー接続電極を更に含み、前記ダミー接続電極は前記第２側接続線の前記第１側接続線に近い側に設置され、且つ前記第２側接続線に接続され、前記ダミー接続電極のベースでの正投影は前記低電圧電源線のベースでの正投影と少なくとも部分的に重なる、請求項１０に記載の表示基板。

【請求項１２】

前記第１領域の回路ユニットと前記第２領域の回路ユニットを含む少なくとも１つのユニット列において、前記第１領域の第２電源配線と前記第２領域の第１側接続線は前記第２方向に沿って延びる同一本の直線上に位置し、前記第１領域の第２補償線と前記第２領域の第２側接続線は前記第２方向に沿って延びる同一本の直線上に位置し、前記第１領域の電源接続電極と前記第２領域のダミー接続電極は前記第２方向に沿って延びる同一本の直線上に位置し、前記第１領域の回路ユニットと前記第２領域の回路ユニットを含む少なくとも１つのユニット行において、前記第１領域の電源接続電極と前記第２領域のダミー接続電極は前記第１方向に沿って延びる同一本の直線上に位置する、請求項１１に記載の表示基板。

【請求項１３】

前記第２領域の少なくとも１つの回路ユニットは前記第１方向に沿って延びる少なくとも２本の第１補償線を更に含み、なくとも２本の第１補償線は少なくとも１本の第１側補償線と少なくとも１本の第２側補償線を含み、前記第１側補償線の第１端は前記第１側接続線に接続され、前記第１側補償線の第２端は前記第２側接続線に近い方向に沿って延び、前記第２側補償線の第１端は前記第２側接続線に接続され、前記第２側補償線の第２端は前記第１側接続線に近い方向に沿って延びる、請求項１０に記載の表示基板。

【請求項１４】

前記第１領域の回路ユニットと前記第２領域の回路ユニットを含む少なくとも１つのユニット行において、前記第１領域の第１電源配線と前記第２領域の第１側補償線は前記第１方向に沿って延びる同一本の直線上に位置し、前記第１領域の第１接続線と前記第２領域の第２側補償線は前記第１方向に沿って延びる同一本の直線上に位置する、請求項１３に記載の表示基板。

【請求項１５】

前記ベースに平行な平面において、前記表示領域は前記第１接続線及び前記第２接続線の前記ベースでの正投影と重ならない第３領域を更に含み、前記第３領域の少なくとも１つの回路ユニットにおいて前記第１電源配線と前記第２電源配線を含み、前記第２電源配線は第２接続孔を介して前記低電圧電源線に接続される、請求項２に記載の表示基板。

【請求項１６】

前記第３領域の少なくとも１つの回路ユニットにおいて電源接続電極を更に含み、前記電源接続電極は前記第２電源配線の前記データ信号線から離れる側に設置され、且つ前記第２電源配線に接続され、前記電源接続電極のベースでの正投影は前記低電圧電源線のベ

ースでの正投影と少なくとも部分的に重なり、前記電源接続電極は前記第２接続孔を介して前記低電圧電源線に接続される、請求項１５に記載の表示基板。
【請求項１７】
前記第１方向に隣接する回路ユニットにおける第１電源配線は互いに接続され、前記第２方向に隣接する回路ユニットにおける第２電源配線は互いに接続される、請求項１５に記載の表示基板。
【請求項１８】
前記第３領域の少なくとも１つの回路ユニットにおいて、前記第１方向に沿って延びる第１補償線と前記第２方向に沿って延びる第２補償線を更に含み、前記第１方向に隣接する回路ユニットにおける第１補償線は互いに接続され、前記第２方向に隣接する回路ユニットにおける第２補償線は互いに接続され、前記第１補償線は前記第２電源配線に接続され、前記第２補償線は前記第１電源配線に接続され、前記第１補償線は前記第２補償線に接続される、請求項１５に記載の表示基板。
【請求項１９】
前記第１領域の回路ユニットと前記第３領域の回路ユニットを含む少なくとも１つのユニット行において、前記第１領域の第１接続線と前記第３領域の第１補償線は前記第１方向に沿って延びる同一本の直線上に位置し、前記第１領域の回路ユニットと前記第３領域の回路ユニットを含む少なくとも１つのユニット列において、前記第１領域の第２補償線と前記第３領域の第２補償線は前記第２方向に沿って延びる同一本の直線上に位置する、請求項１８に記載の表示基板。
【請求項２０】
前記ベースに平行な平面において、前記表示領域は、前記第２接続線が設けられる第２領域と、前記第１接続線及び前記第２接続線のベースでの正投影と重ならない第３領域を更に含み、前記第１領域の回路ユニット、前記第２領域の回路ユニット及び前記第３領域の回路ユニットを含む少なくとも１つのユニット行において、前記第１領域の第１電源配線、前記第２領域の第１補償線における第１側補償線及び前記第３領域の第１電源配線は、前記第１方向に沿って延びる同一本の直線上に位置し、前記第１領域の第１接続線、前記第２領域の第１補償線における第２側補償線及び前記第３領域の第１補償線は、前記第１方向に沿って延びる同一本の直線上に位置し、前記第１領域の電源接続電極、前記第２領域のダミー接続電極及び前記第３領域の電源接続電極は、第１方向に沿って延びる同一本の直線上に位置し、前記第１領域の回路ユニット、前記第２領域の回路ユニット及び前記第３領域の回路ユニットを含む少なくとも１つのユニット列において、前記第１領域の第２電源配線、前記第２領域の第２接続線における第１側接続線及び前記第３領域の第２電源配線は、前記第２方向に沿って延びる同一本の直線上に位置し、前記第１領域の第２補償線、前記第２領域の第２接続線における第２側接続線及び前記第３領域の第２補償線は、前記第２方向に沿って延びる同一本の直線上に位置し、前記第１領域の電源接続電極、前記第２領域のダミー接続電極及び前記第３領域の電源接続電極は、前記第２方向に沿って延びる同一本の直線上に位置する、請求項２に記載の表示基板。
【請求項２１】
前記表示基板は前記表示領域の前記第２方向側に位置するバインディング領域を更に含み、前記バインディング領域は少なくともバインディングリード線、第１電源接続線及び第１電源ピンを含み、前記第１電源接続線の第１端はビアを介して前記低電圧電源線に接続され、前記第２電源接続線の第２端は前記表示領域から離れる方向に沿って延びた後に前記第１電源ピンに接続され、前記第１電源ピンはビアを介して前記バインディングリード線に接続される、請求項２に記載の表示基板。
【請求項２２】
前記表示基板は前記表示領域の前記第２方向の反対方向側に位置する上ベゼル領域を更に含み、前記上ベゼル領域は少なくとも上ベゼルリード線、第２電源接続バー、第２電源接続線及び第２電源ピンを含み、前記第２電源接続バーの第１端はビアを介して前記低電圧電源線に接続され、前記第２電源接続バーの第２端は前記第２電源接続線の第１端に接

続され、前記第２電源接続線の第２端は前記表示領域から離れる方向に沿って延びた後に前記第２電源ピンに接続され、前記第２電源ピンはビアを介して前記上ベゼルリード線に接続される、請求項２に記載の表示基板。

【請求項２３】

前記表示基板は前記表示領域の前記第１方向の一側又は両側に位置するサイドベゼル領域を更に含み、前記サイドベゼル領域は少なくともサイドベゼルリード線、第３電源接続線及び第３電源ピンを含み、前記第３電源接続線の第１端はビアを介して前記電源配線に接続され、前記第３電源接続線の第２端は前記表示領域から離れる方向に沿って延びた後に前記第３電源ピンに接続され、前記第３電源ピンはビアを介して前記サイドベゼルリード線に接続される、請求項２に記載の表示基板。

【請求項２４】

前記画素駆動回路は少なくとも記憶コンデンサと複数のトランジスタを含み、前記ベースに垂直な平面において、前記駆動回路層はベースに順次に設けられる半導体層、第１導電層、第２導電層、第３導電層、第４導電層及び第５導電層を含み、前記半導体層は少なくとも複数のトランジスタの活性層を含み、前記第１導電層は少なくとも複数のトランジスタのゲート電極と記憶コンデンサの第１極板を含み、前記第２導電層は少なくとも記憶コンデンサの第２極板を含み、前記第３導電層は少なくとも複数のトランジスタの第１極と第２極を含み、前記第４導電層は少なくとも前記データ信号線と前記低電圧電源線を含み、前記第５導電層は少なくとも前記データ接続線と前記電源配線を含む、請求項１～２３のいずれか一項に記載の表示基板。

【請求項２５】

前記第３導電層は第１電源線を更に含み、前記第１電源線は前記画素駆動回路に高電源電圧信号を継続的に供給するように構成され、前記低電圧電源線のベースでの正投影は、前記第１電源線のベースでの正投影と少なくとも部分的に重なり、且つ第１重複面積を有し、前記第１電源線のベースでの正投影は第１面積を有し、前記第１重複面積は０．８＊第１面積より大きい、請求項２４に記載の表示基板。

【請求項２６】

前記第２導電層は第２初期信号線を更に含み、前記第２初期信号線は前記画素駆動回路に第２初期信号を供給するように構成され、前記データ接続線における第１接続線のベースでの正投影は、前記第２初期信号線のベースでの正投影と少なくとも部分的に重なり、且つ第２重複面積を有し、前記第１接続線のベースでの正投影は第２面積を有し、前記第２重複面積は０．８＊第２面積より大きい、請求項２４に記載の表示基板。

【請求項２７】

請求項１～２６のいずれか一項に記載の表示基板を備える表示装置。

【発明の詳細な説明】

【技術分野】

【０００１】

本願は、２０２２年６月１５日に中国特許庁に提出され、出願番号が２０２２１０６７０４６８．６であり、発明の名称が「表示基板及び表示装置」である中国特許出願の優先権を請求し、その内容は参照により本願に組み込まれたものと理解すべきである。

【０００２】

本明細書は表示技術分野に関するが、これに限定されるものではなく、具体的には、表示基板及び表示装置に関する。

【背景技術】

【０００３】

有機発光ダイオード（Ｏｒｇａｎｉｃ　Ｌｉｇｈｔ　Ｅｍｉｔｔｉｎｇ　Ｄｉｏｄｅ、ＯＬＥＤと略称される）と量子ドット発光ダイオード（Ｑｕａｎｔｕｍ－ｄｏｔ　Ｌｉｇｈｔ　Ｅｍｉｔｔｉｎｇ　Ｄｉｏｄｅｓ、ＱＬＥＤと略称される）は能動発光表示デバイスであり、自律発光、広視野角、高コントラスト、低消費電力、極めて速い応答速度、軽量、薄型、曲げ可能、低コストなどの利点がある。表示技術の発展に伴い、ＯＬＥＤやＱ

ＬＥＤを発光デバイスとし、薄膜トランジスタ（Ｔｈｉｎ　Ｆｉｌｍ　Ｔｒａｎｓｉｓｔｏｒ、ＴＦＴと略称される）で信号制御を行うフレキシブル表示装置（ＦｌｅｘｉｂｌｅＤｉｓｐｌａｙ）は現在の表示分野の主流製品となっている。

【発明の概要】

【０００４】

以下は、本明細書に記載されるテーマに対する概要である。本概要は特許請求の範囲の保護範囲を限定するものではない。

【０００５】

一態様では、本開示は表示基板を提供し、表示領域を含み、前記表示領域はベースに設けられる駆動回路層と、前記駆動回路層の前記ベースから離れる側に設けられる発光構造層を含み、前記駆動回路層は複数の回路ユニット、複数のデータ信号線、複数のデータ接続線、複数の低電圧電源線及び複数の電源配線を含み、前記発光構造層は複数の発光デバイスを含み、前記回路ユニットは画素駆動回路を含み、前記データ信号線は前記画素駆動回路にデータ信号を供給するように構成され、前記低電圧電源線は前記発光デバイスに低電源電圧信号を持続的に供給するように構成され、前記データ接続線は前記データ信号線に接続され、前記電源配線は前記低電圧電源線に接続される。

【０００６】

例示的な実施形態では、前記データ接続線は第１方向に沿って延びる第１接続線と第２方向に沿って延びる第２接続線を含み、前記第１接続線は前記第２接続線に接続され、前記電源配線は第１方向に沿って延びる第１電源配線と第２方向に沿って延びる第２電源配線を含み、前記第１電源配線は前記第２電源配線に接続され、前記第１方向は前記第２方向と交差し、前記ベースに平行な平面において、前記表示領域は少なくとも前記第１接続線が設けられる第１領域を含み、前記第１領域の少なくとも１つの回路ユニットにおいて、前記第１接続線、前記第１電源配線及び前記第２電源配線を含み、前記データ信号線と低電圧電源線の形状は前記第２方向に沿って延びる線状であり、前記第１接続線は前記データ信号線に接続され、前記第２電源配線は前記低電圧電源線と前記データ信号線との間に設置され、前記第２電源配線は前記低電圧電源線に接続される。

【０００７】

例示的な実施形態では、前記駆動回路層はベースに順次に設けられる複数の導電層を含み、前記第１接続線と前記第２接続線は同じ導電層に設けられ、前記第１接続線と前記データ信号線は異なる導電層に設けられ、前記第１領域の少なくとも１つの回路ユニットにおいて、前記第１接続線は第１接続孔を介して前記データ信号線に接続される。

【０００８】

例示的な実施形態では、前記駆動回路層はベースに順次に設けられる複数の導電層を含み、前記第１電源配線と前記第２電源配線は同じ導電層に設けられ、前記第２電源配線と前記低電圧電源線は異なる導電層に設けられ、前記第１領域の少なくとも１つの回路ユニットにおいて、前記第２電源配線は第２接続孔を介して前記低電圧電源線に接続される。

【０００９】

例示的な実施形態では、前記第１領域の少なくとも１つの回路ユニットにおいて電源接続電極を更に含み、前記電源接続電極は前記第２電源配線の前記データ信号線から離れる側に設置され、且つ前記第２電源配線に接続され、前記電源接続電極のベースでの正投影は前記低電圧電源線のベースでの正投影と少なくとも部分的に重なり、前記電源接続電極は第２接続孔を介して前記低電圧電源線に接続される。

【００１０】

例示的な実施形態では、前記第１方向に隣接する回路ユニットにおける第１接続線は互いに接続され、前記第１方向に隣接する回路ユニットにおける第１電源配線は互いに接続される。

【００１１】

例示的な実施形態では、前記第１領域において、前記第２方向に隣接する回路ユニットにおける第２電源配線は間隔をあけて設置され、前記第１接続線は前記第２方向に隣接す

る第２電源配線の間に設置される。

【００１２】

例示的な実施形態では、前記第１領域の少なくとも１つの回路ユニットにおいて、前記第２方向に沿って延びる第２補償線を更に含み、前記第２補償線は前記第２電源配線の前記データ信号線から離れる側に設置され、前記第２補償線は前記第１電源配線に接続され、前記第２方向に隣接する回路ユニットにおける前記第２補償線は間隔をあけて設置され、前記第１接続線は前記第２方向に隣接する第２補償線の間に設置される。

【００１３】

例示的な実施形態では、前記ベースに平行な平面において、前記表示領域は前記第２接続線が設けられる第２領域を更に含み、前記第２領域の少なくとも１つの回路ユニットにおいて前記第２接続線を含み、前記第２方向に隣接する回路ユニットにおける第２接続線は互いに接続される。

【００１４】

例示的な実施形態では、前記第２領域の少なくとも１つの回路ユニットは２本の第２接続線を含み、２本の第２接続線は第１側接続線と第２側接続線を含み、前記第１側接続線は前記低電圧電源線と前記データ信号線との間に設置され、前記第２側接続線は前記低電圧電源線の前記データ信号線から離れる側に設置される。

【００１５】

例示的な実施形態では、前記第２領域の少なくとも１つの回路ユニットはダミー接続電極を更に含み、前記ダミー接続電極は前記第２側接続線の前記第１側接続線に近い側に設置され、且つ前記第２側接続線に接続され、前記ダミー接続電極のベースでの正投影は前記低電圧電源線のベースでの正投影と少なくとも部分的に重なる。

【００１６】

例示的な実施形態では、前記第１領域の回路ユニットと前記第２領域の回路ユニットを含む少なくとも１つのユニット列において、前記第１領域の第２電源配線と前記第２領域の第１側接続線は前記第２方向に沿って延びる同一本の直線上に位置し、前記第１領域の第２補償線と前記第２領域の第２側接続線は前記第２方向に沿って延びる同一本の直線上に位置し、前記第１領域の電源接続電極と前記第２領域のダミー接続電極は前記第２方向に沿って延びる同一本の直線上に位置し、前記第１領域の回路ユニットと前記第２領域の回路ユニットを含む少なくとも１つのユニット行において、前記第１領域の電源接続電極と前記第２領域のダミー接続電極は前記第１方向に沿って延びる同一本の直線上に位置する。

【００１７】

例示的な実施形態では、前記第２領域の少なくとも１つの回路ユニットは前記第１方向に沿って延びる少なくとも２本の第１補償線を更に含み、なくとも２本の第１補償線は少なくとも１本の第１側補償線と少なくとも１本の第２側補償線を含み、前記第１側補償線の第１端は前記第１側接続線に接続され、前記第１側補償線の第２端は前記第２側接続線に近い方向に沿って延び、前記第２側補償線の第１端は前記第２側接続線に接続され、前記第２側補償線の第２端は前記第１側接続線に近い方向に沿って延びる。

【００１８】

例示的な実施形態では、前記第１領域の回路ユニットと前記第２領域の回路ユニットを含む少なくとも１つのユニット行において、前記第１領域の第１電源配線と前記第２領域の第１側補償線は前記第１方向に沿って延びる同一本の直線上に位置し、前記第１領域の第１接続線と前記第２領域の第２側補償線は前記第１方向に沿って延びる同一本の直線上に位置する。

【００１９】

例示的な実施形態では、前記ベースに平行な平面において、前記表示領域は前記第１接続線及び前記第２接続線の前記ベースでの正投影と重ならない第３領域を更に含み、前記第３領域の少なくとも１つの回路ユニットにおいて前記第１電源配線と前記第２電源配線を含み、前記第２電源配線は第２接続孔を介して前記低電圧電源線に接続される。

【００２０】
例示的な実施形態では、前記第３領域の少なくとも１つの回路ユニットにおいて電源接続電極を更に含み、前記電源接続電極は前記第２電源配線の前記データ信号線から離れる側に設置され、且つ前記第２電源配線に接続され、前記電源接続電極のベースでの正投影は前記低電圧電源線のベースでの正投影と少なくとも部分的に重なり、前記電源接続電極は前記第２接続孔を介して前記低電圧電源線に接続される。
【００２１】
例示的な実施形態では、前記第１方向に隣接する回路ユニットにおける第１電源配線は互いに接続され、前記第２方向に隣接する回路ユニットにおける第２電源配線は互いに接続される。
【００２２】
例示的な実施形態では、前記第３領域の少なくとも１つの回路ユニットにおいて、前記第１方向に沿って延びる第１補償線と前記第２方向に沿って延びる第２補償線を更に含み、前記第１方向に隣接する回路ユニットにおける第１補償線は互いに接続され、前記第２方向に隣接する回路ユニットにおける第２補償線は互いに接続され、前記第１補償線は前記第２電源配線に接続され、前記第２補償線は前記第１電源配線に接続され、前記第１補償線は前記第２補償線に接続される。
【００２３】
例示的な実施形態では、前記第１領域の回路ユニットと前記第３領域の回路ユニットを含む少なくとも１つのユニット行において、前記第１領域の第１接続線と前記第３領域の第１補償線は前記第１方向に沿って延びる同一本の直線上に位置し、前記第１領域の回路ユニットと前記第３領域の回路ユニットを含む少なくとも１つのユニット列において、前記第１領域の第２補償線と前記第３領域の第２補償線は前記第２方向に沿って延びる同一本の直線上に位置する。
【００２４】
例示的な実施形態では、前記ベースに平行な平面において、前記表示領域は、前記第２接続線が設けられる第２領域と、前記第１接続線及び前記第２接続線のベースでの正投影と重ならない第３領域を更に含み、前記第１領域の回路ユニット、前記第２領域の回路ユニット及び前記第３領域の回路ユニットを含む少なくとも１つのユニット行において、前記第１領域の第１電源配線、前記第２領域の第１補償線における第１側補償線及び前記第３領域の第１電源配線は、前記第１方向に沿って延びる同一本の直線上に位置し、前記第１領域の第１接続線、前記第２領域の第１補償線における第２側補償線及び前記第３領域の第１補償線は、前記第１方向に沿って延びる同一本の直線上に位置し、前記第１領域の電源接続電極、前記第２領域のダミー接続電極及び前記第３領域の電源接続電極は、第１方向に沿って延びる同一本の直線上に位置し、前記第１領域の回路ユニット、前記第２領域の回路ユニット及び前記第３領域の回路ユニットを含む少なくとも１つのユニット列において、前記第１領域の第２電源配線、前記第２領域の第２接続線における第１側接続線及び前記第３領域の第２電源配線は、前記第２方向に沿って延びる同一本の直線上に位置し、前記第１領域の第２補償線、前記第２領域の第２接続線における第２側接続線及び前記第３領域の第２補償線は、前記第２方向に沿って延びる同一本の直線上に位置し、前記第１領域の電源接続電極、前記第２領域のダミー接続電極及び前記第３領域の電源接続電極は、前記第２方向に沿って延びる同一本の直線上に位置する。
【００２５】
例示的な実施形態では、前記表示基板は前記表示領域の前記第２方向側に位置するバインディング領域を更に含み、前記バインディング領域は少なくともバインディングリード線、第１電源接続線及び第１電源ピンを含み、前記第１電源接続線の第１端はビアを介して前記低電圧電源線に接続され、前記第２電源接続線の第２端は前記表示領域から離れる方向に沿って延びた後に前記第１電源ピンに接続され、前記第１電源ピンはビアを介して前記バインディングリード線に接続される。
【００２６】

例示的な実施形態では、前記表示基板は前記表示領域の前記第２方向の反対方向側に位置する上ベゼル領域を更に含み、前記上ベゼル領域は少なくとも上ベゼルリード線、第２電源接続バー、第２電源接続線及び第２電源ピンを含み、前記第２電源接続バーの第１端はビアを介して前記低電圧電源線に接続され、前記第２電源接続バーの第２端は前記第２電源接続線の第１端に接続され、前記第２電源接続線の第２端は前記表示領域から離れる方向に沿って延びた後に前記第２電源ピンに接続され、前記第２電源ピンはビアを介して前記上ベゼルリード線に接続される。

【００２７】

例示的な実施形態では、前記表示基板は前記表示領域の前記第１方向の一側又は両側に位置するサイドベゼル領域を更に含み、前記サイドベゼル領域は少なくともサイドベゼルリード線、第３電源接続線及び第３電源ピンを含み、前記第３電源接続線の第１端はビアを介して前記電源配線に接続され、前記第３電源接続線の第２端は前記表示領域から離れる方向に沿って延びた後に前記第３電源ピンに接続され、前記第３電源ピンはビアを介して前記サイドベゼルリード線に接続される。

【００２８】

例示的な実施形態では、前記駆動回路層は複数の回路ユニットを更に含み、前記回路ユニットは画素駆動回路を含み、前記画素駆動回路は少なくとも記憶コンデンサと複数のトランジスタを含み、前記表示基板に垂直な平面において、前記駆動回路層はベースに順次に設けられる半導体層、第１導電層、第２導電層、第３導電層、第４導電層及び第５導電層を含み、前記半導体層は少なくとも複数のトランジスタの活性層を含み、前記第１導電層は少なくとも複数のトランジスタのゲート電極と記憶コンデンサの第１極板を含み、前記第２導電層は少なくとも記憶コンデンサの第２極板を含み、前記第３導電層は少なくとも複数のトランジスタの第１極と第２極を含み、前記第４導電層は少なくとも前記データ信号線と前記低電圧電源線を含み、前記第５導電層は少なくとも前記データ接続線と前記電源配線を含む。

【００２９】

例示的な実施形態では、前記第３導電層は第１電源線を更に含み、前記第１電源線は前記画素駆動回路に高電源電圧信号を継続的に供給するように構成され、前記低電圧電源線のベースでの正投影は、前記第１電源線のベースでの正投影と少なくとも部分的に重なり、且つ第１重複面積を有し、前記第１電源線のベースでの正投影は第１面積を有し、前記第１重複面積は０．８＊第１面積より大きい。

【００３０】

例示的な実施形態では、前記第２導電層は第２初期信号線を更に含み、前記第２初期信号線は前記画素駆動回路に第２初期信号を供給するように構成され、前記データ接続線における第１接続線のベースでの正投影は、前記第２初期信号線のベースでの正投影と少なくとも部分的に重なり、且つ第２重複面積を有し、前記第１接続線のベースでの正投影は第２面積を有し、前記第２重複面積は０．８＊第２面積より大きい。

【００３１】

別の態様では、本開示は上記の表示基板を備える表示装置を更に提供する。

【００３２】

図面及び詳細の説明を読んで理解した後、他の方面を理解できる。

【００３３】

図面は本開示の技術案を理解するためのものであり、且つ明細書の一部を構成し、本願の実施例と一緒に本開示の技術案を説明することに用いられ、本開示の技術案を制限するためのものではない。

【図面の簡単な説明】

【００３４】

【図１】表示装置の構造模式図である。

【図２】表示基板の構造模式図である。

【図３】表示基板の表示領域の平面構造模式図である。

【図４】表示基板の表示領域の断面構造模式図である。
【図５】画素駆動回路の等価回路模式図である。
【図６】本開示の例示的な実施例の表示基板の平面構造模式図である。
【図７】本開示の例示的な実施例のデータ接続線の配置模式図である。
【図８】本開示の例示的な実施例の他の表示基板の平面構造模式図である。
【図９】本開示の例示的な実施例のデータ接続線及び電源配線の配置模式図である。
【図１０】本開示の例示的な実施例の表示領域の領域分割模式図である。
【図１１】図１１ａ～図１１ｃは、本開示の実施例の３つの領域の構造模式図である。
【図１２】本開示の実施例における半導体層パターンを形成した後の模式図である。
【図１３】図１３ａ及び図１３ｂは、本開示の実施例における第１導電層パターンを形成した後の模式図である。
【図１４】図１４ａ及び図１４ｂは、本開示の実施例における第２導電層パターンを形成した後の模式図である。
【図１５】本開示の実施例における第４絶縁層パターンを形成した後の模式図である。
【図１６】図１６ａ及び図１６ｂは、本開示の実施例における第３導電層パターンを形成した後の模式図である。
【図１７】本開示の実施例における第１平坦層パターンを形成した後の模式図である。
【図１８】図１８ａ～図１８ｄは、本開示の実施例における第４導電層パターンを形成した後の模式図である。
【図１９】図１９ａ～図１９ｃは、本開示の実施例における第２平坦層パターンを形成した後の模式図である。
【図２０】図２０ａ～図２０ｆは、本開示の実施例における第５導電層パターンを形成した後の模式図である。
【図２１】図２１ａ～図２１ｃは、本開示の実施例における第３平坦層パターンを形成した後の模式図である。
【図２２】図２２ａ～図２２ｄは、本開示の実施例における陽極導電層パターンを形成した後の模式図である。
【図２３】本開示の例示的な実施例の電源配線の平面構造模式図である。
【図２４】本開示の例示的な実施例の電源配線とバインディングリード線の接続模式図である。
【図２５】本開示の例示的な実施例の電源配線と上ベゼルリード線の接続模式図である。
【図２６】本開示の例示的な実施例の電源配線とサイドベゼルリード線の接続模式図である。
【発明を実施するための形態】
【００３５】
本開示の目的、技術案及び利点をより明確にするために、以下、図面を参照しながら本開示の実施例を詳細に説明する。なお、実施形態は多くの異なる形態により実施され得る。当業者が容易に理解できるように、方式と内容は本開示の要旨及び範囲を逸脱しない条件で様々な形態に変換され得る。従って、本開示は下記実施形態の記載のみに限定されるものと解釈されるべきではない。衝突がない場合、本開示の実施例及び実施例の特徴を互いに組み合わせることができる。
【００３６】
本開示における図面の比例は、実際のプロセスにおける参考としてもよいが、それに限らない。例えば、チャネルの幅と長さとの比、各膜層の厚さと間隔、各信号線の幅と間隔は、実際の需要に応じて調整してもよい。表示基板における画素の数と各画素におけるサブ画素の数も図示の数に限らず、本開示に説明される図面は構造模式図に過ぎず、本開示の一態様は図面に示す形状又は数値等に限らない。
【００３７】
本明細書における「第１」、「第２」、「第３」等の序数詞は構成要素の混乱を避けるためのものであり、数量の面で限定するものではない。

【００３８】
本明細書において、便利のために、「中部」、「上」、「下」、「前」、「後」、「垂直」、「水平」、「頂」、「底」、「内」、「外」等の方位又は位置関係を示す用語により、図面を参照して構成要素の位置を説明するが、これは本明細書を説明し及び説明を簡素化するためのものであり、説明された装置又は素子が特定の方位を有し、特定の方位で構成及び操作しなければならないことを指示又は示唆するためのものではない。従って、本開示を制限するためのものではない。構成要素の位置関係は各構成要素を説明する方向に応じて適当に変更する。従って、明細書に説明する用語に限らず、場合によっては適当に変更できる。
【００３９】
本明細書において、明確な規定と限定がない限り、「取り付く」、「連結」、「接続」の用語は広義的に理解されるべきである。例えば、固定接続、又は取り外す可能な接続、又は一体化接続であってもよい。機械的接続、又は電気的に接続であってもよい。直接接続、又はリンカーを介する間接接続、又は２つの素子の内部連通であってもよい。当業者なら、具体的な状況に応じて上記専門用語の本開示での具体的な意味を理解することができる。
【００４０】
本明細書において、トランジスタとは、少なくともゲート電極、ドレイン電極及びソース電極の３つの端子を含む素子を指す。トランジスタはドレイン電極（ドレイン電極端子、ドレイン領域又はドレイン電極）とソース電極（ソース電極端子、ソース領域又はソース電極）との間にチャネル領域を有し、電流はドレイン電極、チャネル領域及びソース電極を流れることができる。なお、本明細書において、チャネル領域とは電流が主に流れる領域を指す。
【００４１】
本明細書において、第１極はドレイン電極、第２極はソース電極であってもよく、又は、第１極はソース電極、第２極はドレイン電極であってもよい。極性が反対であるトランジスタを使用する場合、又は回路における作業中の電流方向が変更する場合等に、「ソース電極」と「ドレイン電極」の機能は互いに変換する場合がある。従って、本明細書において、「ソース電極」と「ドレイン電極」は互いに変換し、「ソース端」と「ドレイン端」は互いに変換することができる。
【００４２】
本明細書において、「電気的に接続」は構成要素が或る電気的作用を有する素子を介して接続される場合を含む。「或る電気的作用を有する素子」は特に制限されず、接続される構成要素間での電気信号の送受信を行えればよい。「或る電気的作用を有する素子」の例は、電極と配線だけでなく、トランジスタ等のスイッチ素子、抵抗器、インダクタ、コンデンサ、及び他の様々な機能を備える素子等も含む。
【００４３】
本明細書では、「平行」とは２本の直線からなる角度が－１０°以上１０°以下である状態を指すため、該角度が－５°以上５°以下である状態も含む。また、「垂直」とは２本の直線からなる角度が８０°以上１００°以下である状態を指すため、８５°以上９５°以下の角度の状態も含む。
【００４４】
本明細書では、「膜」と「層」は互いに交換可能である。例えば、「導電層」は「導電膜」に変更され得る場合がある。同様に、「絶縁膜」は「絶縁層」に変更され得る場合もある。
【００４５】
本明細書における三角形、矩形、台形、五角形又は六角形等は厳密なものではなく、近似の三角形、矩形、台形、五角形又は六角形等であってもよく、公差による小さな変形が存在してもよく、面取り、弧辺及び変形が存在してもよい。
【００４６】

本開示における「約」とは境界を厳密に限定せず、プロセスと測定の誤差範囲内の数値を許容する場合を指す。

【００４７】

図１は表示装置の構造模式図である。図１に示すように、表示装置はタイミングコントローラー、データドライバー、走査ドライバー、発光ドライバー及び画素アレイを備える。タイミングコントローラーはそれぞれデータドライバー、走査ドライバー及び発光ドライバーに接続され、データドライバーはそれぞれ複数のデータ信号線（Ｄ１～Ｄｎ）に接続され、走査ドライバーはそれぞれ複数の走査信号線（Ｓ１～Ｓｍ）に接続され、発光ドライバーはそれぞれ複数の発光信号線（Ｅ１～Ｅｏ）に接続される。画素アレイは複数のサブ画素Ｐｘｉｊを含み得ており、ｉとｊは自然数であってもよく、少なくとも１つのサブ画素Ｐｘｉｊは回路ユニット及び回路ユニットに接続される発光ユニットを含んでもよく、回路ユニットは画素駆動回路をを含んでもよく、画素駆動回路は走査信号線、データ信号線及び発光信号線にそれぞれ接続される。例示的な実施形態では、タイミングコントローラーはデータドライバーの規格に適合する灰色値及び制御信号をデータドライバーに提供し、走査ドライバーの規格に適合するクロック信号、走査開始信号等を走査ドライバーに提供し、発光ドライバーの規格に適合するクロック信号、発射停止信号等を発光ドライバーに提供する。データドライバーはタイミングコントローラーから受信した灰色値及び制御信号を利用して、データ信号線Ｄ１、Ｄ２、Ｄ３、…、Ｄｎに提供するデータ電圧を生成する。例えば、データドライバーはクロック信号を利用して灰色値をサンプリングし、且つ画素行を単位として灰色値に対応するデータ電圧をデータ信号線Ｄ１～Ｄｎに印加することができ、ｎが自然数であってもよい。走査ドライバーはタイミングコントローラーからクロック信号、走査開始信号等を受信することにより、走査信号線Ｓ１、Ｓ２、Ｓ３、…、Ｓｍに提供する走査信号を生成することができる。例えば、走査ドライバーはターンオンレベルパルスを有する走査信号を順次に走査信号線Ｓ１～Ｓｍに提供することができる。例えば、走査ドライバーはシフトレジスタの形式として構成されてもよく、クロック信号の制御下でターンオンレベルパルスの形式で提供される走査開始信号を順次に次の段階の回路に輸送することにより走査信号を生成することができ、ｍは自然数であってもよい。発光ドライバーはタイミングコントローラーからクロック信号、発射停止信号等を受信することにより、発光信号線Ｅ１、Ｅ２、Ｅ３、…、Ｅｏに提供する発射信号を生成することができる。例えば、発光ドライバーはカットオフレベルパルスを有する発射信号を順次に発光信号線Ｅ１～Ｅｏに提供することができる。例えば、発光ドライバーはシフトレジスタの形式として構成されてもよく、クロック信号の制御下でカットオフレベルパルスの形式で提供される発射停止信号を順次に次の段階の回路に輸送することにより発射信号を生成することができ、ｏは自然数であってもよい。

【００４８】

図２は表示基板の構造模式図である。図２に示すように、表示基板は、表示領域１００、表示領域１００側に位置するバインディング領域２００及び表示領域１００の他側に位置するベゼル領域３００を含んでもよい。例示的な実施形態では、表示領域１００は平坦な領域であってもよく、画素アレイを構成する複数のサブ画素Ｐｘｉｊを含み、複数のサブ画素Ｐｘｉｊは動画や静止画を表示するように構成され、表示領域１００を有効領域（ＡＡ）と称してもよい。例示的な実施形態では、表示基板はフレキシブル基板を採用してもよいので、表示基板は、例えば、カール、湾曲、折り畳み、又は巻き上げなどの変形可能なものであってもよい。

【００４９】

例示的な実施形態では、バインディング領域２００は、表示領域から離れる方向に沿って順次に設けられるファンアウト領域、ベンド領域、ドライバーチップ領域及びバインディングピン領域を含んでもよく、ファンアウト領域は表示領域１００に接続され、少なくともデータファンアウト線を含み、複数のデータファンアウト線は、ファンアウト配線で表示領域のデータ信号線に接続するように構成される。ベンド領域はファンアウト領域に接続され、溝が設けられる複合絶縁層を含んでもよく、バインディング領域を表示領域の

裏面に折り曲げるように構成される。ドライバーチップ領域は集積回路（Ｉｎｔｅｇｒａｔｅｄ　Ｃｉｒｃｕｉｔ、ＩＣと略称される）を含んでもよく、集積回路は複数本のデータファンアウト線に接続されるように構成される。バインディングピン領域はバインディングパッド（Ｂｏｎｄｉｎｇ　Ｐａｄ）を含んでもよく、バインディングパッドは、外部のフレキシブルプリントサーキット（ＦＰＣ、Ｆｌｅｘｉｂｌｅ　Ｐｒｉｎｔｅｄ　Ｃｉｒｃｕｉｔ、ＦＰＣと略称される）にバインディング接続されるように構成される。

【００５０】

例示的な実施形態では、ベゼル領域３００は、表示領域１００から離れる方向に沿って順次に設置される回路領域、電源線領域、割れ目ダム領域、及び切断領域を含んでもよい。回路領域は、表示領域１００に接続され、少なくともゲート駆動回路を含んでもよく、ゲート駆動回路は表示領域１００内の画素駆動回路の第１走査線、第２走査線及び発光制御線に接続される。電源線領域は、回路領域に接続され、少なくともベゼル電源リード線を含んでもよく、ベゼル電源リード線は表示領域のエッジに平行な方向に沿って延び、表示領域１００内の陰極に接続される。割れ目ダム領域は、電源線領域に接続され、少なくとも複合絶縁層に設けられる複数の割れ目を含んでもよい。切断領域は、割れ目ダム領域に接続され、少なくとも複合絶縁層に設けられる切断溝を含んでもよく、切断溝は、表示基板の全ての膜層の準備が完了した後、切断装置が切断溝に沿ってそれぞれ切断するように構成される。

【００５１】

例示的な実施形態では、バインディング領域２００のファンアウト領域及びベゼル領域３００の電源線領域には第１隔離ダムと第２隔離ダムが設けられてもよく、第１隔離ダムと第２隔離ダムは表示領域のエッジに平行な方向に沿って延び、表示領域１００を囲む環状構造を形成してもよく、表示領域のエッジは表示領域バインディング領域又はベゼル領域側のエッジである。

【００５２】

図３は表示基板の表示領域の平面構造模式図である。図３に示すように、表示基板はマトリクス状に配置される複数の画素ユニットＰを含んでもよく、少なくとも１つの画素ユニットＰは、第１色の光線を出射する第１サブ画素Ｐ１、第２色の光線を出射する第２サブ画素Ｐ２、及び第３色の光線を出射する第３サブ画素Ｐ３と第４サブ画素Ｐ４を含んでもよい。各サブ画素はいずれも回路ユニット画素駆動回路と発光デバイスを含んでもよく、回路ユニットは少なくとも画素駆動回路を含んでもよく、画素駆動回路は走査信号線、データ信号線及び発光信号線にそれぞれ接続され、画素駆動回路は、走査信号線と発光信号線の制御下で、データ信号線が伝送するデータ電圧を受信し、発光デバイスに対応する電流を出力するように構成される。各サブ画素における発光デバイスは、所在するサブ画素の画素駆動回路にそれぞれ接続され、発光デバイスは、所在するサブ画素の画素駆動回路が出力する電流に応じて、対応する輝度の光を発光するように構成される。

【００５３】

例示的な実施形態では、第１サブ画素Ｐ１は赤色光を出射する赤色サブ画素（Ｒ）であってもよく、第２サブ画素Ｐ２は青色光を出射する青色サブ画素（Ｂ）であってもよく、第３サブ画素Ｐ３及び第４サブ画素Ｐ４は緑色光を出射する緑色サブ画素（Ｇ）であってもよい。例示的な実施形態では、サブ画素の形状は、矩形、菱形、五角形又は六角形であってもよく、４つのサブ画素はダイヤモンド形の方式で配列され、ＲＧＢＧ画素配置を形成してもよい。他の例示的な実施形態では、４つのサブ画素は水平並列、垂直並列、又は正方形等の方式で配列されてもよく、本開示はここで限定しない。

【００５４】

例示的な実施形態では、画素ユニットは３つのサブ画素を含んでもよく、３つのサブ画素は水平並列、垂直並列又は品の字形等の方式で配列されてもよく、本開示はここで限定しない。

【００５５】

図４は表示基板の表示領域の断面構造模式図であり、表示領域における４つのサブ画素

の構造を示す。図４に示すように、表示基板に垂直な平面において、表示基板は、ベース１０１に設置される駆動回路層１０２、駆動回路層１０２のベース１０１から離れる側に設置される発光構造層１０３、発光構造層１０３のベース１０１から離れる側に設置されるパッケージ構造層１０４を含んでもよい。いくつかの可能な実施形態では、表示基板は、タッチ構造層等の他の膜層を含んでもよく、本開示はここで限定しない。

【００５６】

例示的な実施形態では、ベース１０１は、可撓性ベースであってもよく、剛性ベースであってもよい。各サブ画素の駆動回路層１０２は、複数のトランジスタと記憶コンデンサからなる画素駆動回路を含んでもよい。各サブ画素の発光構造層１０３は、少なくとも陽極３０１、画素定義層３０２、有機発光層３０３及び陰極３０４を含んでもよい。陽極３０１は画素駆動回路に接続され、機発光層３０３は陽極３０１に接続され、陰極３０４は有機発光層３０３に接続され、機発光層３０３は陽極３０１及び陰極３０４によって駆動されて対応する色の光線を出射する。パッケージ構造層１０４は積層して設置される第１パッケージ層４０１、第２パッケージ層４０２及び第３パッケージ層４０３を含んでもよい。第１パッケージ層４０１と第３パッケージ層４０３は無機材料を採用してもよく、第２パッケージ層４０２は有機材料を採用してもよく、２パッケージ層４０２は第１パッケージ層４０１と第３パッケージ層４０３との間に配置され、無機材料／有機材料／無機材料の積層構造を形成し、外部からの水蒸気が発光構造層１０３に侵入しないように保証することができる。

【００５７】

例示的な実施形態では、有機発光層は、発光層（ＥＭＬ）と、正孔注入層（ＨＩＬ）、正孔輸送層（ＨＴＬ）、電子阻止層（ＥＢＬ）、正孔阻止層（ＨＢＬ）、電子輸送層（ＥＴＬ）及び電子注入層（ＥＩＬ）のうちのいずれか１つ又は複数の層を含んでもよい。例示的な実施形態では、全てのサブ画素の正孔注入層、正孔輸送層、電子阻止層、正孔阻止層、電子輸送層及び電子注入層のうちの１層又は複数層は、それぞれ接続される共通層であってもよく、隣接するサブ画素の発光層は重なる部分を有してもよく、又は互いに隔離されてもよい。

【００５８】

図５は画素駆動回路の等価回路模式図である。例示的な実施形態では、画素駆動回路は３Ｔ１Ｃ、４Ｔ１Ｃ、５Ｔ１Ｃ、５Ｔ２Ｃ、６Ｔ１Ｃ、７Ｔ１Ｃ又は８Ｔ１Ｃ構造であってもよい。図５は素駆動回路の等価回路模式図である。図５に示すように、画素駆動回路は、７つのトランジスタ（第１トランジスタＴ１～第７トランジスタＴ７）と１つの記憶コンデンサＣを含んでもよい。画素駆動回路は、それぞれ８つの信号線（データ信号線Ｄ、第１走査信号線Ｓ１、第２走査信号線Ｓ２、発光信号線Ｅ、第１初期信号線ＩＮＩＴ１、第２初期信号線ＩＮＩＴ２、第１電源線ＶＤＤ及び第２電源線ＶＳＳ）に接続される。

【００５９】

例示的な実施形態では、画素駆動回路は第１ノードＮ１、第２ノードＮ２及び第３ノードＮ３を含んでもよい。第１ノードＮ１は、第３トランジスタＴ３の第１極、第４トランジスタＴ４の第２極及び第５トランジスタＴ５の第２極にそれぞれ接続され、第２ノードＮ２は、第１トランジスタの第２極、第２トランジスタＴ２の第１極、第３トランジスタＴ３の制御極及び記憶コンデンサＣの第２端にそれぞれ接続され、第３ノードＮ３は、第２トランジスタＴ２の第２極、第３トランジスタＴ３の第２極及び第６トランジスタＴ６の第１極にそれぞれ接続される。

【００６０】

例示的な実施形態では、記憶コンデンサＣの第１端は第１電源線ＶＤＤに接続され、記憶コンデンサＣの第２端が第２ノードＮ２に接続され、即ち、記憶コンデンサＣの第２端が第３トランジスタＴ３の制御極に接続される。

【００６１】

第１トランジスタＴ１の制御極は第２走査信号線Ｓ２に接続され、第１トランジスタＴ１の第１極は第１初期信号線ＩＮＩＴ１に接続され、第１トランジスタの第２極は第２ノ

ードＮ２に接続される。第２走査信号線Ｓ２にオンレベル走査信号が印加されると、第１トランジスタＴ１は第３トランジスタＴ３の制御極に第１初期電圧を伝達し、第３トランジスタＴ３の制御極の電荷量を初期化する。

【００６２】

第２トランジスタＴ２の制御極は第１走査信号線Ｓ１に接続され、第２トランジスタＴ２の第１極は第２ノードＮ２に接続され、第２トランジスタＴ２の第２極は第３ノードＮ３に接続される。第１走査信号線Ｓ１にオンレベル走査信号が印加されると、第２トランジスタＴ２は第３トランジスタＴ３の制御極と第２極を接続する。

【００６３】

第３トランジスタＴ３の制御極は第２ノードＮ２に接続され、即ち、第３トランジスタＴ３の制御極は記憶コンデンサＣの第２端に接続され、第３トランジスタＴ３の第１極は第１ノードＮ１に接続され、第３トランジスタＴ３の第２極は第３ノードＮ３に接続される。第３トランジスタＴ３は駆動トランジスタと呼ばれてもよく、第３トランジスタＴ３は、制御極と第１極との間の電位差に基づいて、第１電源線ＶＤＤと第２電源線ＶＳＳとの間に流れる駆動電流の量を決定する。

【００６４】

第４トランジスタＴ４の制御極は第１走査信号線Ｓ１に接続され、第４トランジスタＴ４の第１極はデータ信号線Ｄに接続され、第４トランジスタＴ４の第２極は第１ノードＮ１に接続される。第４トランジスタＴ４は、スイッチングトランジスタ、走査トランジスタ等と呼ばれてもよく、第１走査信号線Ｓ１にオンレベル走査信号が印加されると、第４トランジスタＴ４はデータ信号線Ｄのデータ電圧を画素駆動回路に入力させる。

【００６５】

第５トランジスタＴ５の制御極は発光信号線Ｅに接続され、第５トランジスタＴ５の第１極は第１電源線ＶＤＤに接続され、第５トランジスタＴ５の第２極は第１ノードＮ１に接続される。第６トランジスタＴ６の制御極は発光信号線Ｅに接続され、第６トランジスタＴ６の第１極は第３ノードＮ３に接続され、第６トランジスタＴ６の第２極は発光デバイスの第１極に接続される。第５トランジスタＴ５及び第６トランジスタＴ６は発光トランジスタと呼ばれてもよい。発光信号線Ｅにオンレベル発光信号が印加されると、第５トランジスタＴ５及び第６トランジスタＴ６は、第１電源線ＶＤＤと第２電源線ＶＳＳとの間に駆動電流経路を形成することによって発光デバイスを発光させる。

【００６６】

第７トランジスタＴ７の制御極は第２走査信号線Ｓ２に接続され、第７トランジスタＴ７の第１極は第２初期信号線ＩＮＩＴ２に接続され、第７トランジスタＴ７の第２極は発光デバイスの第１極に接続される。第２走査信号線Ｓ２にオンレベル走査信号が印加されると、第７トランジスタＴ７は、第２初期電圧を発光デバイスの第１極に伝達し、発光デバイスの第１極に蓄積される電荷量を初期化又は放出する。

【００６７】

例示的な実施形態では、発光デバイスはＯＬＥＤであり、積層して設置される第１極（陽極）、有機発光層及び第２極（陰極）を含んでもよく、又はＱＬＥＤであり、積層して設置される第１極（陽極）、量子ドット発光層及び第２極（陰極）を含んでもよい。

【００６８】

例示的な実施形態では、発光デバイスの第２極は第２電源線ＶＳＳに接続され、第２電源線ＶＳＳの信号は持続的に供給されるローレベル信号であり、第１電源線ＶＤＤの信号は持続的に供給されるハイレベル信号である。

【００６９】

例示的な実施形態では、第１トランジスタＴ１～第７トランジスタＴ７は、Ｐ型トランジスタであってもよく、Ｎ型トランジスタであってもよい。画素駆動回路に同じタイプのトランジスタを採用することで、プロセスフローを簡素化し、表示パネルのプロセス難度を低減し、製品の歩留まりを向上させることができる。いくつかの可能な実施形態では、第１トランジスタＴ１～第７トランジスタＴ７は、Ｐ型トランジスタ及びＮ型トランジス

タを含んでもよい。

【００７０】

例示的な実施形態では、第１トランジスタＴ１～第７トランジスタＴ７は、低温ポリシリコン薄膜トランジスタを採用してもよいし、酸化物薄膜トランジスタを採用してもよいし、低温ポリシリコン薄膜トランジスタと酸化物薄膜トランジスタとを採用してもよい。低温ポリシリコン薄膜トランジスタの活性層は低温ポリシリコン（Ｌｏｗ　Ｔｅｍｐｅｒａｔｕｒｅ　Ｐｏｌｙ－Ｓｉｌｉｃｏｎ、ＬＴＰＳと略称される）を用い、酸化物薄膜トランジスタの活性層は酸化物半導体（Ｏｘｉｄｅ）を用いる。低温ポリシリコン薄膜トランジスタは移動度が高く、充電が速いなどの利点があり、酸化物薄膜トランジスタはリーク電流が低いなどの利点があり、低温ポリシリコン薄膜トランジスタと酸化物薄膜トランジスタを一つの表示基板に集積し、即ちＬＴＰＳ＋Ｏｘｉｄｅ（ＬＴＰＯと略称される）表示基板であり、両者の利点を利用することができ、低周波駆動を実現でき、消費電力を低減でき、表示属性を向上させることができる。

【００７１】

例示的な実施形態では、第１トランジスタＴ１～第７トランジスタＴ７がいずれもＰ型トランジスタであることを例として、画素駆動回路の動作プロセスは以下のステップを含んでもよい。

【００７２】

リ第１段階Ａ１はリセット段階と呼ばれ、第２走査信号線Ｓ２の信号はローレベル信号であり、第１走査信号線Ｓ１及び発光信号線Ｅの信号はハイレベル信号である。第２走査信号線Ｓ２の信号はローレベル信号であり、第１トランジスタＴ１及び第７トランジスタＴ７をオンする。第１トランジスタＴ１をオンすることにより、第１初期信号線ＩＮＩＴ１の第１初期電圧は第２ノードＮ２に供給され、記憶コンデンサＣは初期化され、記憶コンデンサ内の元のデータ電圧がクリアされる。第７トランジスタＴ７をオンすることで、第２初期信号線ＩＮＩＴ２の第２初期電圧はＯＬＥＤの第１極に供給され、ＯＬＥＤの第１極を初期化（リセット）し、その内部に予め記憶された電圧をクリアして初期化を完了し、ＯＬＥＤが発光しないことを確保する。第１走査信号線Ｓ１及び発光信号線Ｅの信号はハイレベル信号であり、第２トランジスタＴ２、第４トランジスタＴ４、第５トランジスタＴ５、第６トランジスタＴ６及び第７トランジスタＴ７をオフにする。

【００７３】

第２段階Ａ２は、データ書き込み段階又は閾値補償段階と呼ばれ、第１走査信号線Ｓ１の信号はローレベル信号であり、第２走査信号線Ｓ２及び発光信号線Ｅの信号はハイレベル信号であり、データ信号線Ｄはデータ電圧を出力する。この段階では、記憶コンデンサＣの第２端がローレベルであるため、第３トランジスタＴ３がオンする。第１走査信号線Ｓ１の信号はローレベル信号であり、第２トランジスタＴ２及び第４トランジスタＴ４をオンする。第２トランジスタＴ２及び第４トランジスタＴ４をオンすることにより、データ信号線Ｄから出力されるデータ電圧は第１ノードＮ１、オンされた第３トランジスタＴ３、第３ノードＮ３、オンされた第２トランジスタＴ２を介して第２ノードＮ２に供給され、データ信号線Ｄから出力されるデータ電圧と第３トランジスタＴ３の閾値電圧との差を記憶コンデンサＣに充填し、記憶コンデンサＣの第２端（第２ノードＮ２）の電圧はＶｄ－｜Ｖｔｈ｜であり、Ｖｄはデータ信号線Ｄが出力するデータ電圧であり、Ｖｔｈは第３トランジスタＴ３の閾値電圧である。第２走査信号線Ｓ２の信号はハイレベル信号であり、第１トランジスタＴ１をオフにする。発光信号線Ｅの信号はハイレベル信号であり、第５トランジスタＴ５及び第６トランジスタＴ６はオフにする。

【００７４】

第３段階Ａ３は発光段階と呼ばれ、発光信号線Ｅの信号はローレベル信号であり、第１走査信号線Ｓ１及び第２走査信号線Ｓ２の信号はハイレベル信号である。発光信号線Ｅの信号はローレベル信号であり、第５トランジスタＴ５及び第６トランジスタＴ６をオンさせ、第１電源線ＶＤＤが出力する電源電圧はオンした第５トランジスタＴ５、第３トランジスタＴ３及び第６トランジスタＴ６を介してＯＬＥＤの第１極に駆動電圧を供給し、Ｏ

ＬＥＤの発光を駆動する。

【００７５】

画素駆動回路の駆動過程において、第３トランジスタＴ３（駆動トランジスタ）を流れる駆動電流は、そのゲート電極と第１極と間の電圧差によって決定される。第２ノードＮ２の電圧はＶｄ－｜Ｖｔｈ｜であるので、第３トランジスタＴ３の駆動電流は下記の式である。

Ｉ＝Ｋ＊（Ｖｇｓ－Ｖｔｈ）^{2}＝Ｋ＊［（Ｖｄｄ－Ｖｄ＋｜Ｖｔｈ｜）－Ｖｔｈ］^{2}＝Ｋ＊［（Ｖｄｄ－Ｖｄ］^{2}

【００７６】

ここで、Ｉは第３トランジスタＴ３を流れる駆動電流、即ちＯＬＥＤを駆動する駆動電流であり、Ｋは定数であり、Ｖｇｓは第３トランジスタＴ３のゲート電極と第１極と間の電圧差であり、Ｖｔｈは第３トランジスタＴ３の閾値電圧であり、Ｖｄはデータ信号線Ｄが出力するデータ電圧であり、Ｖｄｄは第１電源線ＶＤＤが出力する電源電圧である。

【００７７】

ＯＬＥＤ表示技術の発展に伴い、消費者は表示製品の表示効果に対する要求がますます高くなり、極めて狭いベゼルは表示製品の発展の新しいトレンドとなっているため、ベゼルの狭化、ひいてはベゼルレス設計はＯＬＥＤ表示製品の設計においてますます重視されている。表示基板において、バインディング領域は、一般的に、表示領域から離れる方向に沿って順次に設けられるファンアウト領域、ベンド領域、ドライバーチップ領域、及びバインディングピン領域を含む。バインディング領域の幅は表示領域の幅より小さいため、バインディング領域内の集積回路とバインディングパッドの信号線はファンアウト領域を介してファンアウト（Ｆａｎｏｕｔ）配線方式で広い表示領域に導入する必要があり、表示領域とバインディング領域の幅差が大きいほど、扇形領域に斜めファンアウト線が多いほど、ドライバーチップ領域と表示領域の距離が大きくなるため、扇形領域の占有スペースが大きくなり、下ベゼルの狭い設計が難しくなり、下ベゼルは２．０ｍｍ程度に維持される。他の表示基板では、通常、バインディング領域とベゼル領域に電源リード線が設けられ、電源リード線は低電圧電源信号を伝送するように構成されており、低電圧電源信号の電圧降下を低減するために、電源リード線の幅が大きくなり、表示装置のベゼルが広くなってしまう。

【００７８】

本開示の例示的な実施形態は表示基板を提供し、データ接続線が表示領域（Ｆａｎｏｕｔ　ｉｎ　ＡＡ、ＦＩＡＡと略称される）に位置する構造を採用し、複数のデータ接続線の一端は表示領域内の複数のデータ信号線に対応して接続され、複数のデータ接続線の他端はバインディング領域まで延びてバインディング領域の集積回路に対応して接続される。バインディング領域に扇形の斜線を設ける必要がないので、ファンアウト領域の幅を縮小し、下ベゼルの幅を効果的に小さくすることができる。

【００７９】

本開示の例示的な実施形態は表示基板を提供し、表示領域を含み、前記表示領域はベースに設けられる駆動回路層と、前記駆動回路層の前記ベースから離れる側に設けられる発光構造層を含み、前記駆動回路層は複数の回路ユニット、複数のデータ信号線、複数のデータ接続線、複数の低電圧電源線及び複数の電源配線を含み、前記発光構造層は複数の発光デバイスを含み、前記回路ユニットは画素駆動回路を含み、前記データ信号線は前記画素駆動回路にデータ信号を供給するように構成され、前記低電圧電源線は前記発光デバイスに低電源電圧信号を持続的に供給するように構成され、前記データ接続線は前記データ信号線に接続され、前記電源配線は前記低電圧電源線に接続される。

【００８０】

例示的な実施形態では、前記データ接続線は第１方向に沿って延びる第１接続線と第２方向に沿って延びる第２接続線を含み、前記電源配線は第１方向に沿って延びる第１電源配線と第２方向に沿って延びる第２電源配線を含み、前記第１接続線は前記第２接続線に接続され、前記第１電源配線は前記第２電源配線に接続され、前記第１方向は前記第２方

向と交差する。

【００８１】

例示的な実施形態では、前記ベースに平行な平面において、前記表示領域は少なくとも前記第１接続線が設けられる第１領域を含み、前記第１領域の少なくとも１つの回路ユニットにおいて、前記第１接続線、前記第１電源配線及び前記第２電源配線を含み、前記第１接続線は前記データ信号線に接続され、前記第２電源配線は前記低電圧電源線に接続される。

【００８２】

例示的な実施形態では、前記ベースに平行な平面において、前記表示領域は前記第２接続線が設けられる第２領域を更に含み、前記第２領域の少なくとも１つの回路ユニットにおいて前記第２接続線を含み、前記第２方向に隣接する回路ユニットにおける第２接続線は互いに接続される。

【００８３】

例示的な実施形態では、前記ベースに平行な平面において、前記表示領域は前記第１接続線及び前記第２接続線の前記ベースでの正投影と重ならない第３領域を更に含み、前記第３領域の少なくとも１つの回路ユニットにおいて前記第１電源配線と前記第２電源配線を含み、前記第２電源配線は第２接続孔を介して前記低電圧電源線に接続される。

【００８４】

本開示において、ＡがＢ方向に沿って延びるとは、Ａは主要部分と主要部分に接続され副次的部分を含んでもよく、主要部分が線、線分又は棒状体であり、主要部がＢ方向に沿って延び、且つ主要部がＢ方向に沿って延びる長さは副次的部分が他の方向に沿って延びる長さよりも大きい。以下の説明において、「ＡがＢ方向に沿って延びる」とは、いずれも「Ａの本体部がＢ方向に沿って延びる」ことを意味する。例示的な実施形態では、第２方向Ｙは表示領域からバインディング領域に向かう方向であってもよく、第２方向Ｙの反対方向はバインディング領域から表示領域に向かう方向であってもよい。

【００８５】

図６は本開示の例示的な実施例の表示基板の平面構造模式図である。表示基板に垂直な平面において、表示基板は、ベースに設置される駆動回路層、駆動回路層のベースから離れる側に設置される発光構造層及び発光構造層のベースから離れる側に設置されるパッケージ構造層を含んでもよい。図６に示すように、表示基板に平行な平面において、表示基板は、少なくとも表示領域１００、表示領域１００の第２方向Ｙ側に位置するバインディング領域２００及び表示領域１００の他側に位置するベゼル領域３００を含んでもよい。例示的な実施形態では、表示領域１００の駆動回路層は、複数のユニット行及び複数のユニット列を構成する複数の回路ユニットを含んでもよく、少なくとも１つの回路ユニットは画素駆動回路を含んでもよく、画素駆動回路は接続される発光デバイスに対応する電流を出力するように構成される。表示領域１００の発光構造層は、画素アレイを構成する複数のサブ画素を含んでもよく、少なくとも１つのサブ画素はを発光デバイス含んでもよく、発光デバイスは対応する回路ユニットの画素駆動回路に接続され、発光デバイスは接続される画素駆動回路が出力する電流に応答して、対応する輝度の光を発光するように構成される。

【００８６】

例示的な実施形態では、表示領域１００の駆動回路層は複数のデータ信号線６０と複数のデータ接続線７０を更に含んでもよく、少なくとも１つのデータ信号線６０は１つのユニット列内の複数の画素駆動回路に接続され、データ信号線６０は接続される画素駆動回路にデータ信号を供給するように構成され、少なくとも１つのデータ接続線７０はデータ信号線６０に対応して接続され、データ接続線７０は、データ接続線７０を介してデータ信号線６０をバインディング領域２００内の引出線２１０に対応して接続するように構成される。

【００８７】

例示的な実施形態では、本開示で説明される悔画素とは発光デバイスに応じて分割され

た領域を意味し、本開示で説明される回路ユニットとは画素駆動回路に応じて分割された領域を意味する。例示的な実施形態では、サブ画素のベースでの正投影の位置は回路ユニットのベースでの正投影の位置と対応してもよく、サブ画素のベースでの正投影の位置は回路ユニットのベースでの正投影の位置と対応なくてもよい。

【００８８】

例示的な実施形態では、第１方向Ｘに沿って順次に設置される複数の回路ユニットはユニット行と呼ばれてもよく、第２方向Ｙに沿って順次に設置される複数の回路ユニットはユニット列と呼ばれてもよく、複数のユニット行と複数のユニット列はアレイ配置の回路ユニットアレイを構成し、第１方向Ｘは第２方向Ｙと交差する。例示的な実施形態では、第２方向Ｙはデータ信号線の延びる方向（垂直方向）であってもよく、第１方向Ｘは第２方向Ｙと垂直（水平方向）であってもよい。

【００８９】

例示的な実施形態では、バインディング領域２００は、少なくとも表示領域から離れる方向に沿って順次に設置されるリード線領域２０１、ベンド領域及びドライバーチップ領域を含んでもよく、リード線領域２０１は表示領域１００に接続され、ベンド領域はリード線領域２０１に接続され、ドライバーチップ領域はベンド領域に接続される。リード線領域２０１には複数の引出線２１０が設置されてもよく、複数の引出線２１０は第２方向Ｙに沿って延びてもよく、複数の引出線２１０の第１端は複合回路領域の集積回路に接続され、複数の引出線２１０の第２端はベンド領域を跨いでリード線領域２０１まで延びた後にデータ接続線７０に対応して接続され、これにより、集積回路は引出線及びデータ接続線を介してデータ信号線にデータ信号を印加する。データ接続線が表示領域に設けられるので、リード線領域の第２方向Ｙの長さを効果的に短縮することができ、下ベゼルの幅を大幅に短縮することができ、画面比を向上させ、フルスクリーン表示を実現するのに有利である。

【００９０】

例示的な実施形態では、表示領域１００に設けられる複数のデータ信号線の形状は、第２方向Ｙに沿って延びる線状であってもよく、表示領域１００に設けられる複数のデータ接続線７０の形状は折れ線状であってもよく、データ接続線７０は、第１方向Ｘに沿って延びる第１接続線と第２方向Ｙに沿って延びる第２接続線を含んでもよい。複数の第１接続線の第１端（データ接続線７０の第１端）は、接続孔を介して複数のデータ信号線６０に対応して接続され、複数の第１接続線の第２端は、第１方向Ｘ又は第１方向Ｘの反対方向に沿って延びた後に第２接続線の第１端に接続され、複数の第２接続線の第２端（データ接続線７０の第２端）は、バインディング領域２００の方向に沿って延びて表示領域境界Ｂを跨いで、リード線領域２０１の複数の引出線２１０に対応して接続される。例示的な実施形態では、表示領域境界Ｂは、表示領域１００とバインディング領域２００との境界であってもよい。

【００９１】

例示的な実施形態では、データ接続線７０は引出線２１０に直接接続されてもよく、ビアを介して接続されてもよく、本開示はここで限定しない。

【００９２】

例示的な実施形態では、複数の第２接続線はデータ信号線６０に平行に設置されてもよく、複数の第１接続線はデータ信号線６０に垂直に設置されてもよい。

【００９３】

例示的な実施形態では、隣接する第２接続線間の第１方向Ｘの間隔は基本的に同じであってもよく、隣接する第１接続線間の第２方向Ｙの間隔は基本的に同じであってもよく、本開示はここで限定しない。

【００９４】

例示的な実施形態では、表示領域１００は中心線Ｏを有してもよく、表示領域１００内の複数のデータ信号線６０、複数のデータ接続線７０はリード線領域２０１内の複数の引出線２１０と、中心線Ｏに対して対称に設置されてもよく、中心線Ｏは表示領域１００の

複数のユニット列を等分して第２方向Ｙに沿って延びる直線であってもよい。

【００９５】

図７は本開示の例示的な実施例のデータ接続線の配置模式図であり、図６のＣ１領域の拡大図であり、７本のデータ信号線、７本のデータ接続線及び７本の引出線の構成を示す。図７に示すように、例示的な実施形態では、表示領域１００の複数のデータ信号線は第１データ信号線６０－１～第７データ信号線６０－７を含んでもよく、表示領域１００の複数のデータ接続線は第１データ接続線７０－１～第７データ接続線７０－７を含んでもよく、リード線領域２０１の複数の引出線は第１引出線２１０－１～第７引出線２１０－７を含んでもよい。

【００９６】

例示的な実施形態では、第１データ信号線６０－１～第７データ信号線６０－７、第１データ接続線７０－１～第７データ接続線７０－７及び第１引出線２１０－１～第７引出線２１０－７は、いずれも第１方向Ｘに沿って順次に設置されてもよく、第ｉデータ接続線７０－ｉの第１端は表示領域１００において接続孔を介して第ｉデータ信号線６０－ｉに接続され、第ｉデータ接続線７０－ｉの第２端はリード線領域２０１まで延びた後に第ｉ引出線２１０－ｉに接続され、ｉ＝１～７である。

【００９７】

例示的な実施形態では、データ接続線７０とデータ信号線６０を対応的に接続する複数の接続孔と表示領域エッジＢとの距離は異なっていてもよい。例えば、第１データ接続線７０－１と第１データ信号線６０－１を接続する接続孔と表示領域エッジＢとの距離は、第２データ接続線７０－２と第２データ信号線６０－２を接続する接続孔と表示領域エッジＢとの距離よりも小さくてもよい。また、例えば、第２データ接続線７０－２と第２データ信号線６０－２を接続する接続孔と表示領域エッジＢとの距離は、第３データ接続線７０－３と第３データ信号線６０－３を接続する接続孔と表示領域エッジＢとの距離よりも大きくてもよい。

【００９８】

図８は本開示の例示的な実施例の他の表示基板の平面構造模式図であり、図９は図８のＣ２領域の拡大図である。表示領域１００の駆動回路層は、回路ユニットアレイを構成する複数の回路ユニット、複数のデータ信号線６０、複数のデータ接続線７０及びメッシュ連通構造の電源配線９０を含んでもよく、複数の回路ユニット、複数のデータ信号線６０及び複数のデータ接続線７０のレイアウト及び構造は、前述した図６に示すレイアウト及び構造と基本的に同じである。

【００９９】

例示的な実施形態では、データ接続線７０は、第１方向Ｘに沿って延びる第１接続線７１と第２方向Ｙに沿って延びる第２接続線７２を含んでもよく、第１接続線７１と第２接続線７２は折れ線状のデータ接続線７０を構成する。第１接続線７１と第２接続線７２は同じ導電層に設けられてもよく、第１接続線７１とデータ信号線６０は異なる導電層に設けられてもよく、第１接続線７１の第１端は第１接続孔を介してデータ信号線６０に接続され、第１接続線７１の第２端は第１方向Ｘ又は第１方向Ｘの反対方向に沿って延びた後に第２接続線７２の第１端に直接接続され、第２接続線７２の第２端は第２方向Ｙに沿って延びた後に引出線２１０に接続される。

【０１００】

例示的な実施形態では、電源配線９０は、第１方向Ｘに沿って延びる複数の第１電源配線９１と第２方向Ｙに沿って延びる複数の第２電源配線９２を含んでもよく、複数の第１電源配線９１は第２方向Ｙに沿って順次に設置されてもよく、複数の第２電源配線９２は第１方向Ｘに沿って順次に設置されてもよく、第１電源配線９１と第２電源配線９２は互いに接続され、メッシュ連通構造の電源配線９０を構成し、電源配線９０は駆動回路層内の低電圧電源線に接続されるように構成され、低電圧電源線は発光構造層内の複数の発光デバイスに低電源電圧信号を持続的に供給するように構成される。

【０１０１】

例示的な実施形態では、第１電源配線９１と第２電源配線９２は同じ導電層に設置されてもよく、第１電源配線９１と低電圧電源線は異なる導電層に設置されてもよく、第２電源配線は第２接続孔を介して前記低電圧電源線に接続されてもよく、メッシュ連通構造の電源配線９０と低電圧電源線の接続を実現する。

【０１０２】

図１０は本開示の例示的な実施例の表示領域の領域分割模式図である。図１０に示すように、データ接続線は表示領域の一部の領域に設けられ、且つデータ接続線は第１方向Ｘに沿って延びる第１接続線と第２方向Ｙに沿って延びる第２接続線を含むので、データ接続線の有無及びデータ接続線の延びる方向を分割根拠として、表示領域を第１領域１００Ａ、第２領域１００Ｂ及び第３領域１００Ｃに分割することができる。第１領域１００Ａは第１接続線７１が設けられる領域（ファンアウト線横配線領域）であってもよく、第２領域１００Ｂは第２接続線７２が設けられる領域（ファンアウト線縦配線領域）であってもよい。第３領域１００Ｃは第１接続線７１及び第２接続線７２のベースでの正投影が重ならない領域（通常領域）であってもよく、即ち、第３領域１００Ｃは第１接続線７１及び第２接続線７２が設けられていない領域であってもよい。

【０１０３】

例示的な実施形態では、第１領域１００Ａは複数の回路ユニットを含んでもよく、第１接続線７１の表示基板平面での正投影は、第１領域１００Ａの複数の回路ユニットにおける画素駆動回路の表示基板平面での正投影と少なくとも部分的に重なり、第１領域１００Ａの複数の回路ユニットにおける画素駆動回路の表示基板平面での正投影は、第２接続線７２の表示基板平面での正投影と重ならない。

【０１０４】

例示的な実施形態では、第２領域１００Ｂは複数の回路ユニットを含んでもよく、第２接続線７２の表示基板平面での正投影は、第２領域１００Ｂの複数の回路ユニットにおける画素駆動回路の表示基板平面での正投影と少なくとも部分的に重なり、第２領域１００Ｂの複数の回路ユニットにおける画素駆動回路の表示基板平面での正投影は、第１接続線７１の表示基板平面での正投影と重ならない。

【０１０５】

例示的な実施形態では、第３領域１００Ｃは複数の回路ユニットを含んでもよく、第３領域１００Ｃの複数の回路ユニットにおける画素駆動回路の表示基板平面での正投影は、第１接続線７１及び第２接続線７２の表示基板平面での正投影と重ならない。

【０１０６】

例示的な実施形態では、図１０に示す各領域の分割は例示的な説明に過ぎない。第１領域１００Ａ、第２領域１００Ｂ及び第３領域１００Ｃは、データ接続線の有無及びデータ接続線の延びる方向を分割根拠として分割されるため、３つの領域の形状は、規則的な多角形であってもよく、不規則な多角形であってもよく、表示領域は、１つ以上の第１領域１００Ａ、１つ以上の第２領域１００Ｂ及び１つ以上の第３領域１００Ｃに分割されてもよく、本開示はここで限定しない。

【０１０７】

図１１ａは本開示の実施例の第１領域の構造模式図であり、第１領域は複数の回路ユニットを含んでもよい。図１１ａに示すように、第１領域の少なくとも１つの回路ユニットは、データ信号線６０、第１接続線７１、第２電源線８０、第１電源配線９１、第２電源配線９２、電源接続電極９３及び第２補償線１２０を含んでもよい。第１接続線７１と第１電源配線９１の形状は本体部が第１方向Ｘに沿って延びる直線状であってもよく、データ信号線６０、第２電源線８０、第２電源配線９２及び第２補償線１２０の形状は本体部が第２方向Ｙに沿って延びる直線状であってもよい。第２電源線８０は本開示の低電圧電源線として、低電源電圧信号（ＶＳＳ）を持続的に供給するように構成され、データ信号線６０はデータ信号を供給するように構成される。

【０１０８】

例示的な実施形態では、第１領域の少なくとも１つの回路ユニットにおいて、データ信

号線６０と第２電源配線９２は第２電源線８０の第１方向Ｘ側に設置されてもよく、第２電源配線９２は第２電源線８０とデータ信号線６０との間に設置されてもよく、第２補償線１２０は第２電源線８０のデータ信号線６０から離れる側に設置されてもよく、第１電源配線９１は回路ユニットの第２方向Ｙ側に設置されてもよく、第１接続線７１は回路ユニットの第２方向Ｙの反対方向側に設置されてもよい。

【０１０９】

例示的な実施形態では、第１接続線７１と第２接続線７２は同じ導電層に設けられてもよく、第１接続線７１とデータ信号線６０は異なる導電層に設けられてもよい。

【０１１０】

例示的な実施形態では、第１領域の少なくとも１つの回路ユニットにおいて、第１方向Ｘに沿って延びる第１接続線７１は、第１接続孔Ｋ１を介して第２方向Ｙに沿って延びるデータ信号線６０に接続され、第１接続線７１とデータ信号線６０の接続を実現する。

【０１１１】

例示的な実施形態では、第１領域において、第１接続線７１は１つのユニット行の複数の回路ユニットにおいて連続して設置されてもよく、第１方向Ｘに隣接する回路ユニットにおける第１接続線７１は互いに接続される。

【０１１２】

例示的な実施形態では、第１電源配線９１と第２電源配線９２は同じ導電層に設けられてもよく、第２電源配線９２と第２電源配線８０は異なる導電層に設けられてもよい。

【０１１３】

例示的な実施形態では、第１領域の少なくとも１つの回路ユニットにおいて、第２方向Ｙに沿って延びる第２電源配線９２は、第２接続孔Ｋ２を介して第２方向Ｙに沿って延びる第２電源線８０に接続され、第２電源配線９２と第２電源線８０の接続を実現する。

【０１１４】

例示的な実施形態では、第１領域の少なくとも１つのユニット行において、第１方向Ｘに沿って延びる第１電源配線９１は、第２方向Ｙに沿って延びる複数の第２電源配線９２に直接接続され、メッシュ連通構造の電源配線を構成する。

【０１１５】

例示的な実施形態では、第１領域の少なくとも１つの回路ユニットにおいて電源接続電極９３を更に含んでもよく、電源接続電極９３の形状は矩形であってもよく、電源接続電極９３は、第２電源配線９２のデータ信号線６０から離れる側に設置され、且つ第２電源配線９２に接続されてもよく、電源接続電極９３のベースでの正投影は第２電源線８０のベースでの正投影と少なくとも部分的に重なり、電源接続電極９３は第２接続孔Ｋ２を介して第２電源線８０に接続されるため、メッシュ状の電源リード線と第２電源線８０の接続を実現する。

【０１１６】

例示的な実施形態では、第１領域において、第１電源配線９１は１つのユニット行の複数の回路ユニットにおいて連続して設置されてもよく、第１方向Ｘに隣接する回路ユニットにおける第１電源配線９１は互いに接続される。

【０１１７】

例示的な実施形態では、第１領域において、第２電源配線９２は１つのユニット列の複数の回路ユニットにおいて間隔をあけて設置されてもよく、即ち、第２方向Ｙに隣接する回路ユニットにおける第２電源配線９２は間隔をあけて設置され、これにより、第１接続線７１は第２方向Ｙに隣接する第２電源配線９２の間に設置され、第１接続線７１のベースでの正投影は第２電源配線９２のベースでの正投影と重ならない。

【０１１８】

例示的な実施形態では、第１領域において、第１方向Ｘに沿って延びる第１電源配線９１は、第２方向Ｙに沿って延びる複数の第２補償線１２０に直接接続される。

【０１１９】

例示的な実施形態では、第１領域において、第２補償線１２０は１つのユニット列の複

数の回路ユニットにおいて間隔をあけて設置されてもよく、即ち、第２方向Ｙに隣接する回路ユニットにおける第２補償線１２０は間隔をあけて設置され、これにより、第１接続線７１は第２方向Ｙに隣接する第２補償線１２０の間に設置され、第１接続線７１のベースでの正投影は第２補償線１２０のベースでの正投影と重。

【０１２０】

図１１ｂは本開示の実施例の第２領域の構造模式図であり、第２領域は複数の回路ユニットを含んでもよい。図１１ｂに示すように、第２領域の少なくとも１つの回路ユニットは、データ信号線６０、第２接続線７２、第２電源線８０及び第１補償線１１０を含んでもよい。第１補償線１１０の形状は本体部が第１方向Ｘに沿って延びる直線状であってもよく、データ信号線６０、第２接続線７２及び第２電源線８０の形状は本体部が第２方向Ｙに沿って延びる直線状であってもよく、第２接続線７２の第１端はリード線領域に位置する引出線に接続され、第２接続線７２の第２端は表示領域に位置する第１接続線７１に接続され、これにより、互いに接続される第１接続線７１と第２接続線７２は折れ線状のデータ接続線を構成する。

【０１２１】

例示的な実施形態では、第２領域の少なくとも１つの回路ユニットにおいて２本の第２接続線７２を設けてもよい。２本の第２接続線７２は第１側接続線と第２側接続線を含んでもよく、第１側接続線は第２電源線８０とデータ信号線６０との間に設けられてもよく、第２側接続線は第２電源線８０のデータ信号線６０から離れる側に設けられてもよい。

【０１２２】

例示的な実施形態では、第２領域の少なくとも１つの回路ユニットにおいて少なくとも２本の第１補償線１１０を設けてもよい。少なくとも２本の第１補償線１１０は、少なくとも１本の第１側補償線と少なくとも１本の第２側補償線を含んでもよく、第１側補償線の第１端は第１側接続線に接続され、第１側補償線の第２端は第２側接続線に近い方向に沿って延び、第２側補償線の第１端は第２側接続線に接続され、第２側補償線の第２端は第１側接続線に近い方向に沿って延び、これにより、回路ユニット内の２本の第１補償線１１０はインターディジタル構造を構成する。

【０１２３】

例示的な実施形態では、第２領域の少なくとも１つの回路ユニットにおいてダミー接続電極７３を更に含んでもよく、ダミー接続電極７３の形状は矩形であってもよく、ダミー接続電極７３は第２接続線７２のデータ信号線６０から離れる側に設置され、第２接続線７２に接続されてもよく、ダミー接続電極７３のベースでの正投影は第２電源線８０のベースでの正投影と少なくとも部分的に重なる。

【０１２４】

例示的な実施形態では、第２領域において、第２接続線７２は１つのユニット列の複数の回路ユニットにおいて連続して設置されてもよく、第２方向Ｙに隣接する回路ユニットにおける第２接続線７２は互いに接続される。

【０１２５】

例示的な実施形態では、第２領域において、第１補償線１１０は、１つのユニット行の複数の回路ユニットにおいて間隔をあけて設置されてもよい。

【０１２６】

図１１ｃは本開示の実施例の第３領域の構造模式図であり、第３領域は複数の回路ユニットを含んでもよい。図１１ｃに示すように、第３領域の少なくとも１つの回路ユニットは、データ信号線６０、第２電源線８０、第１電源配線９１、第２電源配線９２、電源接続電極９３、第１補償線１１０及び第２補償線１２０を含んでもよい。第１電源配線９１と第１補償線１１０の形状は本体部が第１方向Ｘに沿って延びる直線状であってもよく、データ信号線６０、第２電源線８０、第２電源配線９２及び第２補償線１２０の形状は、本体部が第２方向Ｙに沿って延びる直線状であってもよい。

【０１２７】

例示的な実施形態では、第３領域の少なくとも１つの回路ユニットにおいて、データ信

号線６０は第２電源線８０の第１方向Ｘ側に設けられてもよく、第２電源配線９２は第２電源線８０とデータ信号線６０との間に設けられてもよく、第２補償線１２０は第２電源線８０のデータ信号線６０から離れる側に設けられてもよく、第１電源配線９１は回路ユニットの第２方向Ｙ側に設けられてもよく、第１補償線１１０は回路ユニットの第２方向Ｙと反対方向側に設けられてもよい。

【０１２８】

例示的な実施形態では、第３領域の少なくとも１つの回路ユニットにおいて、第２方向Ｙに沿って延びる第２電源配線９２は、第２接続孔Ｋ２を介して第２方向Ｙに沿って延びる第２電源線８０に接続され、第２電源配線９２と第２電源線８０の接続を実現する。

【０１２９】

例示的な実施形態では、第１電源配線９１と第２電源配線９２は同じ導電層に設置されてもよく、第３領域の少なくとも１つのユニット行において、第１方向Ｘに沿って延びる第１電源配線９１は第２方向Ｙに沿って延びる複数の第２電源配線９２に直接接続され、メッシュ連通構造の電源配線を構成する。

【０１３０】

例示的な実施形態では、第３領域において、第１電源配線９１は、１つのユニット行の複数の回路ユニットにおいて連続して設置されてもよく、第１方向Ｘに隣接する回路ユニットにおける第１電源配線９１は互いに接続される。

【０１３１】

例示的な実施形態では、第１領域において、第２電源配線９２は、１つのユニット列の複数の回路ユニットにおいて連続して設置されてもよく、第２方向Ｙに隣接する回路ユニットにおける第２電源配線９２は互いに接続される。

【０１３２】

例示的な実施形態では、第３領域の少なくとも１つの回路ユニットにおいて電源接続電極９３を更に含んでもよく、電源接続電極９３の形状は矩形であってもよく、電源接続電極９３は、第２電源配線９２のデータ信号線６０から離れる側に設置され、第２電源配線９２に接続されてもよく、電源接続電極９３のベースでの正投影は第２電源線８０のベースでの正投影と少なくとも部分的に重なり、電源接続電極９３は第２接続孔Ｋ２を介して第２電源線８０に接続されるため、メッシュ状の電源リード線と第２電源線８０の接続を実現する。

【０１３３】

例示的な実施形態では、第３領域において、第１補償線１１０は１つのユニット行の複数の回路ユニットにおいて連続して設置されてもよく、第１方向Ｘに隣接する回路ユニットにおける第１補償線１１０は互いに接続される。

【０１３４】

例示的な実施形態では、第３領域において、第２補償線１２０は１つのユニット列の複数の回路ユニットにおいて連続して設置されてもよく、第２方向Ｙに隣接する回路ユニットにおける第２補償線１２０は互いに接続される。

【０１３５】

例示的な実施形態では、第１電源配線９１、第２電源配線９２、第１補償線１１０及び第２補償線１２０は同じ導電層に設けられてもよい。

【０１３６】

例示的な実施形態では、第３領域の少なくとも１つのユニット行において、第１方向Ｘに沿って延びる第１電源配線９１は、第２方向Ｙに沿って延びる複数の第２補償線１２０と直接接続される。

【０１３７】

例示的な実施形態では、第３領域の少なくとも１つのユニット行において、第２方向Ｙに沿って延びる第２電源配線９２は、第１方向Ｘに沿って延びる複数の第１補償線１１０と直接接続される。

【０１３８】

例示的な実施形態では、第３領域の少なくとも１つの回路ユニットにおいて、第１方向Ｘに沿って延びる第１電源配線９１及び第１補償線１１０は、第２方向Ｙに沿って延びる第２電源配線９２及び第２補償線１２０と互いに接続され、「井」形状の構造を形成する。

【０１３９】

例示的な実施形態では、第１領域の回路ユニット、第２領域の回路ユニット及び第３領域の回路ユニットを含む少なくとも１つのユニット行において、第１領域の第１電源配線９１、第２領域の第１補償線１１０における第１側補償線及び第３領域の第１電源配線９１は、第１方向Ｘに沿って延びる同一本の直線上に位置してもよく、第１領域の第１接続線７１、第２領域の第１補償線１１０における第２側補償線及び第３領域の第１補償線１１０は、第１方向Ｘに沿って延びる同一本の直線上に位置してもよく、第１領域の電源接続電極９３、第２領域のダミー接続電極７３及び第３領域の電源接続電極９３は、第１方向Ｘに沿って延びる同一本の直線上に位置してもよい。第１領域の回路ユニット、第２領域の回路ユニット及び第３領域の回路ユニットを含む少なくとも１つのユニット列において、第１領域の第２電源配線９２、第２領域の第２接続線７２における第１側接続線及び第３領域の第２電源配線９２は、第２方向Ｙに沿って延びる同一本の直線上に位置してもよく、第１領域の第２補償線１２０、第２領域の第２接続線７２における第２側補償線及び第３領域の第２補償線１２０は、第２方向Ｙに沿って延びる同一本の直線上に位置してもよく、第１領域の電源接続電極９３、第２領域のダミー接続電極７３及び第３領域の電源接続電極９３は、第２方向に沿って延びる同一本の直線上に位置してもよい。したがって、第１領域、第２領域及び第３領域の配線は基本的に類似な形態を呈し、製造プロセスの均一性を向上させるだけでなく、異なる領域において透過光及び反射光において基本的に同じ表示効果を得ることができ、表示基板の外観不良を効果的に回避し、表示属性及び表示品質を向上させることができる。

【０１４０】

例示的な実施形態では、表示基板に垂直な平面において、前記駆動回路層はベースに順次に設けられる半導体層、第１導電層、第２導電層、第３導電層、第４導電層及び第５導電層を含む。前記半導体層は少なくとも複数のトランジスタの活性層を含み、前記第１導電層は少なくとも複数のトランジスタのゲート電極と記憶コンデンサの第１極板を含み、前記第２導電層は少なくとも記憶コンデンサの第２極板を含み、前記第３導電層は少なくとも複数のトランジスタの第１極と第２極を含み、前記第４導電層は少なくともデータ信号線６０と第２電源線８０を含み、前記第５導電層は少なくとも第１接続線７１、第２接続線７２、第１電源配線９１及び第２電源配線９２を含み、第１接続線７１と第２接続線７２は互いに接続される一体構造であり、第１接続線７１は第１接続孔を介してデータ信号線６０に接続され、第１電源配線９１と第２電源配線９２は互いに接続される一体構造であり、第２電源配線９２は第２接続孔を介して第２電源線８０に接続される。

【０１４１】

例示的な実施形態では、駆動回路層は少なくとも第１絶縁層、第２絶縁層、第３絶縁層、第４絶縁層、第１平坦層、第２平坦層及び第３平坦層を含んでもよい。第１絶縁層はベースと半導体層との間に設けられ、第２絶縁層は半導体層と第１導電層との間に設けられ、第３絶縁層は第１導電層と第２導電層との間に設けられ、第４絶縁層は第２導電層と第３導電層との間に設けられ、第１平坦層は第３導電層と第４導電層との間に設けられ、第２平坦層は第４導電層と第５導電層との間に設けられ、第３平坦層は第５導電層のベースから離れる側に設けられる。

【０１４２】

以下、表示基板の製造プロセスを介して例示的に説明する。本開示でいう「パターン化プロセス」とは、金属材料、無機材料又は透明導電材料については、フォトレジスト塗布、マスク露光、現像、エッチング、フォトレジスト剥離等の処理を含み、有機材料については、有機材料塗布、マスク露光、現像等の処理を含む。堆積はスパッタリング、蒸着、化学気相蒸着のうちのいずれか１つ以上、塗布はスプレー、スピンコート、インクジェッ

ト印刷のうちのいずれか１つ以上、エッチングはドライエッチング、ウェットエッチングのうちのいずれか１つ以上であってもよく、本開示は限定しない。「薄膜」とは、ある材料をベース基板に堆積、塗布又はその他の方法により作製した薄膜をいう。製造プロセス全体において当該「薄膜」がパターン化プロセスを必要としない場合、当該「薄膜」はまた「層」と呼ばれることができる。製造プロセス全体において当該「薄膜」にパターン化プロセスが必要な場合、パターン化プロセスの前は「薄膜」と呼び、パターン化プロセスの後は「層」と呼ばれる。パターン化プロセスの後の「層」には、少なくとも１つの「パターン」が含まれる。本開示でいう「ＡとＢが同一層に設けられる」とは、が同一回のパターン化プロセスにより同時に形成されることを意味する。膜層の「厚さ」は膜層の表示基板に垂直する方向でのサイズである。本開示の例示的な実施例では、「Ｂの正投影がＡの正投影の範囲内に位置する」こと、又は「Ａの正投影がＢの正投影を含む」こととは、Ｂの正投影の境界がＡの正投影の境界範囲内にあること、又はＡの正投影の境界がＢの正投影の境界と重なることを指す。

【０１４３】

例示的な実施形態では、８つの回路ユニット（２つのユニット行、４つのユニット列）を例にして、表示基板の製造プロセスは以下の動作を含んでもよい。

【０１４４】

（１）半導体層パターンを形成する。例示的な実施形態では、図１２に示すように、半導体層パターンを形成することは、ベースに第１絶縁薄膜と半導体薄膜を順次に堆積し、パターン化プロセスにより半導体薄膜をパターン化し、ベースを覆う第１絶縁層と、第１絶縁層に設けられる半導体層を形成することを含んでもよい。図１２は図１０のＥ０領域の拡大図である。

【０１４５】

例示的な実施形態では、表示領域における各回路ユニットの半導体層は、少なくとも第１トランジスタＴ１の第１活性層１１～第７トランジスタＴ７の第７活性層１７を含んでもよく、第１活性層１１～第６活性層１６は互いに接続される一体構造であり、各ユニット列における隣接する回路ユニットの第６活性層１６及び第７活性層１７は互いに接続される一体構造である。例えば、各ユニット列における第Ｍ行の回路ユニットの第６活性層１６は、第Ｍ＋１行の回路ユニットの第７活性層１７と互いに接続される。

【０１４６】

例示的な実施形態では、第Ｍ行の回路ユニットにおける第１活性層１１、第２活性層１２、第４活性層１４及び第７活性層１７は本回路ユニットの第３活性層１３の第Ｍ＋１行の回路ユニットから離れる側に位置してもよく、第１活性層１１及び第７活性層１７は第２活性層１２及び第４活性層１４の第３活性層１３から離れる側に位置してもよく、第Ｍ行の回路ユニットにおける第５活性層１５及び第６活性層１６は第３活性層１３の第Ｍ＋１行の回路ユニットに近い側に位置してもよい。

【０１４７】

例示的な実施形態では、第１活性層１１の形状は「ｎ」字形を呈してもよく、第２活性層１２、第５活性層１５及び第６活性層１６の形状は「Ｌ」字形を呈してもよく、第３活性層１３の形状は「Ω」字形を呈してもよく、第４活性層１４及び第７活性層１７の形状は「Ｉ」字形を呈してもよい。

【０１４８】

例示的な実施形態では、各トランジスタの活性層は第１領域、第２領域及び第１領域と第２領域との間に位置するチャネル領域を含んでもよい。

【０１４９】

第１活性層１１の第１領域１１－１、第４活性層１４の第１領域１４－１、第５活性層１５の第１領域１５－１及び第７活性層１７の第１領域１７－１を個別に設けられてもよく、第１活性層１１の第２領域１１－２を第２活性層１２の第１領域１２－１（第２ノードＮ２）としてもよく、第３活性層１３の第１領域１３－１を同時に第４活性層１４の第２領域１４－２及び第５活性層１５の第２領域１５－２（第１ノードＮ１）としてもよく

、第３活性層１３の第２領域１３－２を同時に第２活性層１２の第２領域１２－２及び第６活性層１６の第１領域１６－１（第３ノードＮ３）としてもよく、第６活性層１６の第２領域１２－２を同時に第７活性層１７の第２領域１７－２としてもよい。

【０１５０】

例示的な実施形態では、図１０のＥ１領域及びＥ２領域の半導体パターンは、Ｅ０領域の半導体パターンと基本的に同じである。

【０１５１】

（２）第１導電層パターンを形成する。例示的な実施形態では、図１３ａと図１３ｂに示すように、第１導電層パターンを形成することは、前記パターンが形成されたベースに、第２絶縁薄膜と第１導電薄膜を順次に堆積し、パターン化プロセスにより第１導電薄膜をパターン化し、半導体層パターンを覆う第２絶縁層と、第２絶縁層に設けられる第１導電層パターンを形成することを含んでもよい。図１３ａは図１０のＥ０領域の拡大図であり、図１３ｂは図１３ａの第１導電層の平面模式図である。例示的な実施形態では、第１導電層は、第１ゲート金属（ＧＡＴＥ１）層と呼ばれてもよい。

【０１５２】

例示的な実施形態では、表示領域における各回路ユニットの第１導電層パターンは、少なくとも第１走査信号線２１、第２走査信号線２２、発光制御線２３及び記憶コンデンサの第１極板２４を含む。

【０１５３】

例示的な実施形態では、記憶コンデンサの第１極板２４の形状は矩形であってもよく、矩形の角部に面取りを設けてもよく、第１極板２４のベースでの正投影は、第３トランジスタＴ３の第３活性層のベースでの正投影と重なる領域が存在する。例示的な実施形態では、第１極板２４を、同時に記憶コンデンサの一方の極板と第３トランジスタＴ３のゲート電極としてもよい。

【０１５４】

例示的な実施形態では、第１走査信号線２１、第２走査信号線２２及び発光制御線２３の形状は、本体部が第１方向Ｘに沿って延びる線状であってもよい。第Ｍ行の回路ユニットにおける第１走査信号線２１及び第２走査信号線２２は本回路ユニットの第１極板２４の第Ｍ＋１行の回路ユニットから離れる側に位置してもよく、第２走査信号線２２は本回路ユニットの第１走査信号線２１の第１極板２４から離れる側に位置してもよく、発光制御線２３は本回路ユニットの第１極板２４の第Ｍ＋１行の回路ユニットに近い側に位置してもよい。

【０１５５】

例示的な実施形態では、第１走査信号線２１には、第２走査信号線２２側に向かって突出するゲートブロック２１－１が設けられ、第１走査信号線２１及びゲートブロック２１－１と第２活性層とが重なる領域を、第２トランジスタＴ２のゲート電極とし、デュアルゲート構造の第２トランジスタＴ２を形成してもよい。

【０１５６】

例示的な実施形態では、第１走査信号線２１と第４活性層１４とが重なる領域は、第４トランジスタＴ４のゲート電極とする。第２走査信号線２２と第１活性層とが重なる領域をデュアルゲート構造の第１トランジスタＴ１のゲート電極としてもよく、第２走査信号線２２と第７活性層１７とが重なる領域を第７トランジスタＴ７のゲート電極とする。発光制御線２３と第５活性層１５とが重なる領域を第５トランジスタＴ５のゲート電極とし、発光制御線２３と第６活性層１６とが重なる領域を第６トランジスタＴ６のゲート電極とする。

【０１５７】

例示的な実施形態では、図１０のＥ１領域及びＥ２領域の第１導電層パターンは、Ｅ０領域の第１導電層パターンと基本的に同じである。

【０１５８】

例示的な実施形態では、第１導電層パターンを形成した後、第１導電層を遮蔽として半

導体層を導体化処理し、第１導電層によって遮蔽される領域の半導体層は第１トランジスタＴ１～第７トランジスタＴ７のチャネル領域を形成し、第１導電層によって遮蔽されていない領域の半導体層は導体化され、即ち第１活性層～第７活性層の第１領域と第２領域はいずれも導体化される。

【０１５９】

（３）第２導電層パターンを形成する。例示的な実施形態では、図１４ａと図１４ｂに示すように、第２導電層パターンを形成することは、前記パターンが形成されたベースに、第３絶縁薄膜と第２導電薄膜を順次に堆積し、パターン化プロセスにより第２導電薄膜をパターン化し、第１導電層を覆う第３絶縁層と、第３絶縁層に設けられる第２導電層パターンを形成することを含んでもよい。図１４ａは図１０のＥ０領域の拡大図であり、図１４ｂは図１４ａの第２導電層の平面模式図である。例示的な実施形態では、第２導電層は第２ゲート金属（ＧＡＴＥ２）層と呼ばれてもよい。

【０１６０】

例示的な実施形態では、表示領域における各回路ユニットの第２導電層パターンは、少なくとも第１初期信号線３１、第２初期信号線３２、第２極板３３、極板接続線３４及びシールド電極３５を含む。

【０１６１】

例示的な実施形態では、第１初期信号線３１及び第２初期信号線３２の形状は、本体部が第１方向Ｘに沿って延びる線状であってもよい。第Ｍ行の回路ユニットにおける第１初期信号線３１は本回路ユニットの第２走査信号線２２の第１走査信号線２１から離れる側に位置してもよく、第２初期信号線３２は本回路ユニットの第１走査信号線２１と第２走査信号線２２との間に位置してもよい。

【０１６２】

例示的な実施形態では、第２極板３３の輪郭形状は矩形であってもよく、矩形の角部に面取りを設けてもよく、第２極板３３のベースでの正投影は第１極板２４のベースでの正投影と重なる領域が存在し、第２極板３３は記憶コンデンサの他方の極板とされ、本回路ユニットの第１走査信号線２１と発光制御線２４との間に位置し、第１極板２４と第２極板３３は画素駆動回路の記憶コンデンサを構成する。

【０１６３】

例示的な実施形態ではは、極板接続線３４は第２極板３３の第１方向Ｘ側又は第１方向Ｘの反対方向の一側に設けられてもよく、極板接続線３４の第１端は本回路ユニットの第２極板３３に接続され、極板接続線３４の第２端は第１方向Ｘ又は第１方向Ｘの反対方向に沿って延びた後、隣接する回路ユニットの第２極板３３に接続され、１つのユニット行における隣接する回路ユニットの第２極板３３を互いに接続される。例示的な実施形態では、極板接続線によって１つのユニット行における複数の回路ユニットの第２極板を互いに接続される一体構造に形成することができ、一体構造の第２極板を電源信号接続線として多重化することができ、１つのユニット行における複数の第２極板が同じ電位を有することを保証し、パネルの均一性を向上させるのに有利であり、表示基板の表示不良を回避し、表示基板の表示効果を保証することができる。

【０１６４】

例示的な実施形態では、第２極板３３には開口３６が設けられ、開口３６は第２極板３３の中部に位置してもよい。開口３６は矩形であってもよく、第２極板３３を環状構造を形成させる。開口３６は、第１極板２４を覆う第３絶縁層を露出させ、第１極板２４のベースでの正投影は開口３６のベースでの正投影を含む。例示的な実施形態では、開口３６は、後に形成される第１ビアを収容するように構成され、第１ビアは開口３６内に位置して第１極板２４を露出し、後に形成される第１トランジスタＴ１の第２極を第１極板２４に接続させる。

【０１６５】

例示的な実施形態では、シールド電極３５は本回路ユニットの第１走査信号線２１と第２初期信号線３２との間に設置されてもよく、シールド電極３５は後に形成される第１電

源線に接続されるように構成される。シールド電極３５のベースでの正投影は、第１活性層の第２領域及び第２活性層の第１領域のベースでの正投影と少なくとも部分的に重なり、シールド電極３５は、データ電圧ジャンプによるキーノードへの影響をシールドし、データ電圧ジャンプによる画素駆動回路のキーノードの電位への影響を回避し、表示効果を向上させるように構成される。

【０１６６】

例示的な実施形態では、図１０のＥ１領域及びＥ２領域の第２導電層パターンは、Ｅ０領域の第２導電層と基本的に同じである。

【０１６７】

（４）第４絶縁層パターンを形成する。例示的な実施形態では、図１５に示すように、第４絶縁層パターンを形成することは、前記パターンが形成されたベースに、第４絶縁薄膜を堆積し、パターン化プロセスにより第４絶縁薄膜をパターン化し、第２導電層を覆う第４絶縁層を形成し、各回路ユニットには複数のビアが設けられることを含んでもよい。図１５は図１０のＥ０領域の拡大図である。

【０１６８】

例示的な実施形態では、表示領域における各回路ユニットの複数のビアは、少なくとも第１ビアＶ１、第２ビアＶ２、第３ビアＶ３、第４ビアＶ４、第５ビアＶ５、第６ビアＶ６、第７ビアＶ７、第８ビアＶ８、第９ビアＶ９、第１０のビアＶ１０及び第１１ビアＶ１１を含む。

【０１６９】

例示的な実施形態では、第１ビアＶ１のベースでの正投影は第２極板３３の開口３６のベースでの正投影の範囲内に位置し、第１ビアＶ１内の第４絶縁層及び第３絶縁層はエッチングにより除去され、第１極板２４の表面を露出させ、第１ビアＶ１は、後に形成される第１トランジスタＴ１の第２極を該ビアを介して第１極板２４に接続するように構成される。

【０１７０】

例示的な実施形態では、第２ビアＶ２のベースでの正投影は第２極板３３のベースでの正投影の範囲内に位置し、第２ビアＶ２内の第４絶縁層はエッチングにより除去され、第２極板３３の表面を露出させ、第２ビアＶ２は、後に形成される第１電源線は該ビアを介して第２極板３３に接続するように構成される。例示的な実施形態では、電源ビアとしての第２ビアＶ２は複数であってもよく、複数の第２ビアＶ２は、第１電源線と第２極板３３との接続信頼性を高めるために、第２方向Ｙに沿って順次配列されてもよい。

【０１７１】

例示的な実施形態では、第３ビアＶ３のベースでの正投影は第５活性層の第１領域のベースでの正投影の範囲内に位置し、第３ビアＶ３内の第４絶縁層、第３絶縁層及び第２絶縁層はエッチングにより除去され、第５活性層の第１領域の表面を露出させ、第３ビアＶ３は、後に形成される第１電源線を該ビアを介して第５活性層の第１領域に接続するように構成される。

【０１７２】

例示的な実施形態では、第４ビアＶ４のベースでの正投影は第６活性層の第２領域（第７活性層の第２領域でもある）のベースでの正投影の範囲内に位置し、第４ビアＶ４内の第４絶縁層、第３絶縁層及び第２絶縁層はエッチングにより除去され、第６活性層の第２領域の表面を露出させ、第４ビアＶ４は、後に形成される第６トランジスタＴ６の第２極（第７トランジスタＴ７の第２極でもある）を該ビアを介して第６活性層の第２領域（第７活性層の第２領域でもある）に接続するように構成される。

【０１７３】

例示的な実施形態では、第５ビアＶ５ベースでの正投影は第４活性層の第１領域のベースでの正投影の範囲内に位置し、第５ビアＶ５内の第４絶縁層、第３絶縁層及び第２絶縁層はエッチングにより除去され、第４活性層の第１領域の表面を露出させ、第５ビアＶ５は、後に形成される第４トランジスタＴ４の第１極を該ビアを介して第４活性層の第１領

域に接続するように構成される。
【０１７４】
例示的な実施形態では、第６ビアＶ６のベースでの正投影は第１活性層の第２領域（第２活性層の第１領域でもある）のベースでの正投影の範囲内に位置し、第６ビアＶ６内の第４絶縁層、第３絶縁層及び第２絶縁層はエッチングにより除去され、第１活性層の第２領域の表面を露出させ、第６ビアＶ６は、後に形成される第１トランジスタＴ１の第２極（第２トランジスタＴ２の第１極でもある）を該ビアを介して第１活性層の第２領域（第２活性層の第１領域でもある）に接続するように構成される。
【０１７５】
例示的な実施形態では、第７ビアＶ７のベースでの正投影は第７活性層の第１領域のベースでの正投影の範囲内に位置し、第７ビアＶ７内の第４絶縁層、第３絶縁層及び第２絶縁層はエッチングにより除去され、第７活性層の第１領域の表面を露出させ、第７ビアＶ７は、後に形成される第７トランジスタＴ７の第１極を該ビアを介して第７活性層の第１領域に接続するように構成される。
【０１７６】
例示的な実施形態では、第８ビアＶ８のベースでの正投影は第１活性層の第１領域のベースでの正投影の範囲内に位置し、第８ビアＶ８内の第４絶縁層、第３絶縁層及び第２絶縁層はエッチングにより除去され、第１活性層の第１領域の表面を露出させ、第８ビアＶ８は、後に形成される第１トランジスタＴ１の第１極を該ビアを介して第１活性層の第１領域に接続するように構成される。
【０１７７】
例示的な実施形態では、第９ビアＶ９のベースでの正投影は第１初期信号線３１のベースでの正投影の範囲内に位置し、第９ビアＶ９内の第４絶縁層はエッチングにより除去され、第１初期信号線３１の表面を露出させ、第９ビアＶ９は、後に形成される第１トランジスタＴ１の第１極を該ビアを介して第１初期信号線３１に接続するように構成される。
【０１７８】
例示的な実施形態では、第１０ビアＶ１０のベースでの正投影は第２初期信号線３２のベースでの正投影の範囲内に位置し、第１０ビアＶ１０内の第４絶縁層はエッチングにより除去され、第２初期信号線３２の表面を露出させ、第１０ビアＶ１０は、後に形成される第７トランジスタＴ７の第１極を該ビアを介して第２初期信号線３２に接続するように構成される。
【０１７９】
例示的な実施形態では、第１１ビアＶ１１のベースでの正投影はシールド電極３５のベースでの正投影の範囲内に位置し、第１１ビアＶ１１内の第４絶縁層はエッチングにより除去され、シールド電極３５の表面を露出させ、第１１ビアＶ１１は、後に形成される第１電源線は、後に形成される第１トランジスタＴ１の第１極を該ビアを介してシールド電極３５に接続するように構成される。
【０１８０】
例示的な実施形態では、図１０のＥ１領域及びＥ２領域のビアパターンは、Ｅ０領域のビアパターンと基本的に同じである。
【０１８１】
（５）第３導電層パターンを形成する。例示的な実施形態では、図１６ａと図１６ｂに示すように、第３導電層を形成することは、前記パターンが形成されたベースに、第３導電薄膜を堆積し、パターン化プロセスにより第３導電薄膜をパターン化し、第４絶縁層に設けられる第３導電層を形成することを含んでもよい。図１６ａは図１０のＥ０領域の拡大図であり、図１６ｂは図１６ａの第３導電層の平面模式図である。例示的な実施形態では、第３導電層は第１ソース・ドレイン金属（ＳＤ１）層と呼ばれてもよい。
【０１８２】
例示的な実施形態では、表示領域における複数の回路ユニットの第３導電層パターンは、第１接続電極４１、第２接続電極４２、第３接続電極４３、第４接続電極４４、第５接

続電極４５、第１電源線４６及び初期接続線４７を含んでもよい。

【０１８３】

例示的な実施形態では、第１接続電極４１の形状は第２方向Ｙに沿って延びるストライプ状であってもよく、第１接続電極４１の第１端は第１ビアＶ１を介して第１極板２４に接続され、第１接続電極４１の第２端は第６ビアＶ６を介して第１活性層の第２領域（第２活性層の第１領域でもある）に接続される。例示的な実施形態では、第１接続電極４１は第１トランジスタＴ１の第２極と第２トランジスタＴ２の第１極としてもよく、これにより、第１極板２４、第１トランジスタＴ１の第２極及び第２トランジスタＴ２の第１極は同じ電位（第２ノードＮ２）を有する。

【０１８４】

例示的な実施形態では、第２接続電極４２の形状は矩形であってもよく、第４接続電極４４は第５ビアＶ５を介して第４活性層の第１領域に接続される。例示的な実施形態では、第４接続電極４４は第４トランジスタＴ４の第１極としてもよく、第４接続電極４４は後に形成されるデータ信号線に接続されるように構成される。

【０１８５】

例示的な実施形態では、第３接続電極４３の形状は矩形であってもよく、第３接続電極４３は第４ビアＶ４を介して第６活性層の第２領域（第７活性層の第２領域でもある）に接続される。例示的な実施形態では、第３接続電極４３は、第６トランジスタＴ６の第２極と第７トランジスタＴ７の第２極としてもよく、これにより、第６トランジスタＴ６の第２極と第７トランジスタＴ７の第２極は同じ電位を有し、第３接続電極４３は後に形成される第１陽極接続電極に接続されるように構成される。

【０１８６】

例示的な実施形態では、第４接続電極４４の形状は本体部が第２方向Ｙに沿って延びるストライプ状であってもよく、第４接続電極４４の第１端は第７ビアＶ７を介して第７活性層の第１領域に接続され、第４接続電極４４の第２端は第１０ビアＶ１０を介して第２初期信号線３２に接続される。例示的な実施形態では、第４接続電極４４は第７トランジスタＴ７の第１極としてもよく、第２初期信号線３２が第２初期信号を第７トランジスタＴ７に書き込むことを実現する。

【０１８７】

例示的な実施形態では、第５接続電極４５の形状は折れ線状であってもよく、第５接続電極４５の第１端は第８ビアＶ８を介して第１活性層の第１領域に接続され、第５接続電極４５の第２端は第９ビアＶ９を介して第１初期信号線３１に接続される。第５接続電極４５は第１トランジスタＴ１の第１極としてもよいので、第１初期信号線３１が第１初期信号を第１トランジスタＴ１の第１極に書き込むことを実現する。

【０１８８】

例示的な実施形態では、第１電源線４６の形状は本体部が第２方向Ｙに沿って延びる線状であってもよく、第１電源線４６は、一面では、第２ビアＶ２を介して第２極板３３に接続され、他の面では、第３ビアＶ３を介して第５活性層に接続され、更に他の面では、第１１ビアＶ１１を介してシールド電極３５に接続され、これにより、第５トランジスタＴ５の第１極は第２極板３３と同じ電位を有し、第１電源線４６は高電源電圧信号（ＶＤＤ）を持続的に供給するように構成され、高電圧電源線と呼ばれてもよい。シールド電極３５が第１電源線４６に接続され、シールド電極３５の少なくとも一部の領域が第１接続電極４１（第１トランジスタＴ１の第２極と第２トランジスタＴ２の第１極とし、即ち第２ノードＮ２）と第２接続電極４２（第４トランジスタＴ４の第２極とし）との間に位置するので、シールド電極３５は、データ電圧ジャンプによる画素駆動回路のキーノードへの影響を効果的にシールドし、データ電圧ジャンプによる画素駆動回路のキーノードの電位への影響を回避し、表示効果を向上させることができる。

【０１８９】

例示的な実施形態では、各回路ユニットの第１電源線４６は非等幅の設計であってもよく、非等幅の設計を採用される第１電源線４６は、画素構造のレイアウトを容易にするこ

とができるだけではなく、第１電源線とデータ信号線との間の寄生容量を低減することができる。

【０１９０】

例示的な実施形態では、初期接続線４７の形状は本体部が第２方向Ｙに沿って延びる折れ線状であり、初期接続線４７は第１接続電極４１の第１電源線４６から離れる側に設置され、初期接続線４７は、第１初期信号線３１又は第２初期信号線３２に接続し、第１初期信号又は第２初期信号を伝送するメッシュ連通構造を形成するように構成される。

【０１９１】

例示的な実施形態では、奇数列の回路ユニットにおける初期接続線４７は第５接続電極４５に接続されてもよく、偶数列の回路ユニットにおける初期接続線４７は第４接続電極４４に接続されてもよく、又は、奇数列の回路ユニットにおける初期接続線４７は第４接続電極４４に接続されてもよく、偶数列の回路ユニットにおける初期接続線４７は第５接続電極４５に接続されてもよい。

【０１９２】

例示的な実施形態では、第Ｎ列及び第Ｎ＋２列の初期接続線４７は該ユニット列の複数の回路ユニットの第５接続電極４５に接続されてもよく、第５接続電極４５がビアを介して第１初期信号線３１に接続されるため、初期接続線４７と第１初期信号線３１の相互接続が実現され、第１方向Ｘに沿って延びる複数の第１初期信号線３１と第２方向Ｙに沿って延びる複数の初期接続線４７はメッシュ連通構造の初期信号線を形成することにより、第１初期信号線の抵抗を効果的に低減し、第１初期信号の電圧降下を低減するだけでなく、表示基板における第１初期信号の均一性を効果的に向上させ、表示均一性を効果的に向上させ、表示属性と表示品質を向上させることができるることができる。

【０１９３】

例示的な実施形態では、第Ｎ＋１列及び第Ｎ＋３列の初期接続線４７は該ユニット列の複数の回路ユニットの第４接続電極４４に接続されてもよく、第４接続電極４４がビアを介して第２初期信号線３２に接続されるため、初期接続線４７と第２初期信号線３２の相互接続が実現され、第１方向Ｘに沿って延びる複数の第２初期信号線３２と第２方向Ｙに沿って延びる複数の初期接続線４７はメッシュ連通構造の初期信号線を形成することにより、第２初期信号線の抵抗を効果的に低減し、第２初期信号の電圧降下を低減するだけでなく、表示基板における第２初期信号の均一性を効果的に向上させ、表示均一性を効果的に向上させ、表示属性と表示品質を向上させることができるることができる。

【０１９４】

第１初期信号を伝送する初期信号線をメッシュ構造を形成し、第２初期信号を伝送する初期信号線をメッシュ構造を形成し、第１初期信号を伝送する初期信号線と第２初期信号を伝送する初期信号線のメッシュレイアウトを同時に実現することで、第１初期信号線と第２初期信号線の抵抗を効果的に低減し、第１初期電圧と第２初期電圧の電圧降下を低減するだけでなく、表示基板における第１初期電圧と第２初期電圧の均一性を効果的に向上させ、表示均一性を効果的に向上させ、表示属性と表示品質を向上させることができるることができる。

【０１９５】

いくつかの可能な例示的な実施形態では、奇数行及び偶数行の方式で初期接続線４７が第１初期信号線３１及び第２初期信号線３２にそれぞれ接続されるように設置してもよい。例えば、奇数行の回路ユニットにおいて初期接続線４７は第５接続電極４５に接続されてもよく、偶数行の回路ユニットにおいて初期接続線４７は第４接続電極４４に接続されてもよく、又は、奇数行の回路ユニットにおいて初期接続線４７は第４接続電極４４に接続されてもよく、偶数行の回路ユニットにおいて初期接続線４７は第５接続電極４５に接続されてもよい。

【０１９６】

例示的な実施形態では、図１０のＥ１領域及びＥ２領域の第３導電層パターンは、Ｅ０領域の第３導電層パターンと基本的に同じである。

【０１９７】
（６）第５絶縁層及び第１平坦層パターンを形成する。例示的な実施形態では、図１７に示すように、第５絶縁層及び第１平坦層パターンを形成することは、前記パターンが形成されたベースに、第５絶縁薄膜を堆積した後、第１平坦薄膜を塗布し、パターン化プロセスにより第１平坦薄膜及び第５絶縁薄膜をパターン化し、第３導電層を覆う第５絶縁層と第５絶縁層に設けられる第１平坦層を形成し、第５絶縁層と第１平坦層には複数のビアが設けられることを含んでもよい。図１７は図１０のＥ０領域の拡大図である。
【０１９８】
例示的な実施形態では、表示領域における複数の回路ユニットの複数のビアは、少なくとも第２１ビアＶ２１及び第２２ビアＶ２２を含む。
【０１９９】
例示的な実施形態では、第２１ビアＶ２１のベースでの正投影は第２接続電極４２のベースでの正投影の範囲内に位置し、第２１ビアＶ２１内の第１平坦層及び第５絶縁層は除去され、第２接続電極４２の表面を露出させ、第２１ビアＶ２１は、後に形成されるデータ信号線を該ビアを介して第２接続電極４２に接続するように構成される。
【０２００】
例示的な実施形態では、第２２ビアＶ２２のベースでの正投影は第３接続電極４３のベースでの正投影の範囲内に位置し、第２２ビアＶ２２内の第１平坦層及び第５絶縁層は除去され、第３接続電極４３の表面を露出させ、第２２ビアＶ２２は、後に形成される陽極接続電極を該ビアを介して第３接続電極４３に接続するように構成される。
【０２０１】
例示的な実施形態では、図１０のＥ１領域及びＥ２領域のビアパターンは、Ｅ０領域のビアパターンと基本的に同じである。
【０２０２】
（７）第４導電層パターンを形成する。例示的な実施形態では、図１８ａ～１８ｄに示すように、第４導電層パターンを形成することは、前記パターンが形成されたベースに、第４導電薄膜を堆積し、パターン化プロセスにより第４導電薄膜をパターン化し、第１平坦層に設置される第４導電層を形成することを含んでもよい。図１８ａは図１０のＥ０領域とＥ２領域の拡大図であり、図１８ｂは図１８ａの第４導電層の平面模式図であり、図１８ｃは図１０のＥ１領域とＥ２領域の拡大図であり、図１８ｄは図１８ｃの第４導電層の平面模式図である。例示的な実施形態では、第４導電層は第２ソース・ドレイン金属（ＳＤ２）層と呼ばれてもよい。
【０２０３】
例示的な実施形態では、表示領域における複数の回路ユニットの第４導電層パターンは、いずれも第１陽極接続電極５１、データ信号線６０及び第２電源線８０を含む。
【０２０４】
例示的な実施形態では、第１陽極接続電極５１の形状は第２方向Ｙに沿って延びるストライプ状であってもよく、第１陽極接続電極５１は第２２ビアＶ２２を介して第３接続電極４３に接続される。例示的な実施形態では、第１陽極接続電極５１は、後に形成される第２陽極接続電極に接続されるように構成される。後に形成される陽極との接続に適応するために、複数の回路ユニットにおける第１陽極接続電極５１の形状及び位置は異なってもよい。
【０２０５】
例示的な実施形態では、データ信号線６０の形状は本体部が第２方向Ｙに沿って延びる直線状であってもよく、データ信号線６０は第２１ビアＶ２１を介して第２接続電極４２に接続され、第２接続電極４２はビアを介して第４活性層の第１領域に接続されるので、データ信号線６０がデータ信号を第４トランジスタＴ４の第１極に書き込むことを実現する。
【０２０６】
例示的な実施形態では、第２電源線８０の形状は本体部が第２方向Ｙに沿って延びる折

れ線状であってもよく、第２電源線８０は本開示の低電圧電源線とし、後に形成される発光デバイスに低電源電圧信号（ＶＳＳ）を継続的に供給するように構成される。

【０２０７】

例示的な実施形態では、第２電源線８０のベースでの正投影は、第１電源線４６のベースでの正投影と少なくとも部分的に重なる。第１電源線４６及び第２電源線８０は、いずれも定電圧信号を伝送するので、両者を重ねて設置することができ、表示基板の透過率及びスペース利用率を効果的に向上させることができる。

【０２０８】

例示的な実施形態では、第１電源線４６のベースでの正投影の領域は第１面積を有し、第２電源線８０のベースでの正投影と第１電源線４６のベースでの正投影との重複領域は第１重複面積を有し、第１重複面積は第１面積の８０％よりも大きくてもよい。

【０２０９】

例示的な実施形態では、第１電源線４６のベースでの正投影は、第２電源線８０のベースでの正投影の範囲内に位置してもよい。

【０２１０】

例示的な実施形態では、第１領域、第２領域及び第３領域における第１陽極接続電極５１、第２電源線８０及びデータ信号線６０の構造は基本的に同じである。

【０２１１】

例示的な実施形態では、表示領域の第２領域（Ｅ２領域）及び第３領域（Ｅ０領域）の第４導電層パターンは基本的に同じであり、第１陽極接続電極５１、データ信号線６０及び第２電源線８０のみを含み、表示領域の第１領域（Ｅ１領域）の複数の回路ユニットの第４導電層パターンはデータ接続電極６１を更に含んでもよい。

【０２１２】

例示的な実施形態では、データ接続電極６１は第１領域の回路ユニットの一部に設けられてもよく、データ接続電極６１の形状は矩形であってもよく、データ接続電極６１はデータ信号線６０に接続され、データ接続電極６１は後に形成される第１接続線に接続されるように構成される。

【０２１３】

（８）第２平坦層パターンを形成する。例示的な実施形態では、図１９ａ～１９ｃに示すように、第２平坦層パターンを形成することは、前記パターンが形成されたベースに、第２平坦薄膜を塗布し、パターン化プロセスにより第２平坦薄膜をパターン化し、第４導電層を覆う第２平坦層を形成し、第２平坦層には複数のビアが設けられることを含んでもよい。図１９ａは図１０のＥ０領域の拡大図であり、図１９ｂは図１０のＥ１領域の拡大図であり、図１９ｃは図１０のＥ２領域の拡大図である。

【０２１４】

例示的な実施形態では、表示領域における複数の回路ユニットはいずれも第３１ビアＶ３１を含む。

【０２１５】

例示的な実施形態では、第３１ビアＶ３１のベースでの正投影は第１陽極接続電極５１のベースでの正投影の範囲内に位置し、第３１ビアＶ３１内の第２平坦層は除去され、第１陽極接続電極５１の表面を露出させ、第３１ビアＶ３１は、後に形成される第２陽極接続電極を該ビアを介して第１陽極接続電極５１に接続するように構成される。後に形成される陽極との接続に適応するために、複数の回路ユニットにおける第３１ビアＶ３１の位置は異なってもよい。

【０２１６】

図１９ａに示すように、例示的な実施形態では、表示領域の第３領域（Ｅ０領域）における複数の回路ユニットは、第３２ビアＶ３２を更に含んでもよい。

【０２１７】

例示的な実施形態では、第３２ビアＶ３２のベースでの正投影は第２電源線８０のベースでの正投影の範囲内に位置し、第３２ビアＶ３２内の第２平坦層は除去され、第２電源

線８０の表面を露出させ、第３２ビアＶ３２は、後に形成される第２電源配線を該ビアを介して第２電源線８０に接続するように構成される。

【０２１８】

図１９ｂに示すように、例示的な実施形態では、表示領域の第１領域（Ｅ１領域）における複数の回路ユニットは、第３２ビアＶ３２及び第３３ビアＶ３３を更に含んでもよい。

【０２１９】

例示的な実施形態では、第１領域における第３２ビアＶ３２の構造は、第３領域における第３２ビアＶ３２の構造と基本的に同じである。

【０２２０】

例示的な実施形態では、第３３ビアＶ３３のベースでの正投影はデータ接続電極６１のベースでの正投影の範囲内に位置し、第３３ビアＶ３３内の第２平坦層は除去され、データ接続電極６１の表面を露出させ、第３３ビアＶ３３は、後に形成される第１接続線を該ビアを介してデータ接続電極６１に接続するように構成される。

【０２２１】

図１９ｃに示すように、例示的な実施形態では、表示領域の第２領域（Ｅ２領域）における複数の回路ユニットは、第３１ビアＶ３１のみを含む。

【０２２２】

（９）第５導電層パターンを形成する。例示的な実施形態では、図２０ａ～図２０ｆに示すように、第５導電層パターンを形成することは、前記パターンが形成されたベースに、第５導電薄膜を堆積し、パターン化プロセスにより第５導電薄膜をパターン化し、第２平坦層に設置される第５導電層を形成することを含んでもよい。図２０ａは図１０のＥ０領域の拡大図であり、図２０ｂは図２０ａの第５導電層の平面模式図であり、図２０ｃは図１０のＥ１領域の拡大図であり、図２０ｄは図２０ｃの第５導電層の平面模式図であり、図２０ｅは図１０のＥ２領域の拡大図であり、図２０ｆは図２０ｅの第５導電層の平面模式図である。例示的な実施形態では、第５導電層は第３ソース・ドレイン金属（ＳＤ３）層と呼ばれてもよい。

【０２２３】

例示的な実施形態では、表示領域における複数の回路ユニットの第５導電層パターンは、いずれも第２陽極接続電極５３を含む。

【０２２４】

例示的な実施形態では、第２陽極接続電極５３の形状は矩形であってもよく、第２陽極接続電極５３は第３１ビアＶ３１を介して第１陽極接続電極５１に接続される。例示的な実施形態では、第２陽極接続電極５３は、後に形成される陽極に接続されるように構成される。後に形成される陽極との接続に適応するために、複数の回路ユニットにおける第２陽極接続電極５３の形状及び位置は異なってもよい。

【０２２５】

図２０ａ及び図２０ｂに示すように、表示領域の第３領域（Ｅ０領域）における複数の回路ユニットの第５導電層パターンは、第１電源配線９１、第２電源配線９２、電源接続電極９３、第１補償線１１０及び第２補償線１２０を更に含む。

【０２２６】

例示的な実施形態では、第１電源配線９１の形状は本体部が第１方向Ｘに沿って延びる直線状であってもよく、第３領域における第１方向Ｘに隣接する回路ユニットにおける第１電源配線９１は互いに接続される一体構造である。

【０２２７】

例示的な実施形態では、第１電源配線９１のベースでの正投影は第１初期信号線３１のベースでの正投影と少なくとも部分的に重なり、表示基板の透過率及びスペース利用率を効果的に向上させることができる。

【０２２８】

例示的な実施形態では、第１電源配線９１のベースでの正投影の領域は第３面積を有し

、第１初期信号線３１のベースでの正投影と第１初期信号線３１のベースでの正投影との重複領域は第３重複面積を有し、第３重複面積は第３面積の８０％よりも大きくてもよい。

【０２２９】

例示的な実施形態では、第２電源配線９２の形状は本体部が第２方向Ｙに沿って延びる直線状であってもよく、第３領域における第２方向Ｙに隣接する回路ユニットにおける第２電源配線９２は互いに接続される一体構造である。

【０２３０】

例示的な実施形態では、第２電源配線９２のベースでの正投影は記憶コンデンサの第２極板３３のベースでの正投影と少なくとも部分的に重なる。

【０２３１】

例示的な実施形態では、第３領域における複数の第２電源配線９２と複数の第１電源配線９１は互いに接続される一体構造であり、メッシュ状の電源リード線を構成する。

【０２３２】

例示的な実施形態では、電源接続電極９３の形状は矩形であってもよく、電源接続電極９３は第２電源配線９２のデータ信号線６０から離れる側（即ち第２電源線８０に近い側）に設置されてもよく、且つ第２電源配線９２に接続され、電源接続電極９３のベースでの正投影は低電圧電源線５２のベースでの正投影と少なくとも部分的に重なり、電源接続電極９３は第３２ビアＶ３２を介して第２電源線８０に接続され、メッシュ状の電源リード線と第２電源線８０の接続を実現する。

【０２３３】

例示的な実施形態では、第１補償線１１０の形状は本体部が第１方向Ｘに沿って延びる直線状あってもよく、第３領域における第１方向Ｘに隣接する回路ユニットにおける第１補償線１１０は互いに接続される一体構造である。

【０２３４】

例示的な実施形態では、第１補償線１１０のベースでの正投影は第２初期信号線３２のベースでの正投影と少なくとも部分的に重なり、表示基板の透過率及びスペース利用率を効果的に向上させることができる。

【０２３５】

例示的な実施形態では、第１補償線１１０のベースでの正投影の領域は第４面積を有し、第１補償線１１０のベースでの正投影と第２初期信号線３２のベースでの正投影との重複領域は第４重複面積を有し、第４重複面積は第４面積の８０％よりも大きくてもよい。

【０２３６】

例示的な実施形態では、第２補償線１２０の形状は本体部が第２方向Ｙに沿って延びる直線状であってもよく、第３領域における第２方向Ｙに隣接する回路ユニットにおける第２補償線１２０は互いに接続される一体構造である。

【０２３７】

例示的な実施形態では、第２補償線１２０のベースでの正投影は初期接続線４７のベースでの正投影と少なくとも部分的に重なり、表示基板の透過率及びスペース利用率を効果的に向上させることができる。

【０２３８】

例示的な実施形態では、第２補償線１２０のベースでの正投影の領域は第５面積を有し、第２補償線１２０のベースでの正投影と初期接続線４７のベースでの正投影との重複領域は第５重複面積を有し、第５重複面積は第５面積の８０％よりも大きくてもよい。

【０２３９】

例示的な実施形態では、第３領域における複数の第１補償線１１０と複数の第２補償線１２０は互いに接続される一体構造であり、メッシュ状の補償線を構成し、第１補償線１１０と第２補償線１２０は第３領域における第５導電層パターンと第１領域及び第２領域における第５導電層パターンとが類似な形態を呈するように構成され、製造プロセスの均一性を向上させるだけでなく、異なる領域において透過光及び反射光において基本的に同

じ表示効果を得ることができ、表示基板の外観不良を効果的に回避し、表示属性及び表示品質を向上させることができる。

【０２４０】

例示的な実施形態では、複数の第１補償線１１０と複数の第２電源配線９２は互いに接続され、複数の第２補償線１２０と複数の第１電源配線９１は互いに接続され、従ってメッシュ状の電源リード線とメッシュ状の補償線の相互接続を実現する。

【０２４１】

例示的な実施形態では、第３領域において、少なくとも１つの回路ユニットには少なくとも１本の第１電源配線９１、少なくとも１本の第２電源配線９２、少なくとも１本の第１補償線１１０及び少なくとも１本の第２補償線１２０が設けられてもよい。第１電源配線９１は回路ユニットの第２方向Ｙ側に設けられてもよく、第１補償線１１０は回路ユニットの第２方向Ｙの反対方向側に設けられてもよく、第２電源配線９２は第２電源線８０の第１方向Ｘ側に設けられてもよく、第２補償線１２０は第２電源線８０の第１方向Ｘの反対方向側に設けられてもよい。

【０２４２】

例示的な実施形態では、第２補償線１２０のベースでの正投影はダミー線のベースでの正投影と少なくとも部分的に重なる。

【０２４３】

図２０ｃ及び図２０ｄに示すように、表示領域の第１領域（Ｅ１領域）における複数の回路ユニットの第５導電層パターンは、第１接続線７１、第１電源配線９１、第２電源配線９２、電源接続電極９３及び第２補償線１２０を更に含む。

【０２４４】

例示的な実施形態では、第１接続線７１の形状は本体部が第１方向Ｘに沿って延びる直線状であってもよく、第１接続線７１は第３３ビアＶ３３を介してデータ接続電極６１に接続される。データ接続電極６１がデータ信号線６０に接続されるので、第１接続線７１とデータ信号線６０の接続を実現する。

【０２４５】

例示的な実施形態では、第１接続線７１のベースでの正投影は第２初期信号線３２のベースでの正投影と少なくとも部分的に重なる。第１接続線７１が第５導電層（ＳＤ３）に位置し、第２初期信号線３２が第２導電層（ＧＡＴＥ２）に位置し、両者の間に厚い第１平坦層及び第２平坦層が設けられているので、データ信号を伝送する第１接続線７１と初期電圧信号を伝送する第２初期信号線３２との間にクロストークは生じない。第１接続線７１と第２初期信号線３２を重ねて設置することで、表示基板の透過率及びスペース利用率を効果的に向上させることができる。

【０２４６】

例示的な実施形態では、第１接続線７１のベースでの正投影の領域は第２重複面積を有し、第１接続線７１のベースでの正投影と第２初期信号線３２のベースでの正投影との重複領域は第２面積を有し、第２重複面積は第２面積の８０％よりも大きくてもよい。

【０２４７】

例示的な実施形態では、第１領域における第１方向Ｘに隣接する回路ユニットにおける第１接続線７１は、互いに接続される一体構造である。

【０２４８】

例示的な実施形態では、第１領域の回路ユニットと第３領域の回路ユニットを含む少なくとも１つのユニット行において、第１領域の第１接続線７１と第３領域の第１補償線１１０は第１方向Ｘに沿って延びる同一本の直線上に位置してもよく、第１領域の配線と第３領域の配線は類似な形態を呈し、製造プロセスの均一性を向上させるだけでなく、異なる領域において透過光及び反射光において基本的に同じ表示効果を得ることができ、表示基板の外観不良を効果的に回避し、表示属性及び表示品質を向上させることができる。

【０２４９】

例示的な実施形態では、第１領域の回路ユニットと第３領域の回路ユニットを含む少な

くとも１つのユニット列において、第１領域の第１電源配線９１と第３領域の第１電源配線９１は第２方向Ｙに沿って延びる同一本の直線上に位置してもよく、第１領域の電源接続電極９３と第３領域の電源接続電極９３は第２方向Ｙに沿って延びる同一本の直線上に位置してもよく、第１領域において第１方向Ｘに隣接する回路ユニットにおける第１電源配線９１は互いに接続される一体構造であり、電源接続電極９３は第３２ビアＶ３２を介して第２電源線８０に接続される。

【０２５０】

例示的な実施形態では、第１領域の回路ユニットと第３領域の回路ユニットを含む少なくとも１つのユニット列において、第１領域の第２電源配線９２と第３領域の第２電源配線９２は第２方向Ｙに沿って延びる同一本の直線上に位置してもよく、第１領域の第２補償線１２０と第３領域の第２補償線１２０は第２方向Ｙに沿って延びる同一本の直線上に位置してもよく、異なるのは、第１領域において第２方向Ｙに隣接する回路ユニットにおける第２電源配線９２と第２補償線１２０は断続的であり、即ち、第２方向Ｙに隣接する回路ユニットにおける第２電源配線９２は間隔をあけて設置され、第２方向Ｙに隣接する回路ユニットにおける第２補償線１２０は間隔をあけて設置され、これにより、第１接続線７１は第２電源配線９２と第２補償線１２０との断裂口の間に設置する。

【０２５１】

図２０ｅ及び図２０ｆに示すように、表示領域の第２領域（Ｅ２領域）における複数の回路ユニットの第５導電層パターンは、第２接続線７２、ダミー接続電極７３及び第１補償線１１０を更に含む。

【０２５２】

例示的な実施形態では、第２接続線７２の形状は本体部が第２方向Ｙに沿って延びる直線状であってもよく、第２接続線７２の第１端はリード線領域に位置する引出線に接続され、第２接続線７２の第２端は表示領域に位置する第１接続線７１に接続され、互いに接続される第１接続線７１と第２接続線７２はデータ接続線を構成する。

【０２５３】

例示的な実施形態では、第２領域における第２方向Ｙに隣接する回路ユニットにおける第２接続線７２は、互いに接続される一体構造である。

【０２５４】

例示的な実施形態では、第２領域の回路ユニットと第３領域の回路ユニットを含む少なくとも１つのユニット列において、第２領域の第２接続線７２における第１側接続線と第３領域の第２電源配線９２は第２方向Ｙに沿って延びる同一本の直線上に位置してもよく、第２領域の第２接続線７２における第２側接続線と第３領域の第２補償線１２０は第２方向Ｙに沿って延びる同一本の直線上に位置してもよく、これにより、第２領域の配線と第３領域の配線は類似な形態を呈し、製造プロセスの均一性を向上させるだけでなく、異なる領域において透過光及び反射光において基本的に同じ表示効果を得ることができ、表示基板の外観不良を効果的に回避し、表示属性及び表示品質を向上させることができる。

【０２５５】

例示的な実施形態では、ダミー接続電極７３の形状は矩形であってもよく、ダミー接続電極７３は第２接続線７２のデータ信号線６０から離れる側（即ち、第２電源線８０に近い側）に設置され、且つ第２接続線７２に接続されてもよく、ダミー接続電極７３のベースでの正投影は低電圧電源線５２のベースでの正投影と少なくとも部分的に重なる。

【０２５６】

例示的な実施形態では、第２領域の回路ユニットと第３領域の回路ユニットを含む少なくとも１つのユニット行において、第２領域のダミー接続電極７３と第３領域の電源接続電極９３は第１方向Ｘに沿って延びる同一本の直線上に位置してもよく、第２領域の回路ユニットと第３領域の回路ユニットを含む少なくとも１つのユニット列において、第２領域のダミー接続電極７３と第３領域の電源接続電極９３は第２方向Ｙに沿って同一本の直線上に位置してもよい。即ち、ダミー接続電極７３の第２領域の回路ユニットにおける位置と形状は、電源接続電極９３の第３領域の回路ユニットにおける位置と形状と基本的に

同じ、異なるのは、ダミー接続電極７３はビアを介して第２電源線８０に接続されていなく、ダミー接続電極７３は第２領域と第３領域の第５導電層パターンを類似な形態を呈するように構成され、製造プロセスの均一性を向上させるだけでなく、異なる領域において透過光及び反射光において基本的に同じ表示効果を得ることができ、表示基板の外観不良を効果的に回避し、表示属性及び表示品質を向上させることができる。

【０２５７】

例示的な実施形態では、第１補償線１１０の形状は本体部が第１方向Ｘに沿って延びる直線セグメントであってもよく、第１補償線１１０の第１端は第２接続線７２に接続され、第１補償線１１０の第２端は第１方向Ｘ又は第１方向Ｘの反対方向に沿って延びる。

【０２５８】

例示的な実施形態では、第２領域の少なくとも１つの回路ユニットにおいて、少なくとも２本の第２接続線７２及び２本の第１補償線１１０を設けてもよい。２本の第２接続線７２は第１側接続線と第２側接続線を含んでもよく、第１側接続線は第２電源線８０とデータ信号線６０との間に設けられてもよく、第２側接続線は第２電源線８０のデータ信号線６０から離れる側に設けられてもよい。少なくとも２本の第１補償線１１０は、少なくとも１本の第１側補償線と少なくとも１本の第２側補償線を含んでもよく、第１側補償線の第１端は第１側接続線に接続され、第１側補償線の第２端は第２側接続線に近い方向に沿って延び、第２側補償線の第１端は第２側接続線に接続され、第２側補償線の第２端は第１側接続線に近い方向に沿って延び、これにより、回路ユニット内の２本の第１補償線１１０はインターディジタル構造を構成する。

【０２５９】

例示的な実施形態では、第２領域の回路ユニットと第３領域の回路ユニットを含む少なくとも１つのユニット行において、第２領域の第１側補償線と第３領域の第１電源配線９１は第１方向Ｘに沿って延びる同一本の直線上に位置してもよく、異なるのは、第１側補償線は１つのユニット行の複数の回路ユニットにおいて間隔をあけて設置される。

【０２６０】

例示的な実施形態では、第２領域の回路ユニットと第１領域の回路ユニットを含む少なくとも１つのユニット行において、第２領域の第２側補償線と第１領域の第１接続線７１は第１方向Ｘに沿って延びる同一本の直線上に位置してもよく、異なるのは、第２側補償線は１つのユニット行の複数の回路ユニットにおいて間隔をあけて設置される。

【０２６１】

例示的な実施形態では、第１領域の回路ユニット、第２領域の回路ユニット及び第３領域の回路ユニットを含む少なくとも１つのユニット行において、第１領域の第１電源配線９１、第２領域の第１補償線１１０における第１側補償線及び第３領域の第１電源配線９１は第１方向Ｘに沿って延びる同一本の直線上に位置してもよく、第１領域の第１接続線７１、第２領域の第１補償線１１０における第２側補償線及び第３領域の第１補償線１１０は第１方向Ｘに沿って延びる同一本の直線上に位置してもよく、第１領域の電源接続電極９３、第２領域のダミー接続電極７３及び第３領域の電源接続電極９３は第１方向Ｘに沿って延びる同一本の直線上に位置してもい。

【０２６２】

例示的な実施形態では、第１領域の回路ユニット、第２領域の回路ユニット及び第３領域の回路ユニットを含む少なくとも１つのユニット列において、第１領域の第２電源配線９２、第２領域の第２接続線７２における第１側接続線及び第３領域の第２電源配線９２は第２方向Ｙに沿って延びる同一本の直線上に位置してもよく、第１領域の第２補償線１２０、第２領域の第２接続線７２における第２側接続線及び第３領域の第２補償線１２０は第２方向Ｙに沿って延びる同一本の直線上に位置してもよく、第１領域の電源接続電極９３、第２領域のダミー接続電極７３及び第３領域の電源接続電極９３は第２方向Ｙに沿って延びる同一本の直線上に位置してもよい。

【０２６３】

（１０）第３平坦層パターンを形成する。例示的な実施形態では、図２１ａ～２１ｃに

示すように、第３平坦層パターンを形成することは、前記パターンが形成されたベースに、第３平坦薄膜を塗布し、パターン化プロセスにより第３平坦薄膜をパターン化し、第５導電層を覆う第３平坦層を形成し、第３平坦層には複数のビアが設けられることを含んでもよい。図２１ａは図１０のＥ０領域の拡大図であり、図２１ｂは図１０のＥ１領域の拡大図であり、図２１ｃは図１０のＥ２領域の拡大図である。

【０２６４】

例示的な実施形態では、表示領域における各回路ユニットのビアは少なくとも第４１ビアＶ４１を含む。例示的な実施形態では、第４１ビアＶ４１のベースでの正投影は第２陽極接続電極５３のベースでの正投影の範囲内に位置し、第４１ビアＶ４１内の第３平坦層は除去され、第２陽極接続電極５３の表面を露出させ、第４１ビアＶ４１は、後に形成される陽極を該ビアを介して第２陽極接続電極５３に接続するように構成される。後に形成される陽極との接続に適応するために、複数の回路ユニットにおける第４１ビアＶ４１の位置は異なってもよい。

【０２６５】

例示的な実施形態では、第１領域、第２領域及び第３領域のビアパターンは基本的に同じである。

【０２６６】

ここまで、ベースに駆動回路層を製造し完成する。表示基板に平行な平面において、駆動回路層は複数の回路ユニットを含んでもよく、各回路ユニットは画素駆動回路と、画素駆動回路に接続される第１走査信号線、第２走査信号線、発光制御線、データ信号線、第１電源線、第２電源線、第１初期信号線及び第２初期信号線とを含んでもよい。表示基板に垂直な平面において、駆動回路層は、ベースに順次に積層して設置される第１絶縁層、半導体層、第２絶縁層、第１導電層、第３絶縁層、第２導電層、第４絶縁層、第３導電層、第５絶縁層、第１平坦層、第４導電層、第２平坦層、第５導電層及び第３平坦層を含んでもよい。

【０２６７】

例示的な実施形態では、ベースは可撓性ベースであってもよいし、剛性ベースであってもよい。剛性ベースは、ガラス、石英の１種以上であってもよいが、これらに限定されず、柔軟ベースは、ポリエチレンテレフタレート、エチレンテレフタレート、ポリエーテルエーテルケトン、ポリスチレン、ポリカーボネート、ポリアリレート、ポリアリレート、ポリイミド、ポリ塩化ビニル、ポリエチレン、織物繊維の１種以上であってもよいが、これらに限定されない。例示的な実施形態では、可撓性ベースは、積層された第１可撓性材料層、第１無機材料層、半導体層、第２可撓性材料層及び第２無機材料層を含んでもよく、第１可撓性材料層及び第２可撓性材料層の材料は、ポリイミド（ＰＩ）、ポリエチレンテレフタレート（ＰＥＴ）又は表面処理されたポリマー軟質フィルムなどの材料を用いることができ、第１無機材料層及び第２無機材料層の材料は、基材の水酸素耐性を向上させるためのケイ素窒化物（ＳｉＮｘ）又はケイ素酸化物（ＳｉＯｘ）などを用いることができ、半導体層の材料は、アモルファスシリコン（ａ－ｓｉ）を用いることができる。

【０２６８】

例示的な実施形態では、第１導電層、第２導電層、第３導電層、第４導電層及び第５導電層は、銀（Ａｇ）、銅（Ｃｕ）、アルミニウム（Ａｌ）、モリブデン（Ｍｏ）のいずれか１種以上の金属材料、又はアルミニウム・ネオジム合金（ＡｌＮｄ）、モリブデン・ニオブ合金（ＭｏＮｂ）のようなこれらの金属の合金材料を用いてもよく、単層構造であってもよく、Ｍｏ／Ｃｕ／Ｍｏなどの多層複合構造であってもよい。第１絶縁層、第２絶縁層、第３絶縁層、第４絶縁層及び第５絶縁層は、ケイ素酸化物（ＳｉＯｘ）、ケイ素窒化物（ＳｉＮｘ）、シリコンオキシニトリド（ＳｉＯＮ）のいずれか１つ以上を採用してもよく、単層、多層又は複合層であってもよい。第１絶縁層はバッファ（Ｂｕｆｆｅｒ）層、第２絶縁層と第３絶縁層はゲート絶縁（ＧＩ）層、第４絶縁層は層間絶縁（ＩＬＤ）層、第５絶縁層はパッシベーション層（ＰＶＸ）と呼ばれることができる。第１平坦層、第２平坦層及び第３平坦層はは、樹脂等の有機材料を用いることができる。半導体層は、ア

モルファス酸化インジウムガリウム亜鉛材料（ａ－ＩＧＺＯ）、窒素酸化亜鉛（ＺｎＯＮ）、酸化インジウム亜鉛錫（ＩＺＴＯ）、アモルファスシリコン（ａ－Ｓｉ）、ポリシリコン（ｐ－Ｓｉ）、ヘキサチオフェン又はポリチオフェンなどの材料を用いることができ、即ち、本開示は、酸化物（Ｏｘｉｄｅ）技術、シリコン技術又は有機物技術に基づいて製造されるトランジスタに適する。

【０２６９】

例示的な実施形態では、駆動回路層の製造が完了した後、駆動回路層に発光構造層を製造し、発光構造層の製造工程は以下の動作を含んでもよい。

【０２７０】

（１１）陽極導電層パターンを形成する。例示的な実施形態では、図２２ａ～２２ｄに示すように、陽極導電層パターンを形成することは、前記パターンが形成されたベースに、陽極導電薄膜を堆積し、パターン化プロセスにより陽極導電薄膜をパターン化し、第３平坦層に設置される陽極導電層パターンを形成することを含んでもよい。図２２ａは図１０のＥ０領域の拡大図であり、図２２ｂは図１０のＥ１領域の拡大図であり、図２２ｃは図１０のＥ２領域の拡大図であり、図２２ｄは図２２ａの陽極導電層の平面模式図である。

【０２７１】

例示的な実施形態では、陽極導電層は、陽極導電層は、酸化インジウムスズＩＴＯや酸化インジウム亜鉛ＩＺＯなどの単層構造を採用してもよいし、ＩＴＯ／Ａｇ／ＩＴＯなどの多層複合構造を採用してもよい。

【０２７２】

例示的な実施形態では、陽極導電層パターンは赤色発光デバイスの第１陽極３０１Ｒ、青色発光デバイスの第２陽極３０１Ｂ、第１緑色発光デバイスの第３陽極３０１Ｇ１及び第２緑色発光デバイスの第４陽極３０１Ｇ２を含んでもよく、第１陽極３０１Ｒが位置する領域は赤色光線を出射する赤色サブ画素Ｒを形成してもよく、第２陽極３０１Ｂが位置する領域は青色光線を出射する青色サブ画素Ｂを形成してもよく、第３陽極３０１Ｇ１が位置する領域は緑色光線を出射する第１緑色サブ画素Ｇ１を形成してもよく、第４陽極３０１Ｇ２が位置する領域は緑色光線を出射する第２緑色サブ画素Ｇ２を形成してもよい。

【０２７３】

例示的な実施形態では、第１陽極３０１Ａ及び第２陽極３０１Ｂは第２方向Ｙに沿って順次に設置されてもよく、第３陽極３０１Ｃ及び第４陽極３０１Ｄは第２方向Ｙに沿って順次に設置されてもよく、第３陽極３０１Ｃ及び第４陽極３０１Ｄは、第１陽極３０１Ａ及び第２陽極３０１Ｂの第１方向Ｘ側に設置されてもよい。又は、第１陽極３０１Ａ及び第２陽極３０１Ｂは第１方向Ｘに沿って順次に設置されてもよく、第３陽極３０１Ｃ及び第４陽極３０１Ｄは第１方向Ｘに沿って順次に設置されてもよく、第３陽極３０１Ｃ及び第４陽極３０１Ｄは第１陽極３０１Ａ及び第２陽極３０１Ｂの第２方向Ｙ側に設置されてもよい。

【０２７４】

例示的な実施形態では、第１陽極３０１Ｒ、第２陽極３０１Ｂ、第３陽極３０１Ｇ１及び第４陽極３０１Ｇ２は、それぞれ第４１ビアＶ４１を介して、対応する回路ユニットにおける第２陽極接続電極５３に接続されてもよい。各陽極は、１つの回路ユニットにおける第２陽極接続電極、第１陽極接続電極及び第３接続電極を介して第６活性層の第２領域（第７活性層の第２領域でもある）に接続されるので、１つの画素ユニット内の４つの陽極は、それぞれ４つの回路ユニットの画素駆動回路に対応して接続され、画素駆動回路が発光デバイスの発光を駆動できることを実現する。

【０２７５】

例示的な実施形態では、第Ｍ行第Ｎ列回路ユニット及び第Ｍ＋１行第Ｎ＋２列回路ユニットにおける画素駆動回路にそれぞれ接続される２つの第２陽極３０１Ｂの形状及び位置は同じであり、第Ｍ行第Ｎ＋２列回路ユニット及び第Ｍ＋１行第Ｎ列回路ユニットにおける画素駆動回路にそれぞれ接続される２つの第１陽極３０１Ｒの形状及び位置は同じであ

り、第Ｍ行第Ｎ＋１列回路ユニット及び第Ｍ＋１行第Ｎ＋３列回路ユニットにおける画素駆動回路にそれぞれ接続される２つの第４陽極３０１Ｇ２の形状及び位置は同じである。第Ｍ行第Ｎ＋３列回路ユニット及び第Ｍ＋１行第Ｎ＋１列回路ユニットにおける画素駆動回路にそれぞれ接続される２つの第３陽極３０１Ｇ１の形状及び位置は同じである。

【０２７６】

例示的な実施形態でははは、１つの画素ユニットにおける４つのサブ画素の陽極の形状及び面積は同じであってもよく、異なってもよく、１つの画素ユニットにおける４つのサブ画素と１つの回路ユニット群における４つの回路ユニットとの位置関係は同じであってもよく、異なってもよく、異なる画素ユニットにおける第１陽極３０１Ｒ、第２陽極３０１Ｂ、第３陽極３０１Ｇ１及び第４陽極３０１Ｇ２の形状及び位置は同じであってもよく、異なってもよく、本開示はここで限定しない。

【０２７７】

例示的な実施形態では、第１陽極３０１Ａ、第２陽極３０１Ｂ、第３陽極３０１Ｃ及び第４陽極３０１Ｄの少なくとも１つは、互いに接続される本体部と接続部を含んでもよく、本体部の形状は矩形であってもよく、矩形の角部に円弧状の面取りを設けてもよく、接続部の形状は本体部から離れる方向に沿って延びるストライプ状であってもよく、接続部は第４１ビアＶ４１を介して第２陽極接続電極５３に接続される。

【０２７８】

図２２ａに示すように、第３領域において、第１陽極３０１Ａ及び第２陽極３０１Ｂの本体部のベースでの正投影は、１本の第１電源配線９１及び１本の第１補償線１１０のベースでの正投影と少なくとも部分的に重なり、第１陽極３０１Ａ及び第２陽極３０１Ｂの本体部のベースでの正投影は、１本の第２電源配線９２及び２本の第２補償線１２０のベースでの正投影と少なくとも部分的に重なり、第３陽極３０１Ｃ及び第４陽極３０１Ｄの本体部のベースでの正投影は、１本の第２電源配線９２のベースでの正投影と少なくとも部分的に重なる。

【０２７９】

図２２ｂに示すように、第１領域において、第１陽極３０１Ａ及び第２陽極３０１Ｂの本体部のベースでの正投影は、１本の第１電源配線９１及び１本の第１接続線７１のベースでの正投影と少なくとも部分的に重なり、第１陽極３０１Ａ及び第２陽極３０１Ｂの本体部のベースでの正投影は、１本の第２電源配線９２及び２本の第２補償線１２０のベースでの正投影と少なくとも部分的に重なり、第３陽極３０１Ｃ及び第４陽極３０１Ｄの本体部のベースでの正投影は、１本の第２電源配線９２のベースでの正投影と少なくとも部分的に重なる。

【０２８０】

図２２ｃに示すように、第２領域において、第１陽極３０１Ａ及び第２陽極３０１Ｂの本体部のベースでの正投影は、２本の第１補償線１１０のベースでの正投影と少なくとも部分的に重なり、第１陽極３０１Ａ及び第２陽極３０１Ｂの本体部のベースでの正投影は、３本の第２接続線７２のベースでの正投影と少なくとも部分的に重なり、第３陽極３０１Ｃ及び第４陽極３０１Ｄの本体部のベースでの正投影は、１本の第２接続線７２のベースでの正投影と少なくとも部分的に重なる。

【０２８１】

例示的な実施形態では、第１領域、第２領域及び第３領域における第１陽極３０１Ａ及び第２陽極３０１Ｂのベースでの正投影を比較して分かるように、第１陽極３０１Ａ及び第２陽極３０１Ｂの本体部はいずれも２本の横線（第１方向Ｘに沿って延びる直線）と重複部分があり、第１陽極３０１Ａ及び第２陽極３０１Ｂの本体部はいずれも３本の縦線（第２方向Ｙに沿って延びる直線）と重複部分があるので、３つの領域における第１陽極３０１Ａ及び第２陽極３０１Ｂの本体部下方のＳＤ３層の横方向金属線と縦方向金属線は基本的に同じであり、３つの領域における第１陽極３０１Ａ及び第２陽極３０１Ｂの平坦性を確保することができ、３つの領域における赤色発光デバイスと青色発光デバイスの発光性能が基本的に同じであることを確保することができる。

【０２８２】
例示的な実施形態では、第１領域、第２領域及び第３領域における第３陽極３０１Ｃ及び第４陽極３０１Ｄのベースでの正投影を比較して分かるように、第３陽極３０１Ｃ及び第４陽極３０１Ｄの本体部のベースでの正投影はいずれも１本の縦線と重複部分があり、横線と重複部分がないので、３つの領域における第３陽極３０１Ｃ及び第４陽極３０１Ｄの本体部下方のＳＤ３層の横方向金属線と縦方向金属線は基本的に同じであり、３つの領域における第３陽極３０１Ｃ及び第４陽極３０１Ｄの平坦性を確保することができ、３つの領域における第１緑色発光デバイスと第２緑色発光デバイスの発光性能が基本的に同じであることを確保することができる。
【０２８３】
例示的な実施形態では、後続の製造プロセスは、まず画素定義層パターンを形成し、次に蒸着又はインクジェット印刷プロセスを用いて有機発光層を形成し、次に有機発光層に陰極を形成した後に、パッケージ構造層を形成することを含んでもよい。パッケージ構造層は積層して設置される第１パッケージ層、第２パッケージ層及び第３パッケージ層を含んでもよく、第１パッケージ層及び第３パッケージ層は無機材料を採用してもよく、第２パッケージ層は有機材料を採用してもよく、第２パッケージ層は第１パッケージ層と第３パッケージ層の間に設置され、外部からの水蒸気が発光構造層に侵入しないように保証することができる。
【０２８４】
図２３は本開示の実施例の電源配線の平面構造模式図である。図２３に示すように、表示基板は、表示領域１００、表示領域１００の第２方向Ｙ側に位置するバインディング領域２００及び表示領域１００の他側に位置するベゼル領域３００を含んでもよく、ベゼル領域３００は表示領域１００の第２方向Ｙの反対方向（バインディング領域２００から離れる）側に位置する上ベゼル領域３１０と、表示領域１００の第１方向Ｘの一側又は両側に位置するサイドベゼル領域３２０を含んでもよい。表示領域１００にはメッシュ連通構造の電源配線９０が設けられ、バインディング領域２００にはバインディングリード線５１０が設けられ、上ベゼル領域３１０には上ベゼルリード線５２０が設けられ、サイドベゼル領域３２０にはサイドベゼルリード線５３０が設けられ、電源配線９０はバインディングリード線５１０、上ベゼルリード線５２０及びサイドベゼルリード線５３０にそれぞれ接続される。
【０２８５】
例示的な実施形態では、バインディング領域２００のバインディングリード線５１０、上ベゼル領域３１０の上ベゼルリード線５２０及びサイドベゼル領域３２０のサイドベゼルリード線５３０は、互いに接続される一体構造であってもよい。
【０２８６】
例示的な実施形態では、表示領域１００の電源配線９０は、第１方向Ｘに沿って延びる複数の第１電源配線９１と第２方向Ｙに沿って延びる複数の第２電源配線９２を含んでもよい。複数の第１電源配線９１は第２方向Ｙに沿って順次に設けられてもよく、第１方向Ｘの一端又は両端はサイドベゼル領域３２０まで延びた後にサイドベゼルリード線５３０に接続され、複数の第２電源配線９２は第１方向Ｘに沿って順次に設けられてもよく、第２方向Ｙの一端はバインディング領域２００まで延びた後にバインディングリード線５１０に接続され、第２方向Ｙの反対方向の一端は上ベゼル領域３１０まで延びた後に上ベゼルリード線５２０に接続される。
【０２８７】
図２４は本開示の例示的な実施形態の電源配線とバインディングリード線の接続模式図であり、図２３のＤ１領域の拡大図である。図２４に示すように、バインディング領域２００は少なくともバインディングリード線５１０、第１電源接続線５１１及び第１電源ピン５１２を含んでもよい。
【０２８８】
例示的な実施形態では、バインディングリード線５１０は第４導電性層（ＳＤ２）に設

けられてもよく、バインディングリード線５１０の形状は第１方向Ｘに沿って延びるストライプ状であってもよく、バインディングリード線５１０は、バインディングピンの電源パッドに接続されるように構成される。

【０２８９】

例示的な実施形態では、第１電源接続線５１１と第１電源ピン５１２は第５導電性層（ＳＤ３）に設けられてもよく、第１電源接続線５１１の第１端は第２平坦層に開設されるビアを介してバインディング領域２００まで延びる第２電源線８０に接続され、第２電源接続線５１１の第２端は表示領域から離れる方向に向かって延びた後に第１電源ピン５１２に直接接続され、第１電源ピン５１２は第２平坦層に開設される複数のビアを介してバインディングリード線５１０に接続される。

【０２９０】

例示的な実施形態では、第１電源接続線５１１の形状は、第２方向Ｙに沿って延びるストライプ状であってもよく、第１電源ピン５１２は複数の第１電源接続線５１１を介して第２電源線８０に接続されてもよい。

【０２９１】

例示的な実施形態では、第１電源ピン５１２の形状は第１方向Ｘに沿って延びるストライプ状であってもよく、第４導電層に位置するバインディングリード線５１０と第５導電層に位置する第１電源ピン５１２を２層電源配線を形成し、電源信号の電圧降下を最小限に抑え、低消費電力を実現する。本開示では、表示領域の電源配線とバインディング領域のバインディングリード線とを接続することで、バインディングリード線の幅を大幅に縮小することができ、バインディング領域の幅を大幅に縮小することができ、フルスクリーン表示を実現するのに有利である。

【０２９２】

例示的な実施形態では、第１電源接続線５１１と第１電源ピン５１２は、互いに接続される一体構造であってもよい。

【０２９３】

図２５は本開示の例示的な実施例の電源配線と上ベゼルリード線の接続模式図であり、図２３のＤ２領域の拡大図である。図２５に示すように、上ベゼル領域３１０は、少なくとも上ベゼルリード線５２０、第２電源接続バー５２１、第２電源接続線５２２及び第２電源ピン５２３を含んでもよい。

【０２９４】

例示的な実施形態では、ベゼルリード線５２０は第４導電性（ＳＤ２）層に設けられてもよく、上ベゼルリード線５２０の形状は第１方向Ｘに沿って延びるストライプ状であってもよく、上ベゼルリード線５２０は、サイドベゼル領域のサイドベゼルリード線を介してバインディング領域のバインディングリード線に接続されるように構成される。

【０２９５】

例示的な実施形態では、第２電源接続バー５２１、第２電源接続線５２２及び第２電源ピン５２３は第５導電性層（ＳＤ３）に設けられてもよく、第２電源接続バー５２１の第１端は第２平坦層に開設されるビアを介して上ベゼル領域３１０まで延びる第２電源線８０に接続され、第２電源接続バー５２１の第２端は第２電源接続線５２２の第１端に接続され、第２電源接続線５２２の第２端は表示領域から離れる方向に向かって延びた後に第２電源ピン５２３に接続され、第２電源ピン５２３は第２平坦層に開設される複数のビアを介して上ベゼルリード線５２０に接続される。本開示では、表示領域の電源配線と上ベゼル領域の上ベゼルリード線とを接続することで、上ベゼルリード線の幅を大幅に縮小することができ、上ベゼル領域の幅を大幅に縮小することができ、フルスクリーン表示を実現するのに有利である。

【０２９６】

例示的な実施形態では、第２電源接続バー５２１の形状は第１方向Ｘに沿って延びるストライプ状であってもよく、第２電源接続線５２２の形状は第２方向Ｙに沿って延びるストライプ状であってもよく、第２電源ピン５２３の形状は矩形であってもよく、第２電源

接続バー５２１は、複数の第２電源接続線５２２及び複数の第２電源ピン５２３を介して上ベゼルリード線５２０に接続されてもよい。

【０２９７】

例示的な実施形態では、第２電源接続バー５２１、第２電源接続線５２２及び第２電源ピン５２３は、互いに接続される一体構造であってもよい。

【０２９８】

図２６は本開示の例示的な実施例の電源配線とサイドベゼルリード線の接続模式図であり、図２３のＤ３領域の拡大図である。図２６に示すように、サイドベゼル領域３２０は、少なくともサイドベゼルリード線５３０、第３電源接続線５３１及び第３電源ピン５３２を含んでもよい。

【０２９９】

例示的な実施形態では、サイドベゼルリード線５３０は第４導電性（ＳＤ２）層に設けられてもよく、サイドベゼルリード線５３０の形状は第２方向Ｙに沿って延びるストライプ状であってもよく、サイドベゼルリード線５３０は、バインディング領域におけるバインディングリード線５１０に接続されるように構成される。

【０３００】

例示的な実施形態では、第３電源接続線５３１と第３電源ピン５３２は第５導電性層（ＳＤ３）に設けられてもよく、第３電源接続線５３１の第１端は第２平坦層に開設されるビアを介して表示領域１００の電源配線９０に接続され、第３電源接続線５３１の第２端は表示領域から離れる方向に沿って延びた後に第３電源ピン５３２に直接接続され、第３電源ピン５３２は第２平坦層に開設された複数のビアを介してサイドベゼルリード線５３０に接続される。本開示では、表示領域の電源配線とサイドベゼル領域のサイドベゼルリード線とを接続することで、サイドベゼルリード線の幅を大幅に縮小することができ、サイドベゼル領域の幅を大幅に縮小することができ、フルスクリーン表示を実現するのに有利である。

【０３０１】

例示的な実施形態では、第３電源接続線５３１の形状は第１方向Ｘに沿って延びる折れ線状であってもよく、第３電源ピン５３２の形状は第２方向Ｙに沿って延びるストライプ状であってもよく、電源配線９０は複数の第３電源接続線５３１及び第３電源ピン５３２を介してサイドベゼルリード線５３０に接続されてもよい。

【０３０２】

例示的な実施形態では、第３電源接続線５３１と第３電源ピン５３２は、互いに接続される一体構造であってもよい。

【０３０３】

以上説明した表示基板の構造及び製造過程から分かるように、本開示では、表示領域内にデータ接続線を設けることによって、データ接続線を介してバインディング領域の引出線とデータ信号線を接続し、リード線領域に扇形の斜線を設ける必要がなく、リード線領域の長さを効果的に短縮し、下ベゼルの幅を大幅に短縮し、画面比を向上させ、フルスクリーン表示を実現するのに有利である。

【０３０４】

表示基板において、表示領域はデータ接続線が設けられる配線領域とデータ接続線が設けられていない通常領域を含み、外光の照射下で配線領域のデータ接続線が高い反射力を有し、通常領域の他の金属線の反射力が弱いため、通常領域の外観と配線領域の外観は明らかに異なり、表示基板に外観不良の問題があり、特に画面が閉じている場合又は低階調表示の場合には、外観不良はより明らかになる。本開示の実施例では、第１領域に第２補償線を設け、第２領域に第１補償線を設け、第３領域に第１補償線及び第２補償線を設けることにより、異なる領域は基本的に同じ構造を有し、異なる領域において透過光及び反射光において基本的に同じ表示効果を得て、表示基板の外観不良を効果的に回避できるだけでなく、３つの領域における陽極下方の横方向金属線と縦方向金属線は基本的に同じであり、３つの領域における陽極の平坦性が基本的に一致することを確保することができ、

発光デバイスの発光性能が基本的に同じであることを確保することができ、大視野角の色偏りを避け、表示属性及び表示品質を向上させることができる。

【０３０５】

メッシュ連通構造の電源配線を構成する第１電源配線と第２電源配線を表示領域内に設けることで、ＶＳＳ　ｉｎ　ｐｉｘｅｌ構造を実現し、電源配線の抵抗を効果的に低減し、低電圧電源信号の電圧降下を効果的に低減し、低消費電力を実現することができるだけでなく、表示基板における電源信号の均一性を効果的に向上させ、表示均一性を効果的に向上させ、表示属性及び表示品質を向上させることができる。本開示では、電源配線とバインディング領域及びベゼル領域の電源リード線とを接続することで、電源リード線の幅を大幅に縮小することができ、ベゼルの幅を大幅に縮小でき、フルスクリーン表示を実現するのに有利である。本開示の製造プロセスは、既存の製造プロセスと良好に互換性があり、プロセスの実現が簡単で実施が容易であり、生産効率が高く、製造コストが低く、良品率が高い。

【０３０６】

上述した本開示の構造及びその製造プロセスは例示的な説明に過ぎず、例示的な実施形態では、実際の必要に応じて、対応する構造を変更したり、構図プロセスを追加又は減少したりすることができ、本開示はここで限定しない。

上述した本開示の構造及びその製造プロセスは例示的な説明に過ぎず、例示的な実施形態では、実際の必要に応じて、対応する構造を変更したり、構図プロセスを追加又は減少したりすることができ、本開示はここで限定しない。

【０３０７】

例示的な実施形態では、本開示の表示基板は、例えばＯＬＥＤ、量子ドット表示（ＱＬＥＤ）、発光ダイオード表示（Ｍｉｃｒｏ　ＬＥＤ又はＭｉｎｉ　ＬＥＤ）、量子ドット発光ダイオード表示（ＱＤＬＥＤ）等の画素駆動回路を有する表示装置に適用することができ、本開示はここで限定しない。

【０３０８】

本開示は、前述表示基板を含む表示装置を更に提供する。表示装置は、携帯電話、タブレット、テレビ、ディスプレイ、ノートパソコン、デジタルフォトフレーム、ナビゲーションなど、表示機能を有するあらゆる製品又は部品であってもよく、本発明の実施例はこれに限定されるものではない。

【０３０９】

本開示で開示された実施形態は上記のとおりであるが、記載された内容は、本開示の理解を容易にするために採用された実施形態にすぎず、本開示を限定するために使用されるものではない。当業者は、本開示の精神及び範囲から逸脱することなく、実施の形態及び詳細においてあらゆる修正及び変更を行うことができる。ただし、本開示の特許保護の範囲は、添付の特許請求の範囲によって定義された範囲に準じなければならない。

【符号の説明】

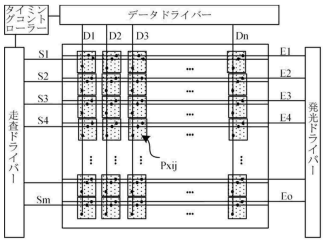
【０３１０】

【表１】

１１－第１活性層、	１２－第２活性層、	１３－第３活性層、
１４－第４活性層、	１５－第５活性層、	１６－第６活性層、
１７－第７活性層、	２１－第１走査信号線、	２１－１－ゲートブロック、
２２－第２走査信号線、	２３－発光制御線、	２４－第１極板、
３１－第１初期信号線、	３２－第２初期信号線、	３３－第２極板、
３４－極板接続線、	３５－シールド電極、	３６－開口、
４１－第１接続電極、	４２－第２接続電極、	４３－第３接続電極、
４４－第４接続電極、	４５－第５接続電極、	４６－第１電源線、
４７－初期接続線、	５１－第１陽極接続電極、	５３－第２陽極接続電極、
６０－データ信号線、	６１－データ接続電極、	７０－データ接続線、
７１－第１接続線、	７２－第２接続線、	７３－ダミー接続電極、
８０－第２電源線、	９０－電源配線、	９１－第１電源配線、
９２－第２電源配線、	９３－電源接続電極、	１００－表示領域、
１００Ａ－第１領域、	１００Ｂ－第２領域、	１００Ｃ－第３領域、
１０１－ベース、	１０２－駆動回路層、	１０３－発光構造層、
１０４－パッケージ構造層、	１１０－第１補償線、	１２０－第２補償線、
２００－バインディング領域、	２０１－リード線領域、	２１０－引出線、
３００－ベゼル領域、	３０１－陽極、	３０２－画素定義層、
３０３－有機発光層、	３０４－陰極、	３１０－上ベゼル領域、
３２０－サイドベゼル領域、	４０１－第１パッケージ層、	４０２－第２パッケージ層、
４０３－第３パッケージ層、	５１０－バインディングリード線、	５１１－第１電源接続線、
５１２－第１電源ピン、	５２０－上ベゼルリード線、	５２１－第２電源接続バー、
５２２－第２電源接続線、	５２３－第２電源ピン、	５３０－サイドベゼルリード線、
５３１－第３電源接続線、	５３２－第３電源ピン。	

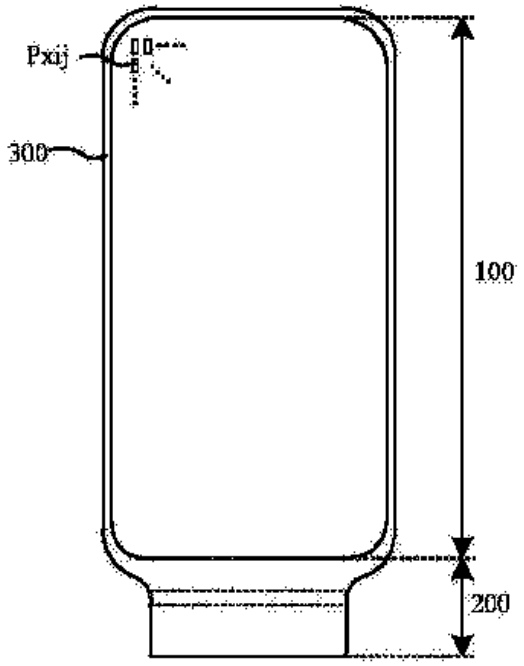
【図面】

【図１】



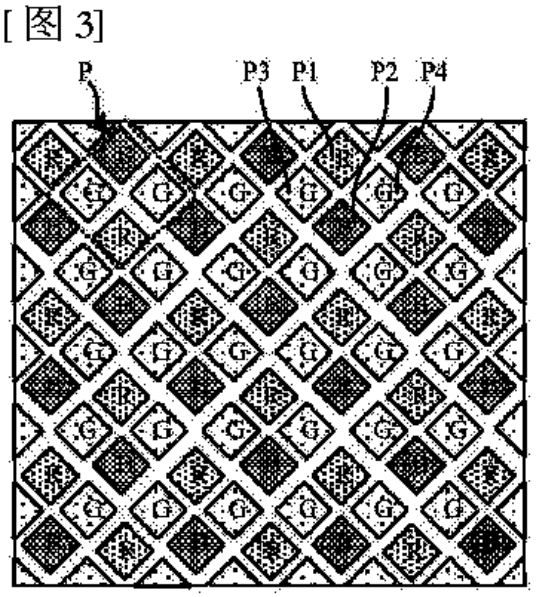
【図２】

[图 2]



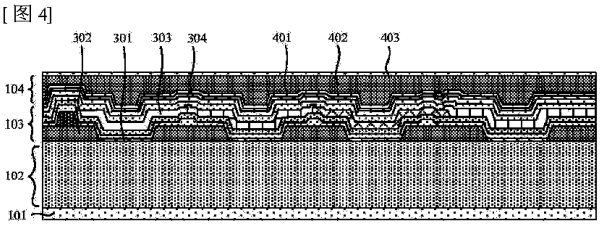
【図３】

[图 3]



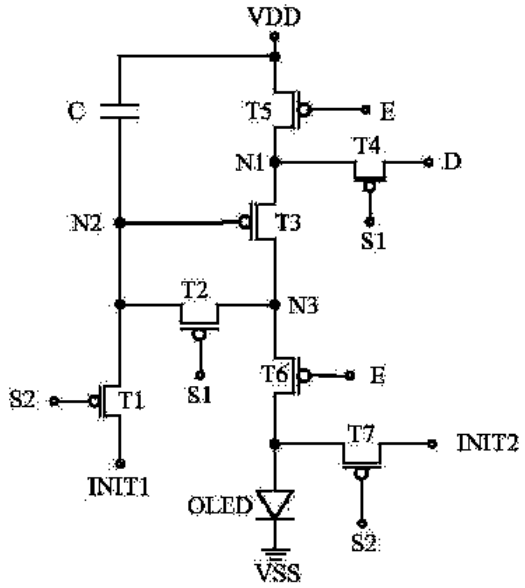
【図４】

[图 4]



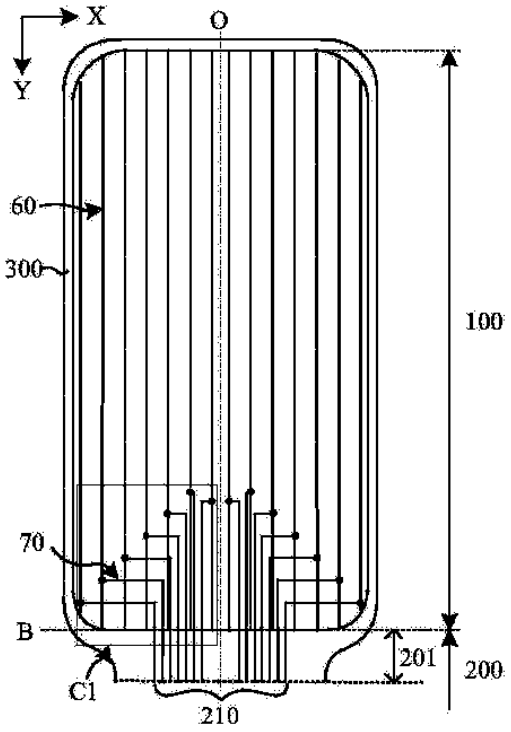
【図５】

[图 5]



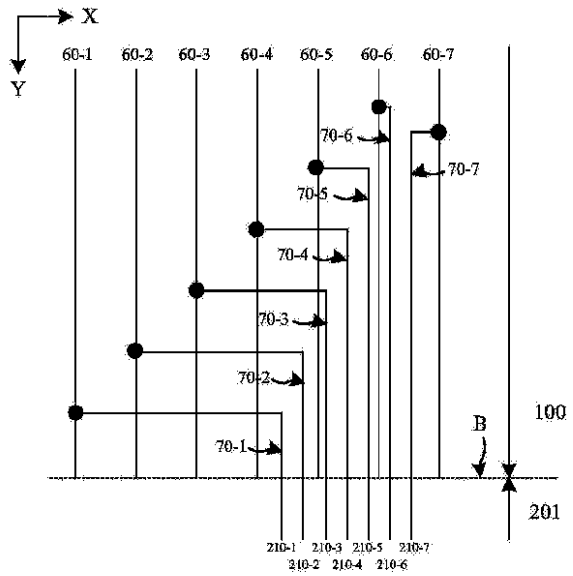
【図６】

[图 6]



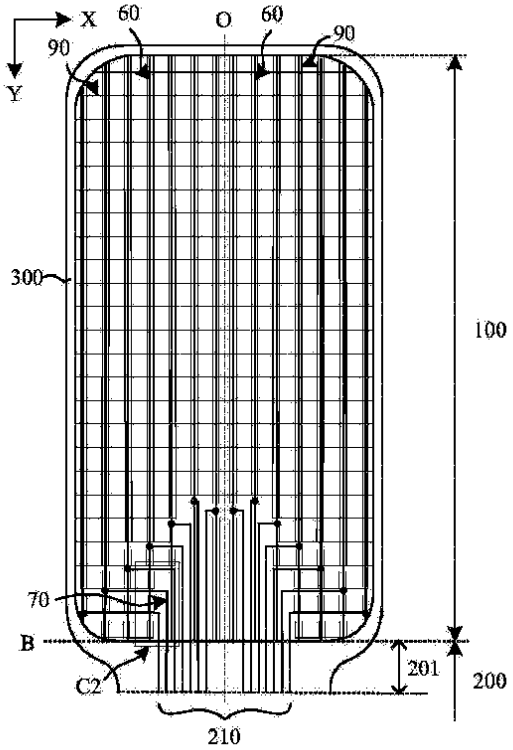
【図７】

[图 7]



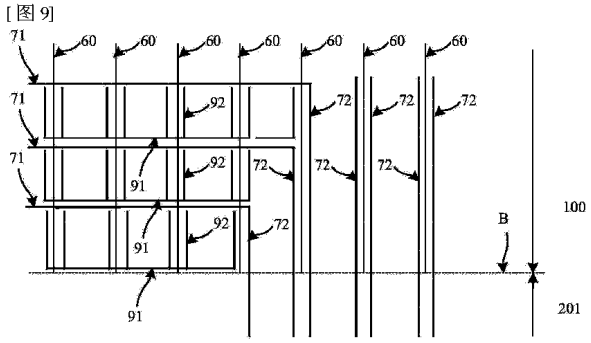
【図８】

[图 8]



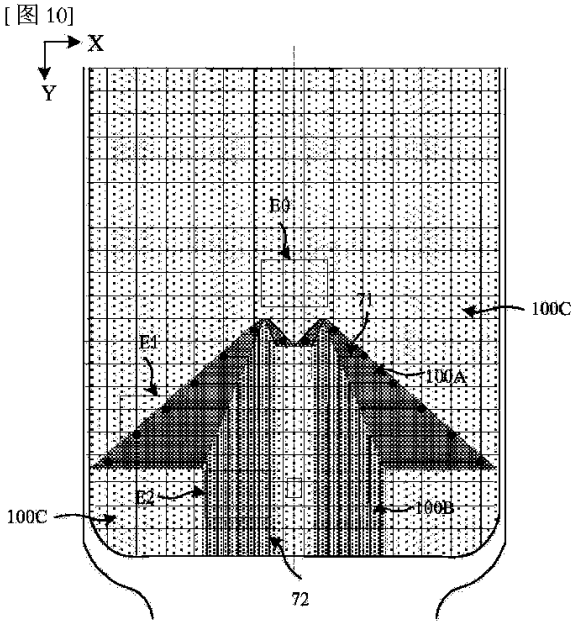
【図９】

[図9]



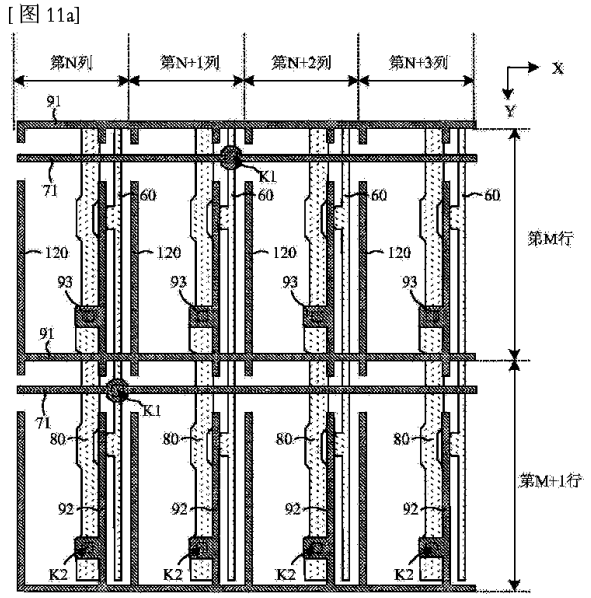
【図１０】

[図10]



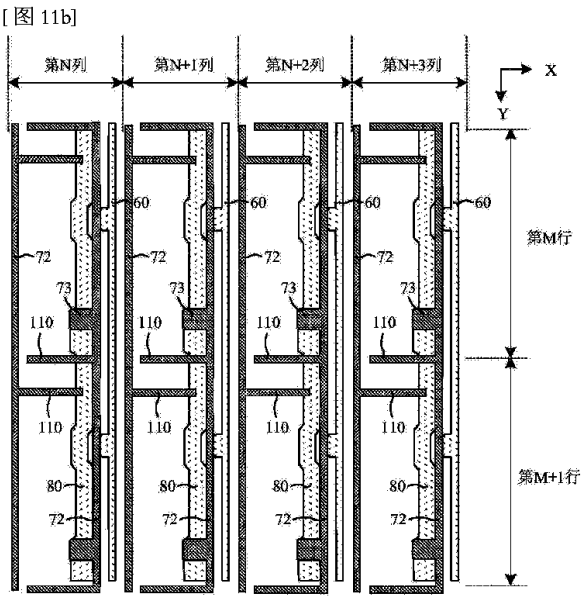
【図１１ａ】

[図11a]



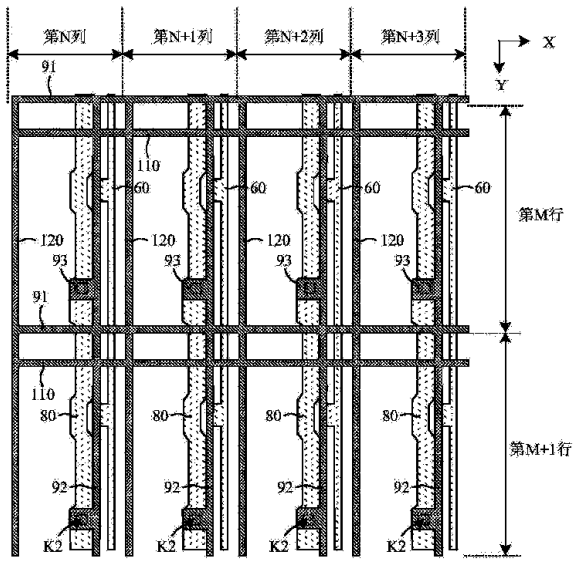
【図１１ｂ】

[図11b]



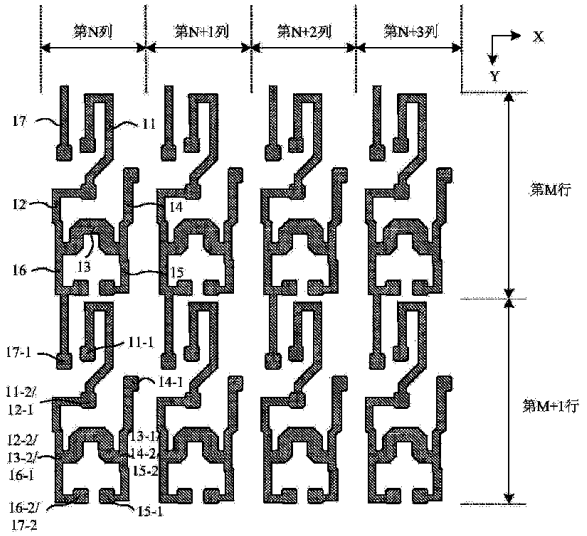
【図１１ｃ】

[図 11c]



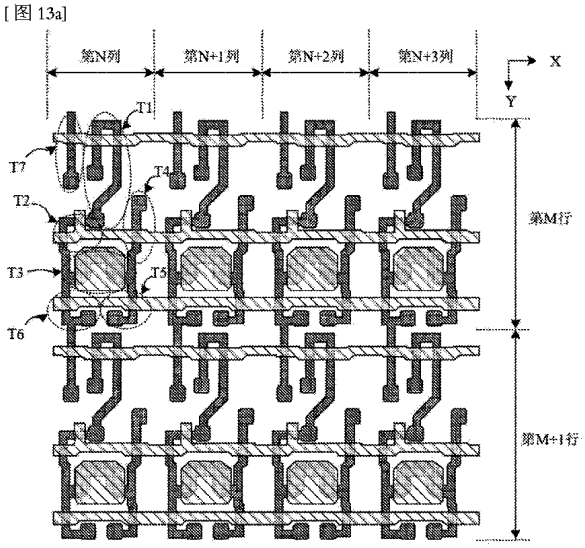
【図１２】

[図 12]



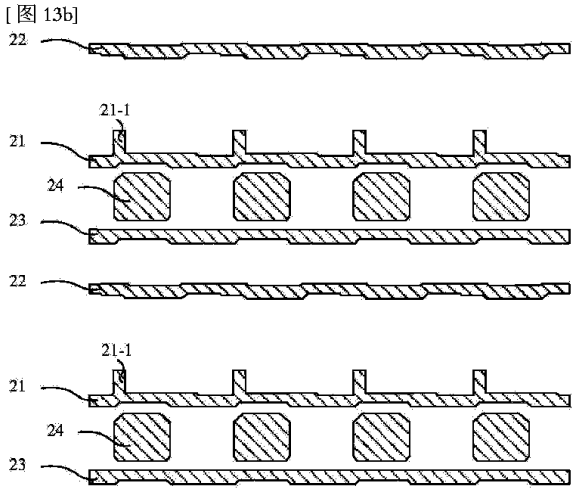
【図１３ａ】

[図 13a]



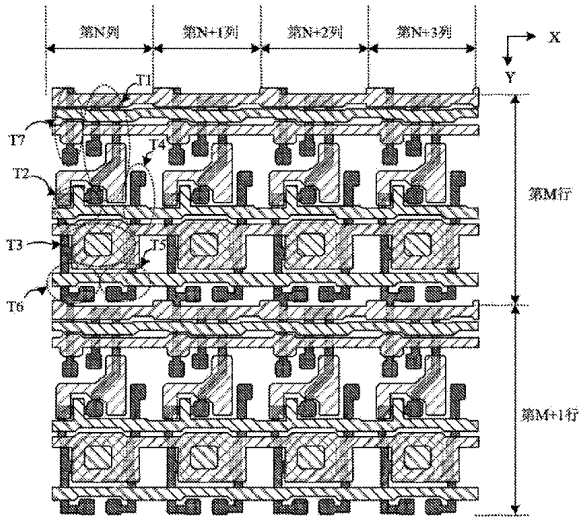
【図１３ｂ】

[図 13b]



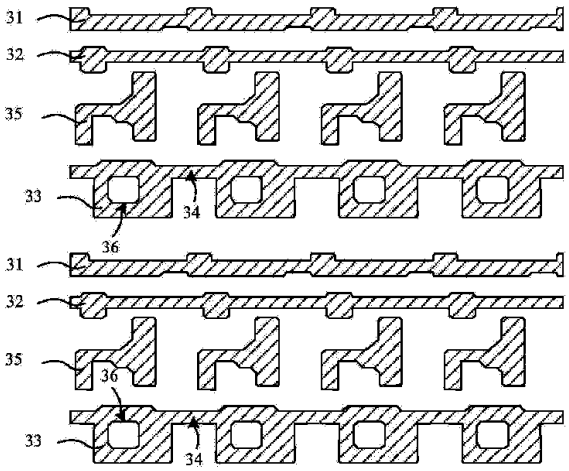
【図１４ａ】

[图 14a]



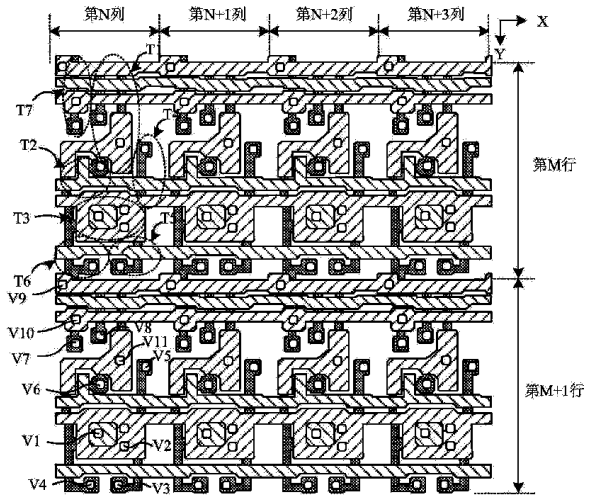
【図１４ｂ】

[图 14b]



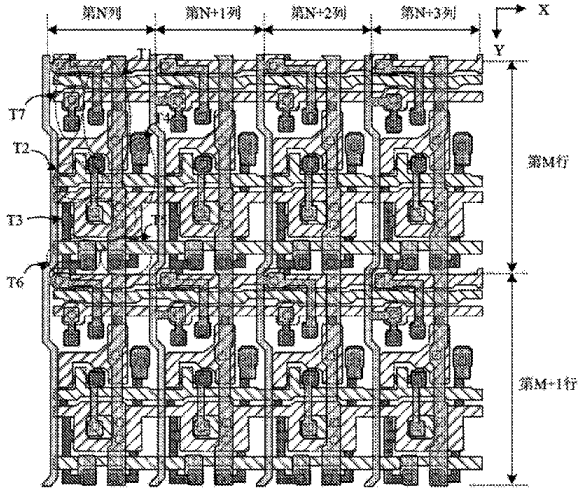
【図１５】

[图 15]



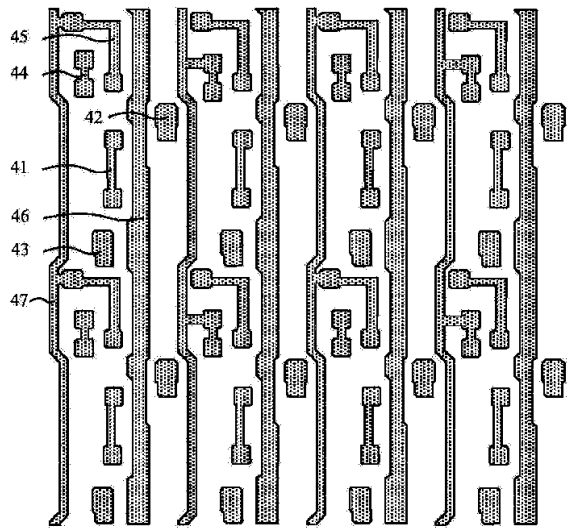
【図１６ａ】

[图 16a]



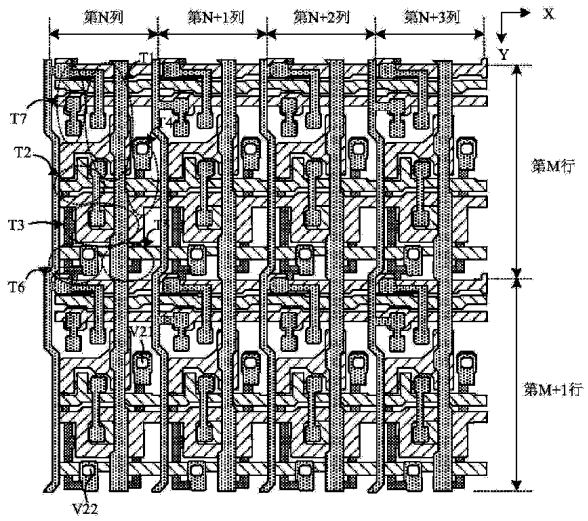
【図１６ｂ】

[図 16b]



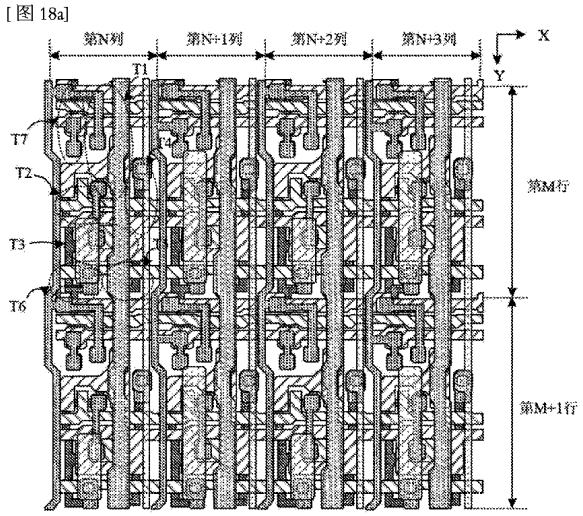
【図１７】

[図 17]



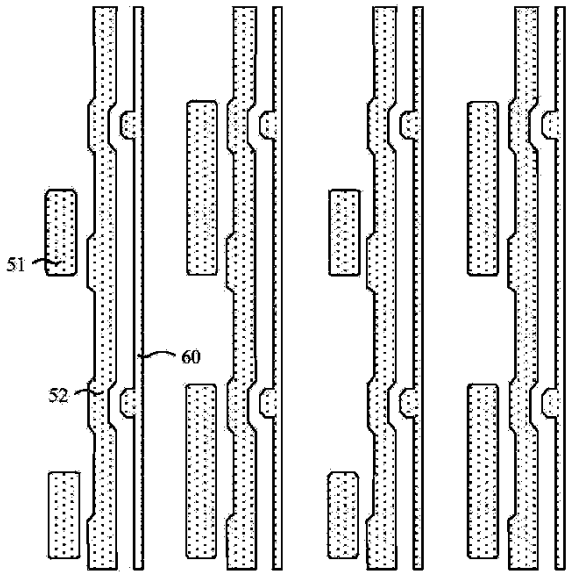
【図１８ａ】

[図 18a]



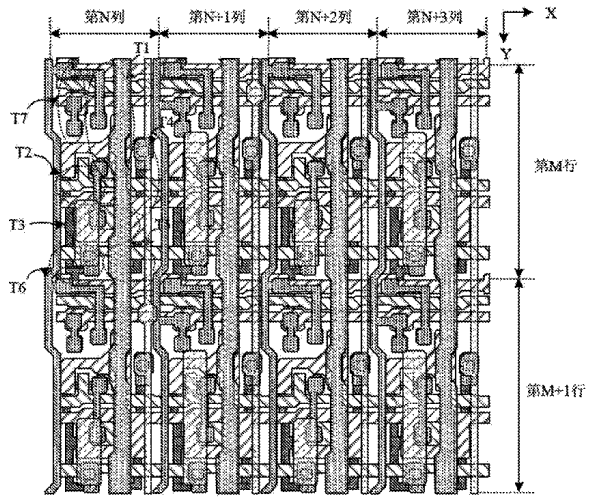
【図１８ｂ】

[図 18b]



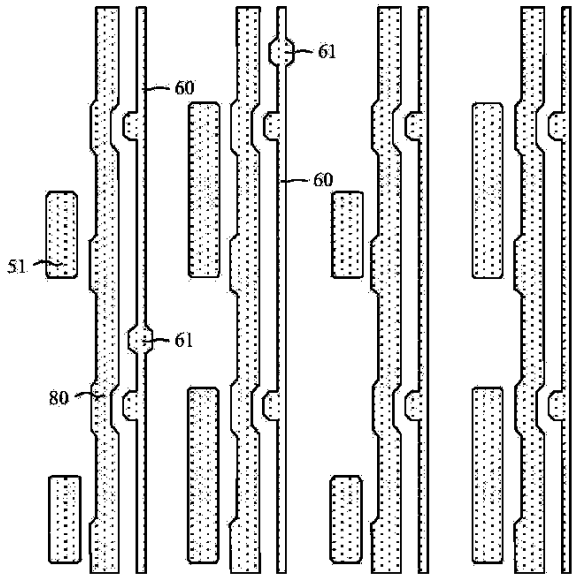
【図１８ｃ】

[图 18c]



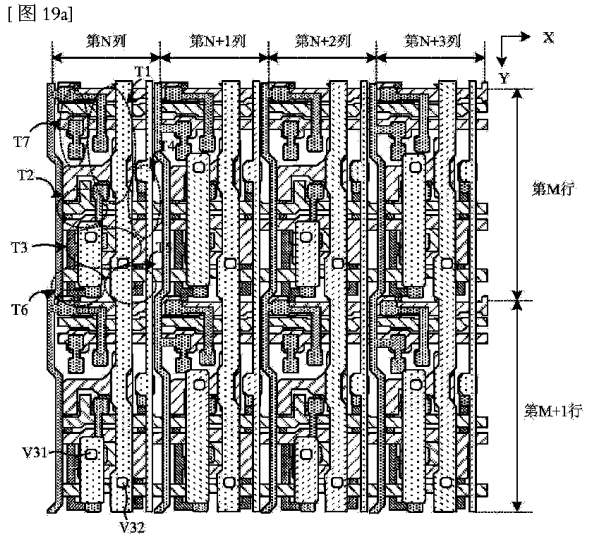
【図１８ｄ】

[图 18d]



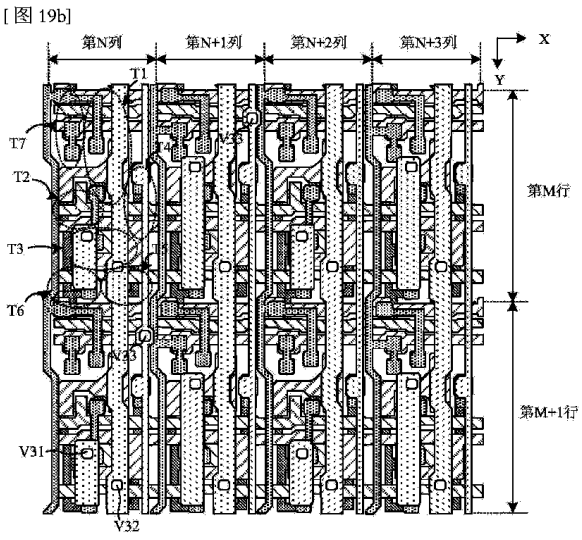
【図１９ａ】

[图 19a]



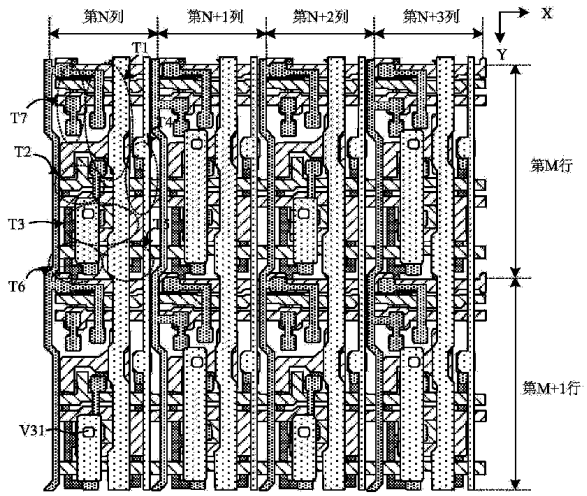
【図１９ｂ】

[图 19b]



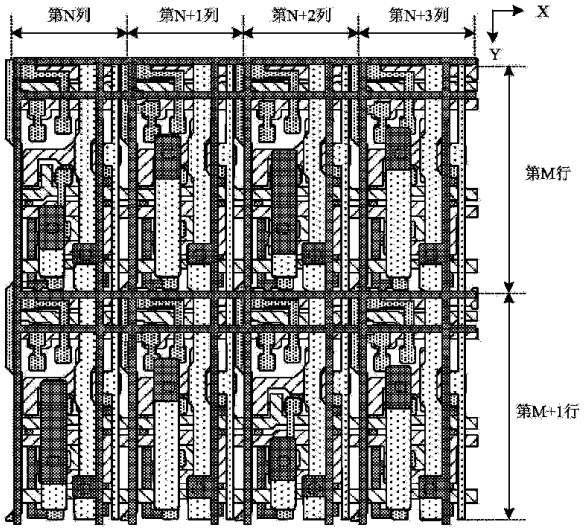
【図１９ｃ】

[图 19c]



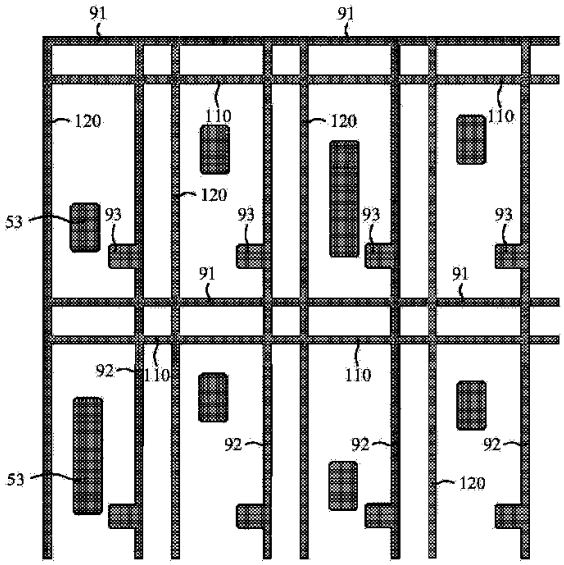
【図２０ａ】

[图 20a]



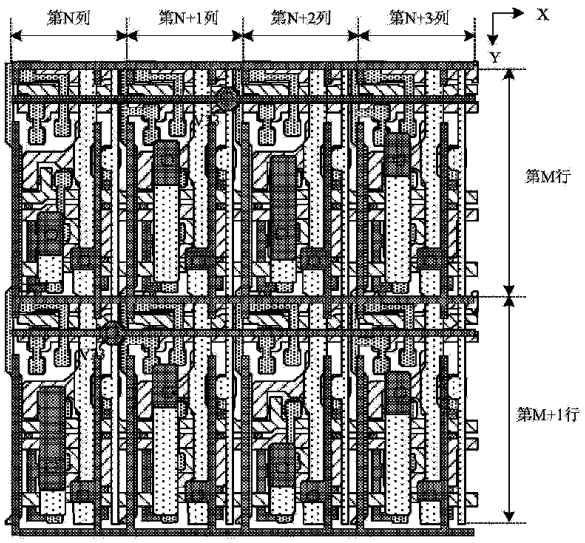
【図２０ｂ】

[图 20b]



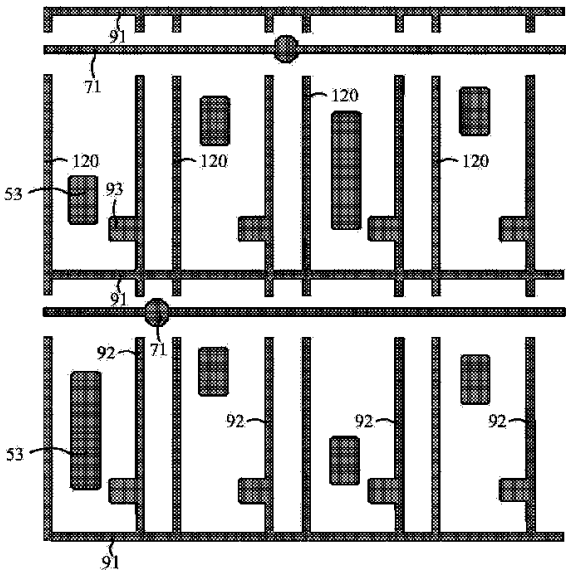
【図２０ｃ】

[图 20c]



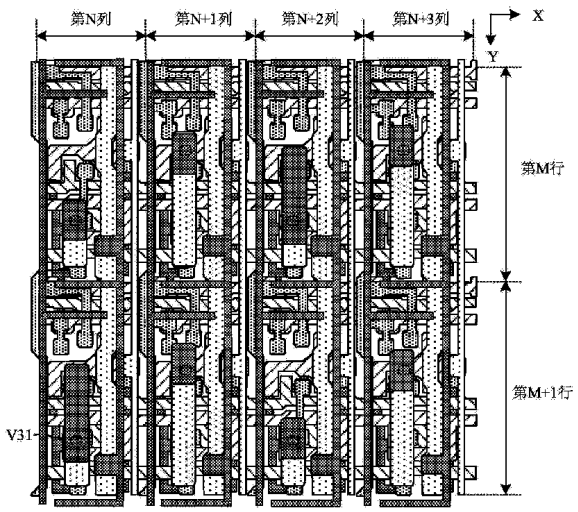
【図２０ｄ】

[図 20d]



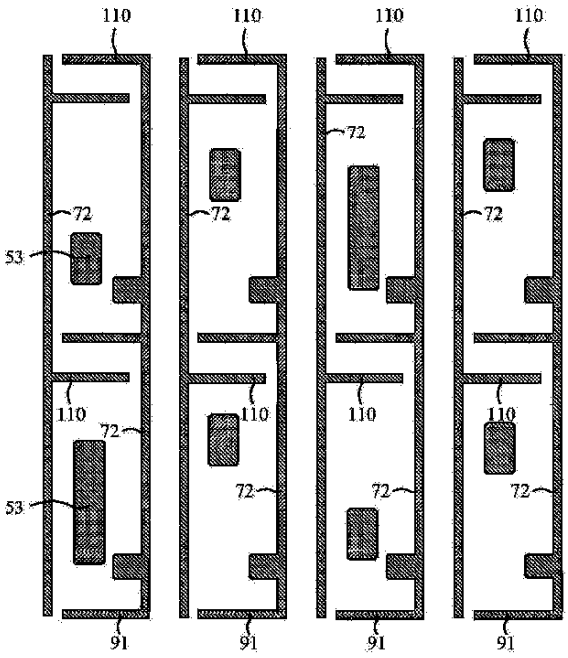
【図２０ｅ】

[図 20e]



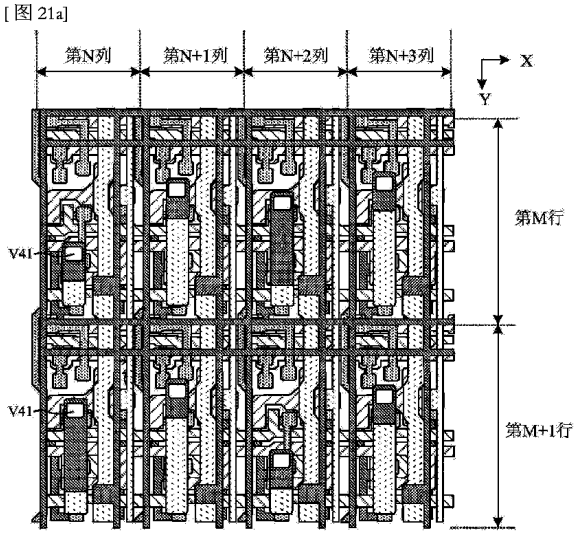
【図２０ｆ】

[図 20f]



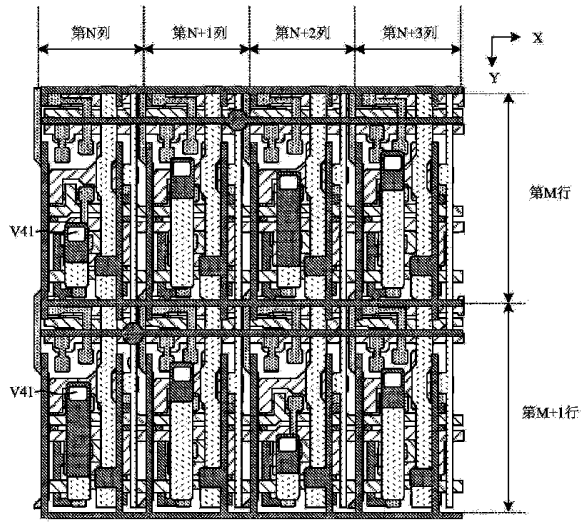
【図２１ａ】

[図 21a]



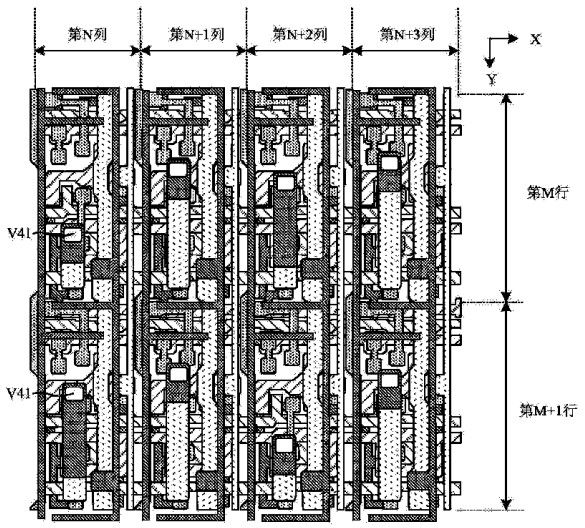
【図２１ｂ】

[図 21b]



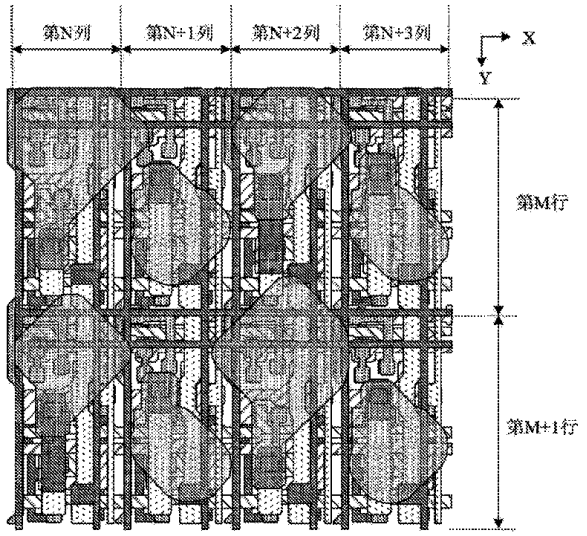
【図２１ｃ】

[図 21c]



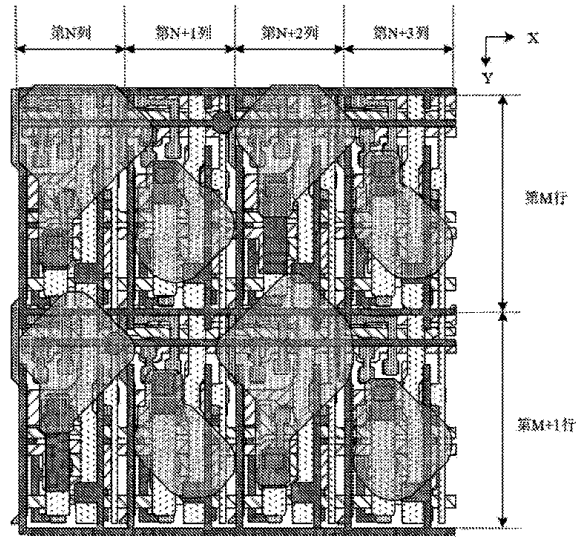
【図２２ａ】

[図 22a]



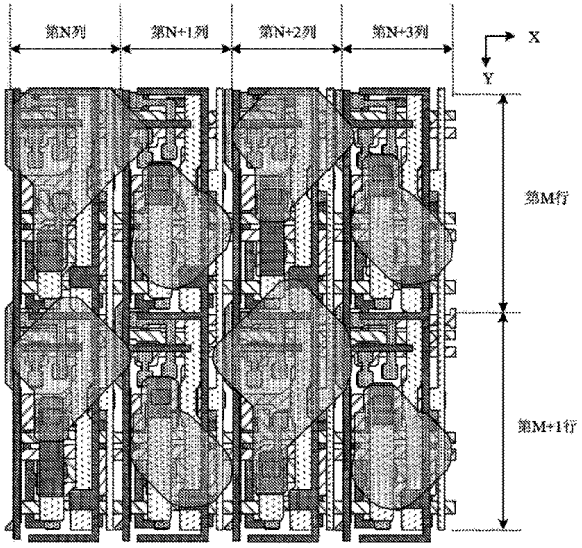
【図２２ｂ】

[図 22b]



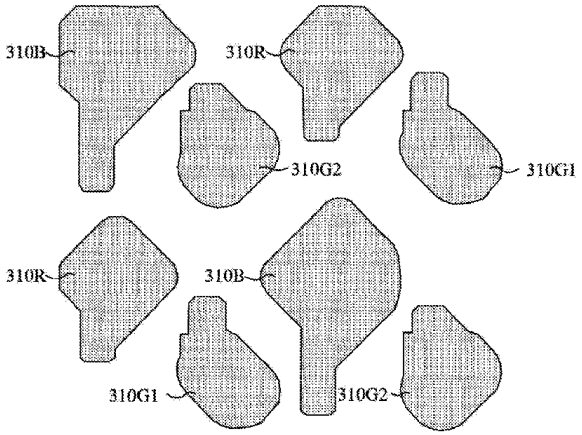
【図２２ｃ】

[図 22c]



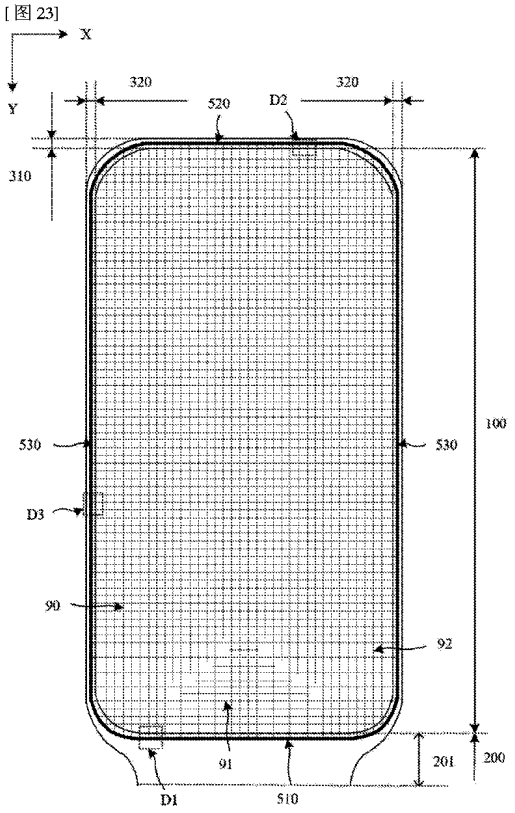
【図２２ｄ】

[図 22d]



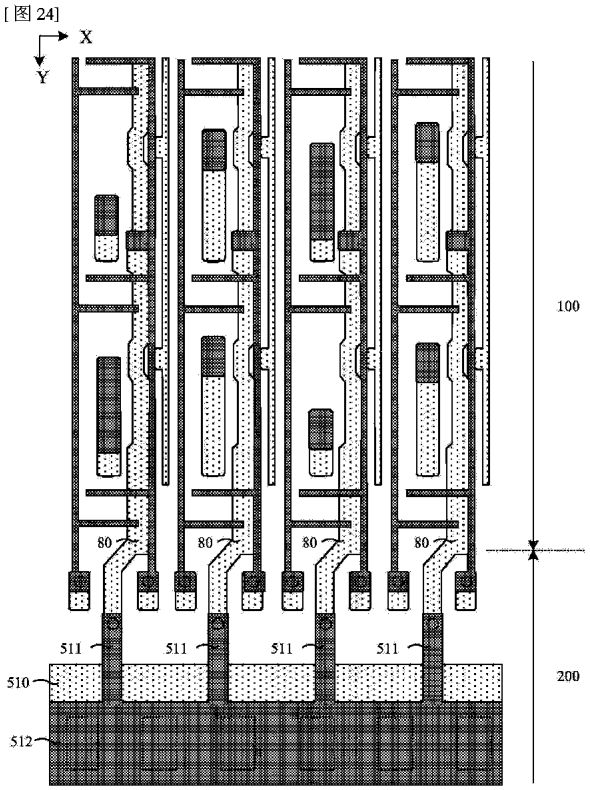
【図２３】

[図 23]

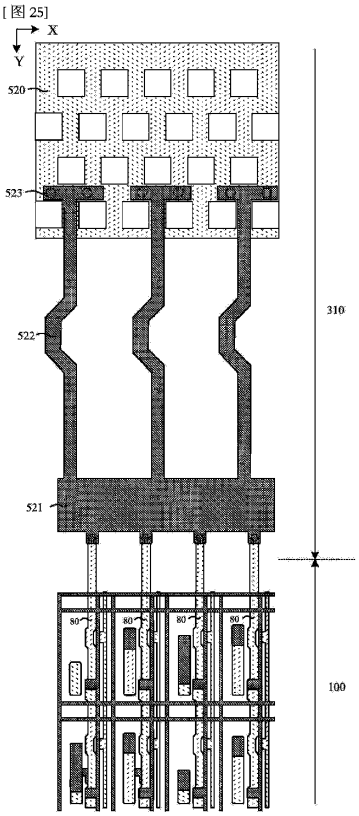


【図２４】

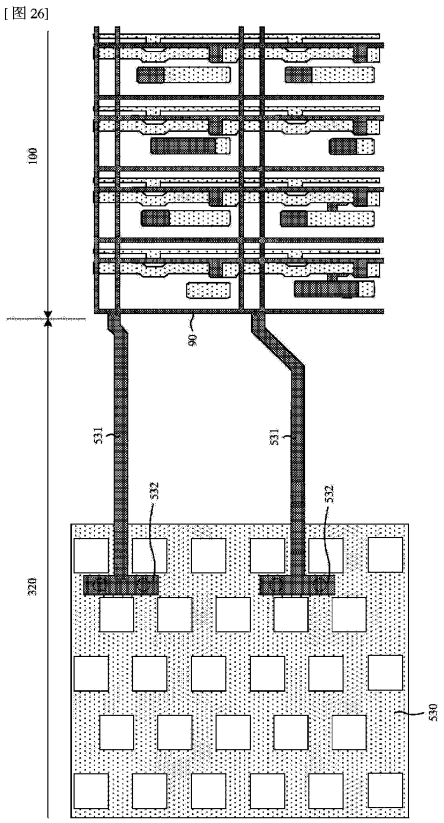
[図 24]



【図２５】



【図２６】



【国際調査報告】

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2023/099495

A. CLASSIFICATION OF SUBJECT MATTER

H10K59/00(2023.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC:H01L、H10K、G09G

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNTXT, ENTXTC, ENTXT, DWPI, CNKI, IEEE: 数据线, 连接线, 电源线, 第二方向, 补偿, 虚设, 垂直, 正交, 一致, 相同, data line, connecting line, power line, second direction, compensation, dummy, orthogonal, same

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
PX	CN 114784082 A (BOE TECHNOLOGY GROUP CO., LTD.; CHENGDU BOE OPTOELECTRONICS TECHNOLOGY CO., LTD.) 22 July 2022 (2022-07-22) entire document	1-27
X	CN 113745286 A (SAMSUNG DISPLAY CO., LTD.) 03 December 2021 (2021-12-03) description, paragraphs [0004]-[0258], and figures 1-25	1, 24-27
Y	CN 113745286 A (SAMSUNG DISPLAY CO., LTD.) 03 December 2021 (2021-12-03) description, paragraphs [0004]-[0258], and figures 1-25	2-11, 13-18, 21-27
Y	WO 2022056907 A1 (BOE TECHNOLOGY GROUP CO., LTD.; CHENGDU BOE OPTOELECTRONICS TECHNOLOGY CO., LTD.) 24 March 2022 (2022-03-24) description, page 7, line 4 to page 23, line 21, and figures 1-11	2-11, 13-18, 21-27
A	CN 111489698 A (BOE TECHNOLOGY GROUP CO., LTD.; CHENGDU BOE OPTOELECTRONICS TECHNOLOGY CO., LTD.) 04 August 2020 (2020-08-04) entire document	1-27
A	US 2022130330 A1 (BOE TECHNOLOGY GROUP CO., LTD.) 28 April 2022 (2022-04-28) entire document	1-27

☐ Further documents are listed in the continuation of Box C. ☑ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"D" document cited by the applicant in the international application
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
11 September 2023	**14 September 2023**
Name and mailing address of the ISA/CN **China National Intellectual Property Administration (ISA/CN)** **China No. 6, Xitucheng Road, Jimenqiao, Haidian District, Beijing 100088**	Authorized officer Telephone No.

Form PCT/ISA/210 (second sheet) (July 2022)

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2023/099495

Patent document cited in search report	Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
CN 114784082 A	22 July 2022	CN 114784082 B	30 September 2022
CN 113745286 A	03 December 2021	US 2021375215 A1	02 December 2021
		US 11580914 B2	14 February 2023
		KR 20210148547 A	08 December 2021
		US 2023178036 A1	08 June 2023
		EP 3916795 A1	01 December 2021
WO 2022056907 A1	24 March 2022	US 2022319438 A1	06 October 2022
		US 11620953 B2	04 April 2023
CN 111489698 A	04 August 2020	US 2022262309 A1	18 August 2022
		WO 2021213062 A1	28 October 2021
US 2022130330 A1	28 April 2022	EP 4131224 A1	08 February 2023
		EP 4131224 A4	19 July 2023
		JP 2023528699 A	06 July 2023
		WO 2021189485 A1	30 September 2021
		US 11475837 B2	18 October 2022

Form PCT/ISA/210 (patent family annex) (July 2022)

国际检索报告

国际申请号
PCT/CN2023/099495

A. 主题的分类

H10K59/00(2023.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

IPC:H01L、H10K、G09G

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称，和使用的检索词（如使用）)

CNTXT,ENTXTC,ENTXT,DWPI,CNKI,IEEE:数据线，连接线，电源线，第二方向，补偿，虚设，垂直，正交，一致，相同，data line, connecting line, power line, second direction, compensation, dummy, orthogonal, same

C. 相关文件

类 型*	引用文件，必要时，指明相关段落	相关的权利要求
PX	CN 114784082 A (京东方科技集团股份有限公司;成都京东方光电科技有限公司) 2022年7月22日 (2022-07-22) 全文	1-27
X	CN 113745286 A (三星显示有限公司) 2021年12月3日 (2021-12-03) 说明书第[0004]-[0258]段，图1-25	1、24-27
Y	CN 113745286 A (三星显示有限公司) 2021年12月3日 (2021-12-03) 说明书第[0004]-[0258]段，图1-25	2-11、13-18、21-27
Y	WO 2022056907 A1 (BOE TECHNOLOGY GROUP CO LTD;CHENGDU BOE OPTOELECT TECH CO;) 2022年3月24日 (2022-03-24) 说明书第7页第4行-第23页第21行，图1-11	2-11、13-18、21-27
A	CN 111489698 A (京东方科技集团股份有限公司；成都京东方光电科技有限公司) 2020年8月4日 (2020-08-04) 全文	1-27
A	US 2022130330 A1 (BOE TECHNOLOGY GROUP CO LTD) 2022年4月28日 (2022-04-28) 全文	1-27

☐ 其余文件在C栏的续页中列出。

☑ 见同族专利附件。

* 引用文件的具体类型：

"A" 认为不特别相关的表示了现有技术一般状态的文件

"D" 申请人在国际申请中引证的文件

"E" 在国际申请日的当天或之后公布的在先申请或专利

"L" 可能对优先权要求构成怀疑的文件，或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件（如具体说明的）

"O" 涉及口头公开、使用、展览或其他方式公开的文件

"P" 公布日先于国际申请日但迟于所要求的优先权日的文件

"T" 在申请日或优先权日之后公布，与申请不相抵触，但为了理解发明之理论或原理的在后文件

"X" 特别相关的文件，单独考虑该文件，认定要求保护的发明不是新颖的或不具有创造性

"Y" 特别相关的文件，当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时，要求保护的发明不具有创造性

"&" 同族专利的文件

国际检索实际完成的日期	国际检索报告邮寄日期
2023年9月11日	2023年9月14日
ISA/CN的名称和邮寄地址 中国国家知识产权局 中国北京市海淀区蓟门桥西土城路6号 100088	受权官员 齐哲 电话号码 (+86) 62411673

PCT/ISA/210 表(第2页) (2022年7月)

国际检索报告
关于同族专利的信息

国际申请号
PCT/CN2023/099495

检索报告引用的专利文件			公布日（年/月/日）	同族专利			公布日（年/月/日）
CN	114784082	A	2022年7月22日	CN	114784082	B	2022年9月30日
CN	113745286	A	2021年12月3日	US	2021375215	A1	2021年12月2日
				US	11580914	B2	2023年2月14日
				KR	20210148547	A	2021年12月8日
				US	2023178036	A1	2023年6月8日
				EP	3916795	A1	2021年12月1日
WO	2022056907	A1	2022年3月24日	US	2022319438	A1	2022年10月6日
				US	11620953	B2	2023年4月4日
CN	111489698	A	2020年8月4日	US	2022262309	A1	2022年8月18日
				WO	2021213062	A1	2021年10月28日
US	2022130330	A1	2022年4月28日	EP	4131224	A1	2023年2月8日
				EP	4131224	A4	2023年7月19日
				JP	2023528699	A	2023年7月6日
				WO	2021189485	A1	2021年9月30日
				US	11475837	B2	2022年10月18日

PCT/ISA/210 表(同族专利附件) (2022年7月)

フロントページの続き

(51)国際特許分類	FI	テーマコード（参考）
Ｈ１０Ｋ　59/82　(2023.01)	Ｈ１０Ｋ　59/82	

,MC,ME,MK,MT,NL,NO,PL,PT,RO,RS,SE,SI,SK,SM,TR),OA(BF,BJ,CF,CG,CI,CM,GA,GN,GQ,GW,KM,ML,MR,NE,SN,TD,TG),AE,AG,AL,AM,AO,AT,AU,AZ,BA,BB,BG,BH,BN,BR,BW,BY,BZ,CA,CH,CL,CN,CO,CR,CU,CV,CZ,DE,DJ,DK,DM,DO,DZ,EC,EE,EG,ES,FI,GB,GD,GE,GH,GM,GT,HN,HR,HU,ID,IL,IN,IQ,IR,IS,IT,JM,JO,JP,KE,KG,KH,KN,KP,KR,KW,KZ,LA,LC,LK,LR,LS,LU,LY,MA,MD,MG,MK,MN,MU,MW,MX,MY,MZ,NA,NG,NI,NO,NZ,OM,PA,PE,PG,PH,PL,PT,QA,RO,RS,RU,RW,SA,SC,SC,SD,SE,SG,SK,SL,ST,SV,SY,TH,TJ,TM,TN,TR,TT,TZ,UA,UG,US,UZ,VC,VN,WS,ZA,ZM,ZW

中華人民共和国６１１７３１四川省成都市高新區（西區）合作路１１８８號
Ｎｏ．１１８８，Ｈｅｚｕｏ Ｒｄ．，（Ｗｅｓｔ Ｚｏｎｅ），Ｈｉ－ｔｅｃｈ Ｄｅｖｅｌｏｐｍｅｎｔ Ｚｏｎｅ，Ｃｈｅｎｇｄｕ，Ｓｉｃｈｕａｎ，６１１７３１，Ｐ．Ｒ．ＣＨＩＮＡ
(74)代理人　100108453
弁理士　村山 靖彦
(74)代理人　100110364
弁理士　実広 信哉
(72)発明者　王 梦奇
中華人民共和国１００１７６北京市大▲興▼区北京▲経▼▲済▼技▲術▼▲開▼▲発▼区地▲澤▼路９号
(72)発明者　王 世▲龍▼
中華人民共和国１００１７６北京市大▲興▼区北京▲経▼▲済▼技▲術▼▲開▼▲発▼区地▲澤▼路９号
(72)発明者　于 子▲陽▼
中華人民共和国１００１７６北京市大▲興▼区北京▲経▼▲済▼技▲術▼▲開▼▲発▼区地▲澤▼路９号
(72)発明者　▲蒋▼ 志▲亮▼
中華人民共和国１００１７６北京市大▲興▼区北京▲経▼▲済▼技▲術▼▲開▼▲発▼区地▲澤▼路９号

Ｆターム（参考）　3K107　AA01 AA05 BB01 CC33 DD38 DD39 EE03 FF15 HH05
5C094　AA02 BA27 DA09 DB01