

A1

**DEMANDE
DE BREVET D'INVENTION**

(21)

N° 80 13936

(54) Convertisseur numérique/analogique du type à transistors fonctionnant en miroirs de courant.

(51) Classification internationale (Int. Cl. 3). H 03 K 13/02.

(22) Date de dépôt..... 23 juin 1980.

(33) (32) (31) Priorité revendiquée : US, 22 juin 1979, n° 50.961.

(41) Date de la mise à la disposition du
public de la demande..... B.O.P.I. — « Listes » n° 4 du 28-1-1983.

(71) Déposant : Société dite : AMERICAN MICROSYSTEMS, INC. — US.

(72) Invention de : Roger A. Mao.

(73) Titulaire : *Idem* (71)

(74) Mandataire : Bureau D. A. Casalonga,
8, av. Percier, 75008 Paris.

Convertisseur numérique/analogique du type à transistors fonctionnant en miroirs de courant.

5 La présente invention concerne les dispositifs électro-
niques pour la conversion de données numériques en une sortie
analogique et elle a trait, plus particulièrement, à un dispo-
sitif qui peut être conçu comme dispositif intégré du type MOS
fabriqué de façon monolithique.

10 Les convertisseurs numériques-analogiques et analogiques-
numériques sont nécessaires pour un grand nombre d'appareils
électroniques chaque fois qu'il est nécessaire, en fait, de
traiter des données analogiques par des opérations numériques
et vice versa. Dans la transmission des informations vocales
15 par téléphone, il est souhaitable de transformer le signal
vocal analogique en un format numérique pour réduire notablement
les effets du bruit et de la distorsion de signaux normalement
introduits. En d'autres termes, un signal numérique consistant
en des niveaux zéro et un est plus facile à reconstituer ou à
20 amplifier fidèlement qu'un signal analogique constitué par un
grand nombre de niveaux. Par conséquent, un besoin particulier
de convertisseurs efficaces numériques-analogiques se fait
sentir dans les systèmes téléphoniques modulés par impulsions
codées (PCM).

25 Dans ces systèmes de communication, on utilise un codeur-
décodeur (CODEC). Dans la section codeur, une entrée vocale
analogique est convertie en des données numériques en vue d'une
transmission sur une ligne téléphonique et, dans la section
décodeur, il faut procéder à une conversion numérique-analogique
pour rétablir le son de la voix après la transmission.

30 Jusqu'à présent, ces conversions étaient effectuées à
l'aide de convertisseurs rapides A-N et N-A multiplexés sur de
nombreux canaux analogiques. En utilisant les techniques
d'intégration à grande échelle, on codait chaque canal sépa-
rément et on multiplexait les signaux numériques résultants.

35 Avec les efforts pour obtenir un système CODEC (codeur-
décodeur) sous la forme d'un ou de plusieurs dispositifs semi-
conducteurs à circuits semi-intégrés, un problème s'est posé
quant à l'obtention d'un convertisseur approprié A-N et N-A

sous une forme semi-conductrice plus efficace. Une tentative pour résoudre le problème a consisté à utiliser ce que l'on appelle un circuit itératif ou réseau de condensateurs qui dépend fondamentalement de la division de tension du réseau lui-même. Dans un tel dispositif, une série de condensateurs du type binaire est pourvue d'une plaque commune et de plaques inférieures de différentes tailles et présentant ainsi des valeurs attribuées différentes. Quand les tensions sont appliquées aux plaques inférieures des condensateurs, puis sur la plaque supérieure de la rangée elle-même, on obtient une tension qui est une somme binaire de tous les "poids" des tensions capacitatives sur la plaque inférieure. De ce fait, dans un convertisseur N-A, une série de tensions numériques appliquées aux plaques inférieures du réseau de condensateurs fournit une sortie analogique sur les plaques supérieures. La précision de la sortie dépend en partie du nombre de condensateurs.

Un des problèmes dans la fabrication d'un tel convertisseur à réseau capacitif sous une forme semi-conductrice réside dans les complications inhérentes à la mise au point d'un procédé spécial avec un minimum de phases supplémentaires dans le procédé pour obtenir les condensateurs avec les caractéristiques électriques nécessaires ainsi qu'avec les tolérances de précision. Un autre inconvénient de la technique à réseau capacitif réside dans le fait qu'elle exige l'utilisation d'un amplificateur tampon pour la plupart des applications. Ceci complique encore le circuit ainsi que les phases nécessaires du procédé.

La présente invention permet d'obtenir un convertisseur numérique-analogique utilisant uniquement des éléments MOSFET dans un dispositif à circuit intégré qui n'est pas basé sur les réseaux de condensateurs et qui, de ce fait, évite les problèmes et les inconvénients précités.

Conformément aux moyens généraux de la présente invention, on obtient un convertisseur numérique-analogique qui utilise des miroirs de courant MOS commandés. Dans un tel miroir, le rapport du courant saturé de l'électrode de drain des deux transistors reliés MOS est proportionnel aux largeurs de leurs canaux en supposant que leur mobilité superficielle, leurs

épaisseurs d'oxydes, leurs longueurs de canaux, leurs seuils de dispositifs et leurs tensions des grilles ont une valeur identique. Le courant de sortie est produit par le transistor MOS fonctionnant en miroir du point de vue électrique. Dans la connexion entre les deux dispositifs MOS, une porte de transmission en combinaison avec un autre dispositif de commutation fournit une commande "tout ou rien" de la sortie de courant "réflétée". Dans un convertisseur type, les transistors MOS fonctionnant en miroirs et commandés par des portes de transmission à l'aide de leur dispositif de commande sont reliés en parallèle. Chaque porte de transmission est reliée à une source de données numériques, par exemple un microprocesseur, et le dispositif fonctionnant en miroir pour chaque porte de transmission a une largeur de canal présentant une certaine relation proportionnelle prédéterminée vis-à-vis des largeurs de canaux du transistor d'entrée et du transistor de sortie fonctionnant en miroir. De ce fait, lorsque le transistor d'entrée est relié à une source I_1 de courant constant, le courant de sortie réfléchi total I_2 des transistors de sortie fonctionnant en miroir, courant qui se présente sous une forme analogique, varie en fonction des contributions de courant réfléchi par les transistors MOS fonctionnant en miroir au cours de l'opération de quantification lorsque ces transistors sont rendus actifs. Les moyens généraux précités de la présente invention peuvent être appliqués pour réaliser des convertisseurs linéaires de multiplication et de compression fabriqués comme des structures soit à canal P, soit à canal N, soit complémentaires.

En bref, les objets de la présente invention sont :

l'obtention d'un convertisseur numérique-analogique utilisant des dispositifs MOS et pouvant, par conséquent, être fabriqués à l'aide des techniques classiques ou connues faisant appel au procédé MOS; l'obtention d'un convertisseur numérique-analogique sous la forme d'un circuit intégré monolithique avec un minimum de surface de puce; et l'obtention d'un convertisseur N/A qui peut être réalisé sous diverses formes pour s'adapter à différents appareils électroniques.

D'autres objets, avantages et caractéristiques de la

présente invention apparaîtront au cours de la description détaillée donnée ci-après en référence aux dessins annexés, sur lesquels :

la figure 1A est un schéma de circuit d'un "miroir" de courant MOS à canal N;

la figure 1B est un schéma de circuit d'un miroir de courant MOS à canal P;

la figure 2A est un schéma de circuit d'un miroir de courant MOS à canal N commandé;

la figure 2B est le circuit de la figure 2A utilisant un symbole logique pour les éléments de grille de commande avec le miroir de courant;

la figure 2C est un schéma de circuit d'un miroir de courant MOS à canal P;

la figure 2D est le circuit de la figure 2A utilisant un symbole logique pour les éléments de commande avec le miroir de courant;

la figure 3 est un schéma de circuit d'un convertisseur numérique/analogique à miroirs de courant linéaires à canal N à six bits, ce convertisseur étant réalisé conformément aux moyens généraux de la présente invention;

la figure 4 est un schéma de circuit d'un convertisseur numérique/analogique à miroirs de courant linéaires CMOS à six bits, ce convertisseur étant réalisé conformément à la présente invention;

la figure 5 est une représentation graphique de la loi " $\mu 255$ " pour un codeur numérique;

la figure 6A est un schéma de circuit pour un convertisseur numérique/analogique de compression à miroirs de courant non linéaires, ce convertisseur étant réalisé conformément aux moyens généraux de la présente invention;

la figure 6B est un schéma de circuit d'un élément de grille ou porte de commande de miroir de courant à canal P utilisé dans le convertisseur de la figure 6A;

la figure 6C est un schéma de circuit d'un élément de grille ou porte de commande de miroir de courant à canal N utilisé pour obtenir les paliers de la loi " $\mu 255$ " dans le convertisseur de la figure 6A;

la figure 6D est un schéma de circuit d'un élément de grille ou porte de commande de miroir pour obtenir les parties segmentaires de la loi " μ 255" dans le convertisseur de la figure 6A;

la figure 7 est un schéma synoptique montrant un agencement pour multiplier les signaux en utilisant des convertisseurs numériques/analogiques à miroirs de courant selon la présente invention; et

la figure 8 est un schéma synoptique montrant un convertisseur numérique/analogique à miroirs de courant dans un circuit d'approximation successive pour réaliser un convertisseur analogique/numérique.

En se référant aux figures 1A, 1B, on voit que celles-ci montrent schématiquement une forme fondamentale d'un miroir de courant 10 utilisant des éléments MOSFET. Dans la version MOS à canal N de la figure 1A, on utilise une paire d'éléments MOSFET 12 et 14 dont les grilles sont reliées par un conducteur commun 16 et dont les contacts de source sont reliés à une masse commune 12. Le conducteur 20 relié à l'électrode de drain d'un des éléments est branché par un conducteur 22 au conducteur commun 16 de grille de sorte que la tension appliquée aux grilles des deux éléments MOSFET est identique.

Le rapport des courants saturés de drain des deux éléments dans le miroir peut être exprimé comme suit :

$$\frac{I_2}{I_1} = \frac{(\mu_2 \epsilon_{ox} W_2 / 2T_{ox_2} L_2) (V_{G2} - V_{T2})^2}{(\mu_1 \epsilon_{ox} W_1 / 2T_{ox_1} L_1) (V_{G1} - V_{T1})^2} \quad (\text{Equation 1})$$

En supposant que les mobilités superficielles (μ), les épaisseurs d'oxydes (T_{OX}), la longueur de canal (L) et les seuils de dispositif (V_T) ont des valeurs égales et en remarquant que les tensions de grille (V_G) des deux éléments MOSFET 12 et 14 sont, du point de vue électrique, identiques en valeur, l'équation devient, par réduction :

$$I_2 = \frac{W_2}{W_1} I_1 \quad (\text{Equation 2})$$

où W_2 et W_1 sont les largeurs de canaux des éléments MOSFET 12 et 14.

Cette relation montre que, d'une façon idéale, le courant I_2 de réflexion dans le conducteur 24 relié au drain pour l'élément MOSFET 14 est fonction à la fois du courant d'entrée I_1 et des largeurs de canaux du dispositif. Dans la réalité, certains des paramètres de l'équation 1 varient dans une certaine mesure en fonction des variations dans les règles de traitement et de dispositions constructives ainsi que dans les paramètres électriques. Toutefois, ces variations peuvent être maintenues à un minimum par des contrôles de conception et de production de sorte que, essentiellement, la relation de l'équation 2 est valable sans introduction de facteur de compensation. Ceci est également vrai pour la version MOS à canal P du circuit formant miroir de courant et représenté sur la figure 1B où la source de chaque transistor est reliée à une source électrique positive (V_{DD}).

Le miroir de courant représenté sur les figures 1A et 1B ne se prête pas à une commande facile de sorte que, pour résoudre ce problème, comme on l'a représenté sur la figure 2A, on coupe le conducteur 16 entre les deux éléments de courant 12 et 14 et on insère une porte de transmission 26 comprenant une paire supplémentaire d'éléments MOSFET 28 et 30. A la grille du premier élément MOSFET 28 est appliquée une tension de commande C. Le drain de l'élément MOSFET 28 est relié au côté I_1 du conducteur 16 et la source de cet élément est reliée au côté I_2 du conducteur 16. A la grille du second élément MOSFET 30 est appliquée une tension de commande inversée $\bar{C}$ qui est obtenue par application de la tension de commande C à un inverseur 32. La source de l'élément MOSFET 14 est reliée au conducteur 18 de courant I_1 et le drain de cet élément MOSFET 14 est relié au conducteur 24 de courant I_2 . Pour empêcher la grille de l'élément de sortie 14 de "flotter" quand les éléments MOSFET 28 et 30 ne sont pas conducteurs, on utilise un autre dispositif MOSFET 34 dont le drain est relié au conducteur commun 16, la source est reliée à la masse et la grille reçoit la tension de commande inversée (dans la version MOS à canal N de la figure 2A). L'élément 34 est essentiellement un transistor "d'abaissement", qui lorsqu'il est rendu actif, "abaisse" la tension de la grille de l'élément 14 fonction-

nant en miroir et, par conséquent, rend celui-ci non conducteur. Dans certains cas, il n'est pas nécessaire d'utiliser le dispositif 34.

De ce fait, quand un signal (par exemple un signal logique 1) est appliqué à la porte de transmission 26, la porte est "conductrice" et le transistor d'abaissement 34 est "non conducteur", de sorte que la tension de miroir est appliquée, à partir du premier transistor 12, au second transistor 14, c'est-à-dire le transistor fonctionnant en miroir. Inversement, si le signal de commande "C" est bas, c'est-à-dire s'il s'agit d'un signal logique "0", alors le transistor 28 formant porte de transmission est "non conducteur" et le transistor d'abaissement 34 est "conducteur". Ceci a pour effet de rendre "non conducteur" le transistor 14 fonctionnant en miroir. On obtient donc une commande tout ou rien du courant I_2 qui peut être représentée par l'équation suivante :

$$I_2 = \frac{W_2}{W_1} CI_1 \quad (\text{Equation 3})$$

où "C" est le bit de commande (zéro ou un).

La figure 2B est une représentation du circuit de la figure 2A dans lequel on utilise un élément de logique et de porte 36 pour symboliser la porte de transmission 26 et le transistor d'abaissement 34, circuit que l'on appellera par la suite grille ou porte de commande.

Sur la figure 2C, on a représenté un mode de réalisation MOS à canal P du circuit de miroir fondamental muni des mêmes éléments de commande que la version MOS à canal N de la figure 2A. Ici, l'entrée de commande C est appliquée à la grille de l'autre transistor 34a "d'élévation". Les sources des dispositifs MOS 12a et 14a sont reliées à une source d'énergie positive (V_{DD}) tandis que le drain du transistor 12a est relié à une source de courant I_1 et le drain du transistor 14a fournit la sortie de courant pondéré du circuit. Le diagramme utilisant un symbole logique pour la porte de transmission et son dispositif de commande que l'on a désigné par la référence 36a est représenté sur la figure 2B.

La figure 3 montre un convertisseur numérique-analogique

40 à miroir de courant linéaire à canal N à six bits comprenant une série de cellules-miroirs 42 branchées en parallèle et dont chacune est similaire à la cellule de la figure 2B. Chaque cellule est constituée par une porte de commande 36 et un transistor 44 faisant office de miroir. Dans ce convertisseur, la largeur de canal de chaque transistor fonctionnant en miroir est proportionnée avec soin et, dans une application normale, est égale à la moitié de la largeur de canal du transistor-miroir de la cellule immédiatement adjacente en direction du transistor d'entrée 12. Le convertisseur 40 comprend donc un conducteur d'entrée 20 relié à une source électrique fournissant un courant constant I_1 et au drain du premier transistor ou transistor d'entrée 12 dont la borne de source est reliée à un conducteur de masse commun 18.

Le conducteur d'entrée 20 est également relié à un conducteur de branchement commun 46 auquel chacune des autres portes de commande 36 est reliée par un conducteur 48. Chacune de ces portes de transmission comporte un autre conducteur d'entrée 50 qui est relié à une source de tension de commande, par exemple C_0, C_1, C_2, C_3, C_4 et C_5 . La sortie de chaque porte de commande 36 est reliée à l'électrode de grille du transistor 44 fonctionnant en miroir et dont la source est reliée à la ligne de masse 18 et les bornes de drain sont reliées à une ligne commune 52 fixée à la ligne de sortie 24 du premier transistor 14 fonctionnant en miroir. Dans ce convertisseur 40, le premier transistor 14 fonctionnant en miroir présente une largeur unité 1W et la cellule adjacente présente deux fois la largeur de canal d'unités 2. Le transistor suivant fonctionnant en miroir présente une largeur de canal d'unités 4. Le transistor suivant fonctionnant en miroir présente une largeur de canal d'unités 8, le transistor suivant une largeur d'unités 16 et le transistor venant à la suite dans l'ordre présente une largeur de canal de 32, le transistor d'entrée 12 étant relié directement à la source électrique I_1 ayant une largeur de canal d'unités 64.

De ce fait, pour le convertisseur 40 de la figure 3, le courant de sortie I_2 peut être représenté mathématiquement comme suit :

$$I_2 = \left(\frac{32}{64} C_5 + \frac{16}{64} C_4 + \frac{8}{64} C_3 + \frac{4}{64} C_2 + \frac{2}{64} C_1 + \frac{1}{64} C_0 \right) I_1$$

(Equation 4)

5

Dans le fonctionnement du convertisseur numérique/analogique 40, le conducteur 20 est relié à la source d'énergie de référence qui produit un courant constant I_1 et le conducteur 24 de sortie I_2 est relié à un dispositif qui est adapté pour recevoir le signal de sortie analogique engendré. Les entrées de commande ou de données C_0 à C_5 sont reliées à une entrée de données à six bits de la source numérique devant être convertie. Quand toutes les entrées de données sont zéro, aucun courant ne circule dans le conducteur de sortie 24 car toutes les portes de transmission 36 sont "non conductrices" et leurs transistors d'abaissement respectifs sont "conducteurs", ce qui a pour effet de maintenir "non conducteur" chaque transistor 44 fonctionnant en miroir. Si l'une des entrées numériques est à un niveau haut, c'est-à-dire au niveau logique 1, par exemple si l'entrée C_0 est à un niveau haut et si toutes les autres entrées sont à un niveau bas, alors I_2 sera égal à $1/64$ du courant de I_1 car le rapport des largeurs de canaux de ces deux dispositifs est 1 à 64 et le dispositif recevant l'entrée C_0 réfléchit à la façon d'un miroir le courant I_1 du dispositif d'entrée en proportion de l'entrée et des largeurs de canaux du dispositif faisant office de miroir. Si l'entrée C_0 change alors d'état (devient zéro) et si C_1 change d'état, le dispositif renvoie de nouveau, à la façon d'un miroir, le courant I_1 mais cette fois dans le rapport de 2 à 64. Cette relation binaire s'applique également si différentes combinaisons d'entrée de C_0 à C_5 sont choisies et le courant de sortie I_2 varie en conséquence. Dans une application type, les entrées de données C_0 à C_5 peuvent être reliées à un microprocesseur, ou autre appareil analogue, qui fournit les données numériques en groupe de bits dans un flot de données rythmées. Selon la résolution voulue, on peut appliquer dans les limites pratiques tout nombre d'entrées de bits autres que six et, bien entendu, la résolution de

l'entrée analogique augmente avec le nombre d'entrées de commande fournies. De plus, un convertisseur N/A, tel qu'on vient de le décrire, pourrait être fabriqué suivant l'un ou l'autre des agencements MOS à canal N (comme illustré) ou à canal P en utilisant les règles de conception et les techniques de traitement classiques planar ou V-MOS.

Une variante de l'invention représentée sur la figure 4 est donnée à titre d'exemple par un convertisseur numérique-analogique 60 à miroirs de courant linéaires MOS complémentaires (CMOS) à six bits. Ici, l'entrée de courant constant (I_1) est reliée par un conducteur 20 au drain d'un premier transistor d'entrée 12 dont la source est reliée à la masse dans la section 62 de canal N du convertisseur. La grille du transistor d'entrée 12 est reliée à la grille d'un transistor 64 à courant non commandé faisant office de miroir, ce transistor ayant la même taille, et les grilles de ces deux transistors sont reliées à la source de courant constant (I_1) par l'intermédiaire d'un conducteur 66. Trois éléments de portes de commande 66, 68 et 70 sont aussi reliés aux transistors 12 et 64, tous ces éléments étant similaires aux éléments représentés sur la figure 2B et chacun d'eux comprenant une porte de transmission dont la sortie est reliée à la grille d'un transistor 44 fonctionnant en miroir. L'une des entrées 72 de chaque grille de commande est reliée au conducteur 20 d'entrée I_1 par l'intermédiaire d'un conducteur commun 74 et son autre entrée 76 est reliée à une entrée C_0, C_1, C_2 de données numériques. Chacun des transistors 44 fonctionnant en miroir présente une largeur de canal qui a un certain rapport de dimension prédéterminé vis-à-vis du transistor d'entrée 12. Ainsi, la première porte de transmission comportant une entrée de données " C_0 " comprend un transistor de commande présentant une largeur de canal " $1W$ ". La porte de transmission adjacente ou seconde porte de transmission comportant une entrée de données " C_1 " comprend un transistor de commande ayant une largeur de canal de $2W$, et la troisième porte de transmission comportant une entrée numérique " C_2 " comprend un transistor de commande ayant une largeur de canal de " $4W$ ".

Dans la section supérieure 78 de canal P du convertisseur 60, un transistor 14a fonctionnant en miroir est relié par sa source à une source électrique constante (V_{DD}) et par son drain à la borne de sortie analogique 80. Un second transistor 82, dont la grille est commune est aussi relié par sa source à la ligne V_{DD} mais sa largeur de canal a une dimension prédéterminée supérieure (par exemple 8W) à celle du transistor 14a. Les grilles des transistors 14a et 82 sont reliées au drain du transistor 82 et, par l'intermédiaire d'un conducteur 84, au drain des trois transistors de commande 44 des éléments de porte 66, 68 et 70 de la section de canal N. En parallèle avec le drain du transistor 14a sont branchés des transistors de commande 86 pour trois transistors 86 fonctionnant en miroir avec leurs éléments de porte associés 88, 90 et 92 tous reliés essentiellement de la même manière que celle représentée sur la figure 2C. Un sixième transistor 96 de la section de canal P ayant une largeur de canal de 8W est également relié par sa source à la ligne V_{DD} 94 et son drain est relié par l'intermédiaire d'un conducteur 98 en parallèle avec les conducteurs d'entrée 100 des trois portes de transmission à canal P. Ici encore, chaque transistor 86 fonctionnant comme un miroir et destiné à chaque élément de porte de commande présente une largeur de canal qui est dimensionnée, suivant une proportion prédéterminée, au transistor 96 et la source de chaque transistor de commande est reliée à une ligne commune V_{DD} 94. Les largeurs de canaux des transistors des éléments de grille ou porte de commande 88, 90 et 92 sont 1W, 2W, 4W, comme indiqué sur le dessin. Les portes de commande 88, 90 et 92 à canal P sont toutes munies d'une autre entrée qui arrive de la source de données numériques. L'élément de porte 88 reçoit donc une entrée C_3 par l'intermédiaire du conducteur 99, l'élément de porte 90 reçoit une entrée C_4 par l'intermédiaire du conducteur 100 et l'élément de porte 92 reçoit une entrée C_5 par l'intermédiaire du conducteur 101.

En ce qui concerne le convertisseur 60, la valeur du courant de sortie I_4 peut être trouvée comme suit :

$$I_4 = \left(\frac{4}{8}C_5 + \frac{2}{8}C_4 + \frac{1}{8}C_3\right)I_2 + \frac{1}{8}I_3; \text{ MAIS } I_3 = \left(\frac{4}{8}C_2 + \frac{2}{8}C_1 + \frac{1}{8}C_0\right)I_1$$

5

$$I_4 = \left(\frac{4}{8}C_5 + \frac{2}{8}C_4 + \frac{1}{8}C_2\right)I_1 + \frac{1}{8}\left(\frac{4}{8}C_2 + \frac{2}{8}C_1 + \frac{1}{8}C_0\right)I_1; \text{ OU (MULT. LE 1er TERME PAR } \frac{8}{8})$$

$$I_4 = \left(\frac{32}{64}C_5 + \frac{16}{64}C_4 + \frac{8}{64}C_3 + \frac{4}{64}C_2 + \frac{2}{64}C_1 + \frac{1}{64}C_0\right)I_1 \quad (\text{Equation 5})$$

10

Quand il fonctionne, le convertisseur 60 remplit sa fonction de conversion numérique/analogique comme suit. On va supposer que tous les bits de données numériques C_1 à C_5 sont un zéro logique à l'exception de C_0 , le circuit sur son extrémité de gauche est, comme représenté sur la figure 4, un miroir strict de courant sans aucune commande et engendre un courant I_2 à partir de l'entrée de courant constant I_1 . Dans l'exemple représenté, I_2 doit être égal à I_1 car le rapport du transistor 12 et son transistor 64 faisant office de miroir est 8W comparé à 8W. Le courant I_2 est appliqué à la section supérieure 78 de miroir de courant mais, du fait que les bits C_3 , C_4 et C_5 sont de niveau bas, c'est-à-dire zéro, les dispositifs supérieurs fonctionnant en miroir ne sont pas conducteurs. Du fait que C_1 et C_2 sont également zéro, ces dispositifs ne sont pas conducteurs et un courant I_3 est engendré strictement par C_0 . Du fait que le transistor de commande pour la porte de transmission 70 a une largeur de canal de 1W, la valeur de I_3 est 1/8 de I_1 . I_3 est appliqué au transistor 82 dans la section supérieure ou section de miroir 78 à canal P par l'intermédiaire du conducteur 84 où il se scinde de manière à présenter une résolution plus fine. Du fait que le transistor 82 a une largeur de canal de 8W et que son transistor formant miroir 14a a une largeur de 2W, le courant de sortie I_4 se trouve réduit proportionnellement, c'est-à-dire $1/8 \times 1/8 = 1/64$ de la valeur I_1 .

35

Dans un autre exemple, si C_0 est rendu non conducteur

et si C_1 se trouve à un niveau haut ou niveau 1, alors I_3 est égal à $2/8$ ou $1/4$ de la valeur de I_1 et, dans la seconde section ou section de miroir à canal P, la valeur du courant de sortie I_4 devient égale à $1/8 \times 2/8$, c'est-à-dire à
5 $2/64$ de la valeur du courant d'entrée I_1 . Si on suppose que C_0 , C_1 et C_2 sont tous à un niveau bas et que C_5 est à un niveau logique 1, la section inférieure ou section de miroir à canal N du convertisseur 60 engendre un courant I_2 qui pénètre dans le transistor 96 et qui est réfléchi par le tran-
10 sistor 86 dont la largeur de canal est $4W$ et qui engendre un courant égal à $4/8$ de I_2 . Par une sommation simple, I_4 est égal à $4/8$ de I_1 . On voit donc que le circuit de la figure 4 constitue un réseau de commande de courant du type linéaire.

Du fait que la voix humaine recouvre une large gamme
15 d'intensités sonores, on a constaté que pour réduire à un minimum le nombre de bits numériques nécessaires tout en satisfaisant l'exigence esthétique de l'oreille humaine, une conversion logarithmique analogique/numérique est nécessaire. Une forme de courbe logarithmique utilisée est appelée com-
20 munément la courbe de la loi " μ 255" et est basée sur 8 bits de code (PCM). Le code est similaire à la notation scientifique en ce sens qu'il consiste en un bit d'indication de signes, quatre bits pour la mantisse, et trois bits pour l'exposant. En terme de courbe logarithmique (compression et décompression),
25 le bit de signe détermine le quadrant de l'opération, les trois bits déterminent la corde à l'intérieur du quadrant et les quatre bits le palier dans la corde. Le nombre de bits prédétermine le nombre de subdivisions de niveaux (nombre code) par l'expression 2^n . Il existe donc deux quadrants, 8 cordes par quadrant, et 16 paliers par corde. La loi " μ 255" est
30 spécifiée par les documents fournis par l'instance Internationale "International Telegraph and Telephone Consultative Committee (CCITT) (Europe)" et par la Société American Telephone and Telegraph Company (AT&T) USA. La figure 5 montre une version
35 approchée de la loi composée de deux quadrants et de segments dans les quadrants pour un convertisseur numérique/analogique utilisé conjointement avec le codeur (émetteur). La loi approchée utilisée a la même propriété que celle spécifiée par

le fait que la plage de chaque segment augmentant est égale à deux fois la plage du segment antérieur. La seule différence est que le premier palier dans le premier segment utilise la valeur 2 et non pas la valeur spécifiée 1. Ceci conduit à une

5 légère dérive dans la loi et à la simplification que chaque segment peut être représenté par la moitié de la valeur spécifiée de la plage (c'est-à-dire que la plage 256 devient égale à 128). Cette simplification contribue à comprendre l'algorithme nécessaire pour développer le circuit-miroir de courant

10 nécessaire pour mettre en oeuvre ou obtenir la loi. Du fait que les points d'extrémité sont finalement normalisés, il n'y a aucune perte de généralité. Le tableau 1 suivant fournit l'algorithme nécessaire pour construire le circuit :

TABLEAU I - Loi μ 255 approchée pour codeur PCM (algorithme)

Numéro de segment	Plage (n) N° de code	Valeurs de plage de segment (valeurs extrêmes) (v_n)
-8	-127 à -112	$0 + 0 + 128 (1 \text{ à } 16) = 128 \text{ à } 2048$
-7	-111 à -96	$0 + 128(16) + 64 (1 \text{ à } 16) = 2112 \text{ à } 3072$
-6	-95 à -80	$2048 + 64(16) + 32 (1 \text{ à } 16) = 3104 \text{ à } 3584$
-5	-79 à -64	$3072 + 32(16) + 16 (1 \text{ à } 16) = 3600 \text{ à } 3840$
-4	-63 à -48	$3584 + 16(16) + 8 (1 \text{ à } 16) = 3848 \text{ à } 3968$
-3	-47 à -32	$3840 + 8(16) + 4 (1 \text{ à } 16) = 3972 \text{ à } 4032$
-2	-31 à -16	$3968 + 4(16) + 2 (1 \text{ à } 16) = 4034 \text{ à } 4064$
-1	-15 à 0	$4032 + 2(16) + 1 (1 \text{ à } 16) = 4065 \text{ à } 4080$
1	0 à 15	$(4064 + 1(16)) + 1 (0 \text{ à } 15) = 4080 \text{ à } 4095$
2	16 à 31	$4080 + 1(16) + 2 (0 \text{ à } 15) = 4096 \text{ à } 4126$
3	32 à 47	$4096 + 2(16) + 4 (0 \text{ à } 15) = 4128 \text{ à } 4188$
4	48 à 63	$4128 + 4(16) + 8 (0 \text{ à } 15) = 4192 \text{ à } 4312$
5	64 à 79	$4192 + 8(16) + 16 (0 \text{ à } 15) = 4320 \text{ à } 4560$
6	80 à 95	$4320 + 16(16) + 32 (0 \text{ à } 15) = 4576 \text{ à } 5056$
7	96 à 111	$4576 + 32(16) + 64 (0 \text{ à } 15) = 5088 \text{ à } 6048$
8	112 à 127	$5088 + 64(16) + 128 (0 \text{ à } 15) = 6112 \text{ à } 8032$

Du fait que les miroirs de courant présentent une circulation de courant dans un sens, l'algorithme progresse de l'angle inférieur gauche du graphique de la figure 5 (quadrant négatif) jusqu'à l'angle supérieur droit du graphique (quadrant positif). Quand le courant est finalement transformé en une tension, le courant circulant au point central du graphique peut être référencé comme étant un potentiel de masse associé à un système d'alimentation "plus" ou "moins" (c'est-à-dire $V_{DD} = +V$, $V_{SS} = -5V$ et $V_{GND} = 0V$). Le premier segment (-8) rencontré présente une plage de 128 et, du fait que chaque segment consiste en 16 paliers, la loi progresse à travers chaque palier et ceci assure des valeurs dont les points d'extrémité ou points extrêmes ont été représentés. Le second segment (-7) rencontré présente une plage de 64 et il progresse à travers chaque palier. Le terme 128 (16) est la valeur finale du segment antérieur et est nécessaire du fait que la loi est tirée de la somme de chaque segment antérieur rencontré. Le segment suivant (-6) est rencontré et sa valeur est constituée par les paliers pondérés dans ce cas par 32, la valeur du segment antérieur 64 (16) et la somme de tous les autres segments avant celui-ci. L'algorithme progresse à travers chaque segment d'une façon similaire. A partir de l'algorithme, on trouve une équation telle que représentée dans le tableau 2.

TABLEAU 2 - Loi μ 255 approchée pour codeur PCM (équation)

$$I_{OUT} = \left[\frac{255}{255} C_{\pm} I_1 + \frac{128}{255} (C_7' I_1 + C_7 I_2) + \frac{64}{255} (C_6' I_1 + C_6 I_2) + \frac{32}{255} (C_5' I_1 + C_5 I_2) + \frac{16}{255} (C_4' I_1 + C_4 I_2) + \frac{8}{255} (C_3' I_1 + C_3 I_2) + \frac{4}{255} (C_2' I_1 + C_2 I_2) + \frac{2}{255} (C_1' I_1 + C_1 I_2) + \frac{1}{255} (C_0' I_1 + C_0 I_2) \right];$$

$$I_1 = \frac{16}{32} I_R; \quad I_2 = \frac{8}{32} S_3 I_R + \frac{4}{32} S_2 I_R + \frac{2}{32} S_1 I_R + \frac{1}{32} S_0 I_R + \frac{1}{32} \overline{C_{\pm}} I_R \quad \text{OU}$$

$$I_2 = \frac{1}{32} (8 S_3 + 4 S_2 + 2 S_1 + 1 S_0 + 1 \overline{C_{\pm}}) I_R \quad \text{LET } 8 S_3 + 4 S_2 + 2 S_1 + 1 S_0 + 1 \overline{C_{\pm}} \Delta S_x \text{ POUR } \overline{C_{\pm}} = 1, S_x = 1, 2, \dots, 15, 16$$

POUR $\overline{C_{\pm}} = 0, S_x = 0, 1, \dots, 14, 15$

En substituant I_1 et I_2 dans I_{OUT} par leur valeur.

$$I_{OUT} = \frac{I_R}{255 \times 32} \left[(255 \times 16) \overline{C_{\pm}} + 128 (16 C_7' + S_x C_7) + 64 (16 C_6' + S_x C_6) + 32 (16 C_5' + S_x C_5) + 16 (16 C_4' + S_x C_4) + 8 (16 C_3' + S_x C_3) + 4 (16 C_2' + S_x C_2) + 2 (16 C_1' + S_x C_1) + 1 (16 C_0' + S_x C_0) \right]. \quad (\text{Equation 6})$$

Chaque nombre de code comporte un mot de signal de code unique constitué par les bits de signaux de commande et ces mots peuvent être formés arbitrairement à partir de combinaisons de zéros et de uns et être désignés par les nombres de code de la manière classique. On a donné ci-après les tableaux 3A et 3B qui montrent des bits de signaux de codes caractéristiques nécessaires pour faire fonctionner le convertisseur du type "loi μ 255" et pour fournir les nombres et les valeurs qui peuvent être trouvés dans le Volume III-2 (livre orange) de l'Union Internationale des Télécommunications, Genève (Suisse).

TABLEAU 3A, BITS DE SIGNAUX DE CODE, NOMBRE ET VALEURS.

CODE SIGNAL BITS										Code No. n	Code Value v_n	Co Value X_n
C+	$c_7'c_7$	$c_6'c_6$	$c_5'c_5$	$c_4'c_4$	$c_3'c_3$	$c_2'c_2$	$c_1'c_1$	$c_0'c_0$	$s_3s_2s_1s_0$			
0	0 1	0 0	0 0	0 0	0 0	0 0	0 0	0 0	0 0 0 0	-127	128	-7
0	0 1	0 0	0 0	0 0	0 0	0 0	0 0	0 0	1 1 1 1	-112	2048	-4
0	1 0	0 1	0 0	0 0	0 0	0 0	0 0	0 0	0 0 0 0	-111	2112	-3
0	1 0	0 1	0 0	0 0	0 0	0 0	0 0	0 0	1 1 1 1	-96	3072	-2
0	1 0	1 0	0 1	0 0	0 0	0 0	0 0	0 0	0 0 0 0	-95	3104	-1
0	1 0	1 0	0 1	0 0	0 0	0 0	0 0	0 0	1 1 1 1	-80	3584	-
0	1 0	1 0	1 0	0 1	0 0	0 0	0 0	0 0	0 0 0 0	-79	3600	-
0	1 0	1 0	1 0	0 1	0 0	0 0	0 0	0 0	1 1 1 1	-64	3840	-4
0	1 0	1 0	1 0	1 0	0 1	0 0	0 0	0 0	0 0 0 0	-63	3848	-4
0	1 0	1 0	1 0	1 0	0 1	0 0	0 0	0 0	1 1 1 1	-48	3968	-2
0	1 0	1 0	1 0	1 0	1 0	0 1	0 0	0 0	0 0 0 0	-47	3972	-2
0	1 0	1 0	1 0	1 0	1 0	0 1	0 0	0 0	1 1 1 1	-32	4032	-
0	1 0	1 0	1 0	1 0	1 0	1 0	0 1	0 0	0 0 0 0	-31	4034	-
0	1 0	1 0	1 0	1 0	1 0	1 0	0 1	0 0	1 1 1 1	-16	4064	-
0	1 0	1 0	1 0	1 0	1 0	1 0	1 0	0 1	0 0 0 0	-15	4065	-
0	1 0	1 0	1 0	1 0	1 0	1 0	1 0	0 1	1 1 1 1	0	4080	-

NOTE: $X_n = 2(v_n - 4080)$

TABLEAU 3B, BITS DE SIGNAUX DE CODE, NOMBRE ET VALEURS.

C+	CODE SIGNAL BITS										Code No. n	Code valeur v _n	Code Valeur X _n
	C ₇ 'C ₇	C ₆ 'C ₆	C ₅ 'C ₅	C ₄ 'C ₄	C ₃ 'C ₃	C ₂ 'C ₂	C ₁ 'C ₁	C ₀ 'C ₀	S ₃ S ₂ S ₁ S ₀				
1	0 0	0 0	0 0	0 0	0 0	0 0	0 0	0 1	0 0 0 0	0	4082	+0	
1	0 0	0 0	0 0	0 0	0 0	0 0	0 0	0 1	1 1 1 1	15	4095	30	
1	0 0	0 0	0 0	0 0	0 0	0 0	0 1	1 0	0 0 0 0	16	4096	32	
1	0 0	0 0	0 0	0 0	0 0	0 0	0 1	1 0	1 1 1 1	31	4126	92	
1	0 0	0 0	0 0	0 0	0 0	0 1	1 0	1 0	0 0 0 0	32	4128	96	
1	0 0	0 0	0 0	0 0	0 0	0 1	1 0	1 0	1 1 1 1	47	4188	216	
1	0 0	0 0	0 0	0 0	0 1	1 0	1 0	1 0	0 0 0 0	48	4192	224	
1	0 0	0 0	0 0	0 0	0 1	1 0	1 0	1 0	1 1 1 1	63	4312	464	
1	0 0	0 0	0 0	0 1	1 0	1 0	1 0	1 0	0 0 0 0	64	4320	480	
1	0 0	0 0	0 0	0 1	1 0	1 0	1 0	1 0	1 1 1 1	79	4560	960	
1	0 0	0 0	0 1	1 0	1 0	1 0	1 0	1 0	0 0 0 0	80	4576	992	
1	0 0	0 0	0 1	1 0	1 0	1 0	1 0	1 0	1 1 1 1	95	5056	1952	
1	0 0	0 1	1 0	1 0	1 0	1 0	1 0	1 0	0 0 0 0	96	5088	2016	
1	0 0	0 1	1 0	1 0	1 0	1 0	1 0	1 0	1 1 1 1	111	6048	3936	
1	0 1	1 0	1 0	1 0	1 0	1 0	1 0	1 0	0 0 0 0	112	6112	4064	
1	0 1	1 0	1 0	1 0	1 0	1 0	1 0	1 0	1 1 1 1	127	8032	7904	

NOTE: $X_n = 2 (v_n - 4080)$

Le circuit représentant un convertisseur numérique/analogique 104 pour appliquer la loi " μ -255" selon la présente invention est représenté sur la figure 6A. Ce circuit est constitué par des miroirs de courant commandés et non
 5 commandés comprenant une première série (ou série inférieure) de miroirs de courant 106 à canal N pour appliquer les valeurs de palier de la loi (comprenant les valeurs 1,2,... 16 pour le quadrant négatif, et les valeurs 0,1 ..., 15 pour le quadrant positif) et une seconde série (ou série supérieure)
 10 de miroirs de courant 108 pour appliquer la partie de segment de la loi (présentant les valeurs pondérées, 1,2,4... 128). Un seul miroir de courant 110 est prévu pour appliquer le bit signe de manière à déterminer le quadrant de l'opération.

Un courant de référence I_R est fourni par un conducteur
 15 112 au drain et à la grille d'un premier transistor d'entrée 114 ainsi qu'à la grille d'un transistor 116 fonctionnant en miroir et dont le drain est relié à un conducteur 118 à la série supérieure d'un miroir de courant 108. Le courant I_R est également fourni sous la forme d'une entrée à chacune des
 20 portes de commande 106. Un diagramme de circuit détaillé pour ces miroirs de courant de canal N est représenté sur la figure 6C. Les autres conducteurs d'entrée 120 de ces portes de commande à canal S sont reliés à des entrées de données séparées S_0 , S_1 , S_2 et S_3 . La sortie de chaque porte de commande
 5 106 est reliée à la grille d'un transistor MOSFET 122 fonctionnant en miroir et dont le canal a une largeur choisie préalablement (comme indiqué) de sorte qu'il laisse passer une quantité proportionnée de courant. Les électrodes de source de ces cinq transistors 122 fonctionnant en miroir ainsi que
 30 des transistors 114 et 116 sont reliées à un conducteur 124 commun relié à une borne de masse V_{SS} . Les électrodes de drain des transistors 122 fonctionnant en miroirs sont reliées à un conducteur commun 126 s'étendant jusqu'à la série supérieure de miroirs de courant.

35 Les miroirs de courant 108 de la série supérieure comportent, comme représenté dans le schéma de circuit détaillé de la figure 6D, deux bornes c et d d'entrée de signaux destinées à recevoir les signaux de données d'entrée codées (CO , CO' ,

Cl, Cl', etc.) et deux bornes d'entrées a et b. Les bornes
 "a" pour la totalité de huit miroirs de courant sont reliées
 en parallèle à un conducteur commun 128 et les bornes "b"
 sont reliées à un conducteur commun 130. Chacun des miroirs
 5 de courant 108 comporte une borne de sortie "e" qui est reliée
 à la porte d'un transistor 132 qui fonctionne en miroir et
 dont l'électrode de source est reliée à un conducteur commun
 134 s'étendant à partir de la source de tension positive
 V_{DD} . L'électrode de drain de chaque transistor fonctionnant
 10 en miroir est reliée à un conducteur commun 136 fournissant
 le courant de sortie I_{OUT} . Chaque transistor 132 qui fonction-
 ne en miroir et que comporte la série supérieure a une largeur
 de canal qui est égale à la moitié de celle du transistor im-
 médiatement adjacent de la série de manière à fournir un
 15 courant de sortie proportionnel. De ce fait, comme indiqué,
 les transistors fonctionnant en miroirs pour les huit miroirs
 de courant 108 ont des largeurs de canaux de 1W à 128W. La
 porte de commande 110 à canal P (composant le circuit de la
 figure 6B) est reliée par une sortie à la grille d'un transistor
 20 fonctionnant en miroir 138 dont la largeur de canal est 225W et
 dont l'électrode de source est reliée au conducteur 134 V_{DD} .
 Son électrode de drain est reliée au conducteur de sortie
 commun 136.

Une paire de premier et second transistors d'entrée 140
 25 et 142 sont branchés en parallèle avec les transistors 132
 fonctionnant en miroirs et ces deux transistors présentent des
 largeurs de canal de 255W. Les électrodes de source de ces
 transistors sont reliées au conducteur commun 134 V_{DD} . Les
 électrodes de drain et de grille du premier transistor 140 sont
 30 reliées au conducteur 128 I_1 qui est lui-même relié à la porte
 "ET" linéaire 110 et à la borne d'entrée "a" de chacune des
 portes de commande 108, tandis que les électrodes de drain
 et de grille du second transistor 142 sont reliées aux bornes
 d'entrée "b" de ces portes de commande.

35 La porte ET linéaire 110 reçoit une entrée de donnée
 signe (C+) par l'intermédiaire d'un conducteur 144 qui est
 aussi relié par l'intermédiaire d'un conducteur 146 à travers
 un inverseur 148 à un miroir de courant intérieur 106a.

Pendant le fonctionnement du circuit 104, les miroirs de courant supérieurs 108 (présentant des valeurs de canal pondérées 1, 2, 4,, 128) impliquent la partie de segment de la loi " μ 255", et les miroirs de courant inférieurs 106

5 impliquent les valeurs de palier de la loi (présentant les valeurs 1, 2,, 16 pour le quadrant négatif, et les valeurs 0, 1,15 pour le quadrant positif). Pour illustrer la relation entre ces figures et ces tableaux, on peut donner un exemple d'une valeur. On va supposer que pour un nombre de

10 codes choisi (par exemple 31), les bits de palier (S_3 à S_0) sont tous des uns (1). De ce fait, le courant I_2 est constitué par la somme des courants provenant des miroirs associés ou commandés par ces valeurs de bits. I_2 est donc égal à

$$\frac{1}{32} I_R + \frac{2}{32} I_R + \frac{4}{32} I_R + \frac{8}{32} I_R = \frac{15}{32} I_R$$

15 et le courant I_1 est égal à $\frac{16}{32} I_R$. Ces courants sont dirigés dans la partie segment du circuit. Du fait que la valeur choisie se situe à l'intérieur du quadrant positif, le bit de signe (C_+) est l'unité (1) et une composante du courant de sortie I_{OUT} est donc $\frac{255}{255} (\frac{16}{32} I_R)$. On

20 obtient les composants restants à partir des miroirs 108 de segments pondérés les plus bas (c'est-à-dire 1W et 2W) sur la droite supérieure de la figure 4. Ceux-ci sont respectivement égaux à $\frac{1}{255} (\frac{16}{32} I_R)$ et $\frac{2}{255} (\frac{15}{32} I_R)$. La somme totale des courants est égale à $\frac{1}{255} \times 32 (255 \times 16 I_R + 16 I_R + 2 \times 15 I_R)$ ou

25 $\frac{1}{255 \times 32} (4126) I_R$. La valeur à l'intérieur des parenthèses est la valeur v_n indiquée dans un tableau de mots de code prédéterminés et est normalisée suivant la valeur $255 \times 32 (8160)$. Pour comparer les valeurs actuelles (v_n 's) de la loi " μ 255, on ajuste

30 la valeur v_n à l'aide de l'équation $2(v_n - 4080)$. Le facteur 2 rend compte de la simplification effectuée précédemment et est annulé dans la procédure de normalisation. Le terme 4080 est nécessaire pour repositionner l'origine sur le centre du graphique " μ 255 et, dans le circuit réel, on obtient ce résultat

35 en définissant la chute de tension créée par le courant (I_{OUT}) au centre du graphique par un potentiel de masse.

On voit donc que dans le système de codeur-décodeur, un flot de données numériques fourni au circuit numérique/analogique 104 produira une sortie analogique en accord avec la loi " μ 255".

De cette manière, les complexités du signal vocal analogique peuvent être reproduites sans bruit et/ou distorsion excessifs.

Dans une transmission de données numériques, la multiplication des signaux est une opération de traitement de signaux importante. Par exemple, la modulation et la conversion des signaux à partir d'une fréquence en une autre exige un tel traitement. En utilisant les moyens généraux de la présente invention, on effectue facilement une multiplication des signaux en utilisant quatre convertisseurs numérique/analogique 150, 152, 154 et 156 à miroirs de courant, comme représenté sur la figure 7. On monte en cascade ces deux convertisseurs numériques/analogiques à miroirs de courant à canal P et ces deux convertisseurs numériques/analogiques à miroirs de courant à canal N en reliant la sortie de l'un à l'entrée d'un autre. Le courant d'entrée I_1 appliqué au convertisseur 150 peut être un courant de référence (constant) ou bien il peut varier. Les miroirs de courant D à A peuvent être à pondération linéaire (c'est-à-dire que le poids de chaque bit augmentant est double par rapport aux bits antérieurs) ou à pondération linéaire avec les poids de bits choisis suivant les désirs. Le courant provenant de chaque convertisseur numérique/analogique peut être représenté par l'équation :

$$I_{OUT} = d_i I_{IN} = (w_n C_n + \dots w_1 C_1 + w_0 C_0) I_{IN}$$

où I_{OUT} , I_{IN} : sont les courants de sortie et d'entrée;
 w_n : est le poids de bit de commande;
 C_n : est l'entrée de bit de commande (présentant les valeurs 0 ou 1)
 d_i : est le vecteur de commande général constitué par la somme des produits des poids et des bits de commande.

Le courant de sortie I_2 fourni par le convertisseur numérique/analogique 156 est $I_2 = d_1 I_3$. Le convertisseur adjacent numérique/analogique 154 venant immédiatement à la suite présente une valeur de courant $I_3 = d_2 I_4$; le convertisseur 152 venant immédiatement à la suite présente une valeur de $I_4 = d_3 I_5$, et le dernier convertisseur 150 présente une valeur de

$I_5 = d_4 I_1$. Une substitution de ces équations donne le courant de sortie I_2 sous la forme d'une fonction multiplicative des vecteurs numériques, c'est-à-dire $I_2 = d_4 d_3 d_2 d_1 I_1$. Bien que la figure 7 montre une multiplication de quatre vecteurs, le degré de la multiplication des variables numériques peut avoir n'importe quelle valeur (c'est-à-dire de deux jusqu'à une valeur limitée par les exigences de performance du convertisseur numérique/analogique de multiplication).

Les convertisseurs D à A à miroirs de courant peuvent aussi être incorporés dans une combinaison de conversion A à D utilisant une technique de conversion connue comme étant une technique par approximation successive. Dans un agencement type représenté sur la figure 8, une source de tension de référence 158 fournit une tension constante V_R à un convertisseur tension/courant constituée par un amplificateur opérationnel approprié 160. La sortie de cet amplificateur opérationnel est reliée à la grille d'un transistor MOS 162 à canal N dont l'électrode de drain est reliée à un conducteur de contre-réaction 164 qui est aussi relié par l'intermédiaire d'une résistance R_1 à la masse. Un courant (V_R/R_1) est donc fourni par un conducteur 166 à un convertisseur D à A 168 à miroir de courant qui reçoit des données d'entrée provenant d'un enregistreur 170 (SAR) d'approximations successives. Au convertisseur numérique/analogique 168 est relié un convertisseur courant/tension consistant en un amplificateur opérationnel approprié 172 et une résistance R_2 (fournissant une tension de sortie $v = (1 - d(R_1/R_2)) (V_R)$) dont la sortie est reliée à un comparateur approprié 174 ayant un gain supérieur à 2^n pour un convertisseur de n bit. La sortie du comparateur est reliée par un conducteur 176 au SAR 170 et l'entrée positive de l'amplificateur opérationnel 172 est reliée par un conducteur 178 à la tension de référence 158. L'algorithme de l'opération de conversion est donc, comme on va l'expliquer ci-après, une certaine tension inconnue V_{in} étant appliquée au comparateur : la tension inconnue a une valeur comprise entre zéro et la tension de référence V_R (soit $\frac{11}{16} V_R$).

On va supposer un cas simple dans lequel le convertisseur 168 présente une résolution de 4 bits ou 16 niveaux de décision.

On va supposer aussi que tous les bits numériques provenant du SAR 170 commencent à la valeur zéro au début du cycle et que les résistances R_1 et R_2 ont des valeurs égales avec $v = (1-d)V_R$, et $d = w_n C_n + \dots + w_1 C_1 + w_0 C_0$ où w_n sont les poids et C_n la commande (bits), de ce fait $d = 0$.

Avec le cycle suivant (le bit le plus significatif) est établi à une valeur zéro, de ce fait $d = \frac{8}{16}$ et la tension à l'entrée négative v du comparateur est égale à $(1 - \frac{8}{16})V_R$ ou $\frac{7}{16}V_R$ étant donné que la valeur d'entrée v_n est égale à $\frac{11}{16}V_R$ et la valeur v est $\frac{7}{16}V_R$ (c'est-à-dire inférieure à v_{in}), le comparateur fournit une valeur numérique zéro au SAR. Le SAR emmagasine cette valeur sur la ligne de signal C_3 pour les cycles restants. Pour le cycle suivant, le bit C_2 est établi à une valeur un, v étant donc égal à $(1 - \frac{8}{16}(0) - \frac{4}{16}(1))V_R$ ou $\frac{12}{16}V_R$. Avec v_{in} égal à $\frac{11}{16}V_R$ et avec v égal à $\frac{12}{16}V_R$, (c'est-à-dire au-dessus de v_{in}), la valeur fournie par le comparateur est un et est stockée sur le bit C_2 . Pour le cycle suivant, le bit C_1 est établi à la valeur un, de ce fait v est égal à $(1 - \frac{8}{16}(0) - \frac{4}{16}(0) - \frac{2}{16}(1))V_R$ ou $\frac{10}{16}V_R$. Avec v_{in} égal à $\frac{11}{16}V_R$ et v égal à $\frac{10}{16}V_R$ (c'est-à-dire en-dessous de v_{in}), la valeur fournie par le comparateur est zéro et est stockée sur le bit C_1 . Pour le cycle suivant, le bit C_0 est établi à la valeur 1, de ce fait v est égal à $(1 - \frac{8}{16}(0) - \frac{4}{16}(1) - \frac{2}{16}(0) - \frac{1}{16}(1))V_R$ ou $\frac{11}{16}V_R$. Avec v_{in} égal à v , la valeur fournie par le comparateur est zéro et est stockée par le bit C_0 . Les valeurs numériques $C_3 C_2 C_1 C_0 = 0100$ stockées sont le complément binaire de la valeur analogique appliquée au convertisseur A à D (c'est-à-dire $v_{stocké} = (\frac{8}{16}(0) + \frac{4}{16}(1) + \frac{2}{16}(0) + \frac{1}{16}(0))V_R = \frac{11}{16}V_R$).

Il est bien entendu que la description qui précède n'a été donnée qu'à titre purement illustratif et non limitatif et que des variantes ou des modifications peuvent y être apportées dans le cadre de la présente invention.

RE V E N D I C A T I O N S

1. Convertisseur numérique/analogique caractérisé par le fait qu'il comprend :

- 5 un premier transistor (12) adapté pour être relié à une source de courant;
- au moins un second transistor (12) fonctionnant du point de vue électrique comme un miroir et ayant une dimension proportionnelle audit premier transistor;
- 10 un moyen conducteur (16) reliant mutuellement les électrodes desdits premier et second transistors; et
- au moins un agencement de porte de transmission dans ledit moyen conducteur de liaison mutuelle adapté pour une connexion avec une source d'entrée de données numériques et comprenant un moyen pour empêcher la grille dudit second transistor (14) de flotter grâce à quoi, on obtient une commande
- 15 tout ou rien d'un courant de sortie à travers ledit second transistor, commande qui, par rapport à ladite source de courant, a une amplitude dans les mêmes proportions que la dimension dudit second transistor par rapport audit premier transistor.

- 20 2. Convertisseur numérique/analogique selon l'une quelconque des revendications précédentes, caractérisé par le fait qu'il comprend :
- une série de portes logiques linéaires (36), chaque porte comportant une première entrée reliée à ladite source de courant et une seconde
- 25 entrée reliée à une source de données numériques, et chaque porte étant adaptée pour fournir une sortie en réponse à une impulsion de données provenant de ladite source de données;

- une série de second transistors (44) fonctionnant en miroirs; chaque transistor étant relié à la sortie d'une première desdites portes logiques linéaires et également audit premier transistor (12), les dimensions de
- 30 canal desdits transistors fonctionnant en miroirs et relatifs auxdites portes logiques linéaires étant pondérées dans une relation proportionnelle prédéterminée par rapport aux dimensions de canal dudit premier transistor, de sorte que l'activation de chaque porte logique par la réception d'une
- impulsion de donnée provenant de sa source de données particulière engendre
- 35 un courant de sortie caractéristique proportionnelle aux dimensions de canal de son transistor fonctionnant en miroir.

3. Convertisseur numérique/analogique suivant l'une des revendications 1 ou 2, caractérisé par le fait que ledit agencement de porte de transmission comprend une porte ET linéaire dont une première entrée est reliée à ladite source de courant et une seconde entrée est reliée à ladite source de données numériques.

4. Convertisseur numérique/analogique suivant la revendication 3, caractérisé par le fait que ledit moyen servant à empêcher la porte dudit second transistor de flotter est un troisième transistor (34) dont la grille est reliée à la sortie de ladite porte ET linéaire et dont les électrodes de source et de drain sont reliées à une tension de référence et à la grille dudit second transistor (14).

5. Convertisseur numérique/analogique suivant l'une des revendications 3 ou 4, caractérisé par le fait que ladite porte ET linéaire est constituée par deux dispositifs MOSFET (28,30) dont les grilles sont reliées audit troisième transistor (34) et à ladite source de données numériques.

6. Convertisseur numérique/analogique suivant l'une quelconque des revendications précédentes, caractérisé par le fait que ledit premier transistor, lesdits transistors fonctionnant en miroirs et ledit transistor des portes logiques linéaires sont des dispositifs MOSFET à canal N et lesdits transistors de commande sont des transistors d'abaissement de tension à canal N.

7. Convertisseur numérique/analogique suivant l'une quelconque des revendications 1 à 5, caractérisé par le fait que ledit premier transistor, lesdits transistors fonctionnant en miroirs et lesdits transistors des portes logiques linéaires sont des dispositifs MOSFET à canal P et que lesdits transistors de commande sont des transistors d'élévation de tension à canal P.

8. Convertisseur numérique/analogique, caractérisé par le fait qu'il comprend :

un premier agencement de transistor (12) relié à une source de courant;
une première série de portes logiques linéaires (66,68,70) dont chacune comporte une première entrée reliée à ladite source de courant et une seconde entrée reliée à une source de données numériques, chacune desdites portes logiques comportant une sortie reliée à un transistor fonctionnant en miroir (44), chacun desdits transistors fonctionnant en miroirs présentant une dimension de canal proportionnelle aux dimensions de canal dudit premier agencement de transistor;

une seconde série de portes logiques linéaires (88,90,92) reliées à

ladite première série et ayant une polarité opposée à ladite première série, chaque seconde porte logique comportant une première entrée reliée audit premier agencement de transistor et une seconde entrée reliée à ladite source de données numériques;

5 un second agencement de transistor (82) relié audit premier agencement de transistor et à la source de tension;

une seconde série de transistors (86) fonctionnant en miroirs dont chacun est relié à la sortie d'une desdites portes logiques linéaires de la seconde série, chacun desdits seconds transistors fonctionnant en miroirs
10 comportant un canal ayant une dimension de canal prédéterminée par rapport à la dimension du canal dudit second agencement de transistor; et

un troisième agencement de transistor (14a) qui est branché en parallèle avec ladite seconde série de transistors fonctionnant en miroirs et qui fournit un courant de sortie cummulatif proportionnel en réponse aux
15 données numériques reçues par une ou plusieurs des portes logiques.

9. Convertisseur numérique/analogique suivant la revendication 8, caractérisé par le fait que ladite première série de portes logiques linéaires est constituée par des dispositifs MOSFET à canal N et que ladite
20 seconde série de portes logiques linéaires est constituée par des dispositifs MOSFET à canal P.

10. Convertisseur numérique/analogique suivant la revendication 8, caractérisé par le fait que ledit premier agencement de transistor comprend une paire de dispositifs MOSFET à dimensions de canal égales et dont les grilles sont toutes deux reliées à ladite source de courant et les
25 bornes de source sont reliées à la masse, l'électrode de drain d'un premier desdits dispositifs étant reliée à ladite source de courant et l'électrode drain du second dispositif étant reliée à un transistor de polarité opposée monté en parallèle avec ladite seconde série de portes logiques linéaires.

11. Convertisseur numérique/analogique pour fournir une sortie
30 analogique à partir de données numériques linéaires en accord avec la loi " μ 255 " représentée de façon caractéristique par une courbe logarithmique définie dans quatre quadrants, chaque quadrant comprenant huit cordes, chaque corde comprenant seize paliers, ledit convertisseur étant caractérisé par le fait qu'il comprend :

35 une première paire de transistors d'entrée (114, 116) reliés à une source de courant commandée;

une première série de portes logiques linéaires (106) comportant chacune une première entrée reliée à ladite source de courant et une seconde entrée reliée à une source de données pour désigner les cordes de la courbe
40 de la loi " μ 255 ";

une seconde série de portes logiques linéaires (108) reliées à la sortie de ladite première série, chacune desdites secondes portes comprenant deux entrées reliées à ladite source de données et deux entrées reliées à une source d'énergie commandée;

- 5 un transistor (132) fonctionnant du point de vue électrique comme un miroir et relié à la sortie de chacune desdites secondes portes, chaque transistor (132) fonctionnant en miroir présentant une dimension proportionnelle à un transistor de commande principal relié à une source de courant constant, grâce à quoi les signaux de données numériques appliquées auxdites
10 portes linéaires fournissent une sortie analogique en accord avec les valeurs de commande proportionnées créées par la courbe logarithmique "u 255 "

12. Convertisseur numérique/analogue

- suivant la revendication 11, caractérisé par le fait que chacune des portes (106) de ladite première série de portes logiques linéaires est
15 une porte linéaire ET d'une paire de dispositifs MOSFET reliés à une première partie de ladite source de données et comprenant un transistor de commande et par le fait que chaque porte (108) de ladite seconde série de portes logiques linéaires est une porte de transmission double constituée par deux paires de dispositifs MOSFET avec un transistor d'élévation de tension,
20 chacun de ces dispositifs étant relié à des seconde et troisième parties de ladite source de données.

13. Convertisseur numérique/analogique suivant la revendication 11, caractérisé par le fait que ladite première série de portes logiques linéaires comprend quatre portes linéaires ET comportant une première entrée
25 reliée à ladite source de courant et une autre entrée reliée à une source de données en vue de désigner un quadrant pour la sortie.

14. Convertisseur numérique/analogique suivant la revendication 11, caractérisé par le fait que chacune desdites portes logiques linéaires (108) de ladite seconde série comporte deux entrées (c, d) reliées à ladite
30 source de données en vue de désigner des cordes et des paliers pour une sortie selon la loi "u 255 ".

15. Convertisseur numérique/analogique suivant la revendication 14, caractérisé par le fait que ladite seconde série de portes logiques linéaires comprend huit circuits de portes, chacun comprenant des entrées
35 reliées à ladite source de données.

16. Système de multiplication de signaux par convertisseur numérique/analogique, caractérisé par le fait qu'il comprend plusieurs convertisseurs numérique analogique à miroirs de courant selon l'une quelconque des revendications précédentes reliés ensemble dans une disposition en cascade comprenant un
40 premier convertisseur numérique/analogique à miroir de courant (150) relié à

une source de courant et constitué par des dispositifs MOSFET d'une première polarité, ledit premier convertisseur numérique/analogique à miroir de courant étant branché en série avec un second convertisseur numérique/analogique (152) constitué de dispositifs MOSFET de la polarité opposée.

5 17. Dispositif pour convertir un signal analogique en une sortie numérique par approximations successives, caractérisé par le fait qu'il comprend :

un convertisseur numérique/analogique à miroir de courant (168) comprenant une série d'éléments formant miroirs de courant selon l'une
10 quelconque des revendications 1 à 15;

un moyen (158) pour fournir un courant de référence audit convertisseur numérique/analogique;

un registre d'approximations successives (178) pour fournir
des entrées numériques auxdits éléments qui forment les miroirs de courant
15 et que comporte ledit convertisseur numérique/analogique;

un moyen (172) pour convertir la sortie de courant analogique
dudit convertisseur numérique/analogique en une tension analogique;

un comparateur (174) pour comparer ladite tension analogique
avec une tension analogique d'entrée devant être mise sous une forme
20 numérique;

un moyen de contre-réaction (176) pour relier la sortie
dudit comparateur au registre d'approximations successives pour modifier
sa sortie vers le convertisseur numérique/analogique de manière à équilibrer
ainsi le signal d'entrée de tension avec la tension analogique produite
25 par ledit convertisseur.

18. Dispositif pour convertir un signal analogique en une sortie
numérique, caractérisé par le fait qu'il comprend :

un convertisseur numérique/analogique à miroir de courant (168)
comprenant une série d'éléments formant miroirs de courant;

30 un moyen (158) pour fournir un courant de référence audit convertisseur
numérique/analogique.

un registre d'approximations successives (170) pour fournir des
entrées numériques auxdits éléments qui forment les miroirs de courant et
que comporte ledit convertisseur numérique/analogique;

35 un moyen (172) pour convertir la sortie de courant analogique dudit
convertisseur numérique/analogique en une tension analogique;

un moyen (174) pour comparer ladite tension analogique avec une
tension analogique d'entrée devant être mise sous une forme numérique;

un moyen de contre-réaction (176) pour relier audit convertisseur
40 numérique/analogique la sortie dudit moyen destiné à une comparaison avec

· ledit registre d'approximations successives pour en modifier la sortie de manière à équilibrer ainsi le signal d'entrée de tension avec la tension analogique produite par ledit convertisseur.

1/5

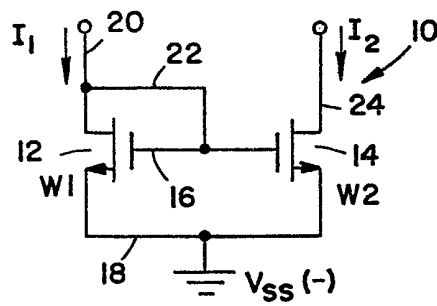


FIG _ 1A

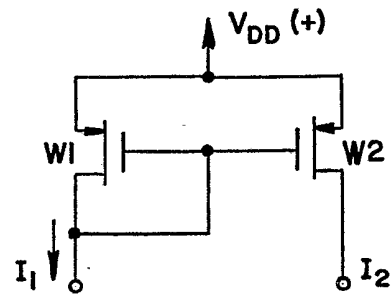


FIG _ 1B

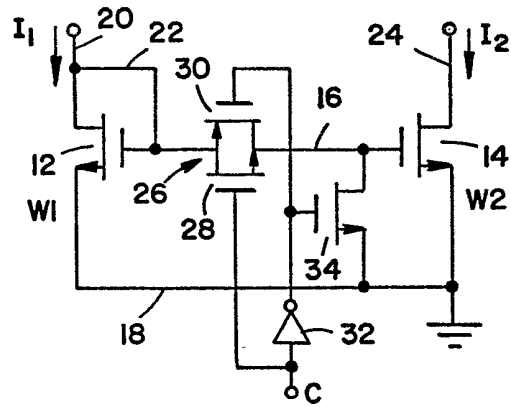


FIG _ 2A

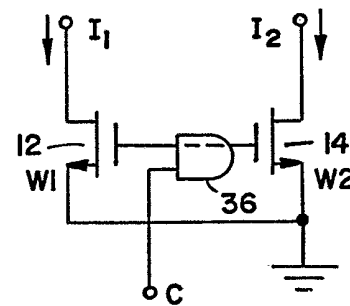


FIG _ 2B

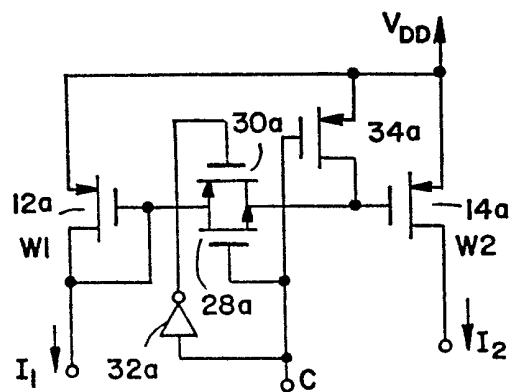


FIG _ 2C

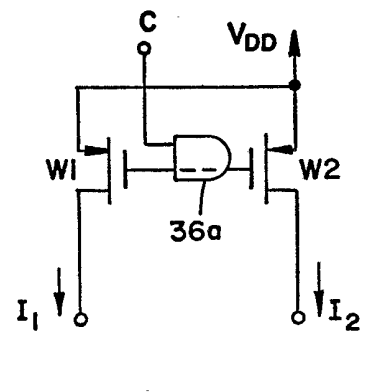
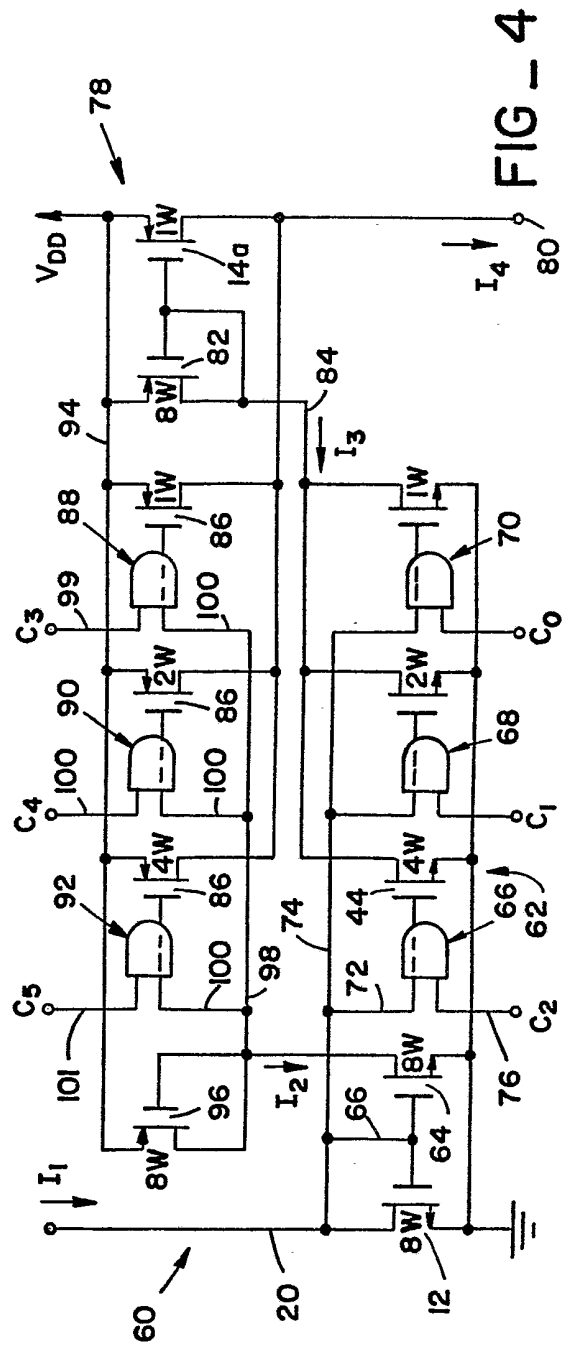
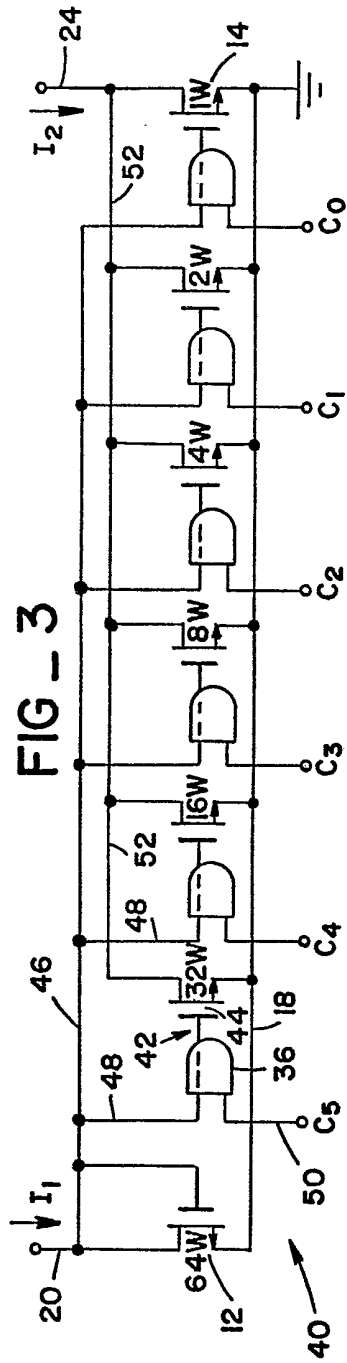


FIG _ 2D



3/5

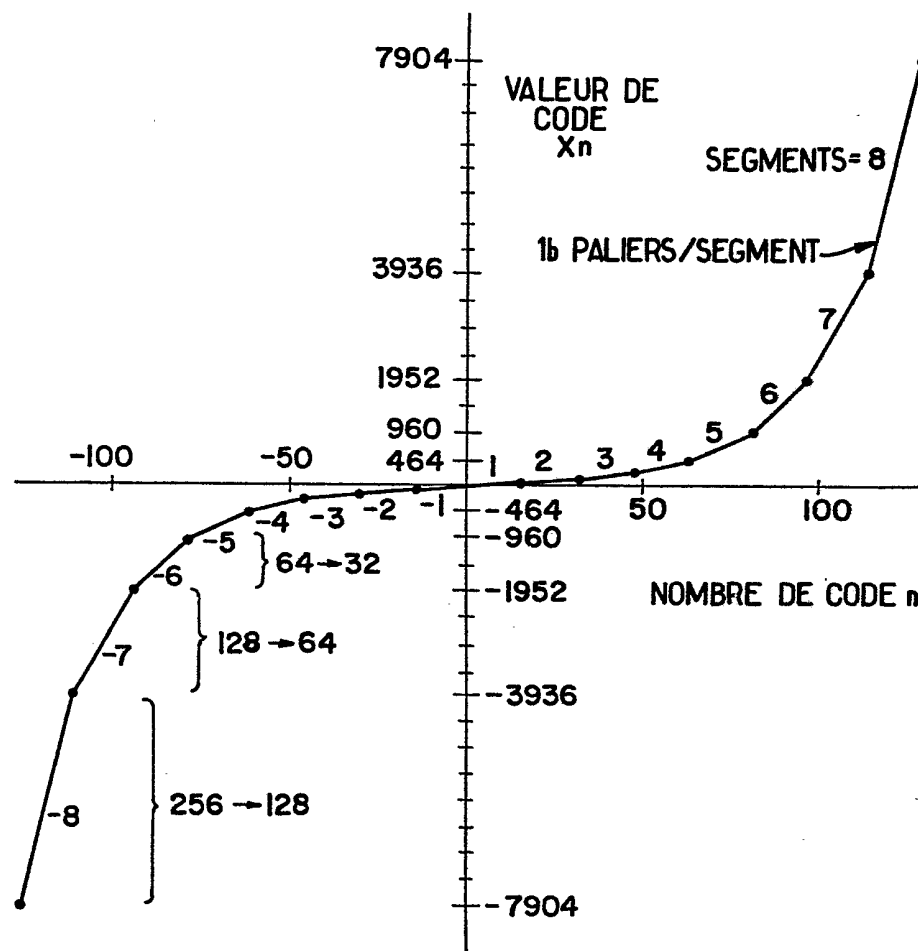
LOI μ 255 APPROCHE POUR CODEUR PCM DE LA FIG.1A

FIG _ 5

4/5

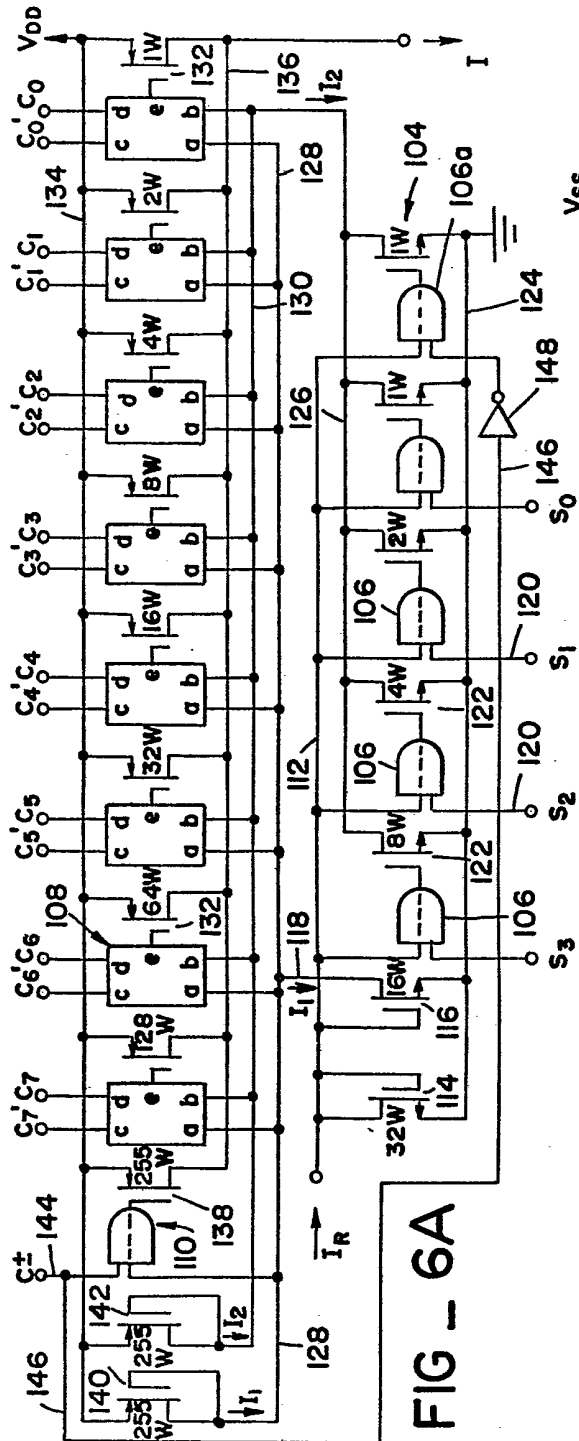


FIG - 6A

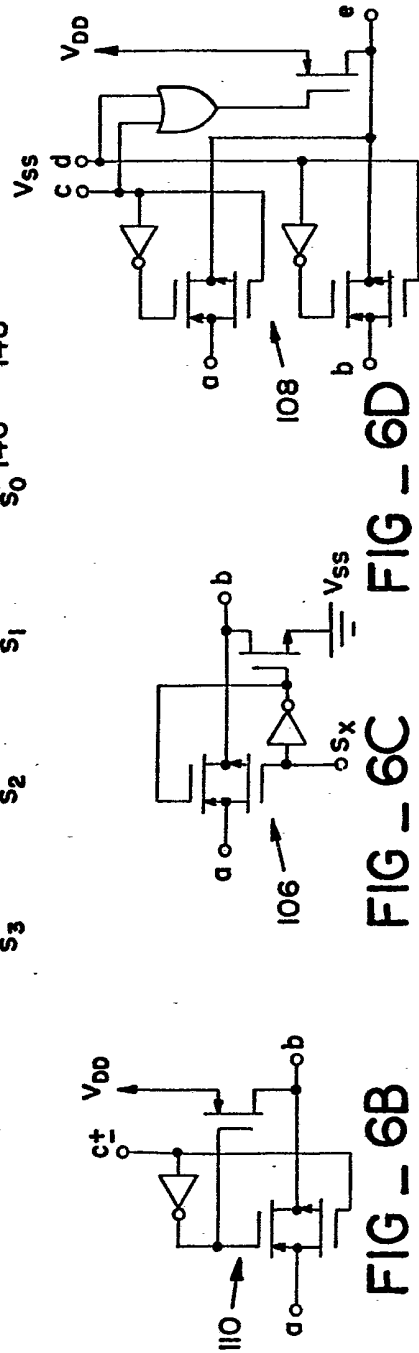


FIG - 6B

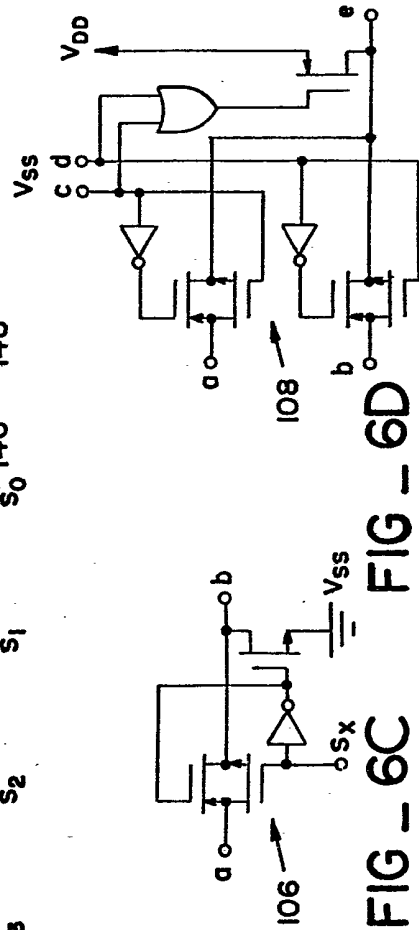


FIG - 6C

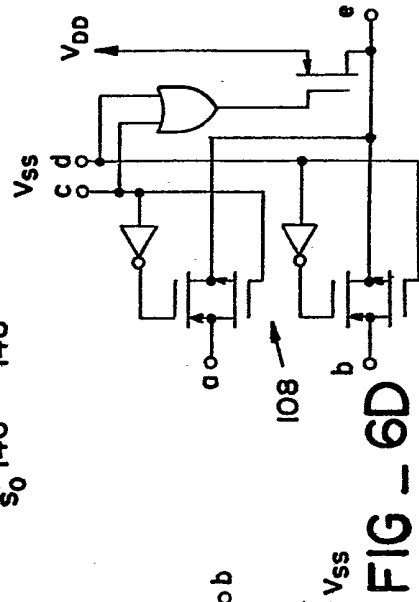


FIG - 6D

FIG - 7

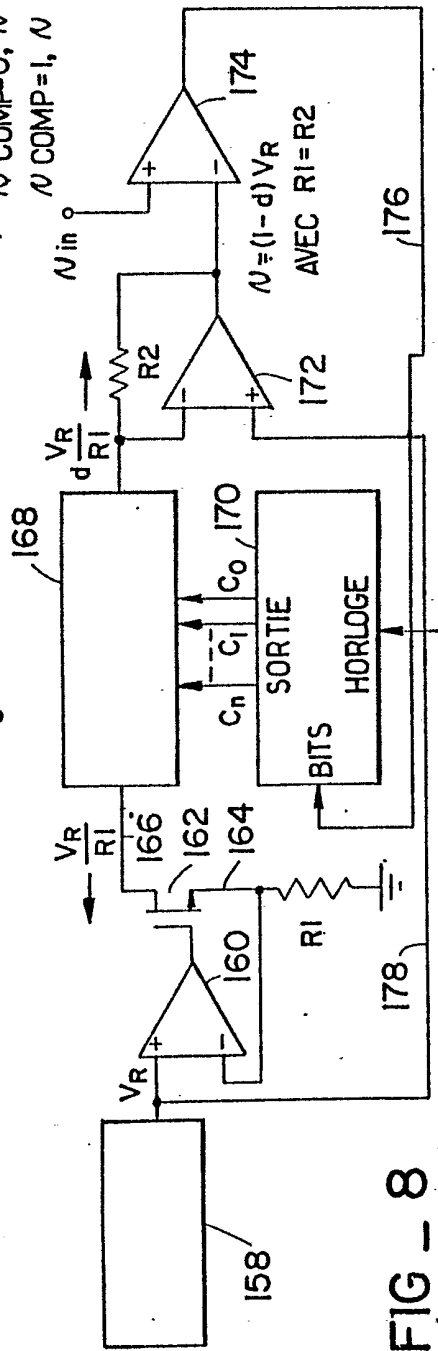
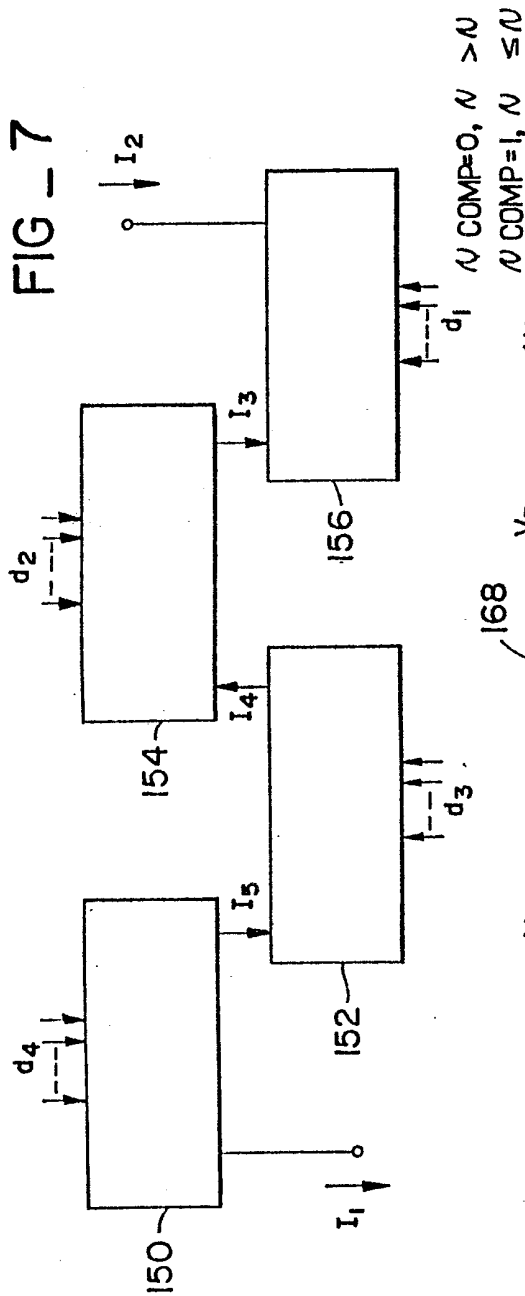


FIG - 8