

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第4区分

【発行日】平成20年1月31日(2008.1.31)

【公表番号】特表2007-513455(P2007-513455A)

【公表日】平成19年5月24日(2007.5.24)

【年通号数】公開・登録公報2007-019

【出願番号】特願2006-542728(P2006-542728)

【国際特許分類】

G 11 C 16/04 (2006.01)

【F I】

G 11 C 17/00 6 2 2 E

【手続補正書】

【提出日】平成19年11月29日(2007.11.29)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

複数の直列接続されたNANDストリングに配置されたメモリセルを含むメモリアレイを備える集積回路であって、前記メモリセルは、変更可能なコンダクタンススイッチデバイスを含み、前記NANDストリングは、その第1の端部において同様の種類のそれぞれの複数の直列選択デバイスを含み、

NANDストリングの対は、少なくとも1つの制御信号の第1のグループが、その対の各ストリングのそれぞれの第2の端部をそれぞれのグローバルアレイ線に結合し、制御信号の第2のグループが、その対の各ストリングのそれぞれの第1の端部を共有されたバイアスノードに結合するように配置され、

プログラミング動作中に、共有されたバイアスノードが、接地と、被選択NANDストリングとワード線を共有する非選択NANDストリングに伝達されるビット線抑制電圧との間の電圧に駆動される、集積回路。

【請求項2】

メモリアレイは、基板の上に形成されたメモリセルの少なくとも2つのプレーンを有する3次元のメモリアレイを含む、請求項1に記載の集積回路。

【請求項3】

変更可能なコンダクタンススイッチデバイスは、薄膜トランジスタ(TFT)デバイスを含む、請求項1または2に記載の集積回路。

【請求項4】

変更可能なコンダクタンススイッチデバイスは、電荷蓄積誘電体を有するトランジスタを含む、請求項1から3のいずれかに記載の集積回路。

【請求項5】

被選択NANDストリングのための第1の複数の直列選択デバイスのうちの少なくとも2つのそれぞれのデバイスに対応するそれぞれの選択信号は、少なくとも1つのメモリ動作中に異なるレベルに駆動される、請求項1から4のいずれかに記載の集積回路。

【請求項6】

各々のNANDストリングは、その第2の端部に同様の種類の第2の複数の直列選択デバイスを含む、請求項5に記載の集積回路。

【請求項7】

電荷蓄積誘電体を有する直列選択デバイスを含み、その直列選択デバイスが、作製時よりも高いしきい値電圧にバイアスをかけるプログラミングを周期的に行なうことによって維持される、請求項5に記載の集積回路。

【請求項 8】

各々のNANDストリングが、第1の端部と反対側の第2の端部において少なくとも1つの直列選択デバイスを含み、

各NANDストリングを形成する直列選択デバイスおよびメモリセルデバイスが構造的に実質的に同一である、請求項1から7のいずれかに記載の集積回路。

【請求項 9】

プログラミング動作中に、第1の複数の直列選択デバイスのうちの1つに対応するそれぞれの選択信号が接地に駆動され、第1の複数の直列選択デバイスのうちのもう1つに対応するそれぞれの選択信号が、接地と、被選択ワード線上で伝達されるプログラミング電圧との間の電圧に駆動される、請求項1、5または8のいずれかに記載の集積回路。

【請求項 10】

前記メモリアレイは複数のブロックにおいて配置され、第1のメモリブロックは、第1のバイアスノードと、

第1のブロックを第1の方向に横断する複数のグローバルビット線と、

第1のブロックを、第1の方向とは異なる第2の方向に横断する複数のワード線と、

複数のワード線に対して概して平行であり、その一方側に配置される第1のブロックを横断する1つ以上の選択線の第1のグループと、

複数のワード線に対して概して平行であり、そのもう一方側に配置される第1のブロックを横断する2つ以上の選択線の第2のグループと、

複数の直列接続されたNANDストリングとを含み、その各々は、その第1の端部において、第1のグループの1つ以上の選択線のそれぞれに各々が応答する同様の種類の1つ以上の直列選択デバイスの第1のグループを含み、複数のワード線のそれぞれに各々が応答する複数のメモリセルデバイスをさらに含み、その第2の端部において、第2のグループの2つ以上の選択線のそれぞれに各々が応答する同様の種類の2つ以上のブロック選択デバイスの第2のグループをさらに含む、請求項1に記載の集積回路。

【請求項 11】

各NANDストリングの第1の端部はそれぞれ、複数のグローバルビット線のそれぞれに結合され、

各NANDストリングの第2の端部は、第1のバイアスノードにそれぞれ結合される、請求項10に記載の集積回路。

【請求項 12】

2つ以上のグローバルビット線層上に配置されるグローバルビット線を含む、請求項11に記載の集積回路。

【請求項 13】

隣接するNANDストリングの対の各々にそれぞれ関連付けられるグローバルビット線が、集積回路の異なる層上に配置される、請求項12に記載の集積回路。

【請求項 14】

第1のメモリブロックの各NANDストリングは、別のメモリプレーン上に配置される別のメモリブロックの対応するNANDストリングによって共有されるビアによってその関連するグローバルビット線に接触する、請求項10に記載の集積回路。

【請求項 15】

メモリセルデバイスは電荷蓄積誘電体を有するトランジスタを含む、請求項10から14のいずれかに記載の集積回路。

【請求項 16】

所与のNANDストリングのブロック選択デバイスの第1および第2のグループは、所与のNANDストリングのメモリセルトランジスタと構造的に同一である、請求項10から15のいずれかに記載の集積回路。

【請求項 17】

前記集積回路の設計、テストまたは作製の際に用いるのに好適なコンピュータ読取可能な記述形式で実現される、請求項1から16のいずれかに記載の集積回路。

【請求項 18】

メモリアレイにおけるメモリセルをプログラミングするための方法であって、前記メモリアレイはメモリセルの少なくとも1つのプレーンを有し、前記メモリセルは、複数の直列接続されたNANDストリングに配置された変更可能なコンダクタンススイッチデバイスを含み、前記方法は、

アレイのブロック、被選択ブロック内のNANDストリング、および被選択NANDストリング内のメモリセルを選択するステップと、

被選択NANDストリングの第1の端部におけるあるグループの同様の種類の1つ以上の直列選択デバイスの各々をオンにすることにより、被選択NANDストリングの第1の端部を被選択グローバルビット線に結合するステップと、

被選択NANDストリングの第2の端部における同様の種類の複数の直列選択デバイスのうちの少なくとも1つをオフにすることにより、第1の共有されたバイアスノードから被選択NANDストリングの第2の端部を分離するステップと、

被選択メモリセルをプログラミングするためにビット線プログラミング電圧を被選択グローバルビット線に印加するか、または被選択メモリセルのプログラミングを抑制するためにビット線抑制電圧を印加するステップと、

被選択グローバルビット線に印加された電圧に従って被選択メモリセルを条件付きでプログラミングするために、被選択ワード線をワード線プログラミング電圧にパルスにするステップと含む、方法。

【請求項 19】

被選択ブロックにおける非選択NANDストリングの第1の端部を非選択グローバルビット線に結合するステップをさらに含み、前記第2のNANDストリングは、被選択NANDストリングと共にワード線を有し、さらに、

非選択NANDストリングの第2の端部における同様の種類の複数の直列選択デバイスのうちの少なくとも1つをオフにすることにより、第1の共有されたバイアスノードから非選択NANDストリングの第2の端部を分離するステップと、

非選択NANDストリングにおけるメモリセルのプログラミングを抑制するために、バイアス抑制電圧を第1の共有されたバイアスノードに印加するステップと、

非選択NANDストリングにおけるメモリセルのプログラミングを抑制するために、ビット線抑制電圧を非選択グローバルビット線に印加するステップとを含む、請求項18に記載の方法。

【請求項 20】

バイアス抑制電圧が、ビット線抑制電圧と実質的に同じである、請求項19に記載の方法。

【請求項 21】

変更可能なコンダクタンススイッチデバイスは、電荷蓄積誘電体を有するトランジスタを含む、請求項18に記載の方法。

【請求項 22】

バイアス抑制電圧が接地とビット線抑制電圧との間にある、請求項19に記載の方法。

【請求項 23】

メモリアレイは、基板の上に形成されたメモリセルの少なくとも2つのプレーンを有する3次元のメモリアレイを含み、

変更可能なコンダクタンススイッチデバイスは、薄膜トランジスタ(TFT)デバイスを含む、請求項9に記載の集積回路。