

ITALIAN PATENT OFFICE

Document No.

102011901911985A1

Publication Date

20120801

Applicant

STMICROELECTRONICS S.R.L.

Title

SUPPORTO DI MEMORIZZAZIONE PROVVISORIO DI ELEMENTI DI MEMORIA
DI MATERIALE FERROELETTRICO E RELATIVO METODO DI
PROGRAMMAZIONE

DESCRIZIONE

del brevetto per invenzione industriale dal titolo:
"SUPPORTO DI MEMORIZZAZIONE PROVVISORIO DI ELEMENTI DI MEMORIA DI
MATERIALE FERROELETTRICO E RELATIVO METODO DI PROGRAMMAZIONE"

di STMICROELECTRONICS S.R.L.

di nazionalità italiana

con sede: VIA C. OLIVETTI, 2

AGRATE BRIANZA (MB)

Inventori: SCALIA Antonio Maria, GRECO Maurizio

* * *

La presente invenzione è relativa ad una memoria comprendente elementi di memoria di materiale ferroelettrico e ad un metodo di programmazione (o scrittura) di tale memoria.

Come noto, nel campo dei sistemi di memorizzazione è sentita l'esigenza di raggiungere elevate capacità di immagazzinamento con alti tassi di trasferimento dati (bit rate), al contempo riducendo i costi di fabbricazione e l'occupazione di area. I sistemi di memorizzazione attualmente più utilizzati, vale a dire gli hard disk drive (con dimensioni miniaturizzate) e le memorie flash RAM, presentano intrinseci limiti tecnologici per quanto riguarda l'incremento della capacità di immagazzinamento dati e della velocità di lettura/scrittura, e la diminuzione delle loro dimensioni.

Tra le soluzioni innovative proposte, sono molto promettenti i sistemi di memorizzazione utilizzando un supporto di memorizzazione (anche detto "storage medium" o "storage media") di materiale ferroelettrico, in cui la lettura/scrittura di singoli bit viene effettuata interagendo con i domini ferroelettrici del materiale ferroelettrico.

Come noto, un materiale ferroelettrico possiede una polarizzazione spontanea, che può essere invertita da un campo elettrico applicato; come mostrato in figura 1, tale materiale presenta inoltre un ciclo di isteresi (qui rappresentato nel diagramma della carica di polarizzazione Q , o, in maniera equivalente, della polarizzazione P) nei confronti della tensione V applicata, sfruttando il quale è possibile immagazzinare le informazioni sotto forma di valori logici, o bit. In particolare, in assenza di una tensione di polarizzazione impartita al supporto ($V=0$), esistono due punti del diagramma allo stato stabile (indicati con "b" ed "e") aventi polarizzazione differente, in particolare uguale e contraria; tali punti possono rimanere nello stato stabile per un tempo lungo, mantenendo così il dato binario memorizzato (ad esempio il punto "b", con carica positiva $+Q_H$, corrisponde ad uno "0", mentre il punto "e", con carica negativa $-Q_H$, corrisponde ad un "1").

Le operazioni di scrittura prevedono l'applicazione al

supporto di materiale ferroelettrico di una tensione, positiva o negativa, maggiore (in modulo) di una tensione coercitiva V_{coe} caratteristica del materiale ferroelettrico; in tal caso, viene immagazzinata nel materiale una carica positiva $+Q_H$, o negativa $-Q_H$ (ciò corrisponde in sostanza ad uno spostamento lungo il diagramma dal punto "e" al punto "b" passando per il punto "a", oppure dal punto "b" al punto "e" passando per il punto "d"). Una tensione con un valore assoluto minore della tensione coercitiva V_{coe} non provoca invece una variazione stabile della carica immagazzinata.

Le tecniche di lettura dei dati comunemente impiegate si basano su un'operazione distruttiva, che prevede la cancellazione dei dati letti. In sintesi, una tensione (positiva o negativa) con ampiezza maggiore della tensione coercitiva V_{coe} viene applicata al materiale ferroelettrico, eseguendo in pratica un'operazione di scrittura, e viene rilevata l'occorrenza o meno di un'inversione di polarità dello stesso materiale ferroelettrico. A tal fine, viene rilevata l'esistenza o meno di una corrente apprezzabile che scorre nel materiale ferroelettrico. Chiaramente, l'applicazione di una tensione positiva (o negativa) causa l'inversione dei soli domini ferroelettrici in cui è stata precedentemente immagazzinata una carica negativa $-Q_H$ (o positiva $+Q_H$).

Documenti che descrivono memorie comprendenti elementi ferroelettrici e relativi metodi di lettura/scrittura sono i brevetti numero US 5,086,412, US 6,819,583, e US 4,888,733. Ciascuna delle celle di memoria secondo tali documenti comprende uno o più transistori per l'indirizzamento diretto della cella di memoria, e almeno un condensatore ferroelettrico addizionale per l'immagazzinamento della carica che rappresenta l'informazione logica (bit "1" o bit "0") da memorizzare.

Tali soluzioni sono tuttavia dispendiose in termini di area occupata e non ottimi in termini di funzionalità. Ad esempio, alcune di queste memorie presentano problemi di accoppiamento tra celle adiacenti durante le operazioni di scrittura.

Scopo della presente invenzione è quello di fornire una memoria comprendente elementi di materiale ferroelettrico ed un metodo di programmazione di tale memoria che consentano di superare i succitati problemi e svantaggi.

Secondo la presente invenzione vengono pertanto forniti una memoria comprendente elementi di materiale ferroelettrico ed un metodo di programmazione di tale memoria, come definiti nelle rivendicazioni allegate.

Per una migliore comprensione della presente invenzione, ne vengono ora descritte forme di realizzazione

preferite, a puro titolo di esempio non limitativo e con riferimento ai disegni allegati, nei quali:

- la figura 1 mostra un diagramma relativo ad un ciclo di isteresi di un materiale ferroelettrico di un supporto di memorizzazione;

- la figura 2 mostra una porzione di una memoria in cui ciascuna cella di memoria è formata da un singolo transistor FeFET;

- le figure 3a-3c mostrano forme di realizzazione alternative tra loro di transistori FeFET utilizzabili nella porzione di memoria di figura 2;

- la figura 4 mostra una curva transcaratteristica esemplificativa per un generico transistor FeFET;

- la figura 5 mostra fasi di un metodo di programmazione (scrittura) di celle di memoria della porzione di memoria di figura 2;

- la figura 6 mostra la porzione di memoria di figura 2 durante una fase di programmazione secondo il metodo di figura 5; e

- la figura 7 mostra una memoria comprendente la porzione di memoria di figura 2.

In figura 2 è indicato con il numero di riferimento 10 una porzione di una memoria (non mostrata nel suo complesso) comprendente una pluralità di celle di memoria 12 disposte a formare una matrice avente una pluralità di

righe 13a, 13b, ..., 13n e una pluralità di colonne 15a, 15b, ..., 15m. Ciascuna riga 13a-n della matrice così formata è definita da una rispettiva linea di parola ("word line") 18a, 18b, ..., 18n. Ciascuna colonna 15a-m della matrice è invece definita da una rispettiva coppia di linee di bit ("bit lines") 16a-m e 17a-m. Ciascuna cella di memoria 12 è disposta all'intersezione tra una linea di parola 18a-n ed una coppia di linee di bit 16a-m, 17a-m, come meglio descritto in seguito.

Risulta evidente che la porzione di memoria 10 può comprendere un numero qualsiasi di righe e colonne. In generale, la porzione di memoria 10 definisce una matrice di celle di memoria 12 di dimensioni (righe·colonne) pari a $n \cdot m$, con n e m numeri interi scelti a piacere.

Ciascuna cella di memoria 12 comprende un dispositivo elettronico operabile sia come selettore della rispettiva cella di memoria 12 (per le fasi di lettura/scrittura della cella di memoria 12) che come elemento di immagazzinamento dati (in particolare, di dati logici "1" e "0"). Secondo una forma di realizzazione della presente invenzione, il summenzionato dispositivo elettronico è un transistore 14, in particolare di tipo FeFET ("Ferroelectric Field Effect Transistor"). La cella di memoria 12 così formata, comprendente un singolo transistore FeFET è anche nota come cella di memoria "1T".

Ciascun transistorore 14 (si vedano anche le figure 3a-3c) ha un primo terminale di conduzione (terminale di sorgente o "source") 20a, un secondo terminale di conduzione (terminale di pozzo o "drain") 20b, e un terminale di controllo (terminale di porta o "gate") 20c. I transistorori 14 appartenenti ad una stessa colonna 15a-m hanno i rispettivi primi terminali di conduzione 20a collegati ad una stessa prima linea di bit ("bit line") 16a, 16b, ..., 16m, e i rispettivi secondi terminali di conduzione 20b collegati ad una stessa seconda linea di bit 17a, 17b, ..., 17c. In questo modo, per ciascuna colonna 15a-m, i transistorori 14 sono elettricamente collegati tra loro in parallelo.

Per ciascuna riga 13a-n, i terminali di controllo 20c di ciascun transistorore 14 appartenente a quella riga 13a-n sono elettricamente collegati ad una stessa linea di parola ("word line") 18a, 18b, ..., 18n.

Le figure 3a-3c mostrano forme di realizzazione alternative tra loro di un transistorore FeFET utilizzabile come cella di memoria 12 della porzione di memoria 10 di figura 2, in particolare una cella di memoria a singolo transistorore (1T).

In particolare, la figura 3a mostra, in vista in sezione, un transistorore 14a di tipo FeFET con struttura di tipo "top gate". Il transistorore 14a comprende: uno strato

semiconduttore 22; un primo terminale di conduzione 23, di materiale conduttore, atto a formare un terminale di sorgente del transistor 14a, formato (almeno parzialmente) nello strato semiconduttore 22; un secondo terminale di conduzione 24, di materiale conduttore, atto a formare un terminale di pozzo del transistor 14a, formato (almeno parzialmente) nello strato semiconduttore 22 a distanza dal primo terminale di conduzione 23 e lateralmente connesso al primo terminale di conduzione 23 mediante una porzione 22a dello strato semiconduttore 22; uno strato ferroelettrico 26, preferibilmente di materiale ferroelettrico polimerico organico, formato in contatto con lo strato semiconduttore 22 e separato dal primo e dal secondo terminale di conduzione 23, 24 mediante lo strato semiconduttore 22; e un terminale di controllo 27 (terminale di "gate"), di materiale conduttore, formato sullo ed in contatto con lo strato ferroelettrico 26. In questo modo, lo strato ferroelettrico 26 si estende tra il terminale di controllo 27 e lo strato semiconduttore 22 in cui sono formati il primo e il secondo terminale di conduzione 23, 24. Lo strato ferroelettrico 26 ha, in uso, la funzione di elemento di memoria atto a registrare e conservare ("store") il dato logico che si desidera memorizzare. Il transistor 14a descritto può essere utilizzato per formare la cella di memoria 12. In questo caso, il primo terminale

di conduzione 23 corrisponde al terminale 20a, il secondo terminale di conduzione 24 corrisponde al terminale 20b, e il terminale di controllo 27 corrisponde al terminale 20c del transistor 14 di figura 2.

Per operare il transistor 14a di figura 3a come elemento di memoria, in particolare per scrivere un dato logico, una tensione è applicata tra il terminale di controllo 27 ed i terminali di conduzione 23, 24 al fine di modificare lo stato di polarizzazione dello strato ferroelettrico 26. In particolare, un primo stato di polarizzazione è associato ad un primo valore logico, mentre un secondo stato di polarizzazione è associato ad un secondo valore logico. Come noto, lo stato di polarizzazione impostato è mantenuto nello strato ferroelettrico 26 anche in seguito al cessare della tensione applicata.

Per leggere un dato logico memorizzato nell'elemento di memoria formato dal transistor 14a, viene applicata una tensione tra il primo ed il secondo terminale di conduzione 23, 24 e viene rilevata la corrente che fluisce tra i terminali 23, 24. La corrente che fluisce tra il primo e il secondo terminale di conduzione 23, 24 è influenzata dallo stato di polarizzazione dello strato ferroelettrico 26, ed il valore di corrente rilevato può così essere associato al valore logico memorizzato. Con riferimento alla figura 3a,

la porzione dello strato semiconduttore 22 compresa tra il primo e il secondo terminale di conduzione 23, 24 ha, in uso durante le operazioni di lettura, la funzione di regione di canale del transistor 14a, nella quale i portatori di carica fluiscono.

La figura 3b mostra, in vista in sezione, un transistor 14b di tipo FeFET, avente struttura di tipo "bottom gate/top contact", secondo una forma di realizzazione alternativa a quella di figura 3a. Il transistor 14b di figura 3b comprende, analogamente al transistor 14 a di figura 3a (elementi comuni sono indicati con gli stessi numeri di riferimento): il terminale di controllo 27, di materiale conduttore, avente la funzione di terminale di "gate" del transistor 14b; lo strato semiconduttore 22; lo strato di materiale ferroelettrico 26, estendentesi tra lo strato semiconduttore 22 e il terminale di controllo 27; il primo terminale di conduzione 23, estendentesi al di sopra ed in contatto elettrico con lo strato semiconduttore 22; e il secondo terminale di conduzione 24 estendentesi al di sopra ed in contatto elettrico con lo strato semiconduttore 22, a distanza dal primo terminale di conduzione 23. La forma di realizzazione di figura 3b differisce dalla forma di realizzazione di figura 3a in quanto il primo e il secondo terminale di conduzione 23, 24 non si estendono

internamente allo strato semiconduttore 22, ma al di sopra di ed in contatto con lo strato semiconduttore 22. Il funzionamento del transistor 14b per le operazioni di scrittura e lettura di un dato logico è analogo a quanto descritto con riferimento al transistor 14a di figura 3a, e il transistor 14b può dunque essere utilizzato come cella di memoria 12 nella porzione di memoria 10 di figura 2.

La figura 3c mostra, in vista in sezione, un transistor 14c di tipo FeFET, avente struttura di tipo "bottom gate", secondo una ulteriore forma di realizzazione alternativa a quanto mostrato nelle figure 3a e 3b. Il transistor 14c di figura 3c ha una struttura analoga al transistor 14b di figura 3b, ma differisce da quest'ultimo per la presenza di uno strato semiconduttore 22 che si estende al di sotto, tra, e al di sopra del primo e del secondo terminale di contatto 23, 24. Per accedere al primo e al secondo terminale di conduzione 23, 24 devono essere formati opportuni contatti (non mostrati) estendentisi attraverso la porzione dello strato semiconduttore formata al di sopra del primo e del secondo terminale di conduzione 23, 24. Il funzionamento del transistor 14c, per le operazioni di scrittura e lettura di un dato logico, è analogo a quello descritto con riferimento al transistor 14a di figura 3a, e il transistor 14c può dunque essere

utilizzato come cella di memoria 12 nella porzione di memoria 10 di figura 2.

La figura 4 mostra una curva transcaratteristica esemplificativa per un transistor FeFET. L'asse delle ascisse mostra la tensione V_G applicata al terminale di gate del transistor FeFET, mentre l'asse delle ordinate (in scala logaritmica) mostra la corrente I_D che fluisce tra il terminale di source e il terminale di drain al variare della tensione V_G . Un valore di tensione $V_G \approx V_{cc} > V_{coe}$ corrisponde ad impostare un primo determinato stato di polarizzazione del materiale ferroelettrico del transistor FeFET, corrispondente ad un valore di corrente I_D minimo in valore assoluto, associabile al valore logico basso ("0"); un valore di tensione $V_G \approx (-V_{cc}) < (-V_{coe})$ corrisponde ad impostare un secondo determinato stato di polarizzazione del materiale ferroelettrico del transistor FeFET (opposto al primo stato di polarizzazione), corrispondente ad un valore di corrente I_D massimo in valore assoluto, associabile al valore logico alto ("1").

La transizione tra i due stati di polarizzazione segue una curva di isteresi, come già discusso con riferimento alla figura 1.

La figura 5 mostra, mediante diagramma di flusso, fasi di un metodo di programmazione (scrittura) di una memoria comprendente una pluralità di celle di memoria, ciascuna

cella di memoria essendo del tipo "1T", e cioè comprendente un singolo transistor di tipo FeFET (ad esempio secondo le tipologie mostrate nelle figure 3a-3c, o avente struttura diversa da quelle mostrate, indifferentemente).

Le fasi di programmazione di figura 5 sono descritte con riferimento congiunto alla figura 6, che mostra segnali di tensione applicati alla porzione di memoria 10 di figura 2 durante le fasi di programmazione.

Si sceglie innanzitutto una cella di memoria 12 da programmare (ad esempio, con riferimento alla figura 6, la cella di memoria 12 che si trova in corrispondenza della prima riga 13a e della prima colonna 15a). Quindi, fase 30, si polarizza ad una tensione di programmazione V_{prog} (ad esempio uguale a V_{cc}) la linea di parola 13a in modo da polarizzare a tensione V_{prog} il terminale di controllo 20c del rispettivo transistor 14. In figura 6 questa fase è illustrata mediante il generatore di tensione 28 collegato alla linea di parola 18a, collegato tra un terminale di terra GND e la linea di parola 18a, e configurato per generare la tensione V_{prog} .

La tensione V_{prog} ha la funzione di tensione di programmazione (scrittura) della cella di memoria 12 e ha valore maggiore, in modulo, della tensione coercitiva V_{coe} del materiale ferroelettrico del transistor 14 appartenente alla cella di memoria 12 considerata. La

tensione coercitiva V_{coe} può avere valore positivo o negativo, a seconda del valore logico che si desidera memorizzare nella cella di memoria 12.

Le restanti linee di parola 13b, ..., 13n sono polarizzate, fase 32, a tensione V_{safe} , avente valore, in modulo, compreso tra 0V e V_{cc} ($0 < |V_{safe}| < |±V_{cc}|$), ad esempio $V_{safe} ≈ (±V_{cc}/2)$. Per valori negativi di V_{coe} si avrà che $V_{prog} < V_{coe}$ e $-V_{cc} < V_{safe} < 0$ (es. $V_{safe} = -V_{cc}/2$); mentre per valori positivi di V_{coe} si avrà che $V_{prog} > V_{coe}$ e $0 < V_{safe} < +V_{cc}$ (es. $V_{safe} = +V_{cc}/2$). Con riferimento alla figura 6, questa fase è illustrata mostrando generatori di tensione 29', 29'', ciascuno collegato tra un terminale di terra GND e una rispettiva linea di parola 18b-n, configurati per generare una tensione V_{safe} .

Per eseguire la programmazione della cella di memoria 12, le corrispondenti linee di bit (con riferimento alla figura 6, per il caso considerato, le linee di bit 16a e 17a) sono polarizzate, fase 34, ad una tensione di riferimento V_{ref} , ad esempio V_{ref} è la tensione di terra (indicativamente pari a 0 V). In questo modo, i terminali di source e di drain 20a, 20b del corrispondente transistore 14 sono polarizzati al valore di tensione di riferimento V_{ref} . In figura 6, questa situazione è schematizzata mostrando generatori 35', 35'' configurati per generare la tensione di riferimento V_{ref} . Risulta evidente

che, nel caso in cui la tensione di riferimento V_{ref} sia pari alla tensione di terra GND, i generatori 35', 35'', le linee di bit 16a e 17a sono collegate direttamente alla tensione di terra GND. Si determina pertanto, tra il terminale di gate 20c e i terminali di source e drain 20a e 20b, una differenza di potenziale pari a $V_{prog}-V_{ref}$. Nel caso in esempio in cui $V_{ref}=0V$, la differenza di potenziale è pari alla tensione di programmazione V_{prog} . Poiché, come detto, la tensione V_{prog} ha valore tale da impostare uno stato di polarizzazione stabile del materiale ferroelettrico dello strato ferroelettrico 26 del transistor 14, si la scrittura del dato logico nella cella di memoria 12 considerata è così effettuata. In generale, il valore di tensione $V_{prog}-V_{ref}$ deve essere tale da essere superiore al valore di tensione di coercizione V_{coe} , tale da impostare uno stato di polarizzazione stabile del materiale ferroelettrico dello strato ferroelettrico 26 del transistor 14.

È evidente che, durante la fase 34, anche i terminali di source e di drain 20a, 20b di tutti gli altri transistori 14 collegati alle linee di bit 16a e 17a sono polarizzati alla tensione $V_{ref}=0V$. Le tensioni V_{ref} e V_{safe} sono tuttavia scelte in modo tale che la differenza di potenziale che si determina tra i terminali di source/drain 20a/20b e gate 20c dei transistori 14 collegati tra le

linee di bit 16a e 17a non è sufficiente a modificare in modo stabile lo stato di polarizzazione del materiale ferroelettrico dei rispettivi transistori 14. Le celle di memoria 12 che comprendono tali transistori 14 non sono programmate durante la fase 34, e mantengono memorizzato il proprio dato logico.

Per evitare la programmazione non desiderata delle celle di memoria 12 disposte in corrispondenza delle righe 15b, ..., 15m, le restanti linee di bit 16b-m, 17b-m sono polarizzate a tensione pari a V_{prog} (mediante una rispettiva pluralità di $m-1$ generatori di tensione $37'$, $37''$, $37'''$, come mostrati in figura 6).

Dunque, per alcuni transistori 14 la differenza di potenziale tra i rispettivi terminali di gate e di source/drain è nulla, per altri transistori 14 tale differenza di potenziale è pari a $V_{safe}-V_{prog}$, mentre per altri transistori ancora è pari a $V_{safe}-V_{ref}$. In tutti i casi, il valore di tensione che si stabilisce tra i terminali di gate e di source/drain dei transistori 14 è inferiore al valore di tensione coercitiva V_{coe} e pertanto tali celle di memoria 12 non vengono programmate e mantengono memorizzato il proprio dato logico.

Le fasi descritte con riferimento alla figura 5 sono eseguite iterativamente per tutte le celle di memoria 12 che si desidera programmare (terminata la programmazione di

una cella di memoria 12 si passa dalla fase 36 alla fase 32 e si programma una nuova cella di memoria 12).

Secondo una forma di realizzazione della presente invenzione, le fasi del metodo di programmazione di figura 5 sono preferibilmente eseguite contemporaneamente, per evitare di programmare in modo non voluto alcune o tutte le celle di memoria 12.

Alternativamente, secondo un'ulteriore forma di realizzazione, è possibile impostare tutte le linee di bit ad un valore V_{prog} , e, contemporaneamente, tutte le linee di parola ad un valore V_{safe} . Quindi, ridurre a zero il valore di polarizzazione delle sole linee di bit corrispondenti alla cella di memoria 12 da programmare.

Il valore di riferimento V_{ref} è, secondo una forma di realizzazione della presente invenzione, pari a 0 V, ma in generale è un valore di riferimento che può essere diverso da 0 V.

Se si desidera programmare tutte le celle di memoria 12 della porzione di memoria 10, è vantaggioso programmare una cella di memoria 12 alla volta in modo sequenziale e progressivo per colonne 15a-m. Ad esempio, si inizia a programmare la cella di memoria 12 presente all'intersezione tra la riga 13a e la colonna 15a e, terminata la programmazione di questa cella di memoria 12, si passa alla programmazione della cella disposta sulla

medesima colonna ma alla riga successiva (riga 13b, colonna 15a), e così via fino a terminare la programmazione delle n celle presenti in corrispondenza della colonna 15a. Si passa in seguito alla programmazione della colonna successiva, cioè della cella di memoria 12 presente all'intersezione tra la riga 13a e la colonna 15b, e così via in modo sequenziale fino a programmare, sequenzialmente colonna per colonna, le celle di memoria 12 della m-esima colonna.

La figura 7 mostra una architettura di una memoria 50 che comprende la porzione di memoria 10 di figura 2.

La memoria 50 comprende un blocco di lettura 52, in particolare includente una pluralità di "sense amplifier" (ancora più in particolare, un numero di sense amplifier pari a m), ciascuno di essi collegato alle linee di bit 16a-16m, 17a-17m di una rispettiva colonna 15a-m, e atti ad essere utilizzati durante operazioni di lettura della memoria 50 (le operazioni di lettura non sono parte della presente invenzione e quindi non sono descritte).

La memoria 50 comprende inoltre un decodificatore di colonna 54, collegato alle linee di bit 16a-16m, 17a-17m di ciascuna colonna 15a-m, atto a collegare opportunamente le linee di bit a generatori di tensione e/o a un riferimento di terra configurati per polarizzare, secondo le fasi del metodo di figura 5, le linee di bit 16a-16m, 17a-17m alle

tensioni operative V_{prog} e di riferimento di massa (es. 0 V).

La memoria 50 comprende inoltre un decodificatore di riga 56, collegato alle linee di parola 18a-n di ciascuna riga 13a-n, atto a collegare opportunamente le linee di parola a generatori di tensione configurati per polarizzare, secondo le fasi del metodo di figura 5, le linee di parola 18a-n alle tensioni operative V_{prog} , V_{safe} .

Il blocco di lettura 52, il decodificatore di riga 56, e il decodificatore di colonna 54 sono operativamente collegati ad una logica di controllo 60. La logica di controllo 60 è in particolare configurata per controllare il funzionamento dei decodificatori di riga 56 e di colonna 54 al fine di implementare le fasi del metodo di figura 5.

Da un esame delle caratteristiche del trovato realizzato secondo la presente invenzione sono evidenti i vantaggi che essa consente di ottenere.

Risulta infine chiaro che a quanto qui descritto ed illustrato possono essere apportate modifiche e varianti senza per questo uscire dall'ambito di protezione della presente invenzione, come definito nelle rivendicazioni allegate.

Ad esempio, la tecnica di programmazione descritta può essere vantaggiosamente applicata in differenti sistemi di memorizzazione basati su materiale ferroelettrico, ad

esempio in memorie FeRAM comprendenti una pluralità di celle di memoria includenti un transistor di selezione (ad esempio un MOSFET) ed un condensatore, collegato al transistor di selezione, comprendente materiale ferroelettrico.

Inoltre, ai fini della presente invenzione, il cambiamento dello stato di polarizzazione dello strato ferroelettrico 26 può essere effettuato polarizzando le linee di bit 16a-m e 17a-m appartenenti ad una stessa colonna 15a-m a tensioni diverse tra loro, ma tali per cui la differenza di potenziale tra tensione applicata al terminale di gate e le tensioni applicate ai terminali di source e drain sia tale da generare una variazione stabile dello stato di polarizzazione dello strato ferroelettrico 26 del transistor 14 che si sta scrivendo.

Inoltre, il metodo di scrittura secondo la presente invenzione non necessita della presenza di due linee di bit 16a-m e 17a-m per ciascuna colonna 15a-m. Infatti, per ciascuna colonna 15a-m, è sufficiente la sola linea di bit 16a-m (o la sola linea di bit 17a-m) per generare una differenza di potenziale tra terminale di gate 20c e terminale di source 20a (o drain 20b) tale da causare una variazione stabile dello stato di polarizzazione dello strato ferroelettrico 26 del transistor 14 che si sta scrivendo.

RIVENDICAZIONI

1. Metodo di scrittura di un dato logico in una memoria (10) includente una prima linea di parola (18a) e una prima linea di bit (16a), detta memoria (10) includendo inoltre una prima cella di memoria (12) comprendente un primo transistor ferroelettrico (14), detto primo transistor ferroelettrico includendo uno strato di materiale ferroelettrico (26) e avendo un primo terminale di conduzione (20a) accoppiato alla prima linea di bit, ed un terminale di controllo (20c) accoppiato alla prima linea di parola, il metodo comprendendo le fasi di:

- applicare alla prima linea di parola (18a) una grandezza elettrica ("electric quantity") di scrittura (28, V_{prog} ; V_{cc}), polarizzando il terminale di controllo del primo transistor ferroelettrico ad un primo valore di polarizzazione (V_{prog});

- applicare alla prima linea di bit (16a) una prima grandezza elettrica di riferimento ($35'$, V_{ref}), polarizzando il primo terminale di conduzione del primo transistor ferroelettrico ad un secondo valore di polarizzazione diverso dal primo valore di polarizzazione;
- e

- generare una variazione stabile dello stato di polarizzazione dello strato di materiale ferroelettrico (26) del primo transistor ferroelettrico (14), così che

dato logico è scritto nella prima cella di memoria (12).

2. Metodo secondo la rivendicazione 1, in cui la memoria (10) include inoltre una seconda linea di bit (16b), detta memoria (10) includendo inoltre una seconda cella di memoria (12) comprendente un secondo transistor ferroelettrico (14), detto secondo transistor ferroelettrico includendo uno strato di materiale ferroelettrico (26) e avendo un primo terminale di conduzione (20a) accoppiato alla seconda linea di bit, ed un terminale di controllo (20c) accoppiato alla prima linea di parola (18a), il metodo comprendendo inoltre la fase di applicare alla seconda linea di bit (16b) detta grandezza elettrica di scrittura (V_{prog} ; V_{cc}), polarizzando il primo terminale di conduzione del secondo transistor ferroelettrico a detto primo valore di polarizzazione.

3. Metodo secondo la rivendicazione 1 o 2, in cui la memoria (10) include inoltre una terza linea di bit (17a), il primo transistor (14) avendo inoltre un secondo terminale di conduzione (20b) accoppiato alla terza linea di bit, il metodo comprendendo inoltre la fase di applicare alla terza linea di bit (17a) una seconda grandezza elettrica di riferimento (V_{ref}), polarizzando il secondo terminale di conduzione del primo transistor ferroelettrico ad un terzo valore di polarizzazione diverso

dal primo valore di polarizzazione.

4. Metodo secondo la rivendicazione 2 o 3, in cui la memoria (10) include inoltre una quarta linea di bit (17b), detto secondo transistor ferroelettrico includendo avendo inoltre un secondo terminale di conduzione (20a) accoppiato alla quarta linea di bit (17b), il metodo comprendendo inoltre la fase di applicare alla quarta linea di bit detta grandezza elettrica di scrittura (V_{prog} ; V_{cc}), polarizzando il secondo terminale di conduzione del secondo transistor ferroelettrico a detto primo valore di polarizzazione.

5. Metodo secondo una qualsiasi delle rivendicazioni precedenti, in cui la memoria (10) include inoltre una seconda linea di parola (18b), ed una terza cella di memoria (12) comprendente un terzo transistor ferroelettrico (14), detto terzo transistor ferroelettrico includendo uno strato di materiale ferroelettrico (26) e avendo un primo terminale di conduzione (20a) accoppiato alla prima linea di bit (16a), ed un terminale di controllo (20c) accoppiato alla seconda linea di parola (18b), il metodo comprendendo inoltre la fase di applicare alla seconda linea di parola (18b) una grandezza elettrica intermedia (V_{safe}) avente, in modulo, valore minore del valore della grandezza elettrica di scrittura (V_{prog} ; V_{cc}).

6. Metodo secondo le rivendicazioni 4 e 5, in cui dette grandezza elettrica di scrittura (28, V_{prog} ; V_{cc}), prima grandezza elettrica di riferimento (35', V_{ref}), seconda grandezza elettrica di riferimento (35'', V_{ref}), e grandezza elettrica intermedia (V_{safe}) sono tensioni.

7. Memoria ferroelettrica, comprendente:

- una prima linea di parola (18a);
- una prima linea di bit (16a);
- una prima cella di memoria (12) includente un primo transistor ferroelettrico (14) provvisto di uno strato di materiale ferroelettrico (26) e avente un primo terminale di conduzione (20a) accoppiato alla prima linea di bit ed un terminale di controllo (20c) accoppiato alla prima linea di parola;

- un primo generatore (28) di una grandezza elettrica di scrittura (V_{prog} ; V_{cc}), accoppiato alla prima linea di parola (18a), configurato per polarizzare, tramite detta prima linea di parola (18a), il terminale di controllo (20c) del primo transistor ferroelettrico (14) ad un primo valore di polarizzazione;

- un primo generatore di riferimento (35') accoppiato alla prima linea di bit (16a), configurato per polarizzare, tramite detta prima linea di bit (16a), il primo terminale di conduzione (20a) del primo transistor ferroelettrico (14) ad un secondo valore di polarizzazione diverso dal

primo valore di polarizzazione,

il primo e il secondo valore di polarizzazione essendo atti a generare una variazione stabile dello stato di polarizzazione dello strato di materiale ferroelettrico (26) del primo transistore ferroelettrico (14), così da scrivere detto dato logico nella prima cella di memoria (12).

8. Memoria secondo la rivendicazione 7, comprendente inoltre:

- una seconda linea di bit (16b);

- una seconda cella di memoria (12) includente un secondo transistore ferroelettrico (14) provvisto di uno strato di materiale ferroelettrico (26) e avente un primo terminale di conduzione (20a) accoppiato alla seconda linea di bit (16b), ed un terminale di controllo (20c) accoppiato alla prima linea di parola (18a),

in cui il primo generatore è inoltre configurato per polarizzare, tramite la prima linea di parola (18a), il primo terminale di conduzione del secondo transistore ferroelettrico al primo valore di polarizzazione.

9. Memoria secondo rivendicazione 7 o 8, comprendente inoltre:

- una seconda linea di parola (18b);

- una terza cella di memoria (12) includente un terzo transistore ferroelettrico (14) provvisto di uno strato di

materiale ferroelettrico (26) e avente un primo terminale di conduzione (20a) accoppiato alla prima linea di bit (16a) ed un terminale di controllo (20c) accoppiato alla seconda linea di parola (18b);

- un generatore (29') di una grandezza elettrica intermedia (V_{safe}), accoppiato alla seconda linea di parola (18b) e configurato per polarizzare, tramite detta seconda linea di parola (18b), il terminale di controllo (20c) del terzo transistor ferroelettrico (14) ad un terzo valore di polarizzazione minore del valore della grandezza elettrica di scrittura (V_{prog} ; V_{cc}).

10. Memoria secondo le rivendicazioni 8 e 9, comprendente inoltre:

- una quarta cella di memoria (12) includente un quarto transistor ferroelettrico (14) provvisto di uno strato di materiale ferroelettrico (26) e avente un primo terminale di conduzione (20a) accoppiato alla seconda linea di bit (16b), ed un terminale di controllo (20c) accoppiato alla seconda linea di parola (18b);

- un secondo generatore (37') di detta grandezza elettrica di scrittura (V_{prog} ; V_{cc}) accoppiato alla seconda linea di bit (16b), configurato per polarizzare, tramite la seconda linea di bit (16b) il primo terminale di conduzione (20a) del quarto transistor ferroelettrico (14) al primo valore di polarizzazione (V_{prog} ; V_{cc}).

11. Memoria secondo la rivendicazione 10, in cui il primo e il terzo transistor ferroelettrico (14) hanno inoltre un rispettivo secondo terminale di conduzione (20b), la memoria comprendendo inoltre:

- una terza linea di bit (17a) accoppiata al rispettivo secondo terminale di conduzione (20b) del primo e del terzo transistor (14);

- un secondo generatore di riferimento (35") accoppiato alla seconda linea di bit (17a), configurato per polarizzare, tramite detta seconda linea di bit (17a), il secondo terminale di conduzione (20b) del primo e del terzo transistor ferroelettrico (14) ad un terzo valore di polarizzazione diverso dal primo valore di polarizzazione.

12. Memoria secondo la rivendicazione 11, in cui il primo e il secondo generatore della grandezza elettrica di scrittura (V_{prog} ; V_{cc}), il primo generatore di riferimento, il secondo generatore di riferimento, e il generatore della grandezza elettrica intermedia (V_{safe}) sono generatori di tensione.

p.i.: STMICROELECTRONICS S.R.L.

Elena CERBARO

CLAIMS

1. A method of writing a logic datum in a memory (10) including a first wordline (18a) and a first bitline (16a), said memory (10) further including a first memory cell (12) comprising a first ferroelectric transistor (14), said first ferroelectric transistor including a layer of ferroelectric material (26) and having a first conduction terminal (20a) coupled to the first bitline, and a control terminal (20c) coupled to the first wordline, the method comprising the steps of:

- applying to the first wordline (18a) a writing electrical quantity (28, V_{prog} ; V_{cc}) to bias the control terminal of the first ferroelectric transistor to a first biasing value (V_{prog});
- applying to the first bitline (16a) a first reference electrical quantity (35', V_{ref}) to bias the first conduction terminal of the first ferroelectric transistor to a second biasing value different from the first biasing value; and
- generating a stable variation of the state of polarization of the layer of ferroelectric material (26) of the first ferroelectric transistor (14) so that the logic datum is written in the first memory cell (12).

2. The method according to claim 1, wherein the memory (10) further includes a second bitline (16b), said memory (10) further including a second memory cell (12) comprising a second ferroelectric transistor (14), said second ferroelectric transistor including a layer of ferroelectric material (26) and having a first conduction terminal (20a) coupled to the second bitline, and a control terminal (20c) coupled to the first wordline (18a), the method further comprising the step of applying to the second bitline (16b) said writing electrical quantity (37', V_{prog} ; V_{cc}) to bias the first conduction terminal of the second ferroelectric transistor at said first biasing value.

3. The method according to claim 1 or claim 2, wherein the memory (10) further includes a third bitline (17a), the first transistor (14) moreover having a second conduction terminal (20b) coupled to the third bitline, the method further comprising the step of applying to the third bitline (17a) a second reference electrical quantity (35", V_{ref}) to bias the second conduction terminal of the first ferroelectric transistor at a third biasing value different from the first biasing value.

10

4. The method according to claim 2 or claim 3, wherein the memory (10) further includes a fourth bitline (17b), said second ferroelectric transistor further including a second conduction terminal (20a) coupled to the fourth bitline (17b), the method further comprising the step of applying to the fourth bitline said writing electrical quantity (37", V_{prog} ; V_{cc}) to bias the second conduction terminal of the second ferroelectric transistor at said first biasing value.

20

5. The method according to any one of the preceding claims, wherein the memory (10) further includes a second wordline (18b), and a third memory cell (12) comprising a third ferroelectric transistor (14), said third ferroelectric transistor including a layer of ferroelectric material (26) and having a first conduction terminal (20a) coupled to the first bitline (16a), and a control terminal (20c) coupled to the second wordline (18b), the method further comprising the step of applying to the second wordline (18b) an intermediate electrical quantity (29', V_{safe}) that is lower, in absolute value, than the writing electrical quantity (V_{prog} ; V_{cc}).

30

6. The method according to claims 4 and 5, wherein said writing electrical quantity (28, V_{prog} ; V_{cc}), said first reference electrical quantity (35', V_{ref}), said second reference electrical quantity (35", V_{ref}), and said intermediate electrical quantity (V_{safe}) are voltages.

35

7. A ferroelectric memory, comprising:

- a first wordline (18a);

- a first bitline (16a);

5 - a first memory cell (12) including a first ferroelectric transistor (14), which is provided with a layer of ferroelectric material (26) and has a first conduction terminal (20a) coupled to the first bitline and a control terminal (20c) coupled to the first wordline;

10 - a first generator (28) for generating a writing electrical quantity (V_{prog} ; V_{cc}), coupled to the first wordline (18a), configured for biasing, through said first wordline (18a), the control terminal (20c) of the first ferroelectric transistor (14) at a first biasing value; and

15 - a first reference generator (35') coupled to the first bitline (16a), configured for biasing, through said first bitline (16a), the first conduction terminal (20a) of the first ferroelectric transistor (14) at a second biasing value different from the first biasing value, the first and second
20 biasing values being designed to generate a stable variation of the state of polarization of the layer of ferroelectric material (26) of the first ferroelectric transistor (14) so as to write said logic datum in the first memory cell (12).

25 8. The memory according to claim 7, further comprising:

- a second bitline (16b); and

- a second memory cell (12) including a second ferroelectric transistor (14), which is provided with a layer of ferroelectric material (26) and has a first conduction
30 terminal (20a) coupled to the second bitline (16b), and a control terminal (20c) coupled to the first wordline (18a), wherein the first generator is moreover configured for biasing, through the first wordline (18a), the first conduction terminal of the second ferroelectric transistor at
35 the first biasing value.

9. The memory according to claim 7 or claim 8, further comprising:

- a second wordline (18b);

5 - a third memory cell (12) including a third ferroelectric transistor (14), which is provided with a layer of ferroelectric material (26) and has a first conduction terminal (20a) coupled to the first bitline (16a) and a control terminal (20c) coupled to the second wordline (18b); and

10 - a generator (29') for generating an intermediate electrical quantity (V_{safe}), coupled to the second wordline (18b) and configured for biasing, through said second wordline (18b), the control terminal (20c) of the third ferroelectric transistor (14) at a third biasing value lower than the value
15 of the writing electrical quantity (V_{prog} ; V_{cc}).

10. The memory according to claims 8 and 9, further comprising:

20 - a fourth memory cell (12) including a fourth ferroelectric transistor (14), which is provided with a layer of ferroelectric material (26) and has a first conduction terminal (20a) coupled to the second bitline (16b), and a control terminal (20c) coupled to the second wordline (18b); and

25 - a second generator (37') for generating said writing electrical quantity (V_{prog} ; V_{cc}) coupled to the second bitline (16b), configured for biasing, through the second bitline (16b), the first conduction terminal (20a) of the fourth ferroelectric transistor (14) at the first biasing value
30 (V_{prog} ; V_{cc}).

11. The memory according to claim 10, wherein the first and third ferroelectric transistors (14) moreover have a respective second conduction terminal (20b), the memory
35 further comprising:

- a third bitline (17a), coupled to the respective second

conduction terminal (20b) of the first and third transistors (14); and

- a second reference generator (35") coupled to the second bitline (17a), configured for biasing, through said second
5 bitline (17a), the second conduction terminal (20b) of the first and third ferroelectric transistors (14) at a third biasing value different from the first biasing value.

12. The memory according to claim 11, wherein the first and
10 second generators for generating the writing electrical quantity (V_{prog} ; V_{cc}), the first reference generator, the second reference generator, and the generator for generating the intermediate electrical quantity (V_{safe}) are voltage
15 generators.

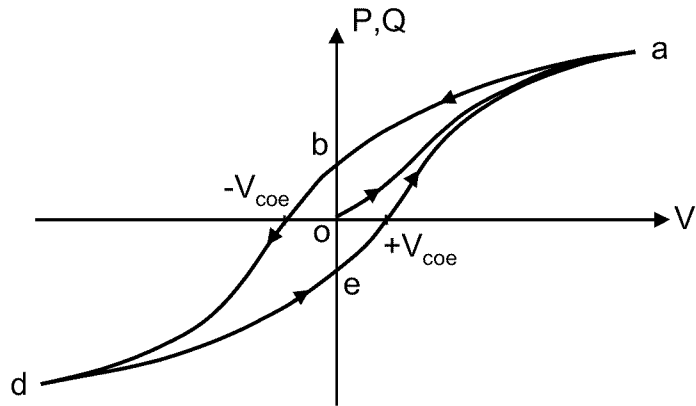


Fig.1

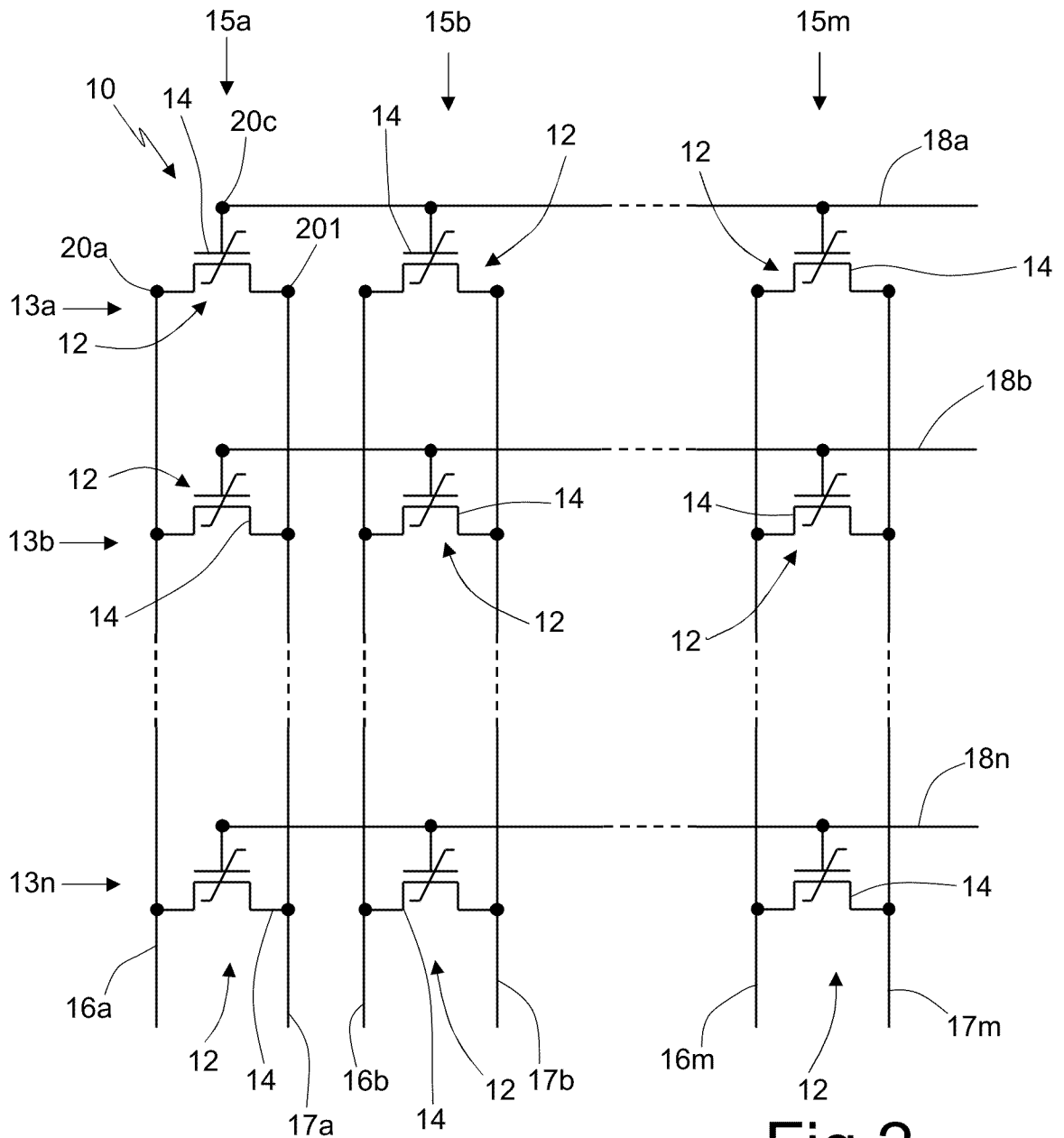
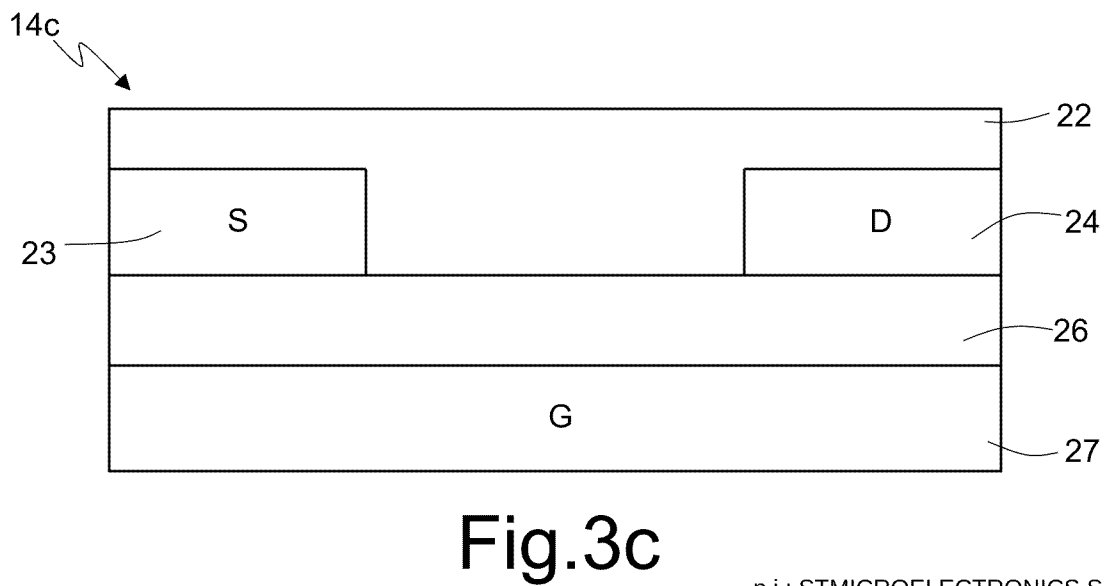
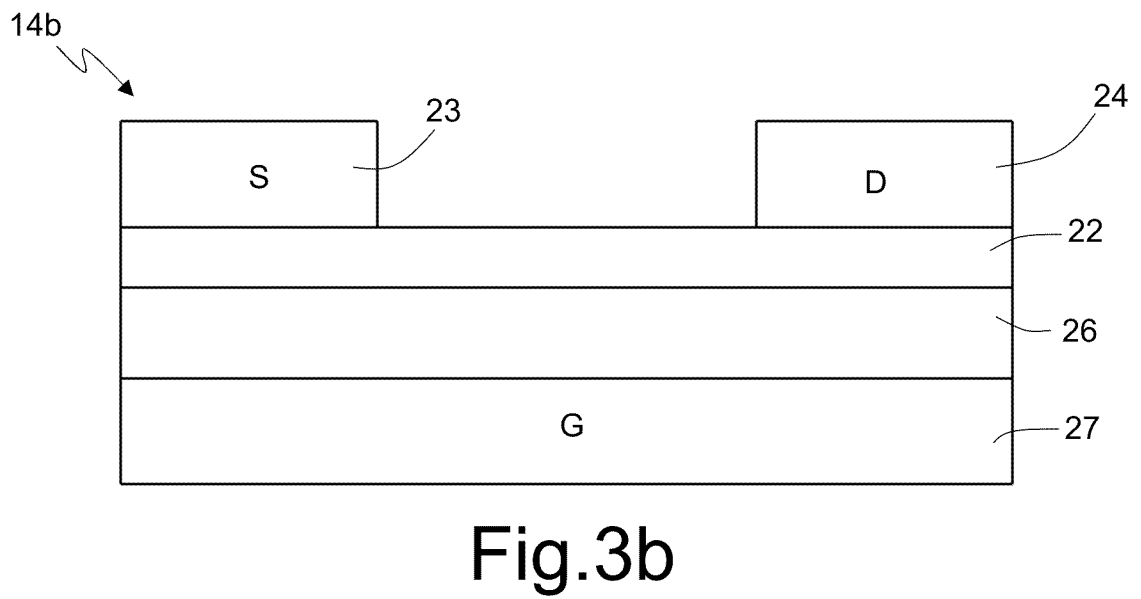
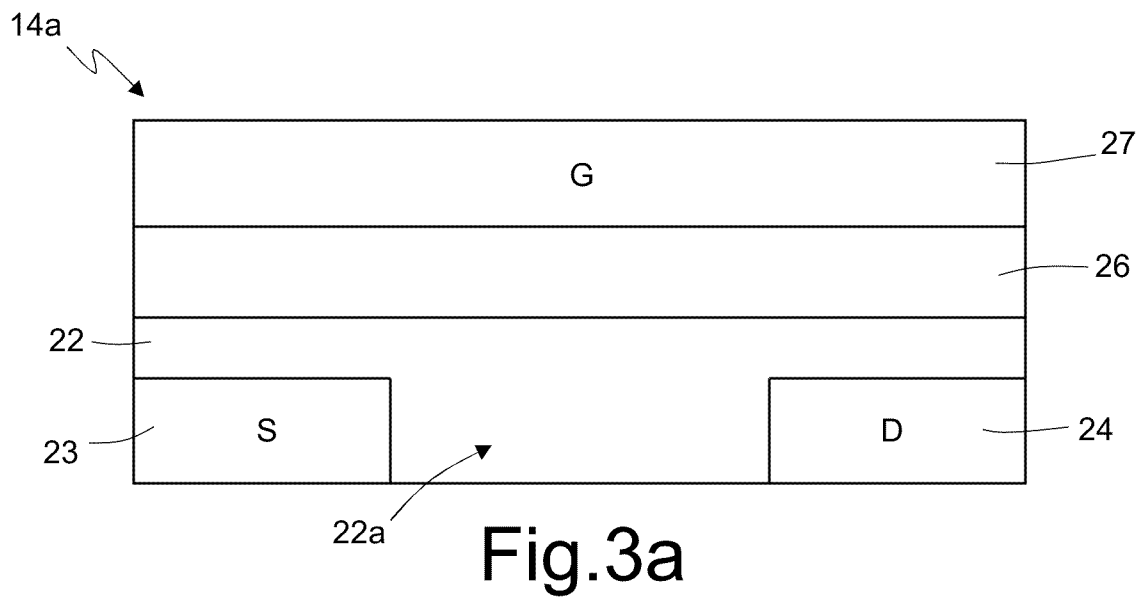


Fig.2



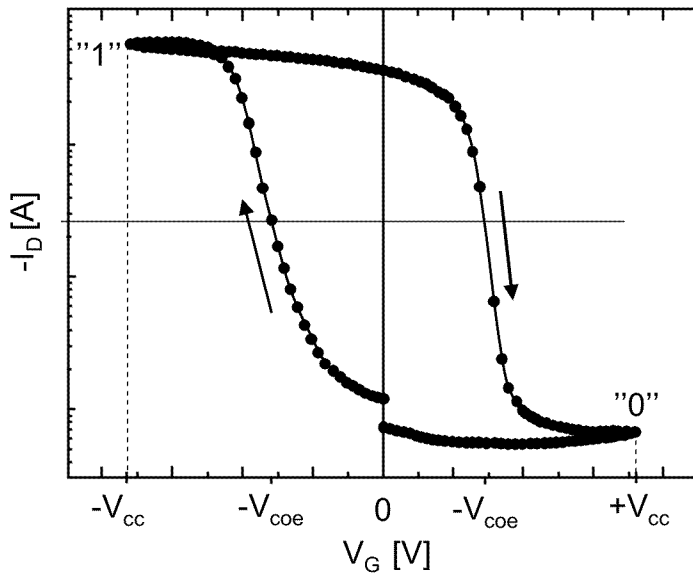


Fig.4

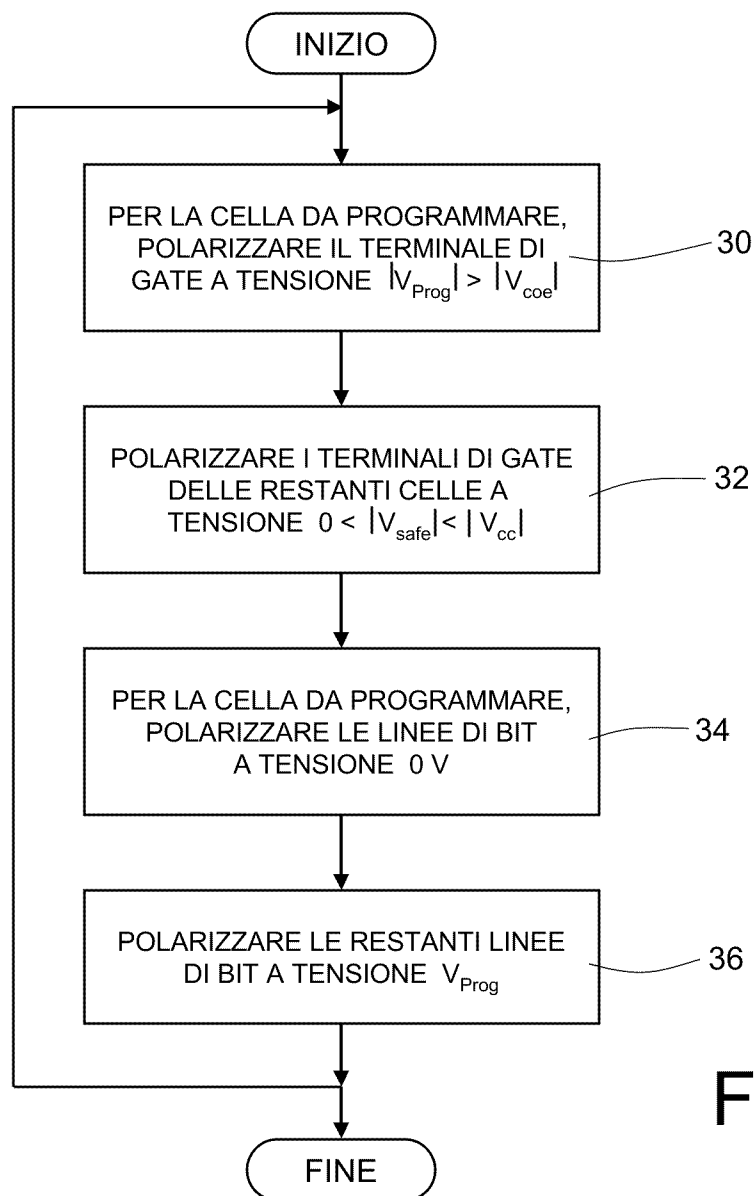


Fig.5

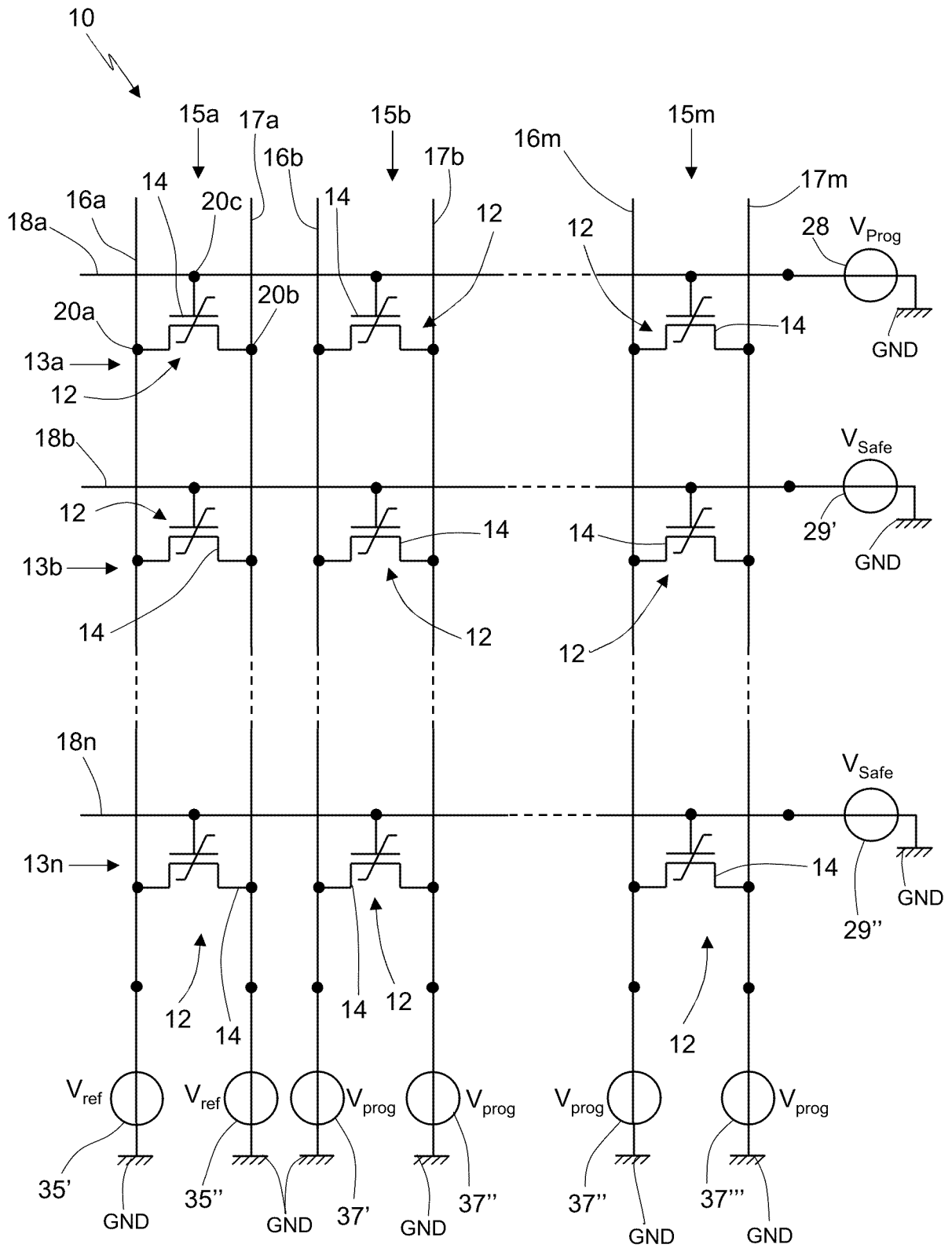


Fig.6

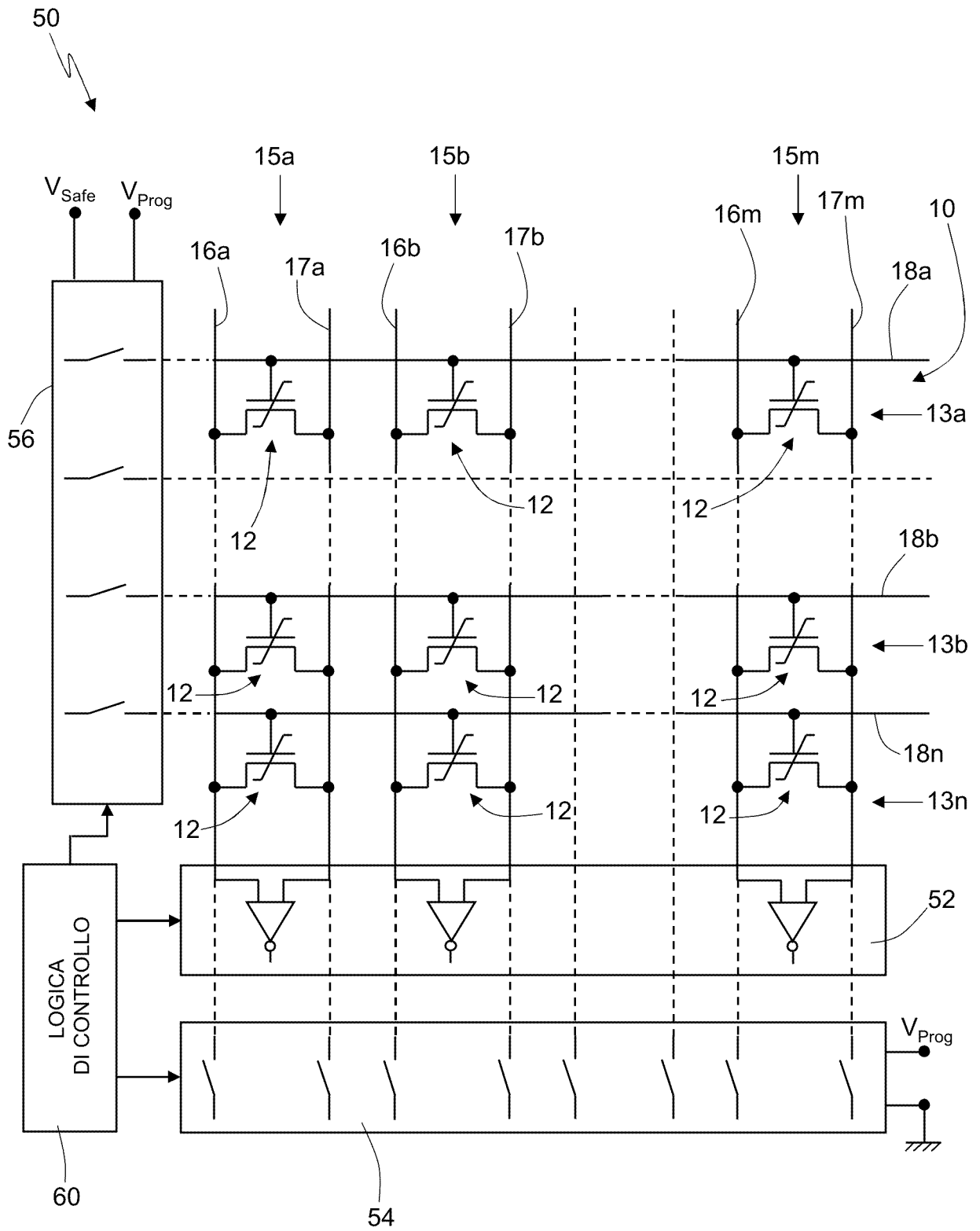


Fig.7