



## (12) 发明专利

(10) 授权公告号 CN 101447501 B

(45) 授权公告日 2012. 10. 10

(21) 申请号 200810178685. 3

(G11C 11/56)(2006. 01)

(22) 申请日 2008. 11. 27

(56) 对比文件

(30) 优先权数据

2007-309124 2007. 11. 29 JP

JP 特开 2006-294970 A, 2006. 10. 26, 说明书 81-91 段, 附图 13.

(73) 专利权人 瑞萨电子株式会社

US 2005/0111247 A1, 2005. 05. 26,

地址 日本神奈川县川崎市

US 5523624 A, 1996. 06. 04, 说明书第 3 栏, 附图 4.

(72) 发明人 茂庭昌弘 新田文彦 松冈正道  
饭田里志

审查员 马圆

(74) 专利代理机构 中国专利代理(香港)有限公司 72001

代理人 闫小龙 王小衡

(51) Int. Cl.

H01L 27/24(2006. 01)

H01L 23/522(2006. 01)

H01L 21/822(2006. 01)

H01L 21/768(2006. 01)

G11C 16/02(2006. 01)

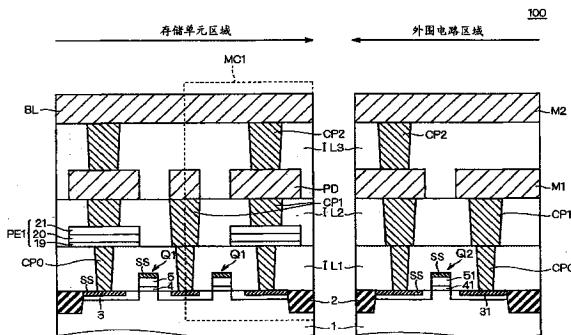
权利要求书 2 页 说明书 12 页 附图 10 页

(54) 发明名称

半导体装置及其制造方法

(57) 摘要

本发明涉及半导体装置及其制造方法。提供在搭载相变存储器和逻辑电路的存储器混载逻辑芯片中, 将相变元件配置最下层布线之下, 也不会导致成本增加, 并且防止动作电流增大的结构。多个接触插塞(CP0)中的到达成为MOS晶体管Q1的漏极层(3)的接触插塞的端部与选择性地配置在层间绝缘膜(IL1)上的薄膜绝缘膜(19)的下表面接触。在该薄膜绝缘膜(19)上配置由作为硫族化物化合物系的相变材料的GST构成的相变膜(20), 在其上配置上部电极(21)。多个接触插塞(CP0)中的到达成为源极层的扩散层(3)的接触插塞的端部直接连接到贯穿层间绝缘膜(IL2)的接触插塞(CP1)的端部上。



1. 一种半导体装置，其中，

具备：配置在半导体衬底上的场效应晶体管；覆盖所述场效应晶体管的第一层间绝缘膜；覆盖所述第一层间绝缘膜的第二层间绝缘膜；具有根据所述场效应晶体管的主电流而能够相变为结晶状态和非晶质状态的相变膜的相变元件；配置在所述半导体衬底上的多层布线层，

所述多层布线层的最下层布线配置在所述第二层间绝缘膜上，

所述第一层间绝缘膜具有贯通所述第一层间绝缘膜、并与所述场效应晶体管的第一和第二扩散层接触的多个第一层接触插塞，

所述第二层间绝缘膜具有贯通所述第二层间绝缘膜、并与所述最下层布线接触的多个第二层接触插塞，

所述相变元件配置在所述第一层间绝缘膜上，并且其下表面与所述多个第一层接触插塞中的到达所述第一扩散层的第一插塞的端面接触，

所述多个第一层接触插塞中的到达所述第二扩散层的第二插塞和作为所述多个第二层接触插塞之一的第三插塞直接连接，构成两联插塞，

所述相变元件具有配置在所述相变膜和所述第一层间绝缘膜之间的薄膜绝缘膜，

所述薄膜绝缘膜具有能够将所述场效应晶体管的主电流作为透过电流而流过的厚度。

2. 根据权利要求 1 所述的半导体装置，其中，

所述薄膜绝缘膜的所述厚度是 0.5nm 至 5nm。

3. 根据权利要求 2 所述的半导体装置，其中，

所述薄膜绝缘膜从 Ta 氧化膜、Ti 氧化膜、Zr 氧化膜、Hf 氧化膜、Nb 氧化膜、Cr 氧化膜、Mo 氧化膜、W 氧化膜以及 Al 氧化膜中选择。

4. 根据权利要求 1 所述的半导体装置，其中，

所述第三插塞的直径比所述第二插塞的直径大。

5. 根据权利要求 4 所述的半导体装置，其中，

所述第三插塞的直径与所述第二插塞的直径的比率是 1.1 至 1.5。

6. 根据权利要求 1 所述的半导体装置，还具备：

配置在所述相变元件的上表面上、并且在所述相变元件的构图中使用的硬掩模，以及覆盖包含所述硬掩模的所述相变元件上、并且覆盖所述第一层间绝缘膜上的刻蚀停止膜。

7. 根据权利要求 6 所述的半导体装置，其中，

所述刻蚀停止膜和所述第二层间绝缘膜的材质不同，

所述硬掩模和所述刻蚀停止膜的材质相同。

8. 根据权利要求 7 所述的半导体装置，其中，

所述刻蚀停止膜的材质是硅氮化膜，所述第二层间绝缘膜的材质是硅氧化膜。

9. 根据权利要求 1 所述的半导体装置，其中，

所述多个第二层接触插塞中的连接所述相变元件的上表面和所述最下层布线的第四插塞在从所述第一插塞的上方偏移的位置上与所述相变元件的所述上表面接触。

10. 一种半导体装置的制造方法，该半导体装置具备：配置在半导体衬底上的场效应晶体管；覆盖所述场效应晶体管的第一层间绝缘膜；覆盖所述第一层间绝缘膜的第二层间

绝缘膜；具有根据所述场效应晶体管的主电流而能够相变为结晶状态和非晶质状态的相变膜的相变元件；配置在所述半导体衬底上的多层布线层，

该制造方法具备：

- (a) 在形成所述第一层间绝缘膜之后，形成贯通所述第一层间绝缘膜、并与所述场效应晶体管的第一和第二扩散层接触的多个第一层接触插塞的工序；
- (b) 在所述工序 (a) 之后，在所述第一层间绝缘膜上的整个面上形成构成所述相变元件的多层膜的工序；
- (c) 在所述多层膜上的整个面上形成硬掩模材料的工序；
- (d) 对所述硬掩模材料进行构图，从而在与所述多层膜上的所述相变元件的形成区域对应的部分上形成硬掩模的工序；
- (e) 使用所述硬掩模对所述多层膜进行构图，在包含所述多个第一层接触插塞中的到达所述第一扩散层的第一插塞上的区域，形成所述相变元件的工序；
- (f) 在所述相变元件上残留所述硬掩模的状态下，在所述第一层间绝缘膜上的整个面上形成刻蚀停止膜的工序；
- (g) 在所述工序 (f) 之后，在所述第一层间绝缘膜上形成所述第二层间绝缘膜的工序；
- (h) 形成贯通所述第二层间绝缘膜、并且到达所述相变元件上的所述刻蚀停止膜以及到达第二插塞上的所述刻蚀停止膜的多个接触孔的工序，所述第二插塞是所述多个第一层接触插塞中的到达所述第二扩散层的插塞；
- (i) 除去所述多个接触孔底部的所述刻蚀停止膜，在所述第二插塞上，使其端面露出，在所述相变元件上，一并除去所述硬掩模，从而使所述相变元件的最上表面露出的工序；
- (j) 用导体层埋入所述多个接触孔，形成多个第二层接触插塞的工序；以及
- (k) 在所述工序 (j) 之后，在所述第二层间绝缘膜上，对所述多层布线层的最下层布线进行构图的工序，

所述工序 (b) 包含：在所述第一层间绝缘膜上，形成具有能够将所述场效应晶体管的主电流作为透过电流而流过的厚度的薄膜绝缘膜的工序。

11. 根据权利要求 10 所述的半导体装置的制造方法，其中，

所述工序 (h) 包含：以所述多个第二层接触插塞中的与所述第二插塞直接连接的第三插塞的直径比所述第二插塞的直径大的方式，形成所述多个接触孔的工序。

## 半导体装置及其制造方法

### 技术领域

[0001] 本发明涉及半导体装置及其制造方法,特别涉及根据由相变引起的电阻值变化而非易失性存储信息的相变存储器。

### 背景技术

[0002] 在相变存储器中,对由相变材料构成的存储单元通上引起非晶质化的电流(非晶质化电流),从而利用电阻加热使相变材料融解,之后,进行冷却,从而形成非晶质状态,此外,对相变材料通上引起结晶化的电流(结晶化电流),从而利用电阻加热对相变材料进行退火,成为结晶状态。

[0003] 根据该相变材料的这两种状态,可以在存储单元中选择性地写入二值信息,暂时相变后的状态在常温下不改变,所以可以非易失性地保持信息。

[0004] 相变存储器是可以应用于存储器混载逻辑芯片、存储器单芯片任何一种中的非易失性存储器,作为现有的 NOR 型闪存、MONOS(MetalOxide Nitride Oxide Semiconductor)存储器的后续存储器,正在进行带有战略性位置的开发。并且,MONOS 也被称为 SONOS(Silicon OxideNitride Oxide Semiconductor)。

[0005] 对相变材料通电从而进行存储以及读取的相变存储器的研究开发自 1970 年左右就已经开始。虽然衰退了一段时间,但是经过成功应用于新开发的相变材料(GeSbTe)的光盘,被再次激活。构成复活的触发时间是 2002 年英特尔公司的 4Mbit 相变存储器的发表,之后许多半导体制造商参加开发。

[0006] 在将相变元件作成存储器阵列排列的情况下,设计了不具有针对元件的接入器件(access device)的交叉点类型、将二极管作为接入器件来使用的类型、将 MOSFET(Metal-Oxide-SemiconductorField-Effect-Transistor)作为接入器件来使用的类型、或者采用双极晶体管的类型。

[0007] 使用 MOSFET 作为接入器件的相变存储器的一例,例如,在非专利文献 1 中示出。

[0008] 相变膜通常采用 GeSbTe(GST) 等硫族化物半导体膜,在作为接入器件的 MOSFET 以及元件隔离绝缘膜、布线层、层间绝缘膜等的成膜以及加工工艺中,可以应用一般的半导体材料以及步骤。

[0009] 以在非专利文献 1 中记载的 MOSFET 类型的存储器阵列为例,说明现有技术。

[0010] 首先,在图 20 中示出非专利文献 1 的图 1 所公开的存储单元的截面结构。

[0011] 如图 20 所示,在硅衬底 1 上配置接入用的 MOS 晶体管 Q1,并且,以覆盖 MOS 晶体管 Q1 的方式配置层间绝缘膜 IL1。并且,以到达在硅衬底 1 的表面内配置的多个扩散层 3 的方式,配置贯通层间绝缘膜 IL1 的多个接触插塞 CP1。并且,在扩散层 3 上配置硅化物层 SS,各接触插塞 CP1 实际上接触硅化物层 SS,但是,为了方便,采用到达扩散层 3 这样的表现。

[0012] MOS 晶体管 Q1 包括:栅极绝缘膜 4,选择性地配置在由元件隔离绝缘膜 2 规定的活性区域;在栅极绝缘膜 4 上配置的栅电极 5;在栅电极 5 的栅极长度方向的两侧面外部的硅

衬底 1 的表面内选择性地配置、并且成为源极、漏极层的扩散层 3。栅电极 5 沿相对于附图的深度方向延伸且同时用作字线，栅电极 5 上由硅化物层 SS 覆盖。并且，栅极绝缘膜 4 以及栅电极 5 的侧面由侧壁绝缘膜覆盖，并且在图中省略。

[0013] 多个接触插塞 CP 1 中的到达成为 MOS 晶体管 Q1 的源极层的扩散层 3 的接触插塞的端部连接到在层间绝缘膜 IL1 上配置的源极线 SL(沿相对于附图的深度方向延伸)上，除此以外的接触插塞 CP1 的端部连接到在层间绝缘膜 IL1 上配置的连接焊盘 PD 上。并且，源极线 SL 以及连接焊盘 PD 由第一金属布线 (M1) 构成。

[0014] 源极线 SL 以及连接焊盘 PD 配置在配置于层间绝缘膜 IL1 上的层间绝缘膜 IL2 内，在层间绝缘膜 IL2 上配置层间绝缘膜 IL3。并且，以贯通层间绝缘膜 IL3 并且到达连接焊盘 PD 的方式配置接触插塞 CP0，接触插塞 CP0 的端部直接连接到配置在层间绝缘膜 IL3 上的相变膜 20 的下正面。

[0015] 相变膜 20 由作为硫族化物化合物系的相变材料的 GST 构成，在相变膜 20 上配置上部电极 21，相变膜 20 和上部电极 21 合起来称为相变元件 PE。

[0016] 以覆盖相变膜 20 和上部电极 21 的方式，在层间绝缘膜 IL3 上配置层间绝缘膜 IL4，以贯通层间绝缘膜 IL4 并且到达上部电极 21 的方式配置接触插塞 CP2，接触插塞 CP2 的端部连接到配置在层间绝缘膜 IL4 上的位线 BL 上。位线 BL 由第二金属布线构成。

[0017] 在如上所述的结构中，由图中的虚线包围的区域即包含一个 MOS 晶体管 Q1 和由于该 MOS 晶体管 Q1 导通而被通电的相变元件 PE 的区域构成 1 比特量的存储单元 MC，并且接近的两个存储单元 MC 以共有一个源极线以及与其相关的接触插塞 CP0。

[0018] 在采用图 20 所示的存储单元 MC 的结构的情况下，在外围电路区域，在层间绝缘膜 IL2 内形成的第一金属布线 (M1) 和在层间绝缘膜 IL4 内形成的第二金属布线 (M2) 之间隔开层间绝缘膜两层部分的距离。其理由是因为，通过存储单元区域的结构的共用，从而谋求制造步骤的简化。

[0019] 即，在存储单元 MC 中，为了在连接焊盘 PD 和第二金属布线 M2 之间形成接触插塞 CP0、相变元件 PE 以及接触插塞 CP2 的三级连接结构，需要层叠层间绝缘膜 IL3 以及 IL4，所以，外围电路区域也与此匹配。

[0020] 其结果是，在外围电路区域，接触插塞 (CP2) 的深度变深，并且第一金属线 (M1) 和第二金属线 (M2) 之间的层间绝缘膜的厚度变厚，线间电容减小。特别是，这在混载芯片中产生严重问题。下面将更详细地说明。

[0021] 在装载相变存储器和逻辑电路的存储器混载逻辑芯片 (混载芯片) 中，为了谋求制造步骤的简化，与存储单元的结构匹配地改变逻辑电路 (外围电路) 的设计，通常，电路设计由采用将 MOS 晶体管特性、布线电阻以及寄生电容数理模型化后的模型组 (model set)，利用计算机仿真实现。如上所述，与存储单元的结构匹配的结果是，在线间电容与现有的模型组不同的情况下，需要修改模型组和改变电路设计。具体地，这在将各种产品作为应用目标而假定的混载芯片中，影响事业收益成本的增加，问题严重。

[0022] 这样的问题由在布线层间配置相变元件而引起，为了解决这个问题，考虑在最下层布线之下配置相变元件。

[0023] 作为在最下层布线之下配置相变元件的结构的一例，例如，举出在专利文献 1 以及 2 中公开的结构。

[0024] 专利文献 1 以及 2 并不是为了解决如上所述的线间电容减小的问题而认识的，但是，在专利文献 1 的图 1 以及专利文献 2 的图 13 中，公开了在最下层布线之下配置相变元件的结构，并且，如果采用该结构，就不会产生线间电容减小的问题。

[0025] 在最下层布线之下配置相变元件的情况下，采取相变元件夹在将最下层布线分为上下两层的下层层间绝缘膜和上层层间绝缘膜之间的结构。并且，最下层布线形成在上层层间绝缘膜之上，并且，利用在上层绝缘膜内形成的接触插塞，与相变元件的上表面连接。此外，相变元件的下表面利用形成在下层绝缘模内的接触插塞，与在硅衬底内形成的扩散层连接。

[0026] 另一方面，在外围电路区域，最下层布线利用贯通下层层间绝缘膜和上层层间绝缘膜的接触插塞，连接到在硅衬底内形成的扩散层上。

[0027] 但是，采用该结构时，产生下面说明的几个新的问题。

[0028] 即，作为第一个问题，如在专利文献 2 中也讨论的那样，连接最下层布线和半导体衬底的接触插塞会变得过深。在这种情况下，需要与高纵横比对应的工艺技术以及工艺装置，导致成本增加，损坏事业收益。

[0029] 在专利文献 2 的图 12 中，公开了以“同层”即相同高度形成最下层布线和相变元件的结构，但是，作为代价，产生工艺难度增大且工艺步骤数量增加的问题。

[0030] 作为第二个问题，连接相变元件的下表面和半导体衬底的接触插塞（下部插塞）变深，直径微细化变难。即，在相变存储器中，为了减小动作电流，如图 20 的接触插塞 CP0 那样，使下部插塞的直径比接触插塞的标准孔径小（直径为几十纳米（nm）左右），提高电流密度的方法是传统的。因此，根据干法刻蚀的特性，优选插塞深度较浅。

[0031] 在图 20 所示的存储单元 MC 中，接触插塞 CP0 的深度仅由对相变元件 PE 和其下方的第一金属布线进行绝缘隔离的层间绝缘膜 IL2 的厚度决定，所以，如果将层间绝缘膜 IL2 的成膜工艺和 CMP 工艺作为专用工艺而严格高精度化，则层间绝缘膜 IL2 形成得薄，接触插塞 CP0 的深度可以一定程度地变浅。

[0032] 然而，在将相变元件配置在第一金属布线的下方的情况下，由于其正下方的层间绝缘膜覆盖 MOS 晶体管，所以，必须至少比栅电极（字线）的高度厚，接触插塞的深度比图 20 所示的接触插塞 CP0 深。

[0033] 专利文献 1 特开 2006-287222 号公报（图 1）

[0034] 专利文献 2 特开 2006-294970 号公报（图 13）

[0035] 非 专 利 文 献 1 Y. N. Hwang et. al., “Writing Current Reduction for High-density Phase-change RAM” International Electron Devices Meeting 2003, pp. 893-896

[0036] 如上所说明的那样，在搭载相变存储器和逻辑电路的现有存储器混载逻辑芯片中，第一金属布线和第二金属布线之间的层间绝缘膜的厚度厚，为了防止线间电容减小，要求相变元件配置在最下层布线之下。但是，在这种情况下，连接最下层布线和半导体衬底的接触插塞过深，需要与高纵横比对应的工艺技术和工艺装置，导致成本增加。此外，存在连接相变元件的下表面和半导体衬底的接触插塞的深度不能比栅电极（字线）的高度浅，该接触插塞的直径的微细化困难而使动作电流变大的问题。

## 发明内容

[0037] 为了解决上述技术问题,本发明的目的是提供在搭载相变存储器和逻辑电路的存储器混载逻辑芯片中,在将相变元件配置最下层布线之下的结构中,也不会导致成本增加,并且防止动作电流增大的结构。

[0038] 在本发明的第一实施方式中,多个第一层接触插塞中的到达成为MOS晶体管的漏极层的扩散层的接触插塞的端部与选择性地配置在第一层间绝缘膜上的薄膜绝缘膜的下表面接触。在薄膜绝缘膜上配置由作为硫族化物化合物系的相变材料的GST构成的相变膜,在其上配置上部电极,从而构成相变元件。此外,多个第一层接触插塞中的达到成为源极层的扩散层的接触插塞的端部直接连接到贯穿第一层间绝缘膜的第二层接触插塞的端部上,该接触插塞的另一个端部连接到配置在第二层间绝缘膜上的源极线SL上。

[0039] 根据上述实施方式,通过采用RUML(Resistor Under Metal-Line)型存储单元结构,由此,使第一金属布线和第二金属布线之间的层间绝缘膜的厚度变厚,防止了线间电容减小。此外,由于通过由第一层接触插塞和第二层接触插塞构成的两联插塞进行源极线和扩散层的连接,所以即使在第一金属布线和硅衬底的距离变大的情况下,由于各插塞的纵横比不大,所以不需要与高纵横比对应的处理技术和处理装置,从而可以抑制成本的增加。

## 附图说明

[0040] 图1是示出本发明实施方式的半导体装置的结构的截面图。

[0041] 图2是示出用于说明本发明实施方式的半导体装置的效果的比较对象的结构的截面图。

[0042] 图3是说明两联插塞的效果的图。

[0043] 图4是说明两联插塞的效果的图。

[0044] 图5是示出本发明实施方式的半导体装置的变形例1的结构的截面图。

[0045] 图6是示出本发明实施方式的半导体装置的变形例2的结构的截面图。

[0046] 图7是示出本发明实施方式的半导体装置的变形例2的制造步骤的截面图。

[0047] 图8是示出本发明实施方式的半导体装置的变形例2的制造步骤的截面图。

[0048] 图9是示出本发明实施方式的半导体装置的变形例2的制造步骤的截面图。

[0049] 图10是示出本发明实施方式的半导体装置的变形例2的制造步骤的截面图。

[0050] 图11是示出本发明实施方式的半导体装置的变形例2的结构的截面图。

[0051] 图12是示出本发明实施方式的半导体装置的变形例2的制造步骤的截面图。

[0052] 图13是示出本发明实施方式的半导体装置的变形例2的制造步骤的截面图。

[0053] 图14是示出本发明实施方式的半导体装置的变形例2的制造步骤的截面图。

[0054] 图15是示出本发明实施方式的半导体装置的变形例2的制造步骤的截面图。

[0055] 图16是示出本发明实施方式的半导体装置的变形例2的制造步骤的截面图。

[0056] 图17是示出本发明实施方式的半导体装置的变形例2的制造步骤的截面图。

[0057] 图18是示出本发明实施方式的半导体装置的变形例2的制造步骤的截面图。

[0058] 图19是示出本发明实施方式的半导体装置的变形例2的制造步骤的截面图。

[0059] 图20是示出现有的半导体装置的结构的截面图。

## 具体实施方式

[0060] 实施方式

[0061] A. 装置结构

[0062] 采用图 1 说明本发明实施方式的半导体装置 100 的结构。并且,在图 1 中将存储单元区域和外围电路区域并列地示出。

[0063] 如图 1 所示,在存储单元区域中,在硅衬底 1 上配置接入用的 MOS 晶体管 Q1,并且以覆盖 MOS 晶体管 Q1 的方式配置层间绝缘膜 IL1。

[0064] 并且,以到达成为 MOS 晶体管 Q1 的源极或漏极层的多个扩散层 3 的方式,配置贯通层间绝缘膜 IL1 的多个接触插塞 CP0(第一层接触插塞)。

[0065] 并且,在扩散层 3 上配置硅化物层 SS,各接触插塞 CP0 实际上到达硅化物层 SS,但是为了方便,采用到达扩散层 3 这样的表述。

[0066] MOS 晶体管 Q1 具备:在由元件隔离绝缘膜 2 规定的活性区域上选择性地配置的栅极绝缘膜 4;在栅极绝缘膜 4 上配置的栅电极 5;在栅电极 5 的栅极长度方向的两侧面外部的硅衬底 1 的表面内选择性地配置、并且成为源极或漏极层的扩散层 3。栅电极 5 相对于附图沿深度方向延伸并且兼用作字线,栅电极 5 上由硅化物层 SS 覆盖。并且,栅极绝缘膜 4 和栅电极 5 的侧面由侧壁绝缘膜覆盖,但是在图中省略。

[0067] 在此,“MOS”的用语长期用于金属 / 氧化物 / 半导体的叠层结构,采用 Metal–Oxide–Semiconductor 的首字母构成。但是,具体地,在具有 MOS 结构的场效应晶体管中,根据近年的集成化或制造工艺的改进等观点,改进栅极绝缘膜或栅电极的材料,作为栅电极的材料,代替金属采用多晶硅。此外,根据改进电气特性的观点,作为栅极绝缘膜的材料,采用高介电常数的材料,但是该材料不限于一定是氧化物。因此,采用“MOS”的用语不一定仅限定为金属 / 氧化物 / 半导体的叠层结构,在本说明书中也没有将这样的限定作为前提。即,鉴于技术常识,在此,“MOS”不仅是由其语源引起的缩略语,而且宽泛地还具有包含导电体 / 绝缘体 / 半导体的层叠结构的意思。

[0068] 多个接触插塞 CP0 中的到达成为 MOS 晶体管 Q1 的漏极层的扩散层 3 的接触插塞(第一插塞)的端部,连接到在层间绝缘膜 IL1 上选择性地配置的薄膜绝缘膜 19 的下表面。在该薄膜绝缘膜 19 上,配置由作为硫族化物化合物系的相变材料的 GST 构成的相变膜 20,并在其上配置上部电极 21。将薄膜绝缘膜 19、相变膜 20 和上部电极 21 合起来称为相变元件 PE1。并且,以覆盖相变元件 PE1 的方式在层间绝缘膜 IL1 上配置层间绝缘膜 IL2。

[0069] 此外,多个接触插塞 CP0 中的到达成为源极层的扩散层 3 的接触插塞(第二插塞)的端部,直接连接到贯通层间绝缘膜 IL2 的接触插塞 CP1(第二层接触插塞)中的到达配置在层间绝缘膜 IL2 上的源极线 SL(相对于附图沿着深度方向延伸)的接触插塞(第三插塞)上。此外,以到达相变元件 PE1 的上部电极 21 的方式贯通层间绝缘膜 IL2 的接触插塞 CP1(第四插塞)的端部连接到配置在层间绝缘膜 IL2 上的连接焊盘 PD 上。并且,源极线 SL 和连接焊盘 PD 由第一金属布线(M1)构成。

[0070] 源极线 SL 和连接焊盘 PD 配置在配置于层间绝缘膜 IL2 上的层间绝缘膜 IL3 内。并且,以贯通层间绝缘膜 IL3 并到达连接焊盘 PD 的方式配置接触插塞 CP2(第三层接触插塞),接触插塞 CP2 的端部连接到配置在层间绝缘膜 IL3 上的位线 BL(第二金属布线)上。

[0071] 另一方面,在外围电路区域中,在硅衬底 1 上配置 MOS 晶体管 Q2,并且以覆盖 MOS

晶体管 Q2 的方式配置层间绝缘膜 IL1。并且,以到达成为 MOS 晶体管 Q2 的源极或漏极层的多个扩散层 31 的方式,配置贯通层间绝缘膜 IL1 的接触插塞 CP0。

[0072] MOS 晶体管 Q2 具备:在由元件隔离绝缘膜 2 规定的活性区域上选择性地配置的栅极绝缘膜 41;在栅极绝缘膜 41 上配置的栅电极 51;在栅电极 51 的栅极长度方向的两侧面外部的硅衬底 1 的表面内选择性地配置并且成为源极或漏极层的扩散层 31。栅电极 51 上由硅化物层 SS 覆盖。并且,栅极绝缘膜 41 和栅电极 51 的侧面由侧壁绝缘膜覆盖,但是在图中省略。

[0073] 在层间绝缘膜 IL1 上配置层间绝缘膜 IL2,并且多个接触插塞 CP0 的端部连接到贯通层间绝缘膜 IL2 的接触插塞 CP1 的端部上,该接触插塞 CP1 的另一个端部连接到配置在层间绝缘膜 IL2 上的第一金属布线 M1 上。

[0074] 第一金属布线 M1 配置在配置于层间绝缘膜 IL2 上的层间绝缘膜 IL3 内。并且,以贯通层间绝缘膜 IL3 并到达金属布线 M1 的方式配置接触插塞 CP2,接触插塞 CP2 的端部直接连接到配置在层间绝缘膜 IL3 上的第二金属布线 M2 上。

[0075] 在如上所述的结构中,图 1 中的由虚线包围的区域、即包含一个 MOS 晶体管 Q1 和由于该 MOS 晶体管 Q1 导通而被通电的相变元件 PE1 的区域构成 1 比特量的存储单元 MC1,并且,接近的两个存储单元 MC1 以共有一个源极线和与其相关的接触插塞 CP0 以及 CP1 的两联插塞(堆叠式插塞(stacked plug))的方式构成。

#### [0076] B. 效果

[0077] 这样,采用将相变元件 PE1 配置在第一金属布线 M1(源极线 SL 和连接焊盘 PD)的下方的 RUML(Resistor Under Metal-Line)型的存储单元结构,由此,可以使第一金属布线和第二金属布线之间的层间绝缘膜的厚度变薄。因此,防止线间电容减小。此外,通过由接触插塞 CP0 和 CP1 构成的两联插塞进行源极线 SL 和扩散层 3 的连接,所以,即使在第一金属布线 M1 和硅衬底 1 的距离变宽的情况下,各个插塞的纵横比也不变大,所以,不需要高纵横比对应的工艺技术或工艺装置,也可以抑制成本的增加。

[0078] 此外,第一金属布线 M1 的正下方的层间绝缘膜 IL1 覆盖 MOS 晶体管 Q1,所以,必须至少比栅电极 5(字线)的高度厚,但是,在需要不使动作电流增大而在相变元件 PE1 中流过较高的电流密度的电流的情况下,必须使接触插塞 CP0 的直径变小,从而产生高纵横比对应的工艺技术以及工艺装置。

[0079] 但是,对于相变元件 PE1 来说,与相变膜 20 的配置有上部电极 21 的正面相反侧的正面由薄膜绝缘膜 19 覆盖,所以,薄膜绝缘膜 19 成为热电阻体,可以抑制在与接触插塞 CP0 的连接区域附近在 GST 内产生的热量向接触插塞 CP0 流出。因此,可以显著提高热效率。因此,即使接触插塞 CP0 的直径变大、电流密度变小(即使不使动作电流增大),相变膜 20 也可以产生相变。

[0080] 因此,在半导体装置 100 中,连接相变元件 PE1 和硅衬底 1 的接触插塞 CP0 的直径能够与在源极线 SL 和扩散层 3 的连接中使用的接触插塞 CP0 相同设定,不需要高纵横比对应的工艺技术或工艺装置。

[0081] 在此,薄膜绝缘膜 19 具有  $0.5\text{nm} \sim 5\text{nm}$  的厚度,如果是这样大小的厚度,则支配性地流过透过电流(例如,隧道电流或普尔-弗兰克电流(Poole-Frenkel current)),并且,起到在相变膜 20 中流过  $100\mu\text{A} \sim 1\text{mA}$  左右的电流的电阻值  $30\text{k}\Omega$  左右的电阻体的功能。

[0082] 并且,作为薄膜绝缘膜 19 的材料,优选是与硫族化物的粘接性好且热导率比接触插塞的材料(例如,钨)小的材料、例如 Ta(钽)氧化膜等。关于在相变元件中使用薄膜绝缘膜的结构,在特开 2006-352082 号公报中公开。

[0083] 此外,如图 1 所示,在存储单元区域和外围电路区域中,由于至少第二金属布线 M2 以下的层结构可以是相同的,所以可以谋求制造工艺的简化,不需要与存储单元的结构匹配地改变逻辑电路的设计,从而在混载芯片中防止成本增加。

[0084] 如上所说明的那样,在共同的硅衬底上搭载相变存储器和逻辑电路的半导体装置 100 中,在将相变元件配置在最下层布线之下的结构中也不会导致成本的增加,并且可以防止动作电流的增大。

[0085] 接下来,采用图 2 说明通过由接触插塞 CP0 和 CP1 构成的两联插塞进行源极线 SL 和扩散层 3 的连接而带来的进一步的效果。

[0086] 在图 2 中,示出如下例子:由具有配置在接触插塞 CP0 和 CP1 之间的连接焊盘 CPD 的结构,进行源极线 SL 和扩散层 3 的连接。并且,在图 2 中,与在图 1 中示出的半导体装置 100 相同的结构给出相同的符号,并且省略重复的说明。

[0087] 如图 2 所示,到达成为 MOS 晶体管 Q1 的源极层的扩散层 3 的接触插塞 CP0 的端部连接到配置在层间绝缘膜 IL1 上的连接焊盘 CPD 的下表面,在连接焊盘 CPD 的上表面,连接贯通层间绝缘膜 IL2 的接触插塞 CP1 的端部。并且,接触插塞 CP1 的另一个端部连接到配置在层间绝缘膜 IL2 上的源极线 SL 上。

[0088] 在这样的结构中,图 2 中的由虚线包围的区域、即包含一个 MOS 晶体管 Q1 和由于该 MOS 晶体管 Q1 导通而被通电的相变元件 PE1 的区域构成 1 比特量的存储单元 MC2。

[0089] 在一般的半导体技术中,在对下层的接触插塞连接上层的接触插塞的情况下,在其间夹着由金属布线层构成的连接焊盘。这是用于具有针对上下接触插塞的位置偏移的余量、即使产生位置偏移也抑制接触电阻变动的措施。

[0090] 但是,与条纹图案(stripe pattern)不同,连接焊盘这样的矩形或方形的图案由微细尺寸制作是较难的,所以,在该影响下,如图 2 的例子所示,连接焊盘 CPD 比接触插塞 CP1 或 CP0 的直径大很多,单元尺寸(与衬底平面平行的方向上的尺寸)变大。在存储器单独芯片中,可以使用用于小尺寸制作连接焊盘 CPD 的特殊工艺或布局规则,但是,在逻辑芯片或存储器混载逻辑芯片中,需要与各种电路布局对应,所以不能这样。

[0091] 因此,所采用的是不使用连接焊盘而直接连接上下插塞的两联插塞方式,不需要将插塞彼此连结的连接焊盘,能够抑制单元尺寸的增加。

[0092] 此外,在图 2 所示的结构中,由于连接焊盘 CPD 和相变元件 PE1 这样的不同膜结构的图案在同一层,所以,与专利文献 2 相同地需要复杂的步骤,但是,如果不需要形成连接焊盘 CPD,就不会产生该问题。

[0093] 接下来,采用两联插塞,并利用图 3 和图 4 说明发明人的设计点。

[0094] 如图 1 所示,在连接源极线 SL 和扩散层 3 的接触插塞 CP0 和 CP1 中,至少在接触插塞 CP1 和接触插塞 CP0 相互连接的端部,将接触插塞 CP1 的直径设定得比接触插塞 CP0 的直径大。通过这样设定,在插塞的轴偏移的情况下,也可以抑制接触面积,进一步地说抑制接触电阻的变化。

[0095] 在图 3 中,示出在将接触插塞 CP1 的直径设定得比接触插塞 CP0 的直径大的情况

下的轴偏移导致的接触状态的变化。

[0096] 在图3的(a)部分,示出接触插塞CP1的中心轴AX1和接触插塞CP0的中心轴AX0的没有轴偏移地重合的状态,在示出各自的重合的端面的平面图中,示出接触插塞CP0的端面收容在接触插塞CP1的端面内。在这种状态下,两插塞的接触面积没有变化。

[0097] 此外,在图3的(b)部分,示出接触插塞CP1的中心轴AX1和接触插塞CP0的中心轴AX0的轴稍微偏移地重合的状态,在示出各自的重合的端面的平面图中,示出接触插塞CP0的端面刚好收容在接触插塞CP1的端面内。在这种状态下,两插塞的接触面积没有变化。

[0098] 另一方面,在图3的(c)部分,示出接触插塞CP1的中心轴AX1和接触插塞CP0的中心轴AX0的轴大幅偏移地重合的状态,在示出各自的重合的端面的平面图中,示出接触插塞CP0的端面从接触插塞CP1的端面稍微露出。在这种状态下,两插塞的接触面积也只是稍微变化。

[0099] 在此,为了进行比较,在图4中,示出在接触插塞CP1和接触插塞CP2相互连接的端部上,将接触插塞CP1的直径设定得与接触插塞CP0的直径相同的情况下轴偏移导致的接触状态的变化。

[0100] 在图4的(a)部分,示出接触插塞CP1的中心轴AX1和接触插塞CP0的中心轴AX0的没有轴偏移地重合的状态,在示出各自的重合的端面的平面图中,示出接触插塞CP0的端面与接触插塞CP1的端面完全重合。在这种状态下,两插塞的接触面积没有变化。

[0101] 此外,在图4的(b)部分,示出接触插塞CP1的中心轴AX1和接触插塞CP0的中心轴AX0稍微偏移地重合的状态,在示出各自的重合的端面的平面图中,示出接触插塞CP0的端面从接触插塞CP1的端面偏移与轴偏移相应的量。这样,中心轴仅稍微偏移,两插塞的接触面积就产生改变。

[0102] 在图4的(c)部分,示出接触插塞CP1的中心轴AX1和接触插塞CP0的中心轴AX0大幅地偏移地重合的状态,在示出各自的重合的端面的平面图中,示出接触插塞CP0的端面从接触插塞CP1的端面偏移与轴偏移相应的量。这样,当将接触插塞CP1的直径设定得与接触插塞CP0的直径相同时,即使轴稍微偏移,也会引起两插塞的接触面积改变。对于接触面积来说,随着上下插塞的轴偏移而减小,所以,由于重合的偏移,接触电阻产生偏差,面临着电路动作余量减少的问题。

[0103] 如上所说明的那样,至少在接触插塞CP1和接触插塞CP0相互连接的端部上,通过将接触插塞CP1的直径设定得大,由此,可以吸收重合的偏移,抑制接触面积的变化进而抑制接触电阻的变化,从而可以确保电路的稳定动作。

[0104] 并且,使位于上侧的接触插塞CP1的直径增大是因为一般在半导体工艺中,越是上层,为了与基底平坦性的兼顾,使最小尺寸变大,所以与此匹配的意图引起的。此外,对于上下接触插塞的直径的比例来说,直径比越大,可以吸收的重合偏移越大,但是,掩模布局(mask layout)变疏,所以,为了与掩模布局的集成度兼顾地进行设定,以成为 $CP1/CP0 = 1.1 \sim 1.5$ 左右的方式设定,从而成为适当的小。

[0105] 对于接触插塞CP1和CP0来说,都分别在存储单元区域和外围电路区域中将直径设定为相同。由此,可以使在接触插塞的形成中所需要的掩模数为最小限度。掩模个数的多少直接关系到制造成本的增减,所以上述设定对制造成本的减小是有效的。

[0106] C. 变形例 1

[0107] 在采用图 1 说明的半导体装置 100 中,成为与相变元件 PE1 的上部电极 21 接触的接触插塞 CP1 配置在与薄膜绝缘膜 19 接触的接触插塞 CP0 的上方的结构,但是,考虑到存储单元的制造成品率和可靠性的提高,也可以采用在图 5 中示出的半导体装置 100A 的结构。

[0108] 即,在图 5 所示的半导体装置 100A 中,与相变元件 PE1 的上部电极 21 接触的接触插塞 CP1 配置在从与薄膜绝缘膜 19 接触的接触插塞 CP0 的上方偏移的位置上,因此,将相变元件 PE1 的平面方向的尺寸设定得比半导体装置 100 大。并且,与在图 1 中示出的半导体装置 100 相同的结构给出相同的符号,并且省略重复的说明。

[0109] 在接触插塞 CP0 的形成中,在形成贯通层间绝缘膜 IL1 到达扩散层 3 的接触孔之后,例如,由 TiN 膜覆盖该接触孔内表面,作为势垒金属 (barrier metal),之后,例如嵌入钨膜。并且,由 CMP (Chemical Mechanical Polishing) 研磨并除去存在于层间绝缘膜 IL1 上的钨膜和 TiN 膜,由此,平坦地完成接触插塞 CP0 的端面,但是,由于研磨不均匀等,插塞金属的上表面与周围的绝缘膜表面相比稍微起伏,呈凹凸状。

[0110] 在这种状态下,在形成薄膜绝缘膜 19 或相变膜 20、上部电极 21 时,这些膜将接触插塞 CP0 端面的凹凸反映到其表面上。特别是,在利用溅射形成相变膜 20 或上部电极 21 的情况下,基底的台阶差被强调。

[0111] 接触插塞 CP1 接触到这样形成的上部电极 21 表面的凹部时,根据接触位置,存在接触不良或可靠性降低的可能性。此外,在接触插塞 CP0 端面的凹凸上形成薄膜绝缘膜 19 时,有时在作为电阻体的功能上产生问题。

[0112] 与此相对,在图 5 所示的半导体装置 100A 中,由于接触插塞 CP1 配置在从接触插塞 CP0 的上方偏移的位置上,所以,能够防止接触插塞 CP1 接触到上部电极 21 表面的凹部,谋求存储单元的制造成品率和可靠性的提高。

[0113] D. 变形例 2

[0114] 在采用图 1 说明了的半导体装置 100 中,在与相变元件 PE1 的上部电极 21 接触的接触插塞 CP1 和连接到接触插塞 CP0 的接触插塞 CP1 中,其深度存在稍稍的不同,该接触插塞 CP0 到达成为 MOS 晶体管 Q1 的源极层的扩散层 3。

[0115] 在形成深度不同的接触插塞的情况下,如果分开掩模分别开口,可以将干法刻蚀的条件分别最优化,所以,在工艺上变得容易。但是,包含成本由于掩模个数的增加而增加的问题。在图 6 所示的半导体装置 100B 中,具有用于消除这样问题的结构。

[0116] 即,在图 6 所示的半导体装置 100B 中,以覆盖包含相变元件 PE1 上以及到达扩散层 3 的接触插塞 CP0 的端面上的层间绝缘膜 IL1 上的方式,配置由与层间绝缘膜 IL2 不同材质的绝缘膜构成的刻蚀停止膜 23。例如,在层间绝缘膜 IL2 采用硅氧化膜的情况下,刻蚀停止膜 23 采用硅氮化膜。此外,在相变元件 PE1 的上部电极 21 上,使在相变元件 PE1 的构图中所使用的硬掩模 22 残留,此外,使该硬掩模 22 的材质与刻蚀停止膜 23 相同。并且,与在图 1 中示出的半导体装置 100 相同的结构给出相同的符号,并且省略重复的说明。

[0117] 在与相变元件 PE1 的上部电极 21 接触的接触插塞 CP1 和与接触插塞 CP0 连接的接触插塞 CP1 中,即使在深度存在不同的情况下,由于配置刻蚀停止膜 23,由此,在形成贯通层间绝缘膜 IL2 的接触孔时,利用刻蚀停止膜 23 使刻蚀的进行停止,所以,即使接触孔的

深度不同,也能够以同一掩模进行开口刻蚀。

[0118] 开口刻蚀由于刻蚀停止膜 23 而停止之后,将刻蚀条件切换为硅氮化膜的刻蚀。按这样的顺序,能够以同一掩模对深度不同的接触孔进行开口。

[0119] 并且,对于层间绝缘膜的材质来说,一般是硅氧化膜,这样刻蚀选择比容易取得,在硅工艺中容易处理的材质是硅氮化膜,所以,为了本目的,硅氧化膜和硅氮化膜的组合是优选组合。

[0120] 接下来,说明设置硬掩模 22 的理由。

[0121] 根据相变膜 20 的材质,作为刻蚀时的掩模,有时不使用抗蚀剂材料。即,这是因为存在如下情况:由干法刻蚀导致的生成物与作为有机材料的抗蚀剂材料反应,使刻蚀结束后的抗蚀剂除去困难。这种情况下,使用由无机材料构成的硬掩模 22,从而不会产生这样的问题。

[0122] 并且,硬掩模 22 不能由氧等离子体灰化等除去,所以,在干法刻蚀后也残留在相变元件 PE1 上,但与抗蚀剂材料不同,由于是热稳定的材料,所以,在之后的制造工序中也不会引起问题,能够将残留作为前提来使用。

[0123] 在此,应该注意的是硬掩模 22 的材质的选定。硬掩模 22 的材质与刻蚀停止膜 23 不同时,即使对刻蚀停止膜 23 进行开口,覆盖上部电极 21 的上表面的硬掩模 22 也不能开口,存在不能与接触插塞 CP1 导通的可能性。因此,使硬掩模 22 和刻蚀停止膜 23 的材料相同,由此,在刻蚀停止膜 23 的开口刻蚀工序中,也能够刻蚀硬掩模 22,从而可靠地导通。

[0124] 并且,如图 6 所示,相对于在相变元件 PE1 的上部电极 21 上重叠硬掩模 22 和刻蚀停止膜 23,在到达扩散层 3 的接触插塞 CP0 的端面上仅存在刻蚀停止膜 23,所以,硅氮化膜的总膜厚不同。但是,硬掩模 22 和刻蚀停止膜 23 的厚度都以 60 ~ 80nm 形成得较薄,所以,即便两个重叠或是一个,对干法刻蚀来说都没有问题。

[0125] 此外,关于层间绝缘膜 IL1 上的刻蚀停止膜 23,由硅氧化膜构成层间绝缘膜 IL1,所以,刻蚀选择比变高,即使在除去刻蚀停止膜 23 之后继续刻蚀,对层间绝缘膜 IL1 也不产生影响,所以厚度不同也没有问题。

[0126] E. 制造方法

[0127] 接下来,采用作为依次示出制造步骤的截面图的图 7 ~ 图 18 说明图 6 所示的半导体装置 100B 的制造方法。

[0128] 首先,在图 7 所示的步骤中,准备硅衬底 1,在其表面内,例如由硅氧化膜选择性地形成元件隔离绝缘膜 2,从而规定活性区域。

[0129] 接下来,在活性区域上采用现有的方法形成栅极绝缘膜 4、多晶硅的栅电极 5 以及侧壁绝缘膜(未图示),将栅电极 5 以及侧壁绝缘膜作为掩模,在硅衬底 1 中注入杂质离子,由此,形成起到源极或漏极层的作用的扩散层 3,得到 MOS 晶体管 Q1。扩散层 3 的外形(profile)以与微细尺寸的 MOSFET 动作对应的方式调整。并且,MOS 晶体管 Q1 的结构不限于此,能够提供满足在相变元件 PE1 中引起相变的电流即可。

[0130] 在形成 MOS 晶体管 Q1 之后,在硅衬底 1 的整个面上,例如,形成钴层,实施热处理,使其硅化物化。之后,除去未反应的钴层,由此,在扩散层 3 以及栅电极 5 上形成硅化物层 SS(CoSi<sub>2</sub>)。

[0131] 接下来,在图 8 所示的步骤中,以覆盖 MOS 晶体管 Q1 的方式在硅衬底 1 的整个面

上,例如,由 CVD(Chemical Vapor Deposition) 法堆积硅氧化膜,利用 CMP 进行平坦化,从而得到层间绝缘膜 IL1。并且,层间绝缘膜 IL1 的厚度是 500nm 左右。

[0132] 并且,采用现有的光刻 (photolithography) 技术以及干法刻蚀技术 (称为光学刻蚀 (photo-etching) 技术),形成贯通层间绝缘膜 IL1 并到达扩散层 3 上的硅化物层 SS 的接触孔。之后,在该接触孔内,利用 CVD 法覆盖 TiN 膜作为势垒金属 BM0,并且,利用 CVD 法填充钨,作成钨插塞 W0。之后,利用 CMP,对存在于层间绝缘膜 IL1 上的钨膜以及 TiN 膜进行研磨并除去,从而得到直径约 160nm 的接触插塞 CP0。

[0133] 接下来,在图 9 所示的步骤中,由溅射法堆积厚度 2nm 左右的 TaO(钽氧化膜)薄膜 190,该 TaO 薄膜 190 成为相变元件 PE1 的改写电流减小用的薄膜绝缘膜 19,接着,利用溅射法,分别堆积成为相变膜 20 以及上部电极 21 的厚度 50nm 左右的 GST 膜 200 以及 W 膜 210。

[0134] 薄膜绝缘膜 19 不限于 TaO,是与 GST 膜的粘接性比薄膜绝缘膜材料高并且热导率比插塞材料 (此处是 W) 小的材料即可,例如,Ti(钛) 氧化膜、Zr(锆) 氧化膜、Hf(铪) 氧化膜、Nb(铌) 氧化膜、Cr(铬) 氧化膜、Mo(钼) 氧化膜、W(钨) 氧化膜、Al(铝) 氧化膜等,也起到与 TaO 相同的效果。

[0135] 此外,示出了使用 GST(GeSbTe) 作为相变膜的例子,但是不限于此,可以采用包含从 Ge、Sb、Te 中选择的至少两种以上的硫族化物 (chalcogenide) 材料、或者与 In、Ga 等其他元素的合金、或者添加了氮或氧的 GST。

[0136] 之后,通过 CVD 法,在 W 膜 210 上堆积成为硬掩模材料的厚度 200nm 左右的硅氮化膜 (SiNx) 220,在其上利用光刻技术对抗蚀剂掩模 RM1 进行构图。对抗蚀剂掩模 RM1 进行构图,使得覆盖与相变元件 PE1 的形成区域 (包含到达成为 MOS 晶体管 Q1 的漏极层的扩散层 3 的接触插塞 CP0 的上部的区域) 对应的部分,其以外的部分成为开口部。

[0137] 并且,使用抗蚀剂掩模 RM1,利用干法刻蚀对硅氮化膜 220 进行构图,由此,如图 10 所示,在与相变元件 PE1 的形成区域对应的部分上残留硅氮化膜,作成硬掩模 22。并且,抗蚀剂掩模 RM1 由氧灰化除去。

[0138] 接下来,在图 11 所示的步骤中,将硅氮化膜 220 作为硬掩模,依次进行针对 W 膜 210、GST 膜 200 以及 TaO 薄膜 190 的干法刻蚀,从而得到由薄膜绝缘膜 19、相变膜 20 以及上部电极 21 构成的相变元件 PE1。并且,由于该干法刻蚀,硬掩模 22 也被刻蚀,所以,在构图完成的时刻,膜厚减少为 80nm 左右,并且残留在上部电极 21 上。

[0139] 接下来,在图 12 所示的步骤中,包含残留硬掩模 22 的相变元件 PE1,在硅衬底 1 上的整个面上,利用 CVD 法堆厚度 60nm 左右的硅氮化膜 (SiNx),成为刻蚀停止膜 23。接着,在层间绝缘膜 IL1 上的整个面上,利用 CVD 法堆积硅氧化膜,并利用 CMP 进行平坦化,从而得到层间绝缘膜 IL2。并且,层间绝缘膜 IL2 的厚度是 300nm 左右。

[0140] 接下来,在图 13 所示的步骤中,在层间绝缘膜 IL2 上,利用光刻技术对抗蚀剂掩模 RM2 进行构图。对抗蚀剂掩模 RM2 进行构图,使得与接触插塞 CP1 的形成区域 (到达成为 MOS 晶体管 Q1 的源极层的扩散层 3 的接触插塞 CP0 的上部以及相变元件 PE1 上的硬掩模 22 的上部) 对应的部分成为开口部。

[0141] 并且,在图 14 所示的步骤中,使用抗蚀剂掩模 RM2,由干法刻蚀形成贯通层间绝缘膜 IL2 的多个接触孔 CH1。在该干法刻蚀中,调整刻蚀条件,使得在硅氧化膜中刻蚀速度快

而在硅氮化膜中慢,任何一个接触孔 CH1 都由于刻蚀停止膜 23 而停止刻蚀。

[0142] 接下来,在图 15 所示的步骤中,改变刻蚀条件,使得在硅氮化膜中刻蚀速度变快,再次进行干法刻蚀,从而除去接触孔 CH1 底部的刻蚀停止膜 23,并且在接触插塞 CP0 上的接触孔 CH1 中,使接触插塞 CP0 的端面露出,在相变元件 PE1 上的接触孔 CH1 中,也除去硬掩模 22,从而使上部电极 21 的表面露出。

[0143] 之后,在图 16 所示的步骤中,利用氧灰化除去抗蚀剂掩模 RM2。

[0144] 接下来,在图 17 所示的步骤中,在接触孔 CH1 内,利用溅射法覆盖 TiN 膜作为势垒金属 BM1,并且利用 CVD 法填充钨作为钨插塞 W1。在此,由溅射法形成 TiN 膜的原因是担心使 GST 膜热损坏。此外,可以由不超过 600℃的低温 CVD 法形成。之后,利用 CMP 对存在于层间绝缘膜 IL2 上的钨膜以及 TiN 膜进行研磨除去,由此,得到直径约 200nm 的接触插塞 CP1。在这种情况下,接触插塞 CP0 和 CP1 的直径比例是  $200\text{nm}/160\text{nm} = 1.25$ 。

[0145] 之后,使用通常的多层布线形成工艺形成多层布线层即可,例如,如图 18 所示,在层间绝缘膜 IL2 上,例如利用溅射法形成铝层之后,进行构图,从而形成源极线 SL 以及连接焊盘 PD。之后,在层间绝缘膜 IL2 上的整个面上利用 CVD 法堆积硅氧化膜并利用 CMP 进行平坦化,从而得到层间绝缘膜 IL3。

[0146] 并且,使用光学刻蚀 (photo-etching) 技术,形成贯通层间绝缘膜 IL3 并到达连接焊盘 PD 的接触孔,在该接触孔内利用溅射法覆盖 TiN 膜成为势垒金属 BM2,并且,利用 CVD 法填充钨,成为钨插塞 W2。此处,利用溅射法形成 TiN 膜的原因也是担心使 GST 膜热损坏。此外,可以由不超过 600℃的低温 CVD 法形成。之后,利用 CMP 对存在于层间绝缘膜 IL3 上的钨膜以及 TiN 膜进行研磨并除去,从而得到直径约 200nm、深度约 300nm 的接触插塞 CP2。并且,在层间绝缘膜 IL3 上,例如利用溅射法形成铝层之后,利用构图形成位线 BL,从而得到图 6 所示的半导体装置 100B。

[0147] 并且,对于相变存储器来说,A1 布线、Cu 布线都可应用。具体地说,如本发明那样,将多层布线层和相变元件分为不同层来形成的情况下,对于多层布线层来说,能够仍旧应用 Cu、Al 这样现有的结构,互换性高。

[0148] 在图 19 中示出应用 130nm 级的 Cu 布线技术的例子。

[0149] 如图 19 所示,在层间绝缘膜 IL2 上堆积层间绝缘膜 IL3,作成用于形成布线层的布线槽之后,通过单镶嵌 (single damascene),利用电镀,以铜层埋入布线槽,从而由铜布线形成源极线 SL 以及连接焊盘 PD。之后,在层间绝缘膜 IL3 上的整个面上,利用 CVD 法堆积硅氧化膜,并利用 CMP 进行平坦化,从而得到层间绝缘膜 IL4。

[0150] 并且,形成贯通层间绝缘膜 IL4 并到达连接焊盘 PD 的接触孔,并且,作成用于形成布线层的布线槽之后,通过双镶嵌 (dual damascene),利用电镀,以铜层埋入接触孔以及布线槽,从而同时形成接触插塞 CPX 以及位线 BL。以后,重复层间绝缘膜的形成和双镶嵌,进而形成上层布线层。

[0151] 符号说明 :3 是扩散层,19 是薄膜绝缘膜,20 是相变膜,22 是硬掩模,23 是刻蚀停止膜,CP0、CP1 是接触插塞,IL1、IL2 是层间绝缘膜,PE1 是相变元件。

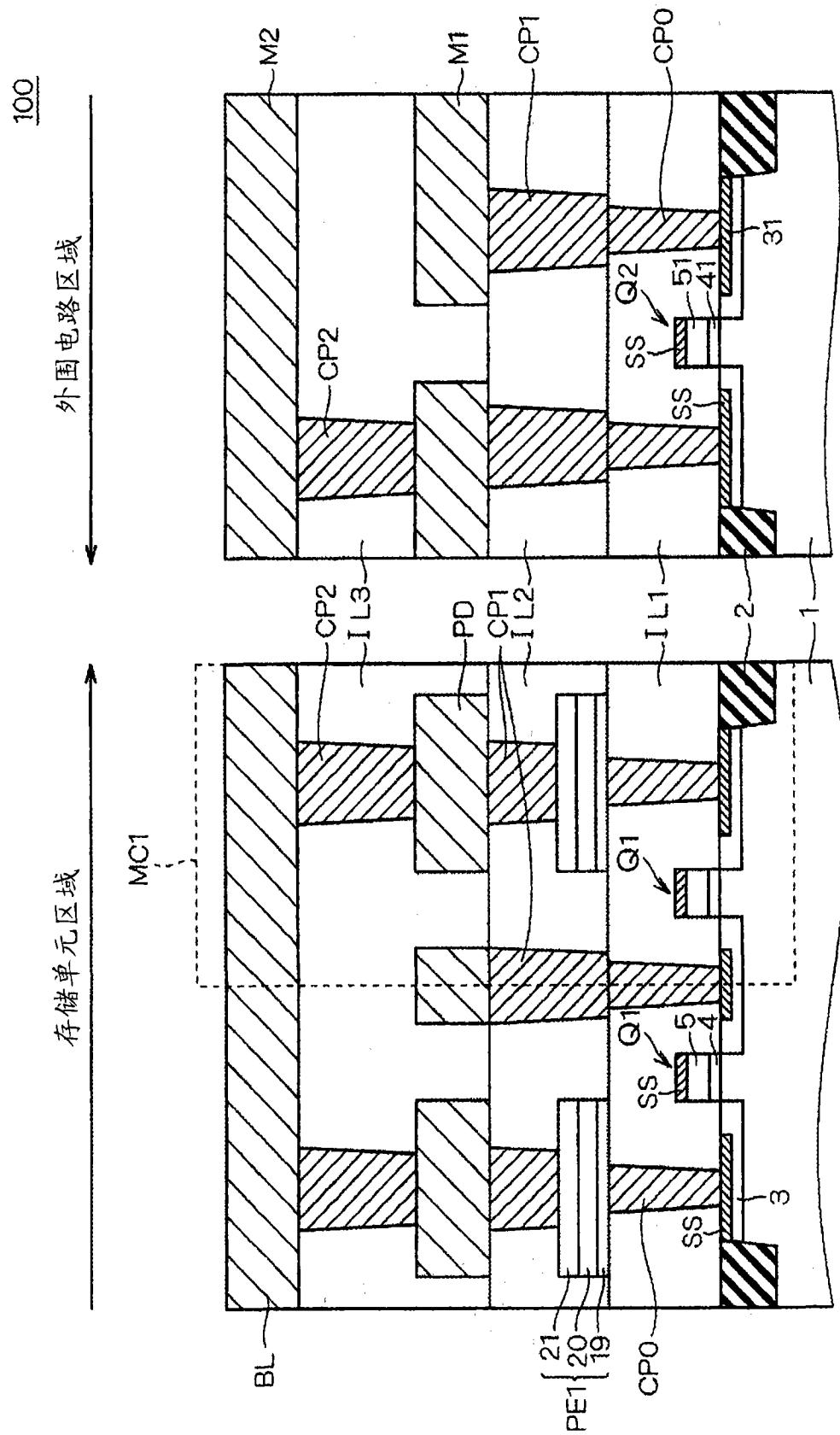


图 1

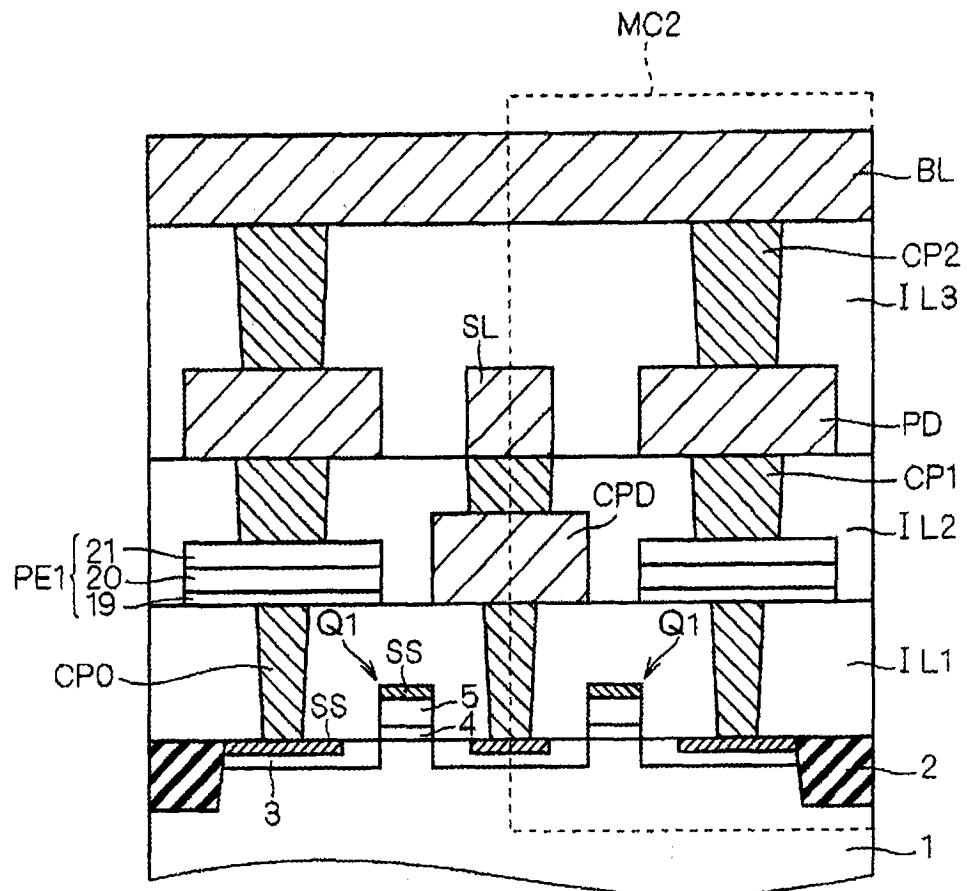


图 2

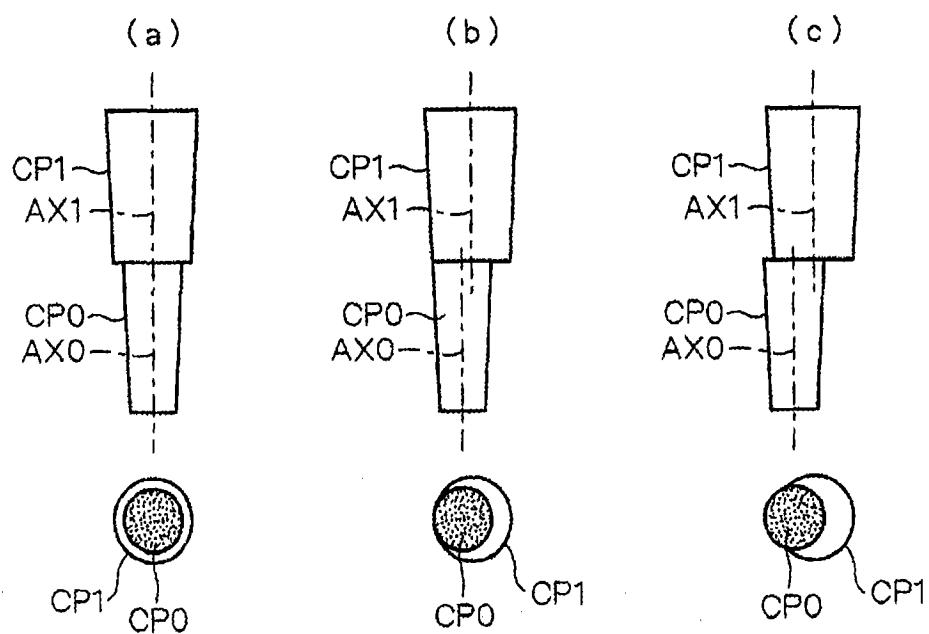


图 3

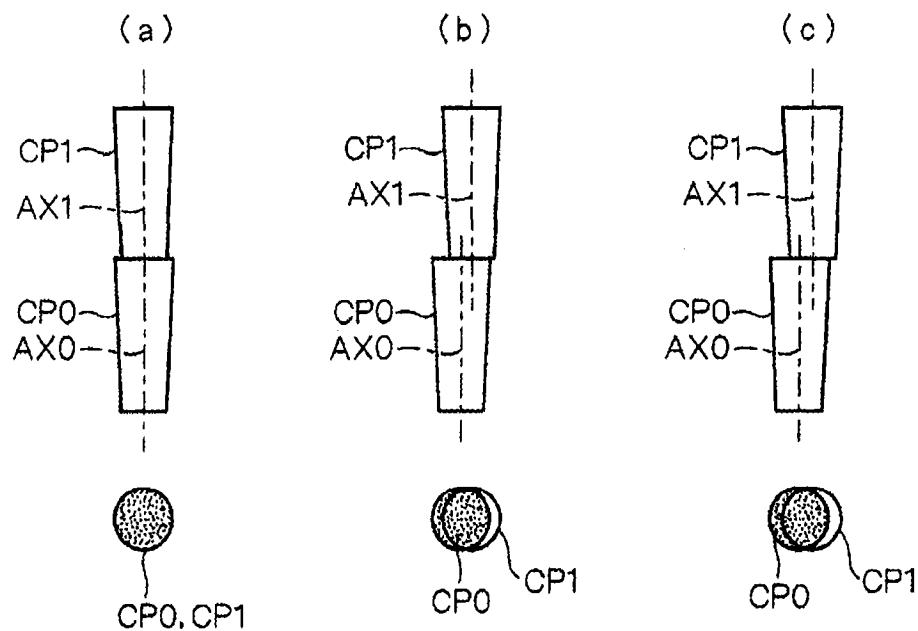


图 4

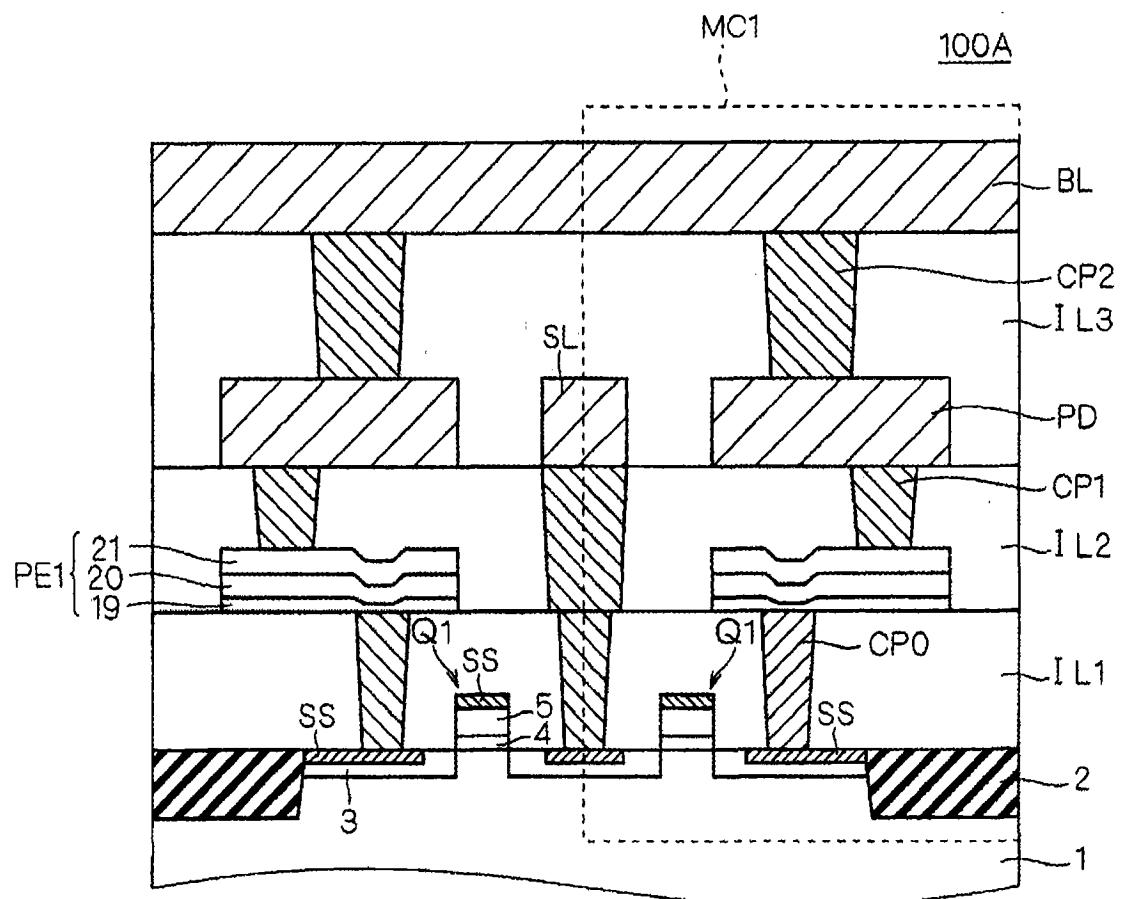


图 5

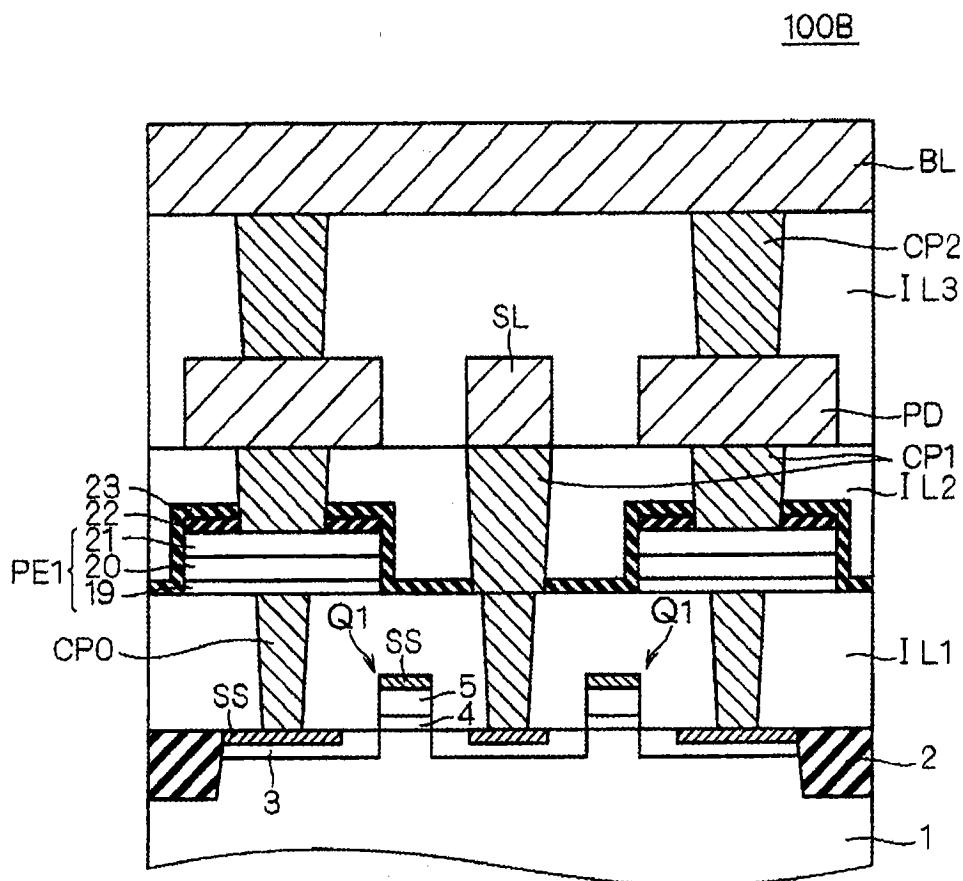


图 6

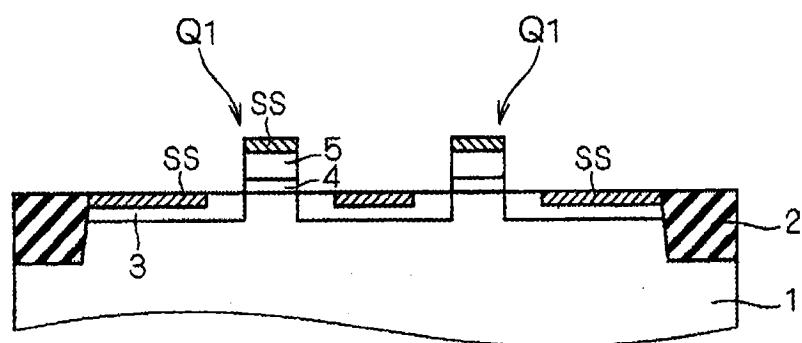


图 7

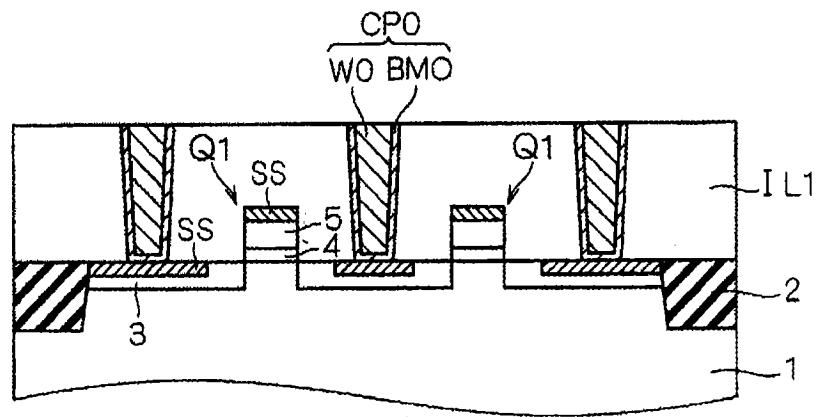


图 8

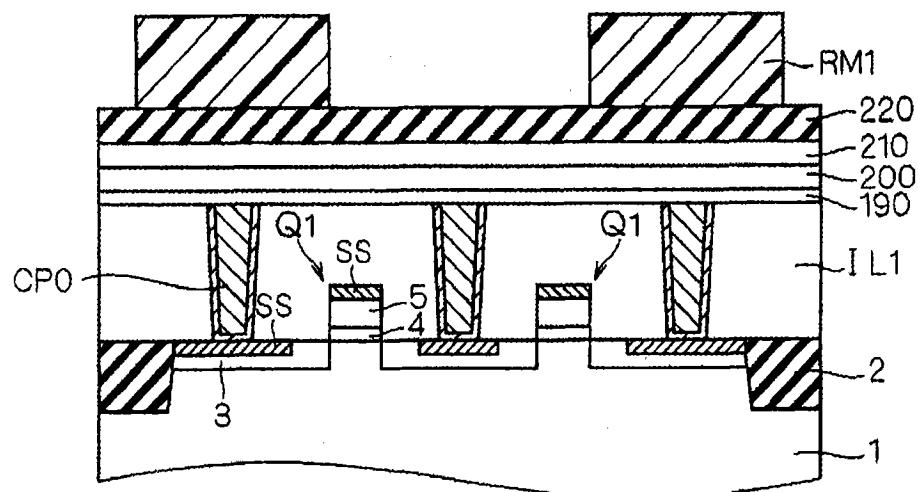


图 9

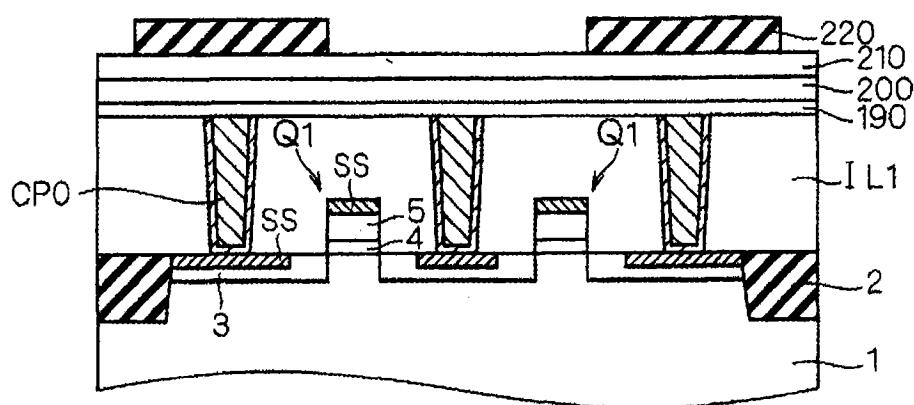


图 10

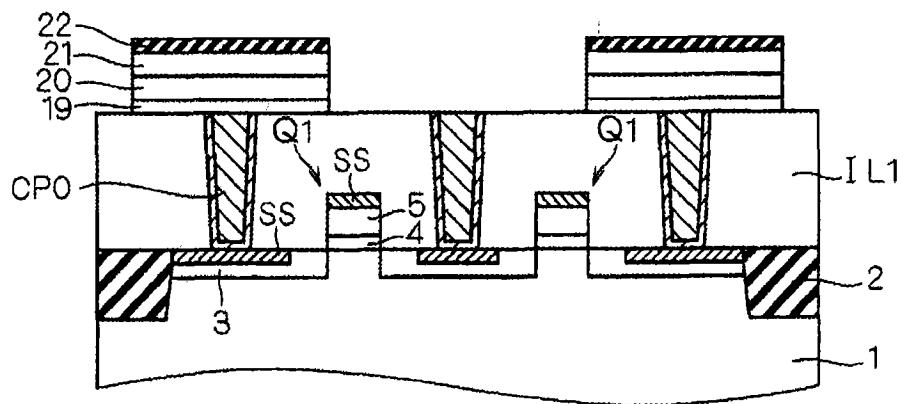


图 11

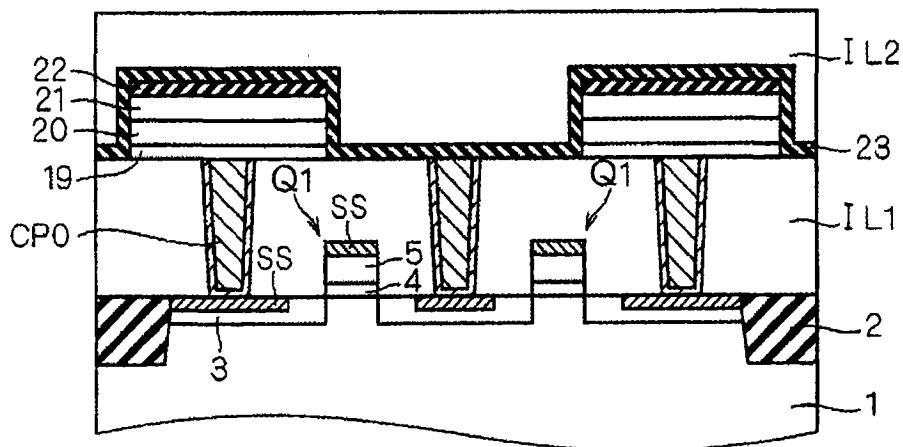


图 12

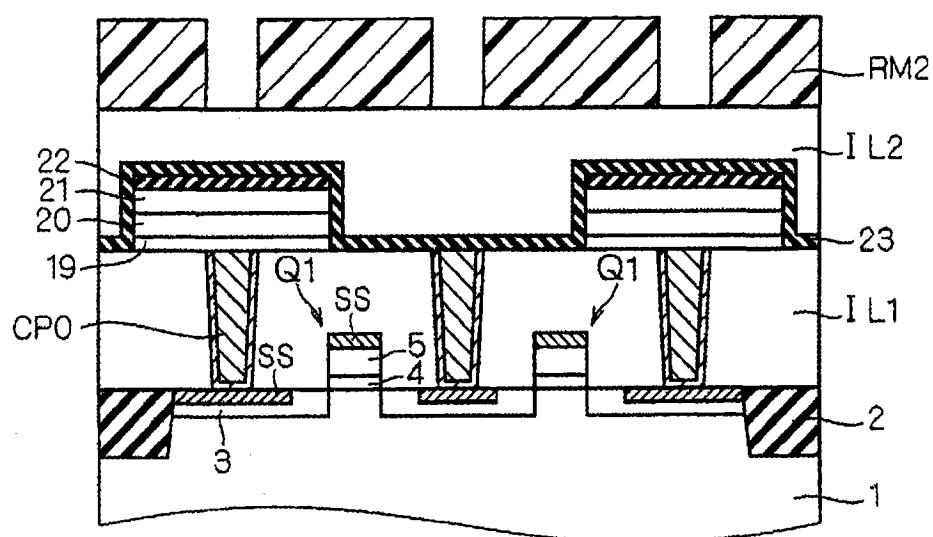


图 13

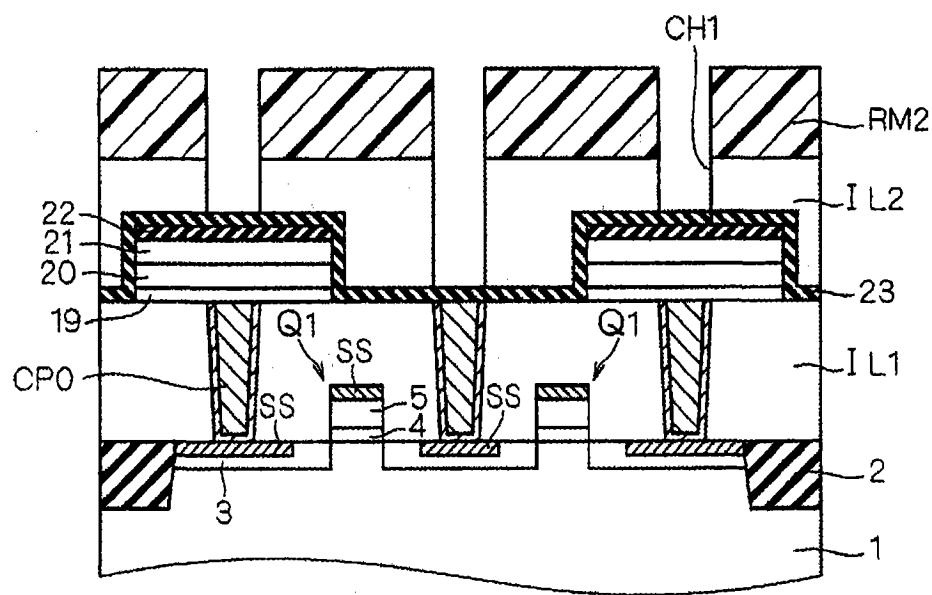


图 14

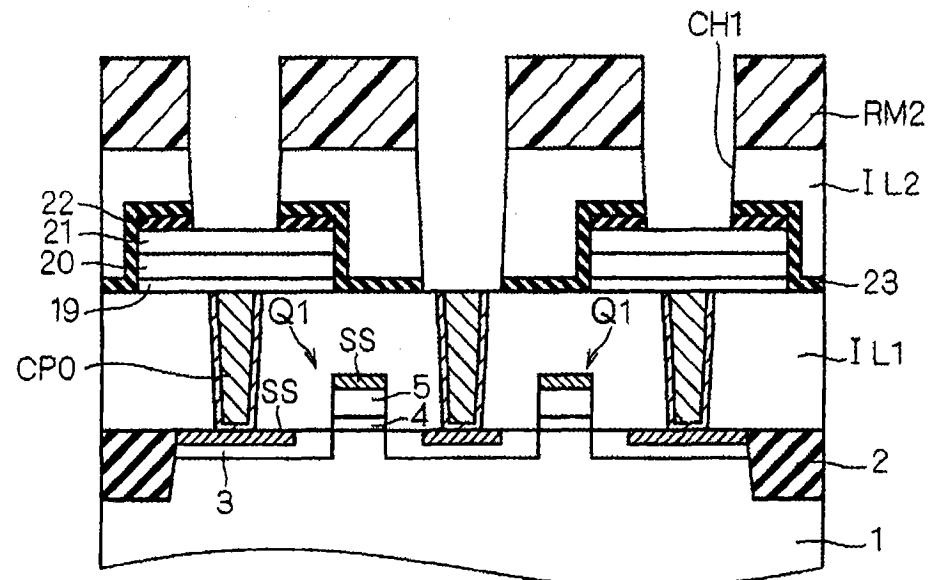


图 15

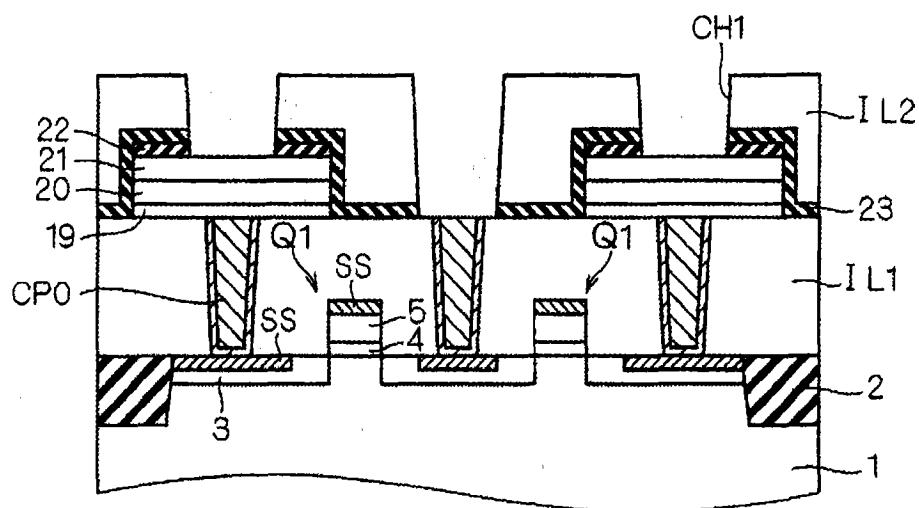


图 16

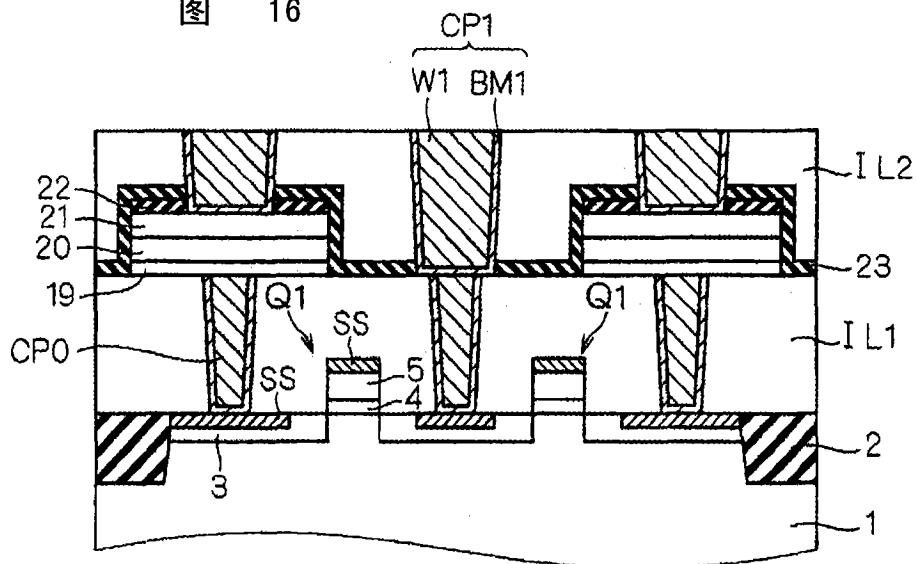


图 17

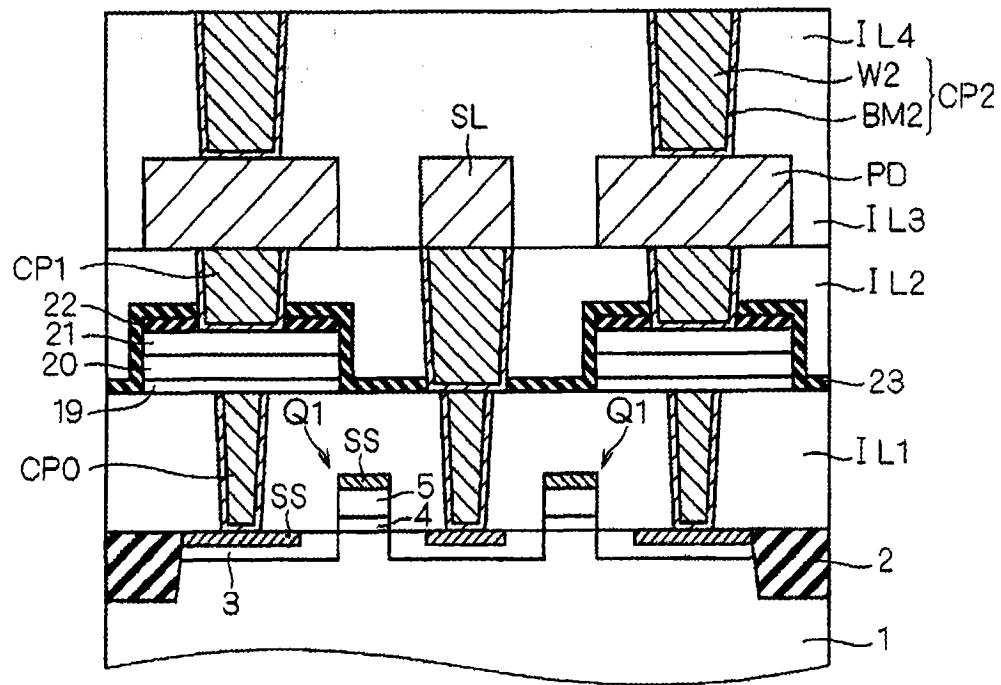


图 18

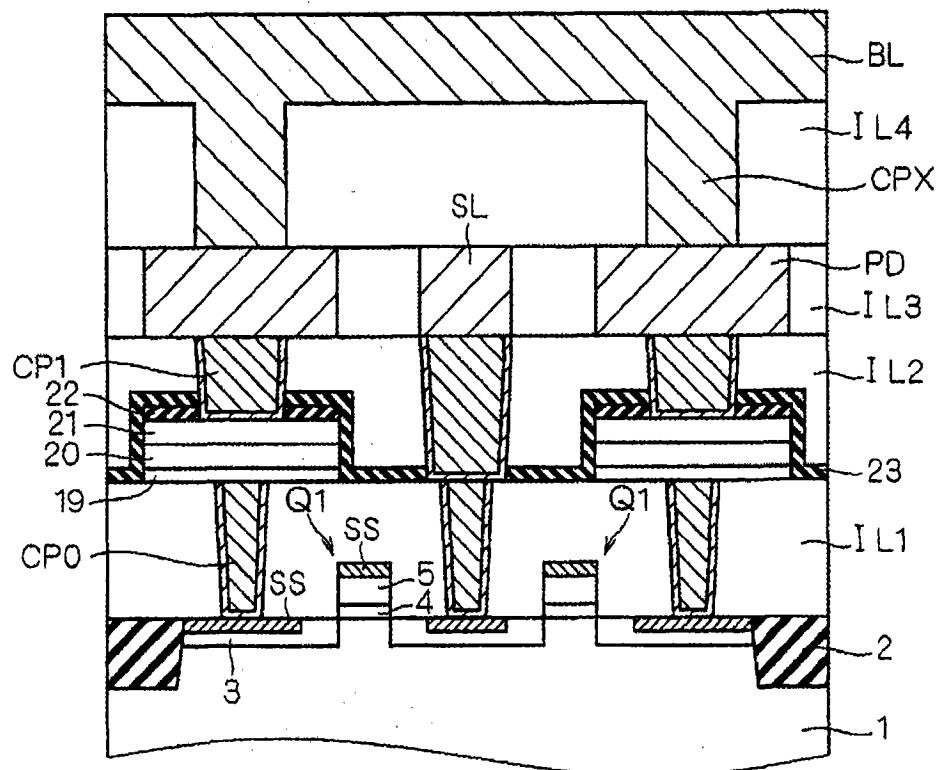


图 19

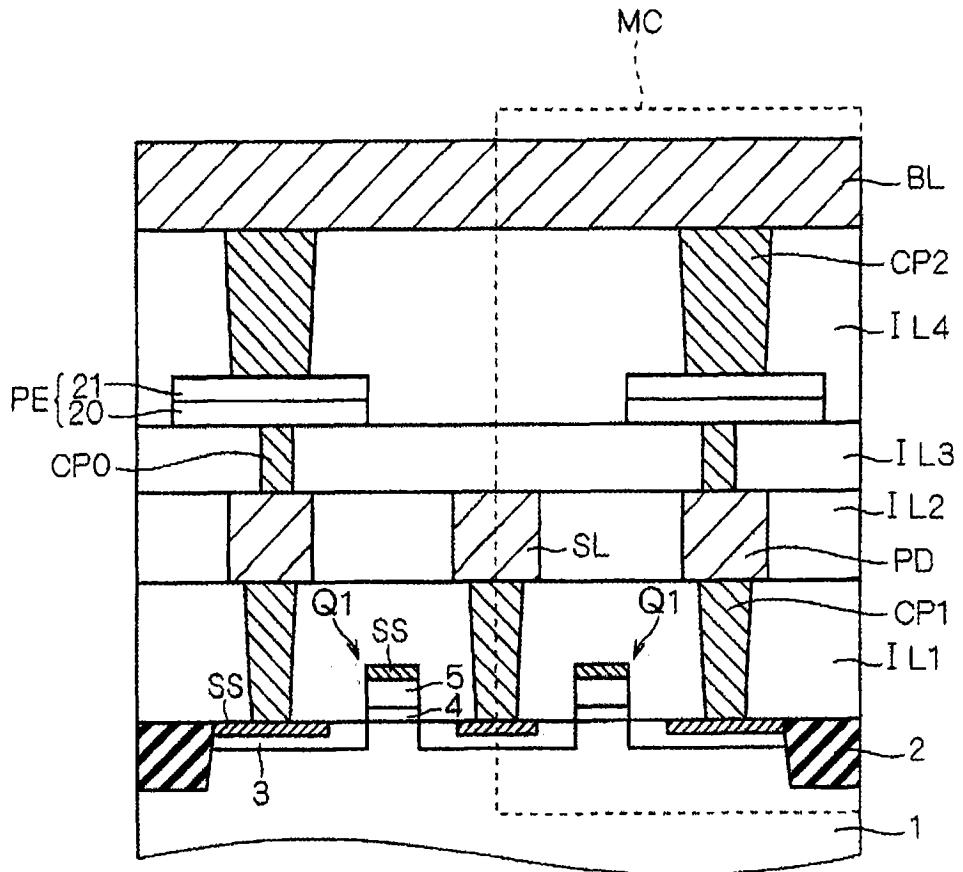


图 20