



(12) Wirtschaftspatent

Erteilt gemäß § 17 Absatz 1 Patentgesetz

(19) DD (11) 264 537 A1

4(51) G 06 F 13/36

AMT FÜR ERFINDUNGS- UND PATENTWESEN

In der vom Anmelder eingereichten Fassung veröffentlicht

(21) WP G 08 F / 307 401 8

(22) 30.09.87

(44) 01.02.89

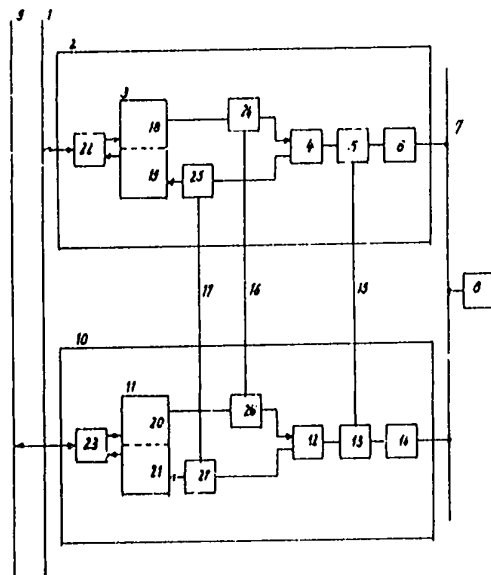
(71) VEB Geräte- und Regler-Werke Teltow, Oderstraße 74/76, Teltow, 1530, DD

(72) Sawatzky, Jörg, Dr.; Geike, Eberhard, Dipl.-Ing., DD

(54) Schaltungsanordnung zur Realisierung einer redundanten Anlagenbusanschaltung bei Verwendung von intelligenten Busanschaltbaugruppen mit Dual-Port-Speichern

(55) Busanschaltbaugruppe, Anlagenbusanschaltung, serieller Datenbus, Dual-Port-Speicher, redundanter Datenbus, Umschaltmodul, intelligente Busanschaltbaugruppe, Empfangsweg, Sendeweg, Richtungsschaltung

(57) Die Erfindung betrifft eine Schaltungsanordnung zur Realisierung einer redundanten Anlagenbusanschaltung unter Verwendung von intelligenten Busanschaltbaugruppen mit Dual-Port-Speichern, wie sie in komplexen dezentralen Prozeßleitsystemen, zur Kopplung der Rechner-Funktionseinheiten an den redundant ausgelegten zentralen seriellen Datenbus, zur Anwendung kommen. Erfindungsgemäß werden zwei zueinander redundant geschaltete Busanschaltbaugruppen so miteinander verbunden, daß der Rechnersystembus und damit die Zentrale Verarbeitungseinheit jeweils mit dem unmittelbar zugeordneten Kanal des redundant ausgelegten seriellen Datenbusses verbunden ist. Weiterhin ist über Umschaltmodule innerhalb der einzelnen Busanschaltbaugruppen eine Verbindung mit dem der jeweils anderen Busanschaltbaugruppe unmittelbar zugeordneten Kanal des redundant ausgelegten seriellen Datenbusses realisiert. Fig. 1



Figur 1

Patentansprüche:

1. Schaltungsanordnung zur Realisierung einer redundanten Anlagenbusanschaltung bei Verwendung von intelligenten Busanschaltbaugruppen mit Dual-Port-Speicher, **dadurch gekennzeichnet**, daß zwei zueinander redundant geschaltete Busanschaltbaugruppen (2,10.) den Rechnersystembus (7) und damit die Zentrale Verarbeitungseinheit (8) jeweils mit dem unmittelbar zugeordneten Kanal (1 bzw. 9) des redundant ausgelegten seriellen Datenbusses und über Umschaltmodule (24, 25, 26, 27) innerhalb der Busanschaltbaugruppen (2,10.) darüber hinaus mit den der jeweils anderen Busanschaltbaugruppe (10,2.) unmittelbar zugeordneten Kanal verbinden.
2. Schaltungsanordnung nach Anspruch 1, **dadurch gekennzeichnet**, daß die Umschaltmodule (24, 25, 26, 27) jeweils getrennt für Empfangs- (18, 20)/und Sendeweg (19, 21) je Busanschaltbaugruppe vorhanden sind.
3. Schaltungsanordnung nach den Ansprüchen 1 und 2, **dadurch gekennzeichnet**, daß die Umschaltmodule (24, 26, 25, 27) sowohl für den Empfangs- (18, 20) als auch für den Sendeweg (19, 21) jeweils zwischen den Modulen Empfänger/Sender (3, 11) und Serielle Ein-/Ausgabe (4, 12) einer Busanschaltbaugruppe (2, 10) angeordnet sind.
4. Schaltungsanordnung nach den Ansprüchen 1 bis 3, **dadurch gekennzeichnet**, daß zwischen den Umschaltmodulen der Empfangswege (24, 26) beider Busanschaltbaugruppen (2, 10) ein serieller Empfangsverbindungskanal (16) und zwischen den Umschaltmodulen der Sendewege (25, 27) beider Busanschaltbaugruppen (2, 10) ein serieller Sendeverbindungskanal (17) vorhanden ist.
5. Schaltungsanordnung nach den Ansprüchen 1 bis 4, **dadurch gekennzeichnet**, daß die Umschaltmodule im Empfangsweg (24, 26) eine Richtungserkennung (24.1, 26.1) der Empfangsdaten derart besitzen, daß sie bei Empfang über den jeweiligen Buskanal (1, 9) den jeweils anderen Buskanalempfang für die Empfangsdauer sperren.
6. Schaltungsanordnung nach den Ansprüchen 1 bis 4, **dadurch gekennzeichnet**, daß die Umschaltmodule im Sendeweg (25, 27) jeweils durch die Prozessormodule (5, 13) der Busanschaltbaugruppe (2, 10) gesteuert werden.
7. Schaltungsanordnung nach den Ansprüchen 1 bis 6, **dadurch gekennzeichnet**, daß die Prozessormodule (5, 13) beider Busanschaltbaugruppen (2, 10) durch eine Ausfallmeldeleitung (15) verbunden sind, wobei jeweils der eine Prozessormodul über den anderen die Funktionstüchtigkeit der redundanten Busanschaltbaugruppe überwacht und wobei eine Busanschaltbaugruppe bei Systemstart als „primär“ gesetzt worden ist.

Hierzu 3 Seiten Zeichnungen

Anwendungsgebiet der Erfindung

Die Erfindung betrifft eine Schaltungsanordnung zur Realisierung von redundanten Anlagenbusanschaltungen, wie sie in komplexen dezentralen Prozeßleitsystemen zur Kopplung der Rechner-Funktionseinheiten an den redundant ausgelegten zentralen seriellen Datenbus zur Anwendung kommen.

Charakteristik der bekannten technischen Lösungen

Bei bekannten technischen Lösungen (z. B. Intelligentes Zwischenblockinterface für Einrichtungen ursadat 5000, ursatrans 5120, Kundeninformation des KEAW 1/85) ist die redundante Realisierung der Busanschaltung mit Busanschaltbaugruppen, bestehend u. a. aus einem Prozessor und einem Dual-Port-Speicher, ohne Belastung der zentralen Verarbeitungseinheit (host prozessor) und des Rechnersystembusses der Rechereinheit, die die Busanschaltbaugruppe an den seriellen Datenbus koppelt, nicht möglich.

Bei redundanter Auslegung des Anlagenbussystems erfolgt zur Datenbus-seitigen Verkopplung die programmäßige Realisierung der entsprechenden Datenübertragungsprotokollfunktion zur Auswahl und Kontrolle des Datenübertragungskanal. In Verbindung mit Dual-Port-Speichern auf den jeweiligen Busanschaltbaugruppen ergeben sich sehr komplizierte Funktionen, die softwaremäßig mit der zentralen Verarbeitungseinheit (host prozessor) realisiert werden müssen. Dies wirkt sich sehr nachteilig aus, da damit ein hoher Zeitanteil verbraucht wird, der sonst dem Anwender zur Verfügung stehen würde.

Ziel der Erfindung

Ziel der Erfindung ist, in komplexen dezentralen Prozeßleitsystemen in denen Rechneinheiten über einen zentralen redundant ausgelegten seriellen Datenbus gekoppelt sind, die redundante Busanschaltung unter Verwendung von intelligenten Busanschaltbaugruppen zu ermöglichen, ohne daß die jeweilige Zentrale Verarbeitungseinheit (host prozessor) der Rechneinheit mit der softwaremäßigen Ausführung von Datenübertragungsprotokollfunktionen zur Auswahl und Kontrolle der redundanten Datenübertragungskanäle belastet wird.

Darlegung des Wesens der Erfindung

Der Erfindung liegt die Aufgabe zugrunde, zwei Busanschaltbaugruppen zur Kopplung des Rechnersystembusses einer Rechneinheit mit dem zentralen, redundanten Anlagenbus hardwaremäßig so miteinander zu verbinden, daß die Datenübertragungsprotokollfunktionen zur Auswahl und Kontrolle der redundanten Datenübertragungskanäle durch den jeweiligen Prozessor der Busanschaltbaugruppe selbst realisiert werden kann, wobei die eine Busanschaltbaugruppe jeweils die Redundanz für die andere Busanschaltbaugruppe darstellt.

Erfindungsgemäß wird diese Aufgabe dadurch gelöst, daß zwei zueinander redundant geschaltete Busanschaltbaugruppen den Rechnersystembus und damit die Zentrale Verarbeitungseinheit jeweils mit dem unmittelbar zugeordneten Kanal des redundant ausgelegten seriellen Datenbusses verbinden. Über Umschaltmodule innerhalb der Busanschaltbaugruppen ist darüber hinaus die jeweils andere Busanschaltbaugruppe mit dem unmittelbar zugeordneten Kanal verbunden.

In vorteilhafter Ausgestaltung der erfindungsgemäßen Lösung sind die Umschaltmodule getrennt jeweils für Empfangs- und Sendeweg, je Busanschaltbaugruppe vorhanden. Die Umschaltmodule sowohl für den Empfangs- als auch für den Sendeweg sind jeweils zwischen den Modulen Empfänger/Sender und serielle Ein-/Ausgabe einer Busanschaltbaugruppe angeordnet. Weiterhin ist zwischen den Umschaltmodulen der Empfangswege beider Busanschaltbaugruppen ein serieller Empfangsverbindungskanal und zwischen den Umschaltmodulen der Sendewege beider Busanschaltbaugruppen ein serieller Sendeverbindungskanal vorhanden.

Im Empfangsweg besitzen die Umschaltmodule eine Richtungserkennung der Empfangsdaten, so daß bei Empfang über einen Buskanal der jeweils andere Kanalempfang für die Empfangsdauer gesperrt ist.

Weiterhin werden die Umschaltmodule im Sendeweg jeweils durch die Prozessormodule der Busanschaltbaugruppen gesteuert. Die Prozessormodule beider Busanschaltbaugruppen sind durch eine Ausfallmeldeleitung verbunden, wobei jeweils der eine Prozessormodul über den anderen die Funktionsfähigkeit der redundanten Busanschaltbaugruppe überwacht und wobei eine Busanschaltbaugruppe als „primär“ gesetzt worden ist.

Anschließend soll die erfindungsgemäße Schaltungsanordnung kurz in Funktion beschrieben werden.

Zwischen den Modulen Empfänger/Sender und serielle Ein-/Ausgabe einer Busanschaltbaugruppe ist eine Kopplung derart realisiert, daß einerseits die von einem ersten Empfängermodul, der an einem ersten Datenübertragungskanal des Anlagenbussystems angeschlossen ist, kommenden Empfangssignale zum nachgeschalteten Modul Serielle Ein-/Ausgabe Daten rangiert werden und daß andererseits diese Empfangssignale auch zu einem zweiten Modul Serielle Ein-/Ausgabe einer zweiten Busanschaltbaugruppe übertragen werden. Dabei ist diese zweite Busanschaltbaugruppe nicht wie die erste Busanschaltbaugruppe primär dem ersten, sondern einem zweiten Datenübertragungskanal des Anlagenbussystems zugeordnet.

Analog zu der Übertragung der Empfangssignale werden die Sendesignale vom Modul Serielle Ein-/Ausgabe der ersten Busanschaltbaugruppe wahlweise, je nachdem welcher Kanal des redundanten Anlagenbusses benutzt wird, entweder dem ersten Sendemodul oder dem zweiten Sendemodul des ersten bzw. zweiten Datenübertragungskanals des Anlagenbussystems aufgeschaltet.

Ausführungsbeispiel

Die Erfindung soll anschließend an einem Ausführungsbeispiel näher erläutert werden. Dabei zeigen:

- Fig. 1: das Blockschaltbild der erfindungsgemäßen Schaltungsanordnung
- Fig. 2: ein Ausführungsbeispiel für die Empfangsschaltung
- Fig. 3: ein Ausführungsbeispiel für die Sendeschaltung

Die Beschreibung gemäß Ausführungsbeispiel erfolgt aufgrund besserer Übersichtlichkeit für die Empfangsschaltung gemäß Fig. 2 und für die Sendeschaltung gemäß Fig. 3 getrennt. Letztendlich sind aber beide Schaltungen in einer gemeinsamen Schaltungsanordnung gem. Fig. 1 realisiert.

Bei der Beschreibung wird von einem codierten Signal ausgegangen, welches über eine Leitung übertragbar ist, aber von einem seriellen Peripherieschaltkreis als Takt- und Informationssignal nur gesendet oder empfangen werden kann.

Deshalb wird zur Aufwandreduzierung nur das codierte Signal über verschiedene Wege von der Empfangsstufe 18 (20) zum Dekoder 24.7 (26.7) bzw. vom Codierer 25.2 (27.2) zur Sendestufe 19 (21) geleitet.

Das Empfangssignal (Fig. 2) wird mittels Übertrager 22 bzw. 23 von den entsprechenden Kanälen des Anlagenbusses 1 bzw. 9 ausgekoppelt und über die jeweilige Eingangsstufe 18 bzw. 20, die die Signalverstärkung und Filterung realisiert, der internen Weiterverarbeitung zur Verfügung gestellt.

Entsprechend der Beschaltung der Leitungen 24.8 (26.8) (durch host prozessor oder baugruppenintern erzeugt) ist es jetzt möglich, daß jeder Umschaltmodul 24, 26 sein zugeordnetes Signal und zusätzlich auch das Signal der anderen Baugruppe empfangen kann. Durch das NAND-Gatter 24.6 (26.6) wird die Zusatzmöglichkeit freigegeben.

Welches Empfangssignal der weiteren Verarbeitung zugeführt wird, entscheidet die Richtungssteuerung 24.1 (26.1). Diese erzeugt einen high-Pegel, wenn kein Empfangssignal von dem jeweils anderen Empfangsmodul zugeführt wird, bzw. wenn vorher auf der zugeordneten Datenbahn ein Empfangssignal aktiv wurde. Ein low-Pegel wird erzeugt und solange gehalten, wie von dem anderen Modul ein Empfangssignal eingespeist wird.

Der Ausgang dieser Richtungssteuerung 24.1 (26.1) erfüllt zwei Funktionen. Zum ersten wird dem jeweiligen modulinternen Prozessor 5 bzw. 13 signalisiert, von welcher Datenbahn 1 bzw. 9 ein Empfang erfolgt, zum anderen wird damit eines der beiden Empfangssignale dem Decoder 24.7 (26.7) und einem Empfangsschaltkreis 4 (12) zugeführt.

Dazu wird das Ausgangssignal der Richtungssteuerung 24.1 (26.1) im Negator 24.3 (26.3) negiert. Damit ist bei high-Pegel des Richtungssteuersignals das Gatter 24.4 (26.4) für den Empfang des der Baugruppe zugeordneten Signals freigegeben.

Im anderen Fall ist über das NAND-Gatter 24.5 (26.5) ein Empfang von der jeweils anderen Baugruppe möglich, sofern über die Leitung 24.8 (26.8) das NAND-Gatter 24.6 (26.6) freigegeben ist.

Das Signal über die Leitung 24.8 (26.8) dient der Freigabe des Empfangs des Signals der jeweils anderen Baugruppe. Dieses Signal ist zweckmäßigerweise durch den host-prozessor 8 zu schalten, da dieser entsprechend der Funktionsfähigkeit beider Baugruppen 2, 10 festlegen muß, ob jede Baugruppe ihren zugeordneten Kanal 1 bzw. 9 bedient oder zusätzlich auch noch den jeweils anderen.

Die Verzögerungsstufe 24.2 (26.2) soll Störimpulse, die durch die Freigabebotung, bedingt durch die Laufzeitverzögerung der Richtungssteuerung, entstehen, unterdrücken.

Bei der Sendeschaltung (Fig. 3) wird ein aus Takt und Information bestehendes Sendesignal vom Seriellen Ein-/Ausgabemodul 4 (12) in ein biphasen-codiertes Signal im Codierer 25.2 (27.2) umgewandelt. Dieses Signal beansprucht nur noch eine Leitung.

Wird z.B. ein U 856-SIO als serieller Ein-/Ausgabemodul eingesetzt, so stehen einige Schaltungsleitungen zur Verfügung, die für Torungszwecke geschaltet werden können. Im Ruhezustand sind diese Leitungen RTSA, RTSB auf high-Pegel. Durch diese Ausgangsbelegung machen sich die Negatoren 25.3 (27.3) und 25.6 (27.6) erforderlich, deren Ausgangssignal die NAND-Gatter 25.1 (27.1) und 25.5 (27.5) sperren, so daß der Umschaltmodul 25 (27) kein Sendesignal nach außen abgibt. Dieses Sendesignal kann jetzt direkt dem baugruppeneigenen Sender 19 (21) zugeleitet werden, wenn ein Freigabesignal RTSA = low ist. Dieses RTSA-Signal gibt einerseits über das Gatter 25.1 (27.1) und den vorgeschalteten Negator 25.3 (27.3) den eigenen Sender frei, sperrt aber über das Gatter 25.4 (27.4) das Sendesignal der jeweils anderen Baugruppe.

Sofern die Signale über die Leitungen 25.7 (27.7) (durch den host-prozessor oder baugruppenintern geschaltet) high-Pegel führen, besteht die Möglichkeit des Sendens mittels des Sendeverstärkers 21 (19) der anderen Baugruppe.

Jede Baugruppe kann mittels der Signale RTSB = low-Pegel und RTSA = high-Pegel sein Sendesignal von dem Codierer 25.2 (27.2) über das NAND-Gatter 25.5 (27.5) auf die Leitung 17 aufschalten, so daß bei Freigabe durch die Leitungen 25.7 (27.7) das Sendesignal auf die entsprechende Datenbahn 1 (9) geleitet wird.

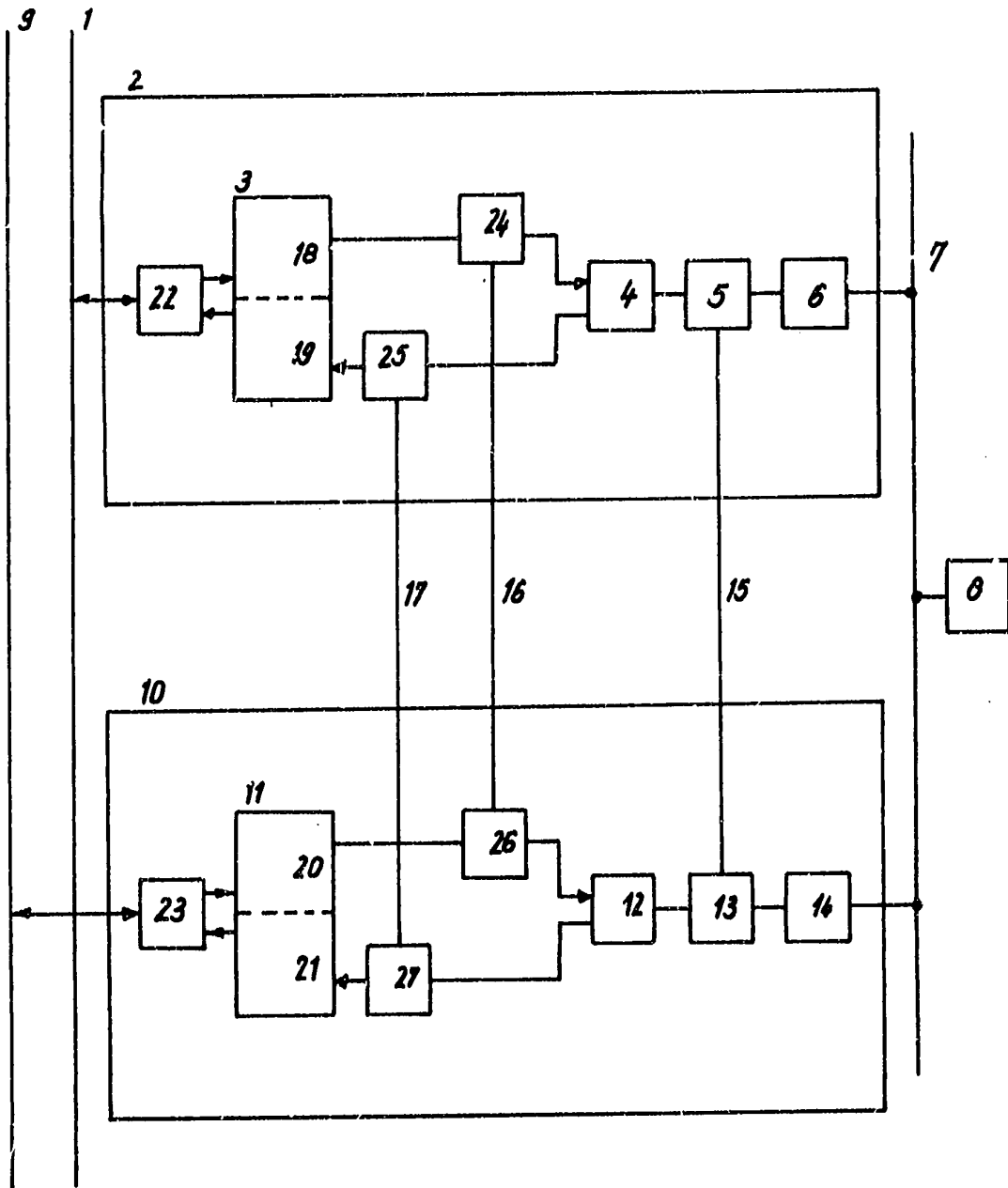
Für die Steuersignale über die Leitungen 25.7 (27.7) der Sendeschaltung gemäß Fig. 3 gilt die gleiche Aussage wie für die Steuersignale über die Leitungen 24.8 (26.8) der Empfangsschaltung gemäß Fig. 2, wobei die Signale über die Leitungen 24.8 und 25.7 bzw. 26.8 und 27.7 jeweils identisch sein können. Damit wird erreicht, daß die Prozessoren 5, 13 bei der Busanschaltbaugruppe sowohl mit den empfangenen Daten des primär zugeordneten als auch des jeweils anderen Buskanals versorgt werden und diese Daten im jeweiligen Dual-Port-Speicher 6, 14 dem übergeordneten Prozessor 8 (host prozessor) am Rechnersystembus 7 bereitstehen, wobei der übergeordnete Prozessor 8 nur auf den Dual-Port-Speicher der Busanschaltbaugruppe zugreift, die sich über den Dual-Port-Speicher 6, 14 als nicht defekt meldet, bzw. die durch den übergeordneten Prozessor 8 als nicht defekt erkannt wird.

Analog zu den empfangenen Daten wird erreicht, daß auch die vom übergeordneten Prozessor 8 auszugebenden Sendedaten an den Dual-Port-Speicher 6, 14 der Busanschlußbaugruppe übergeben werden, die sich nicht als defekt gemeldet bzw. die der übergeordnete Prozessor 8 nicht als defekt diagnostiziert hat, bzw. die „aktiv“ oder „primär“ vom übergeordneten Prozessor 8 gesetzt wurden.

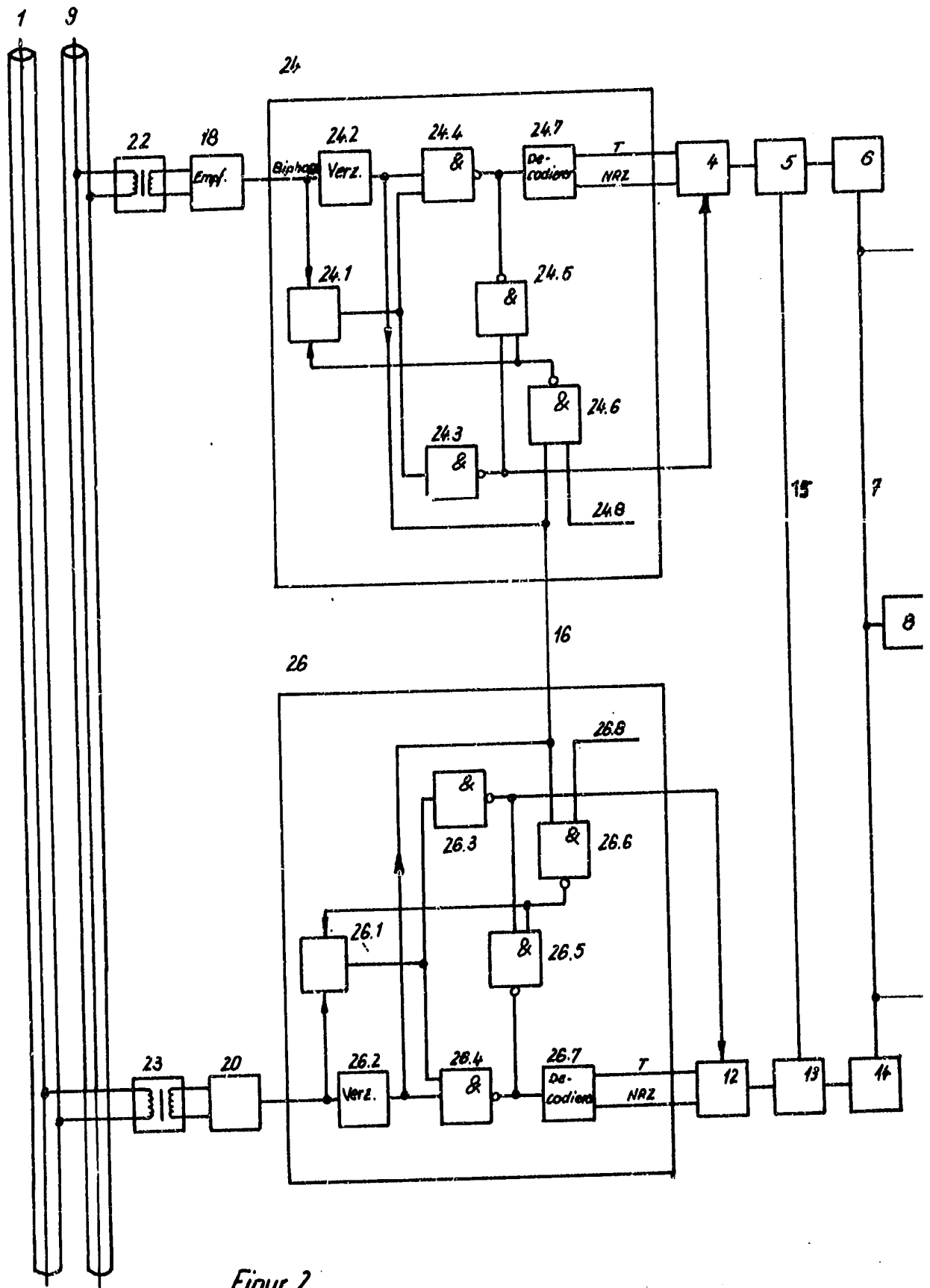
Dabei können die Sendedaten sowohl der direkt zugeordneten Buskanal 1 bzw. 9 als auch dem Buskanal, der der anderen (redundanten) Busanschaltbaugruppe zugeordnet ist, übergeben werden, so daß der jeweils aktive (primäre) und nicht defekte Buskanal benutzbar ist.

Diese erfindungsgemäße Schaltungsanordnung ermöglicht damit für jeweils eine der beiden, einander redundanten Busanschaltbaugruppen 2, 10 den gleichzeitigen Empfang von beiden, einander redundanten Kanälen 1 bzw. 9 des Anlagenbusses und das wahlweise Senden zu einem ausgewählten Buskanal.

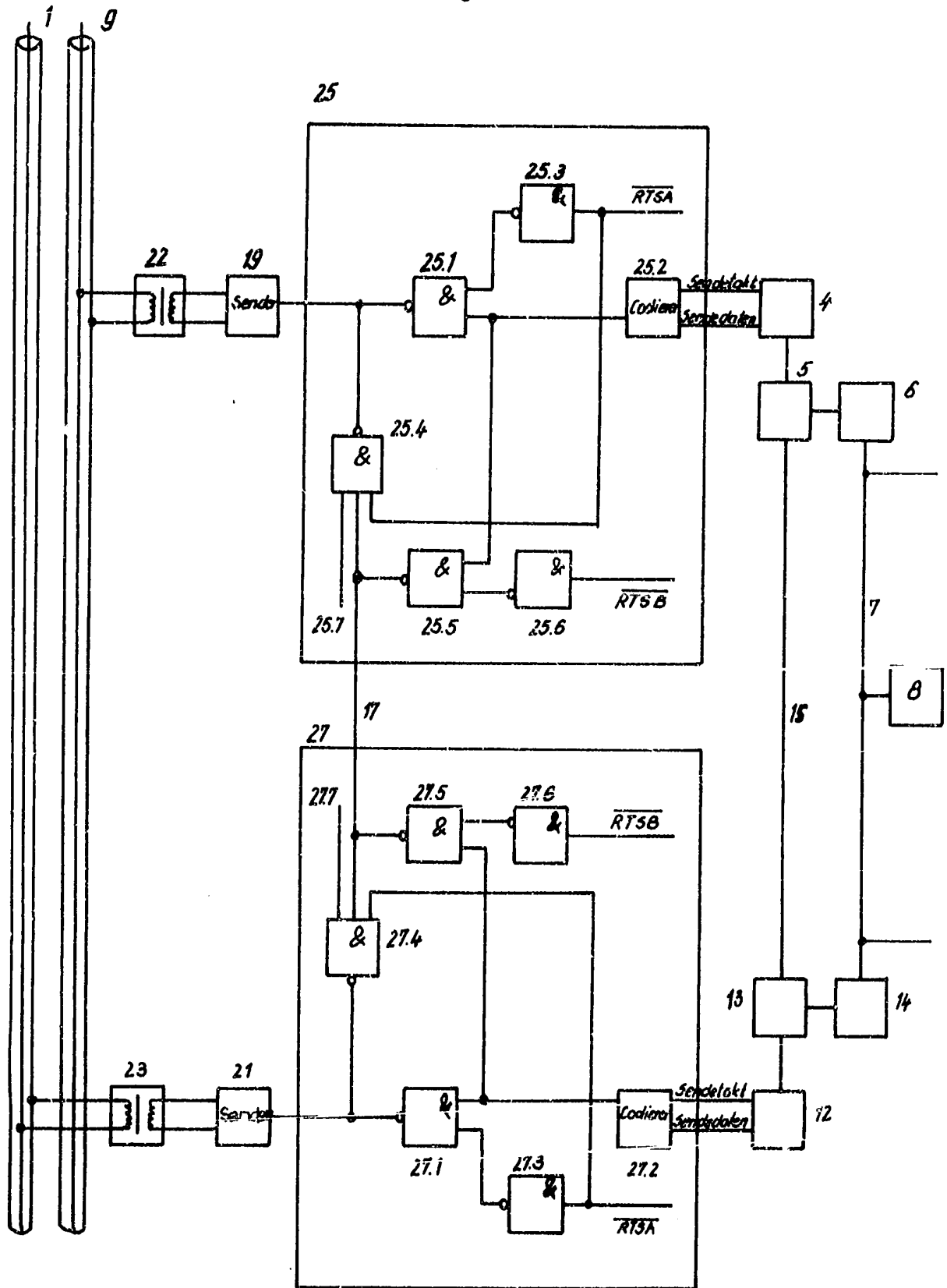
Durch die Struktur der erfindungsgemäßen Schaltungsanordnung wird erreicht, daß die beiden Busanschaltbaugruppen 2, 10 nur durch zwei serielle Kanäle 16, 17 (Empfangsverbinding- und Sendeverbindungskanal), bestehend jeweils aus Datenleitung und Taktleitung und einer Ausfallmeldeleitung 15 verbunden zu werden brauchen.



Figur 1



Figur 2



Figur 3