

200623

申請日期	87.3.16
案 號	81101963
類 別	1404M/84/10

公告本

A4
C4

(以上各欄由本局填註)

發明
新型 專利說明書

(請先閱讀背面之注意事項再填寫本頁各欄)

一、發明 名稱	中 文	選擇呼叫接收機
	英 文	SELECTIVE CALLING RECEIVER
二、發明人 創作	姓 名	井出基樹
	籍 貫 (國籍)	日 本
	住、居所	東京都港區芝五丁目7番1號 日本電氣株式會社內
三、申請人	姓 名 (名稱)	日本電氣股份有限公司 日本電氣株式會社
	籍 貫 (國籍)	日 本
	住、居所 (事務所)	東京都港區芝五丁目7番1號
	代表人 姓 名	關本忠弘

裝

訂

線

五、發明說明 (1)

〔發明之背景〕

本發明係關於電池節省型選擇呼叫接收機。

以往各種電池節省型選擇呼叫接收機之技術被提議過，呼叫選擇呼叫接收機之各種信號格式也被提議過，但這些被提出的格式，基本上為相同結構。下面參考POCSAG (Post Office Code Standardization Advisory Group) 1980, 秋天發表之說明 STANDARD MESSAGE FORMATS FOR DIGITAL RADIO PAGING之第1圖A, B及C說明選擇呼叫信號之格式。如第1圖A所示，POCSAG信號包含由0與1交互組成之576位元之前導信號PA，及多數信號批B。第1圖B所示，每一信號批B包含使字碼同步之同步信號SC，及16組字碼CW1~CW16。如第1圖C所示，字碼CW1包含資訊位元IB，檢驗位元CB，及奇偶位元PB。字碼CW1之資訊位元IB當從選擇呼叫號碼轉換過來之BCH碼之MSB=0時代表選擇呼叫碼，當從信號息轉換過來之BCH之MSB=1時代表信息碼。剩下的字碼CW2~CW16也是同樣之佈置。

呼叫以如下之方法被選擇呼叫接收機認知。如第1圖B所示，16組字碼CW1~CW16被分為8群G1~G8而每一群有2組字碼。各別之選擇呼叫接收機使用者被登記為每一選擇呼叫接收機配屬於群G1~G8之任一群例如某選擇呼叫接收機配屬於群G2，選擇呼叫接收機以指配給該選擇接收機之選擇呼叫號碼是否包含在群G2之字碼CW3，

五、發明說明 (2)

CW4之資訊位元IB來確定呼叫之認知。選擇呼叫接收機接收POCSAG信號而認知呼叫，僅需接收所配屬之群G2之兩個字碼CW3，CW4，因此經由電池節省動作，電流之消耗可以減少。更詳細地說，選擇呼叫接收機僅其配屬之群G2之字碼CW3，CW4被發射時將其接收電路啓開，否則使接收電路關閉。

選擇呼叫接收機以如下方法接收信息，信息發訊時，16組字碼CW1~CW16不被分為群，而所有字碼CW1~CW16之資訊位元IB代表信息碼。因此當選擇呼叫接收機接收代表指定給該選擇呼叫接收機之選擇呼叫號碼時，選擇呼叫接收機中斷電池節省動作，而開始轉入連續接收發訊訊號之狀態。

目前更多的選擇呼叫接收機為了更廣的各種有用功能採用微處理器。這種選擇呼叫接收機，當接收信息時微處理器處理信息，由於微處理器之工作雜音，選擇呼叫接收機接收發射訊號可能會降低靈敏度。因此當選擇呼叫接收機接收信息時，微處理器被徐源而信息碼被暫時儲存在緩衝記憶體，或微處理器以低頻時鐘信號動作，從接收到的POCSAG信號所產生的信息碼暫時被儲存在緩衝記憶體，然後信息自由微處理器處理。

依據第1圖A~C所示POCSAG信號格式，信息可為任何長度。因此當接收到長信息時，選擇呼叫接收機需要大儲存容量之緩衝記憶體。無論如何增加緩衝記憶體之儲

五、發明說明 (3)

存容量，以小型化為重要目標之選擇呼叫接收機，為嚴重問題。

〔發明之概述〕

本發明之目的為提供接收長信息也不用大儲存容量之記憶體。

本發明之另一目的由下面說明可明瞭。

依據本發明，選擇呼叫接收機接收含有同步信號，及選擇呼叫碼或跟著同步信號之信息碼之多數信號批所組成之選擇信號。選擇呼叫接收機包含為了從選擇信號抽出同步信號之時序信號產生裝置，及產生與同步信號同步之時序信號，為了從選擇信號抽出信息碼之信息碼抽出裝置，儲存由信息碼抽出裝置所抽出信息碼之緩衝記憶體，及可由第1時鐘信號及頻率較第1時鐘信號高之第2時鐘信號動作之微處理器。假如從時序信號產生裝置產生之時序信號未輸入而從信息碼抽出裝置之信息碼輸入時微處理器以第1時鐘信號將信息碼儲存於緩衝記憶體，及自緩衝記憶體讀出信息碼，及當來自時序信號產生裝置之時序信號輸入時以第2時鐘信號處理信息碼。

〔圖式之簡單說明〕

本發明之特徵及優點，以下列所附圖式說明將極為明瞭。

第1圖A係表示POCSAG信號之格式。

第1圖B係表示第1圖A所示POCSAG信號之每一組信

五、發明說明(4)

號批。

第1圖C係表示第1圖B所示信號批之每一字碼。

第2圖係表示本發明之選擇呼叫接收機之方塊圖。

第3圖係表示第2圖所示之選擇呼叫接收機解碼器方塊圖。

第4圖係表示第2圖所示之選擇呼叫接收機之動作時序圖之說明。

第5圖係表示第2圖所示之選擇呼叫接收機接收信息時之CPU動作順序之流程圖。

[較佳實施例之詳細說明]

如第2圖所示，本發明選擇呼叫接收機，包括天線1，無線電信號解調器2，解碼器3具有參考時鐘信號振盪器13，CPU4包含單晶片微電腦及CPU動作時鐘信號振盪器14，LCD5連接至CPU4，ID-ROM6連接至CPU4，RAM7連接至CPU4，功能開關組8連接至CPU4，推動器9連接至CPU4，揚聲器10連接至推動器9，LED11連接至推動器9，振動器12連接至推動器9。

如第3圖所示，解碼器包含參考時鐘信號振盪器連接在上之振盪電路309，位元同步電路301，速率監視電路306，同步控制電路302，檢波電路303，BCH錯誤校正器304，選擇呼叫碼檢測電路305，時序控制電路310，中斷控制電路308，及CPU界面電路307。

下面說明第2圖所示之選擇呼叫接收機之動作。

五、發明說明 (5)

自發射站發射之被POCSAG信號調變之被調變訊號被天線1接收。被接收到之被調變訊號a被無線電解調器2解調成被解調數據C，被解調數據C被送至解碼器3之位元同步電路301。當前導信號PA包含在被解調數據C與自振盪電路309送來之參考時鐘信號g相鎖扣同相時，位元同步電路301產生再生時鐘信號■。被解調數據C也被送至檢測電路303。檢測電路303藉來自位元同步電路301之再生時鐘■取樣包含在被解調數據C之前導信號PA。當檢測電路303檢測來自被解調數據之POCSAG信號之前導信號，檢測電路303輸出第1檢測信號i至同步控制電路302。被解調信號C亦被送至飽率監視電路306。飽率監視電路306將被解調數據C之飽率與所接收OCS信號之飽率予以比較。假如所比較之飽率相同，飽率監視電路306輸出檢測飽率信號k至同步控制電路302。當第1檢測信號i或檢測飽率信號k被供給至同步控制電路302，同步控制電路302保持電池省電信號b為高電位，開始檢測隨前導信號PA發送之同步信號SC。結果無線電信號解調器2繼續接收被發送之信號。

當隨前導信號PA發送之同步信號SC被檢測電路303從被解調數據C檢測時，檢測電路303輸出第2檢測信號j至同步控制電路302，對應於第2檢測信號j，同步控制電路302使電池節省信號b為低電位僅在該選擇呼叫接收機所屬之群G2之相關時序解調被調變信號a。結果

五、發明說明 (b)

無線電信號解調器 2 完成電池節省動作。

被調解數據 C 及電池節省信號 b 同時也被送至選擇呼叫碼檢測電路 305。選擇呼叫碼檢測電路 305，將包含在解調數據 C 之選擇呼叫碼與其本身之選擇呼叫碼予以比較。此時選擇呼叫接收機通常具有多數選擇呼叫號碼當著其本身之選擇呼叫號碼，這些選擇呼叫號碼儲存於 ID-ROM 6。當 CPU 4 開啓時選擇呼叫號碼被 CPU 4 從 ID-ROM 讀出，被送至選擇呼叫碼檢測電路 305。假如沒有任何一個自 CPU 4 傳送來之選擇呼叫號碼與檢測電路 305 之選擇呼叫號碼相同，電池節省信號 b 如第 4 圖 B 所示仍保持低電位。結果無線電信號解調器 2 繼續完成電池節省動作。假如任何一個自 CPU 4 傳送來之選擇呼叫號碼與選擇呼叫碼檢測電路 305 之選擇呼叫碼符合，電池節省信號 b 如第 4 圖 C 所示保持高電位。結果無線電信號解調器 2 繼續接收發訊信號。此時檢測到之符合信號。自選擇呼叫碼檢測電路 305 輸出至 CPU 界面電路 307 及經由位址匯流排 e 及數據匯流排 f 送給 CPU 4，CPU 4 監視檢測之符合信號 0 在步驟 S1 (第 5 圖) 是否輸入。當檢測到之符合信號 0 送至 CPU 4，在步驟 S2 (第 5 圖) 與選擇呼叫碼符合之選擇時叫號碼被儲存於 CPU 4 之 RAM 或外部 RAM 7。

被檢測到之符合信號 0，也被從選擇呼叫碼檢測電路 305 送至同步控制電路 302。同步控制電路 302 保持電池

五、發明說明 (7)

節省信號 b 如第 4 圖 C 所示在高電位，開始接收包含在被解調數據 C 之信息。結果無線電信號解調器 2 繼續接收發訊信號。信息接收開始信號 1，自同步控制電路 302 輸出至 BCH 錯誤校正電路 304，同時解調數據 C 亦被輸入該電路。當 BCH 錯誤校正電路 304 被供給信息接收開始信號 1，BCH 錯誤校正電路 304 用包含在解調數據 C 之各別字碼 CW1~CW16 之校驗位元 CB 及奇偶位元 PB 使錯誤校正資訊 IB 生效。錯誤校正動作後，資訊位元 IB 當著各別字碼 CW1~CW16 之信息數據 P 供給 CPU 界面電路 307。供給 CPU 界面電路 307 之信息數據 P 經由位址匯流排 e 及數據匯流排 f 輸出給 CPU 4。

在步驟 S3 (第 5 圖) CPU 4 依據信息數據 P 之 MCB 之數值決定信息數據 P 代表選擇呼叫碼或信息碼。在步驟 S4 (第 5 圖) 假若信息數據 P 代表信息碼，則信息數據 P 被儲存於 CPU 4 之 RAM 或外部 RAM7 之緩衝記憶體區域。信息數據 P 被 CPU 4 藉來自解碼器 3 之參考時鐘信號 g 當著動作時信號儲存起來。

同步控制電路 302 有一計字器 (未圖示) 係被第二檢測信號 j 重設定及如下之動作，如第 4 圖 F 所示計字器計測 q 對應於被解調數據 C 之字碼 CW1~CW16。因此解碼器 3 之時序控制電路 310 可以產生時序信號 r，如第 4 圖 g 所示當計測 q 為 "0" 時轉換為高電位。此時在時序信號 r 之電位為高電位與高電位期間之時間及 POCSAG 信

五、發明說明(8)

號之同步信號SC之位置，一對一對應。時序信號r被送至CPU界面電路307，然後經由位址匯流排e及數據匯流排F輸出給CPU 4。

在步驟S5，(第5圖)CPU 4依據自解碼器3傳輸之時序信號r決定POCSAG信號之同步信號SC之位置。在同步信號SC之位置，CPU 4自參考時鐘信號g切換至在步驟S6(第5圖)由CPU動作時鐘信號產生器14所產生之CPU工作時鐘信號。然後儲存在CPU4之RAM或外部RAM7之緩衝記憶體區域之信息數據P被讀出被CPU4轉換成字元數據，在步驟S7(第5圖)字元數據被儲存於CPU4之RAM或外部RAM之信息記憶體區域。CPU工作時鐘信號之頻率被設定為足夠高的值，即使所有16組字碼CW1~CW16都含有信息碼，使CPU4將信息碼轉換為字元數據在POCSAG信號的同步信號SC之週期內完成。因此如第4圖所示，即使當信息碼被發訊超出數信號批B，對應於每一信號批B之信息碼可以被轉換為字元數據，在CPU4之RAM或外部RAM7之緩衝記憶體區域要有足夠儲存容量來儲存包含在一組信號批B之信息碼之最大數量位元。字元數據轉換成後，CPU4自CPU工作時鐘信號切換至參考時鐘信號g。自次一發訊信號批B抽出來之信息數據P，如上述相似方法轉換為字元之數據。

信息碼之發訊完成後，在步驟S8(第5圖)CPU自參考時鐘信號g切換至CPU工作時鐘信號。在步驟8(第5圖

五、發明說明 (9)

)儲存在 CPU4 之 RAM 或外部 RAM7 之緩衝記憶體區域之信息數據 P, CPU4 被讀出並轉換為字元數據, 而字元數據儲存於 CPU4 之 RAM 或外部 RAM7 之信息記憶體區域。然後在步驟 S9 (第 5 圖), CPU4 處理信息之過程完成。當處理信息之過程終子, 顯示接收信息之信號經由推動器 9 自 CPU4 送至揚聲器 10, LED11, 或振動器 12, 讓使用者知道已經接收到信息。儲存在 CPU4 之 RAM 或外部 RAM 之信息記憶體區域之字元數據顯示在 LED5。揚聲器 10, LED11, 或振動器 12 之選擇依據預先設定之儲存在 ID-ROM6 之資訊及來自功用開關組 8 之預先設定信號。功用開關組 8 可以預先設定再顯示字元於 LCD5。

在處理信息過程 CPU4 以 CPU 工作時鐘信號工作之週期如第 4 圖 E 之脈衝表示。當信息被處理時, 自解碼器 3 經中斷信號線 d 至 CPU 4 之中斷控制電路 308 供給中斷信號, 如第 4 圖 D 所示。因此 CPU4 要與中斷信號同步將信息數據 P 儲存於 CPU4 之 RAM 或外部 RAM 之信息記憶體區域。

第 2 圖所示之實施例, 信息係對應於字碼 CW1~CW16 連續發訊。依據本發明選擇呼叫接收機, 即使信息對應於字碼 CW1~CW16 分散地發訊, 也可以同樣之按排。

當本發明以較佳實施例說明後, 精於此項技術者可將本發明置於各種不同之方法實現。

四、中文發明摘要(發明之名稱)：

選擇呼叫接收機

選擇呼叫接收機包含，有參考時鐘振盪器之解碼器，及有CPU工作時鐘振盪器之CPU。解碼器係包含產生與包含在POCSAG信號之同步，信號之時序信號，及自POCSAG抽出信息碼之BCH錯誤校正電路。假如當沒有時序信號從解碼器輸入CPU時，從解碼器供給信息碼給CPU，而CPU將信息碼儲存於CPU之RAM或連接在CPU之外部RAM之緩衝記憶體區域。在此情況，CPU藉參考時鐘信號振盪器產生之第一時鐘信號工作。當從解碼器之時序信號供給CPU，CPU藉CPU工作時鐘信號振盪器產生之第2時鐘信號自RAM或緩衝記憶體區域讀取信息碼，而第2時鐘信號之頻率高於第1時鐘信號之頻率。

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

附註：本案已向 日本 國：地區：申請專利，申請日期： 業號：
1991年3月30日特願平3-93372

四、英文發明摘要(發明之名稱: SELECTIVE CALLING RECEIVER)

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

A selective calling receiver includes a decoder having a reference clock oscillator and a CPU having a CPU operating clock oscillator. The decoder includes a timing control circuit for generating a timing signal in synchronism with a synchronizing signal contained in a POCSAG signal and a BCH error correcting circuit for extracting a message code from the POCSAG signal. If the CPU is supplied with a message code from the decoder when no timing signal is inputted from the decoder, the CPU stores the message code in RAM in the CPU or a buffer memory area of external RAM connected to the CPU. In this case, the CPU operates with a first clock signal generated by the reference clock oscillator. When the CPU is supplied with the timing signal from the decoder, the CPU reads the message code from the RAM or the buffer memory area and processes the message code with a second clock signal generated by the CPU operating clock oscillator and the second clock signal has a frequency higher than the frequency of the first clock signal.

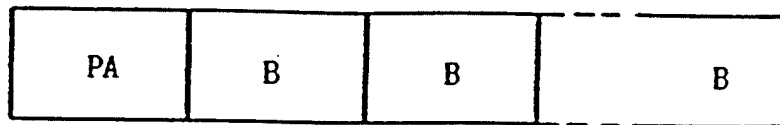
附註：本案已向

國(地區)申請專利，申請日期：

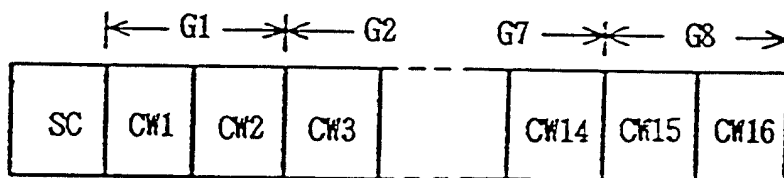
案號：

200623

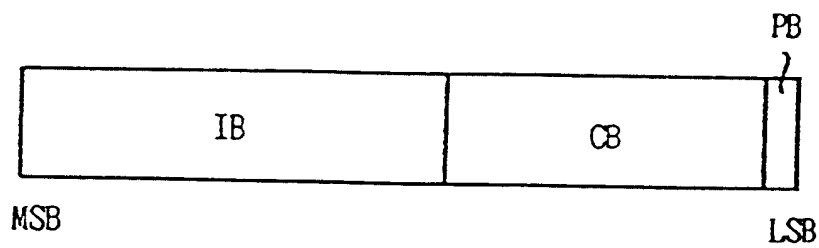
第 1A 圖



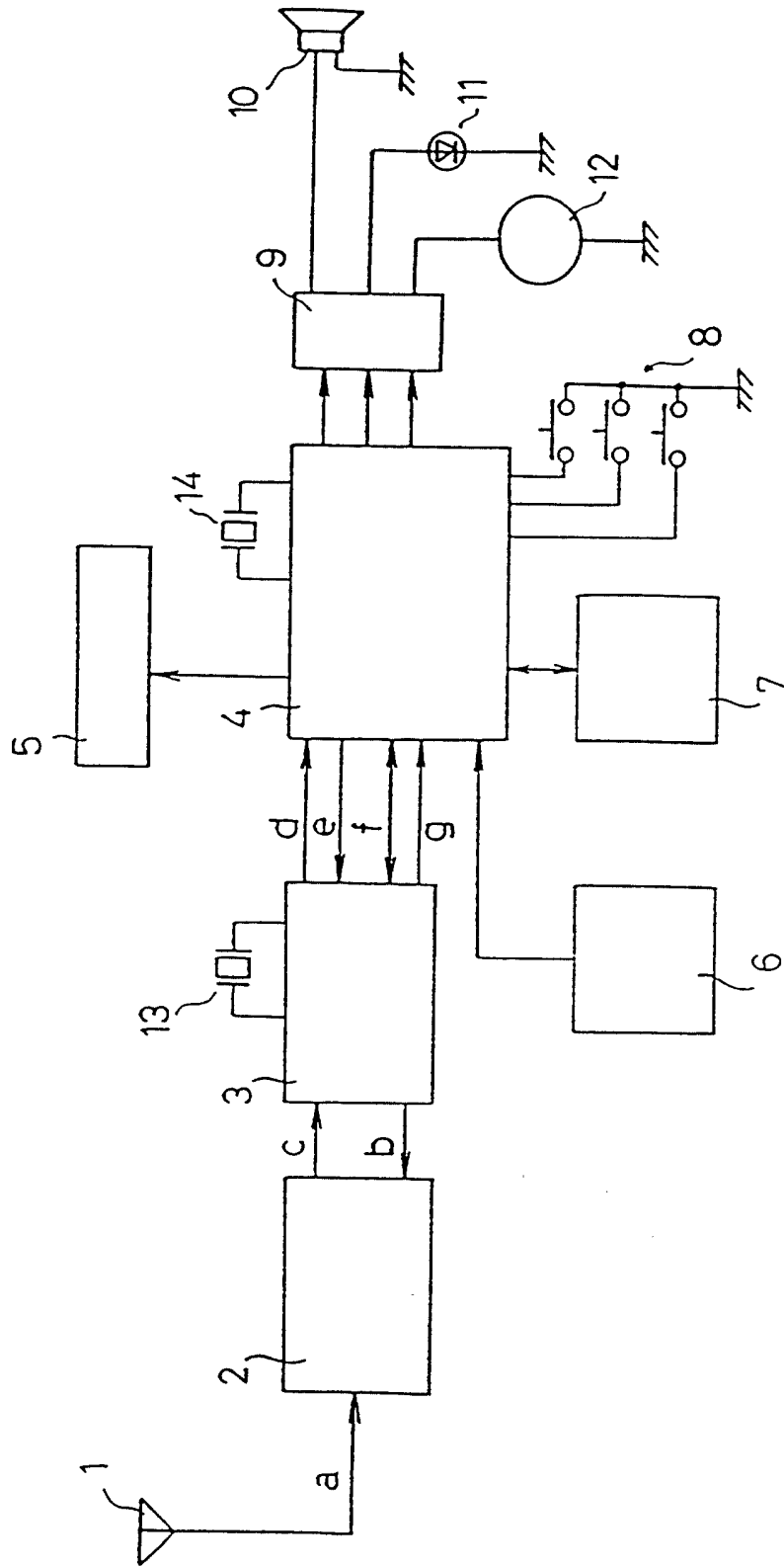
第 1B 圖



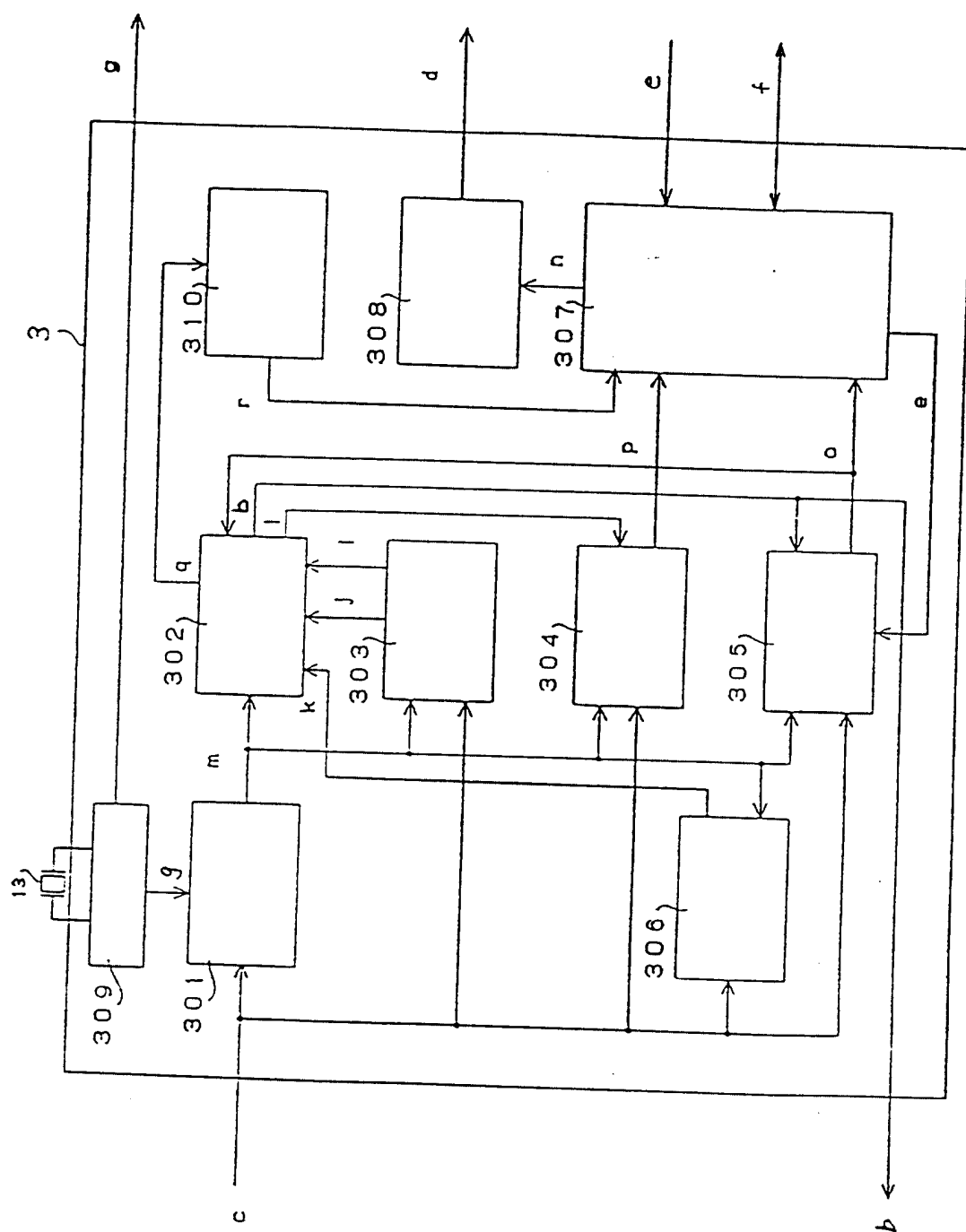
第 1C 圖



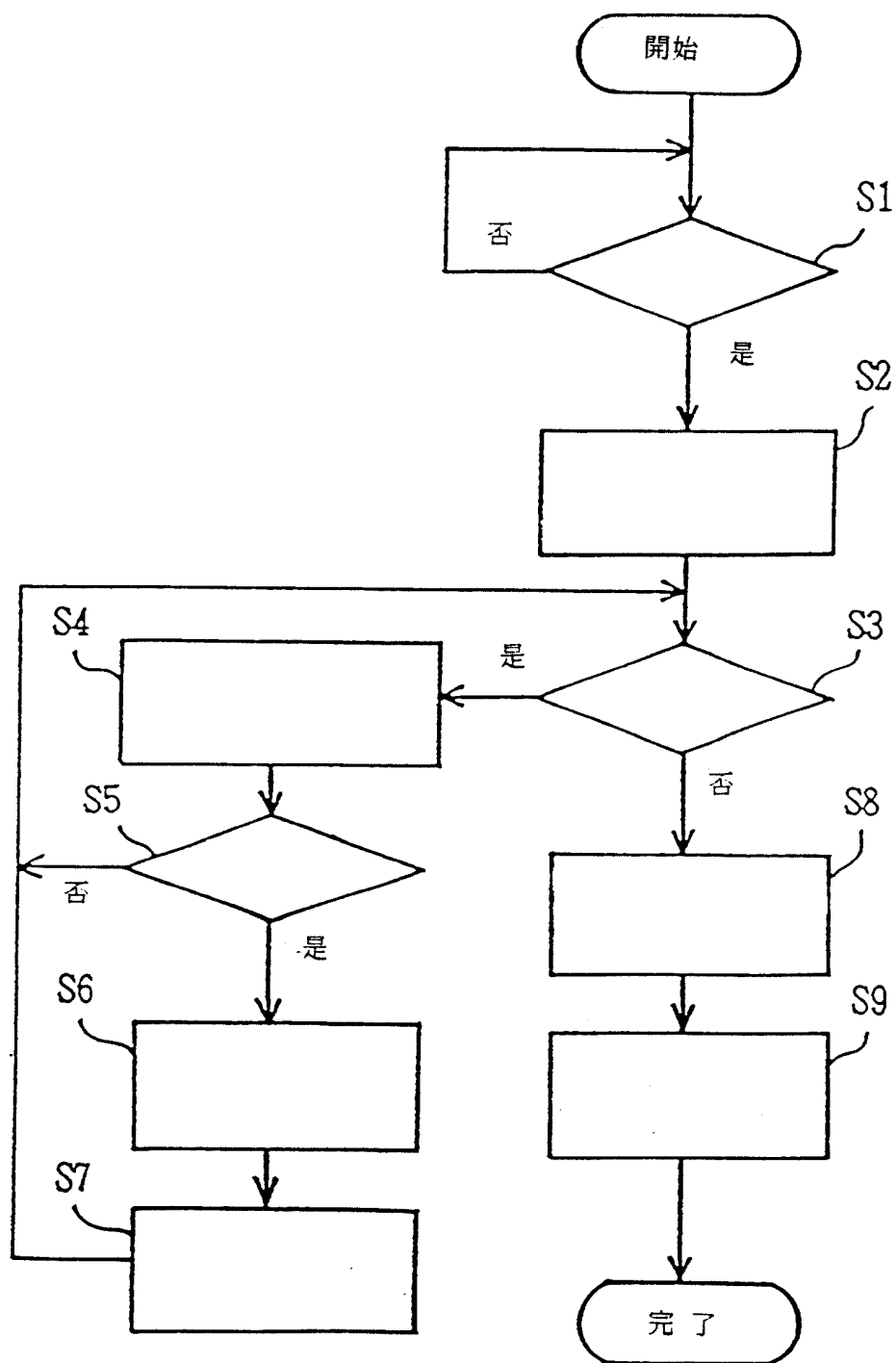
第 2 圖



第 3 圖



第 5 圖



六、申請專利範圍

第 81101963 號「選擇呼叫接收機」專利案

(81 年 11 月修正)

1. 一種選擇呼叫接收機，係接收具有同步信號之多數信號批及跟著上述同步信號之選擇呼叫碼或信息碼所組成之選擇呼叫信號，包括：
- 時序信號產生裝置，係自上述選擇呼叫信號抽出上述同步信號而產生時序信號；
- 信息碼抽出裝置，係自上述選擇呼叫信號抽出信息碼；
- 緩衝記憶體，係儲存由上述信息碼抽出裝置所抽出之上述信息碼；
- 微處理器，係藉第 1 時鐘信號及頻率較上述第 1 時鐘信號為高之第 2 時鐘信號工作；
- 上述微處理器所包含之裝置係，當上述時序信號來自上述時序信號產生器裝置輸入時，若上述信息碼自上述信號碼抽出裝置輸入，則藉上述第 1 時鐘信號儲存上述信息碼於上述緩衝記憶體，及當上述時序信號自上述時序信號產生裝置輸入時，藉上述第 2 時鐘信號自上述緩衝記憶體讀出上述信息碼並處理上述信息碼。
2. 如申請專利範圍第 1 項之選擇呼叫接收機，其中，上

六、申請專利範圍

述選擇呼叫接收機之選擇呼叫號碼係預先登記，並有判定裝置自上述選擇呼叫信號抽出上述選擇碼，比較上述抽出選擇呼叫碼與上述選擇呼叫號碼，及當上述選擇呼叫碼與上述選擇呼叫號碼互相符合時產生檢測符合信號，

上述微處理器所包含之裝置係，當上述時序信號未自上述時序信號產生器裝置輸入時，若上述信息碼自上述信息碼抽出裝置輸入，則藉上述第1時鐘信號儲存上述信息碼於上述緩衝記憶體，及當上述時序信號自上述時序信號產生裝置輸入時，藉上述第2時鐘信號自上述緩衝記憶體讀出上述信息碼並處理上述信息碼，適用於來自上述判定裝置之上述檢測信號。

3.如申請專利範圍第2項之選擇呼叫接收機，其中，上述選擇呼叫信號包含POCSAG信號。

4.如申請專利範圍第1或3項之任何一項之選擇呼叫接收機，其中，上述緩衝記憶體之儲存容量為可儲存包含於上述一組信號批之上述信息碼之最大位元。

5.如申請專利範圍第1或3項之任何一項之選擇呼叫接收機，其中，上述微處理器包含將轉換上述信息碼為字數之處理上述信息碼之裝置。

6.如申請專利範圍第5項之選擇呼叫接收機，其中，另有包含顯示上述字碼之顯示裝置。

六、申請專利範圍

7. 如申請專利範圍第1項之任何一項之選擇呼叫接收機，其中，另有包含指示接收上述信息碼之指示裝置。
8. 如申請專利範圍第1項之任何一項之選擇呼叫裝置，其中，上述第2時鐘信號之頻率足夠高，使微處理器在上述同步信號週期內完成處理所有儲存在緩衝記憶體之信息碼。

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線