

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関  
国際事務局

(43) 国際公開日  
2018年11月8日(08.11.2018)



(10) 国際公開番号

WO 2018/203169 A1

- (51) 国際特許分類:  
H04N 5/374 (2011.01) H04N 5/225 (2006.01)  
H01L 27/146 (2006.01) H04N 5/378 (2011.01)
- (21) 国際出願番号: PCT/IB2018/052743
- (22) 国際出願日: 2018年4月20日(20.04.2018)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:  
特願 2017-091864 2017年5月2日(02.05.2017) JP
- (71) 出願人: 株式会社半導体エネルギー研究所  
(SEMICONDUCTOR ENERGY LABORATORY  
CO., LTD.) [JP/JP]; 〒2430036 神奈川県厚木  
市長谷 3 9 8 Kanagawa (JP).
- (72) 発明者: 黒川 義 元 (KUROKAWA, Yoshiyuki);  
〒2430036 神奈川県厚木市長谷 3 9 8 株式会  
社半導体エネルギー研究所内 Kanagawa (JP).  
井上達則 (INOUE, Tatsunori); 〒2430036 神奈

川県厚木市長谷 3 9 8 株式会社半導体エ  
ネルギー研究所内 Kanagawa (JP).

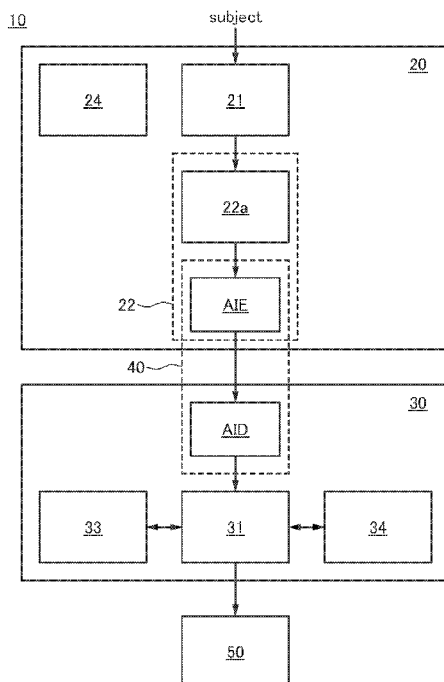
- (81) 指定国(表示のない限り、全ての種類の国内保  
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ,  
BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH,  
CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO,  
DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT,  
HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH,  
KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY,  
MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,  
NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,  
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,  
SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,  
UG, US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保  
護が可能): ARIPO (BW, GH, GM, KE, LR, LS,  
MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM,  
ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ,  
TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ,  
DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT,

(54) Title: IMAGE PICKUP DEVICE AND ELECTRONIC APPARATUS

(54) 発明の名称: 撮像装置、及び電子機器

[図 1]



(57) Abstract: Provided is an image pickup device in which power consumption is reduced. The image pickup device has an image pickup unit and an encoder. First image data acquired by the image pickup unit is transmitted to the encoder. The encoder has a first circuit that constitutes a neural network, and the first circuit generates second image data by performing, on the first image, feature extraction using the neural network. The first circuit has a function of performing a convolution process using a weight filter so that the encoder can perform convolutional neural network calculation.

(57) 要約: 要約書 消費電力が低減された撮像装置を提供する。撮像装置は、撮像部と、エンコーダと、を有する。撮像部で取得した第1画像データはエンコーダに送信される。エンコーダは、ニューラルネットワークを構成する第1回路を有し、第1回路は、当該ニューラルネットワークによる特徴抽出を第1画像に施して、第2画像データを生成する。なお、第1回路が重みフィルタを用いた畳み込み処理を行う機能を有することによって、エンコーダは畳み込みニューラルネットワークの計算を行うことができる。

LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS,  
SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM,  
GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

- 一 国際調査報告（条約第21条(3)）

## 明細書

発明の名称

撮像装置、及び電子機器

技術分野

[0001]

本発明の一態様は、撮像装置、及び電子機器に関する。

[0002]

なお本発明の一態様は、上記の技術分野に限定されない。本明細書等で開示する発明の技術分野は、物、方法、または、製造方法に関するものである。または、本発明の一態様は、プロセス、マシン、マニュファクチャ、または、組成物（コンポジション・オブ・マター）に関するものである。そのため、より具体的に本明細書で開示する本発明の一態様の技術分野としては、半導体装置、表示装置、液晶表示装置、発光装置、蓄電装置、撮像装置、記憶装置、プロセッサ、電子機器、それらの駆動方法、それらの製造方法、それらの検査方法、またはそれらのシステムを一例として挙げることができる。

背景技術

[0003]

固体撮像素子を用いた撮像装置の性能が向上し、高感度の銀塩フィルムを用いる場合と同様に低照度環境でも十分な画質が得られるようになってきている。また、基板上に形成された酸化物半導体薄膜を用いてトランジスタを構成する技術が注目されている。例えば、酸化物半導体を有するトランジスタを画素回路に用いる構成の撮像装置が特許文献1に開示されている。

[0004]

また、当該固体撮像素子を含む半導体装置、及び電子機器に対して、人工ニューラルネットワークを利用した人工知能を付する開発が進められている。人工ニューラルネットワークは、神経回路網をモデルにした情報処理システムであり、人工ニューラルネットワークを利用することで、従来のノイマン型コンピュータよりも高性能なコンピュータが実現できると期待されている。

[0005]

特に、特許文献2には、チャネル形成領域に酸化物半導体を有するトランジスタを用いた記憶装置によって、人工ニューラルネットワークの計算に用いる重みデータを保持する発明が開示されている。

[先行技術文献]

[特許文献]

[0006]

[特許文献1] 特開2011-119711号公報

[特許文献2] 米国特許公開第2016/0343452号公報

発明の概要

発明が解決しようとする課題

[0007]

ところで、テレビジョン（TV）などに含まれる表示装置の高精細化が進んでおり、当該表示装置に表示する画像データも高精細であることが望まれている。高精細な画像データを取得するためには、高精細な撮像装置を用いる必要がある。

[0008]

しかし、撮像装置及び当該撮像装置を有する電子機器の小型化が進む一方、取得する画像データのデータ容量は、表示装置の高精細化に伴って、大きくなる傾向がある。特に、データ容量の大きい画像データを転送するには、回路及び配線の数を増やす必要があり、これが撮像装置及び電子機器の小型化を妨げる要因となっている。

[0009]

本発明の一態様は、新規な撮像装置を提供することを課題の一つとする。又は、本発明の一態様は、新規な撮像装置を有する電子機器を提供することを課題の一とする。

[0010]

又は、本発明の一態様は、回路面積が小さい撮像装置を提供することを課題の一とする。又は、本発明の一態様は、消費電力が低減された撮像装置を提供することを課題の一とする。

[0011]

なお本発明の一態様の課題は、上記列挙した課題に限定されない。上記列挙した課題は、他の課題の存在を妨げるものではない。なお他の課題は、以下の記載で述べる、本項目で言及していない課題である。本項目で言及していない課題は、当業者であれば明細書又は図面等の記載から導き出せるものであり、これらの記載から適宜抽出することができる。なお、本発明の一態様は、上記列挙した課題、及び他の課題のうち、少なくとも一つの課題を解決するものである。なお、本発明の一態様は、上記列挙した課題、及び他の課題の全てを解決する必要はない。

課題を解決するための手段

[0012]

(1)

本発明の一態様は、撮像部と、エンコーダと、を有する撮像装置であって、撮像部は、撮像によって第1画像データを生成する機能を有し、エンコーダは、第1ニューラルネットワークを構成する第1回路を有し、第1回路は、第1ニューラルネットワークによる特徴抽出を第1画像データに施して、第2画像データを生成する機能を有することを特徴とする撮像装置である。

[0013]

(2)

又は、本発明の一態様は、(1)に記載の構成において、第1ニューラルネットワークは、重みフィルタを用いて畳み込み処理を行う機能を有することを特徴とする撮像装置である。

[0014]

(3)

又は、本発明の一態様は、(2)に記載の構成において、シフトレジスタを有し、エンコーダは、メモリセルアレイを有し、シフトレジスタの入力端子は、撮像部と電氣的に接続され、シフトレジスタの出力端子は、メモリセルアレイと電氣的に接続され、メモリセルアレイは、重みフィルタのフィルタ値を格納する機能を有し、シフトレジスタは、第1画像データを撮像部の画素領域ごとに順次メモリセルアレイに出力する機能を有し、畳み込み処理には、第1画像データとフィルタ値を用いた積和演算が含まれることを特徴とする撮像装置である。

[0015]

(4)

又は、本発明の一態様は、(3)に記載の構成において、撮像部は、 $n$ 行 $m$ 列( $n$ 、 $m$ は1以上の整数である。)の画素を有し、撮像部は、撮像によって画素が画素データを取得することで、第1画

像データを生成する機能を有し、画素領域は、 $t$  行  $s$  列（ $t$  は 1 以上  $n$  以下の整数であり、 $s$  は 1 以上  $m$  以下の整数である。）の画素を有し、シフトレジスタは、 $t \times m$  段の保持回路を有し、シフトレジスタは、画素領域に含まれる  $t \times s$  個の画素データを、メモリセルアレイに一括で出力する機能を有することを特徴とする撮像装置である。

[0016]

(5)

又は、本発明の一態様は、(3)、又は(4)に記載の構成において、メモリセルアレイは、第1トランジスタを有し、第1トランジスタは、チャネル形成領域に金属酸化物を有することを特徴とする撮像装置である。

[0017]

(6)

又は、本発明の一態様は、(1)乃至(5)のいずれか一に記載の撮像装置と、デコーダと、を有する電子機器であって、デコーダは、第2ニューラルネットワークを構成する第2回路を有し、第2回路は、第1回路と電氣的に接続され、第2回路は、第2画像データに対して、第2ニューラルネットワークによる復元処理を施して、第3画像データを生成する機能を有することを特徴とする電子機器である。

[0018]

(7)

又は、本発明の一態様は、(6)に記載の構成において、表示装置を有することを特徴する、電子機器である。

発明の効果

[0019]

本発明の一態様によって、新規な撮像装置を提供することができる。又は、本発明の一態様によって、新規な撮像装置を有する電子機器を提供することができる。

[0020]

又は、本発明の一態様によって、回路面積が小さい撮像装置を提供することができる。又は、本発明の一態様によって、消費電力が低減された撮像装置を提供することができる。

[0021]

なお本発明の一態様の効果は、上記列举した効果に限定されない。上記列举した効果は、他の効果の存在を妨げるものではない。なお他の効果は、以下の記載で述べる、本項目で言及していない効果である。本項目で言及していない効果は、当業者であれば明細書又は図面等の記載から導き出せるものであり、これらの記載から適宜抽出することができる。なお、本発明の一態様は、上記列举した効果、及び他の効果のうち、少なくとも一つの効果を有するものである。従って本発明の一態様は、場合によっては、上記列举した効果を有さない場合もある。

図面の簡単な説明

[0022]

[図1] 電子機器の構成例を示すブロック図。

[図2] 回路の構成例を示すブロック図。

[図3] CNNの構成例を示す図。

[図4] 画素及びフィルタの構成例を示す図。

- [図 5] 畳み込み処理の例を示す図。  
[図 6] 畳み込み処理の例を示す図。  
[図 7] 特徴マップの構成例を示す図。  
[図 8] 回路の一例を示す図。  
[図 9] 回路の一例を示す図。  
[図 10] 回路の一例を示す図。  
[図 11] 回路の一例を示す図。  
[図 12] 階層型の人工ニューラルネットワークの一例を示す図。  
[図 13] 階層型の人工ニューラルネットワークの一例を示す図。  
[図 14] 階層型の人工ニューラルネットワークの一例を示す図。  
[図 15] 回路の構成例を説明する図。  
[図 16] 回路の構成例を示すブロック図。  
[図 17] 積和演算回路の構成例を示すブロック図と回路図。  
[図 18] プログラマブルスイッチについて説明するブロック図と回路図。  
[図 19] 回路の構成例を示すブロック図。  
[図 20] 回路の構成例を示すブロック図。  
[図 21] 回路の構成例を示すブロック図。  
[図 22] 回路の構成例を示すブロック図。  
[図 23] 積和演算回路の構成例を示すブロック図。  
[図 24] 積和演算回路が有する回路の構成例を示す回路図。  
[図 25] 積和演算回路の動作例を示すタイミングチャート。  
[図 26] 半導体装置の構成例を示す断面図。  
[図 27] 半導体装置の構成例を示す断面図。  
[図 28] トランジスタの構成例を示す上面図および断面図。  
[図 29] トランジスタの構成例を示す断面図。  
[図 30] 金属酸化物の原子数比の範囲を説明する図。  
[図 31] トランジスタの構成例を示す上面図および断面図。  
[図 32] 画素回路を説明する図、および撮像の動作を説明するタイミングチャート。  
[図 33] 撮像装置の画素の構成を示す図、および撮像装置のブロック図。  
[図 34] 撮像装置の構成を示す断面図。  
[図 35] 撮像装置の構成を示す断面図。  
[図 36] 撮像装置の構成を示す断面図。  
[図 37] 撮像装置を収めたパッケージの斜視図。  
[図 38] 電子機器の構成例を示す図。

発明を実施するための形態

#### [0023]

本明細書などにおいて、人工ニューラルネットワーク（ANN、以後、ニューラルネットワークと呼称する。）とは、生物の神経回路網を模したモデル全般を指す。一般的には、ニューラルネットワークは、ニューロンを模したユニット同士が、シナプスを模したユニットを介して、互いに結合された構成となっている。

[0024]

シナプスの結合の強度（ニューロン同士の結合強度、又は重み係数ともいう。）は、ニューラルネットワークに既存の情報を与えることによって、変化させることができる。このように、ニューラルネットワークに既存の情報を与えて、結合強度を決める処理を「学習」と呼ぶ場合がある。

[0025]

また、「学習」を行った（結合強度を定めた）ニューラルネットワークに対して、何らかの情報を与えることにより、その結合強度に基づいて新たな情報を出力することができる。このように、ニューラルネットワークにおいて、与えられた情報と結合強度に基づいて新たな情報を出力する処理を「推論」又は「認知」と呼ぶ場合がある。

[0026]

ニューラルネットワークのモデルとしては、例えば、ホップフィールド型、階層型などが挙げられる。特に、多層構造としたニューラルネットワークを「ディープニューラルネットワーク」(DNN)と呼称し、ディープニューラルネットワークによる機械学習を「ディープラーニング」と呼称する。

[0027]

本明細書等において、金属酸化物 (metal oxide) とは、広い表現での金属の酸化物である。金属酸化物は、酸化物絶縁体、酸化物導電体（透明酸化物導電体を含む）、酸化物半導体 (Oxide Semiconductor または単に OS ともいう) などに分類される。例えば、トランジスタの活性層に金属酸化物を用いた場合、当該金属酸化物を酸化物半導体と呼称する場合がある。つまり、金属酸化物が増幅作用、整流作用、及びスイッチング作用の少なくとも 1 つを有するトランジスタのチャネル形成領域を構成し得る場合、当該金属酸化物を、金属酸化物半導体 (metal oxide semiconductor)、略して OS と呼ぶことができる。また、OS FET (又は OS トランジスタ) と記載する場合においては、金属酸化物または酸化物半導体を有するトランジスタと換言することができる。

[0028]

(実施の形態 1)

本実施の形態では、本発明の一態様である半導体装置、及び電子機器について説明する。

[0029]

図 1 は、本発明の一態様である電子機器の構成例を示したブロック図である。電子機器 10 は、本発明の一態様の半導体装置である撮像装置 20 と、周辺回路 30 と、表示装置 50 と、を有する。

[0030]

撮像装置 20 は、撮像部 21 と、インターフェース 22 と、制御部 24 と、を有する。インターフェース 22 は、回路 22a と、エンコーダ AIE と、を有する。

[0031]

周辺回路 30 は、デコーダ AID と、GPU (Graphics Processing Unit) 31 と、記憶部 33 と、記憶部 34 と、を有する。

[0032]

なお、電子機器は、NN (Neural Network) 回路 40 を構成する要素を含んでおり、撮像装置 20 が有するエンコーダ AIE と、周辺回路 30 が有するデコーダ AID と、は、NN 回路 40 に含まれている。エンコーダ AIE 及びデコーダ AID の詳細については、後に NN 回路 40 と併せて説明する。

[0033]

撮像部21は、回路22aと電氣的に接続され、回路22aは、エンコーダAIEと電氣的に接続されている。エンコーダAIEは、デコーダAIDと電氣的に接続されている。デコーダAIDは、GPU31と電氣的に接続され、GPU31は、表示装置50と電氣的に接続されている。記憶部33は、GPU31と電氣的に接続され、記憶部34は、GPU31と電氣的に接続されている。

[0034]

&lt;撮像装置20&gt;

ここで、撮像装置20が有する構成要素について説明する。

[0035]

撮像部21は、外部の背景、被写体などを撮像することで、撮像された対象(subject)を画像データに変換して、電子機器10に取り込む機能を有する。なお、撮像部21が有する画素については、実施の形態6で詳述する。

[0036]

回路22aは、撮像部21で取り込んだ画像データをエンコーダAIEに入力する処理を行う回路である。なお、回路22aの構成例については実施の形態2で説明する。

[0037]

制御部24は、撮像装置20が有する撮像部21と、回路22aと、エンコーダAIEと、を制御する機能を有する。

[0038]

&lt;周辺回路30&gt;

次に、周辺回路30に含まれる各回路について説明する。

[0039]

GPU31は、デコーダAIDから送られてきた画像データに対して、画像処理を行う機能を有する。画像処理としては、例えば、調光処理、調色処理などが挙げられる。調光処理は、画像データの明るさを調整する処理であり、調色処理は、画像データの色彩を調整する処理である。なお、表示装置50に画像データを表示する場合において、GPU31は、画像処理として、当該画像データに対してガンマ補正処理を行ってもよい。

[0040]

記憶部33は、撮像装置20及び／又は周辺回路30の動作に関わるプログラムや設定項目を保存する機能を有する。少なくとも記憶部33の一部は書き換え可能なメモリであることが好ましい。

[0041]

記憶部34は、撮像部21によって取り込んだ画像データを保存するためメモリである。なお、記憶部34は、取り外し可能な記憶媒体としてもよい。

[0042]

表示装置50は、撮像装置20で取り込んだ画像データなどを表示する機能を有する。表示装置50としては、例えば、液晶素子を有する表示装置、発光素子を有する発光装置などを用いることができる。

[0043]

&lt;NN回路40&gt;

次に、NN回路40について説明する。

[0044]

NN回路40は、ニューラルネットワークを利用した回路であり、一例を図2に示す。なお、図2では、NN回路40の他に、回路22a、及びGPU31も図示している。

[0045]

NN回路40が有するエンコーダAIEは、入力層INLと、中間層ML1と、中間層ML2と、を有し、NN回路40が有するデコーダAIDは、中間層ML3と、中間層ML4と、出力層OULと、を有する。つまり、NN回路40では、入力層INLと、中間層ML1乃至中間層ML4と、出力層OULと、によって階層型のニューラルネットワークが構成されている。

[0046]

回路22aから送られる画像データは、NN回路40が有するエンコーダAIEの入力層INLに入力される。つまり、当該画像データは、階層型のニューラルネットワークの入力データとして扱われる。階層型のニューラルネットワークについては、実施の形態3で説明する。

[0047]

エンコーダAIEにおける階層型のニューラルネットワークは、入力されたデータを特徴抽出によって圧縮するのが目的である。そのため、入力層INLが有するニューロンの数よりも中間層ML2が有するニューロンの数が少ない構成となるのが好ましい。なお、図2に示すエンコーダAIEにおける階層型のニューラルネットワークは、階層が進む毎に、ニューロンの数が少なくなる構成となっている。つまり、中間層ML1が有するニューロンの数は、入力層INLが有するニューロンの数よりも少なくなっており、中間層ML2が有するニューロンの数は、中間層ML1が有するニューロンの数よりも少なくなっている。なお、中間層ML1のニューロンの数は、入力層INL又は中間層ML2のそれぞれのニューロン数よりも多くても、又は少なくてもよい。

[0048]

デコーダAIDにおける階層型のニューラルネットワークは、特徴抽出されたデータを復元するのが目的である。そのため、中間層ML3が有するニューロンの数よりも出力層OULが有するニューロンの数が多い構成となるのが好ましい。なお、図2に示すデコーダAIDにおける階層型のニューラルネットワークは、階層が進む毎に、ニューロンの数が多くなる構成となっている。つまり、中間層ML4が有するニューロンの数は、中間層ML3が有するニューロンの数よりも多くなっており、出力層OULが有するニューロンの数は、中間層ML4が有するニューロンの数よりも多くなっている。なお、中間層ML4のニューロンの数は、中間層ML3又は出力層OULのそれぞれのニューロン数よりも多くても、又は少なくてもよい。

[0049]

上記の構成により、エンコーダAIE内では中間層ML2が有するニューロンの数が一番少なくなり、デコーダAID内では中間層ML3が有するニューロンの数が一番少なくなる。そのため、中間層ML2のニューロンと中間層ML3のニューロンとの接続する配線を少なくすることができる。つまり、周辺回路30のデコーダAIDと撮像装置20のエンコーダAIEとを電氣的に接続する配線を少なくすることができる。

[0050]

NN回路40のエンコーダAIEでは、撮像部21から、回路22aを介して、画像データに応じたアナログ信号がエンコーダAIEに送られることによって、当該画像データの特徴抽出した画像データに変換する処理が行われる。NN回路40のデコーダAIDでは、特徴抽出された画像データを

元の画像データに復元して、元の画像データをアナログ信号として出力層OULから出力する処理が行われる。

[0051]

NN回路40のデコーダAIDの出力層OULから出力された、復元された画像データは、GPU31に送信される。

[0052]

なお、NN回路40によって構成される階層型のニューラルネットワークでは、各層間の結合は全結合とすることもでき、又は、部分結合とすることができる。

[0053]

なお、図2に示すNN回路40では、入力層INLと、中間層ML1乃至中間層ML4と、出力層OULと、によって階層型のニューラルネットワークが構成されているが、本発明の一態様は、これに限定されない。例えば、階層型のニューラルネットワークの構成は、図2に示すNN回路40の中間層の数を変更した構成としてもよい。

[0054]

図1に示した撮像装置20は、後述する実施の形態6で説明するイメージセンサチップとして機能することができる。ところで、図1に示すとおり、撮像装置20に含まれるエンコーダAIEと、周辺回路30に含まれるデコーダAIDと、によって電子機器10のNN回路を構成することができる。上述したとおり、NN回路40は、エンコーダAIEとデコーダAIDの間を電氣的に接続する配線の数进行少なくすることができるため、撮像装置20をチップとして電子基板上に実装する場合において、当該チップと当該電子基板とを電氣的に接続する配線数を少なくすることができる。つまり、本実施の形態に示す構成によって、撮像部21で取得した高解像度の画像データを、少ない配線で周辺回路30に送信することができる。

[0055]

なお、本発明の一態様は、図1に示す電子機器10の構成に限定されない。図1に示す電子機器10は、撮像装置20がエンコーダAIEを有し、周辺回路30がデコーダAIDを有する構成としているが、ニューラルネットワークを構成する入力層、中間層、及び出力層は、図2に示す構成とする必要は無い。例えば、撮像装置20は、入力層INLと中間層ML1とによってエンコーダAIEが構成され、周辺回路30は、中間層ML2と出力層OULとによってデコーダAIDが構成されてもよい。また、例えば、撮像装置20は、入力層INLと中間層ML3とによってエンコーダAIEが構成され、周辺回路30は、中間層ML4と出力層OULとによってデコーダAIDが構成されてもよい。

[0056]

また、図1に示す電子機器10は、表示装置50を有しているが、電子機器の形態によっては、表示装置50を有さなくてもよい。これは、電子機器10が有する他の構成要素に対しても同様である。

[0057]

なお、本実施の形態において、図2に示すNN回路40は、1つのニューラルネットワークとして説明しているが、本発明の一態様は、これに限定されない。例えば、本実施の形態では、特徴抽出を行うエンコーダAIEと、復元を行うデコーダAIDと、のそれぞれを独立したニューラルネットワークとして説明することができる。つまり、エンコーダAIEと、デコーダAIDと、のそれぞれが構成するニューラルネットワークを、第1ニューラルネットワーク、第2ニューラルネットワークと

呼ぶことができる。

[0058]

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせることができる。

[0059]

(実施の形態2)

本実施の形態では、上記実施の形態で説明したNN回路40として畳み込みニューラルネットワーク(CNN)を適用した構成例について説明する。

[0060]

<畳み込みニューラルネットワーク>

CNNは、画像などを特徴抽出する場合において使用される計算モデルの一つである。図3に、CNNの構成例を示す。CNNは、畳み込み層CL、プーリング層PL、全結合層FCLによって構成されている。エンコーダAIEにCNNを用いる場合、CNNには撮像部21から出力された画像データIPDが入力され、特徴抽出が行われる。

[0061]

畳み込み層CLは、画像データに対して畳み込み処理を行う機能を有する。畳み込み処理は、画像データの一部と重みフィルタのフィルタ値との積和演算を繰り返すことにより行われる。畳み込み層CLにおける畳み込み処理により、画像の特徴抽出が行われる。

[0062]

畳み込み処理には、一又は複数の重みフィルタを用いることができる。複数の重みフィルタを用いる場合、画像データに含まれる複数の特徴を抽出することができる。図3では、重みフィルタとして3つのフィルタ(フィルタ $f_{il_a}$ 、 $f_{il_b}$ 、 $f_{il_c}$ )が用いられる例を示している。畳み込み層CLに入力された画像データには、フィルタ $f_{il_a}$ 、 $f_{il_b}$ 、 $f_{il_c}$ を用いたフィルタ処理が施され、データ $D_a$ 、 $D_b$ 、 $D_c$ が生成される。

[0063]

畳み込み処理が施されたデータ $D_a$ 、 $D_b$ 、 $D_c$ は、活性化関数によって変換された後、プーリング層PLに出力される。活性化関数としては、ReLU(Rectified Linear Unit)などを用いることができる。ReLUは、入力値が負である場合は“0”を出力し、入力値が“0”以上である場合は入力値をそのまま出力する関数である。また、活性化関数として、シグモイド関数、tanh関数などを用いることもできる。

[0064]

プーリング層PLは、畳み込み層CLから入力された画像データに対してプーリング処理を行う機能を有する。プーリング処理は、画像データを複数の領域に分割し、当該領域ごとに所定のデータを抽出してマトリクス状に配置する処理である。プーリング処理を行うことにより、畳み込み層CLによって抽出された特徴を残したまま、画像データを縮小することができる。なお、プーリング処理としては、最大プーリング、平均プーリング、Lpプーリングなどを用いることができる。

[0065]

CNNは、上記の畳み込み処理及びプーリング処理により特徴抽出を行う。なお、CNNは、複数の畳み込み層CL及びプーリング層PLによって構成することができる。畳み込み層CL及びプーリング層PLによって構成される層Lが $z$ 層(ここでの $z$ は1以上の整数である。)設けられ(層 $L_1$ 乃至層 $L_z$ )、畳み込み処理及びプーリング処理が $z$ 回行われる構成を示している。この場合、各層

Lにおいて特徴抽出を行うことができ、より高度な特徴抽出が可能となる。なお、図3には、層 $L_1$ 、層 $L_2$ 、層 $L_z$ を図示しており、それ以外の層Lについては、省略している。

[0066]

全結合層FCLは、畳み込み処理及びプーリング処理が行われた画像データを用いて、画像の判定を行う機能を有する。全結合層FCLは、ある層の全てのノードが、次の層の全てのノードと接続された構成を有する。畳み込み層CL又はプーリング層PLから出力された画像データは2次元の特徴マップであり、全結合層FCLに入力されると1次元に展開される。そして、全結合層FCLによる推論によって得られた画像データOPDが出力される。

[0067]

なお、CNNの構成は図3の構成に限定されない。例えば、プーリング層PLが複数の畳み込み層CLごとに設けられていてもよい。また、抽出された特徴の位置情報を極力残したい場合は、プーリング層PLが省略されていてもよい。

[0068]

また、全結合層FCLの出力データから画像の分類を行う場合は、全結合層FCLと電氣的に接続された出力層が設けられていてもよい。出力層は、尤度関数としてソフトマックス関数などを用い、分類クラスを出力することができる。

[0069]

また、CNNは、画像データを学習データ及び教師データとして用いた教師あり学習を行うことができる。教師あり学習には、例えば誤差逆伝播法を用いることができる。CNNの学習により、重みフィルタのフィルタ値、全結合層の重み係数などを最適化することができる。

[0070]

<畳み込み処理>

次に、畳み込み層CLにおいて行われる畳み込み処理の具体例について説明する。

[0071]

図4(A)に、撮像部21にマトリクス状に配置された、 $n$ 行 $m$ 列（ここでの $n$ 、 $m$ は1以上の整数である。）の複数の画素 $p_{ix}$ を示す。複数の画素 $p_{ix}$ のそれぞれには、撮像によって、撮像対象に応じた画素データが取り込まれる。本実施の形態では、画素 $p_{ix}[1, 1]$ 乃至画素 $p_{ix}[n, m]$ には、それぞれ画素データ $g[1, 1]$ 乃至画素データ $g[n, m]$ が取り込まれるものとして説明する。

[0072]

畳み込みは、画素データ $g$ と重みフィルタのフィルタ値との積和演算によって行われる。図4(B)に、 $t$ 行 $s$ 列（ここでの $t$ は1以上 $n$ 以下の整数であり、 $s$ は1以上 $m$ 以下の整数である。）のアドレスによって構成されるフィルタ $f_{il_a}$ を示す。フィルタ $f_{il_a}$ のそれぞれのアドレスには、フィルタ値 $f_a[1, 1]$ 乃至フィルタ値 $f_a[t, s]$ が割り振られている。

[0073]

畳み込み処理によって特徴抽出を行う場合、フィルタ値 $f_a[1, 1]$ 乃至フィルタ値 $f_a[t, s]$ には、所定の特徴を示すデータ（特徴データと呼称する。）を格納することができる。そして、特徴抽出の際は、当該特徴データと画像データの比較が行われる。また、畳み込み処理によってエッジ処理、又はぼかし処理などの画像処理を行う場合、フィルタ値 $f_a[1, 1]$ 乃至フィルタ値 $f_a[s, t]$ には、画像処理に必要なパラメータを格納することができる。以下では一例として、特徴

抽出を行う場合の動作の詳細について説明する。

[0074]

図5 (A) は、画素  $\text{pix}[1, 1]$  と、画素  $\text{pix}[1, s]$  と、画素  $\text{pix}[t, 1]$  と、画素  $\text{pix}[t, s]$  と、を角とする画素領域  $P[1, 1]$  に対して、フィルタ  $\text{fil}_a$  を用いたフィルタ処理を行うことにより、データ  $D_a[1, 1]$  を取得する様子を示している。このフィルタ処理は、図5 (B) に示すように、画素領域  $P[1, 1]$  が有する一の画素  $\text{pix}$  の画素データと、当該画素  $\text{pix}$  のアドレスに対応するフィルタ  $\text{fil}_a$  のフィルタ値  $f_a$  を乗算し、各画素  $\text{pix}$  における乗算結果を足し合わせる処理である。すなわち、画素領域  $P[1, 1]$  が有する全ての画素  $\text{pix}$  において、画素データ  $g[v, w]$  (ここでの  $v$  は1以上  $t$  以下の整数であり、 $w$  は1以上  $s$  以下の整数である。) とフィルタ値  $f_a[v, w]$  を用いた積和演算が行われる。データ  $D_a[1, 1]$  は、下式で表すことができる。

[0075]

[数1]

$$D_a[1,1] = \sum_{v=1}^t \sum_{w=1}^s g[v,w] \cdot f_a[v,w]$$

[0076]

その後、上記の積和演算が他の画素領域についても順次行われる。具体的には、図6 に示すように、画素  $\text{pix}[1, 2]$  と、画素  $\text{pix}[1, s+1]$  と、画素  $\text{pix}[t, 2]$  と、画素  $\text{pix}[t, s+1]$  と、を角とする画素領域  $P[1, 2]$  に対してフィルタ処理を行い、データ  $D_a[1, 2]$  を取得する。その後も同様に、画素領域  $P$  を画素1列分ずつ移動させ、各画素領域  $P$  においてデータ  $D_a$  を取得する。

[0077]

そして、画素  $\text{pix}[1, m-s+1]$  と、画素  $\text{pix}[1, m]$  と、画素  $\text{pix}[t, m-s+1]$  と、画素  $\text{pix}[t, m]$  と、を角とする画素領域  $P[1, m-s+1]$  からデータ  $D_a[1, m-s+1]$  を取得し、1行分のデータ  $D_a$  の取得が完了した後は、画素領域  $P$  を画素1行分移動させ、同様に1行分のデータ  $D_a$  を順次取得する。図6には、画素領域  $P[2, 1]$  乃至画素領域  $P[2, m-s+1]$  からデータ  $D_a[2, 1]$  乃至データ  $D_a[2, m-s+1]$  が取得される様子を示している。

[0078]

以上の動作を繰り返し、画素  $\text{pix}[n-t+1, m-s+1]$  と、画素  $\text{pix}[n-t+1, m]$  と、画素  $\text{pix}[n, m-s+1]$  と、画素  $\text{pix}[n, m]$  と、を角とする画素領域  $P[n-t+1, m-s+1]$  からデータ  $D_a[n-t+1, m-s+1]$  が取得されると、全ての画素領域  $P$  に対する、フィルタ  $\text{fil}_a$  を用いたフィルタ処理が終了する。

[0079]

このように、画素  $\text{pix}[1, 1]$  乃至画素  $\text{pix}[n, m]$  から、 $t$  行  $s$  列のマトリクス状の画素領域  $P$  が選択され、当該画素領域  $P$  に対してフィルタ  $\text{fil}_a$  を用いたフィルタ処理が行われる。画素  $\text{pix}[x, y]$  (ここでの  $x$  は1以上  $n-t+1$  以下の整数であり、 $y$  は1以上  $m-s+1$  以下の整数である。) と、画素  $\text{pix}[x, y+s-1]$  と、画素  $\text{pix}[x+t-1, y]$  と、画素  $\text{pix}[x+t-1, y+s-1]$  と、を角とする画素領域  $P$  に対して、フィルタ  $\text{fil}_a$  を用いた

フィルタ処理を行うことにより得られるデータ  $D_a[x, y]$  は、下式で表すことができる。

[0080]

[数2]

$$D_a[x, y] = \sum_{v=1}^t \sum_{w=1}^s g[x+v-1, y+w-1] \cdot f_a[v, w]$$

[0081]

上記の通り、画素  $p_{ix}[1, 1]$  乃至画素  $p_{ix}[n, m]$  から選択することができる全ての  $t$  行  $s$  列の画素領域  $P$  に対して、フィルタ  $f_{il}_a$  を用いたフィルタ処理を行うことにより、データ  $D_a[1, 1]$  乃至データ  $D_a[n-t+1, m-s+1]$  を得ることができる。そして、データ  $D_a[1, 1]$  乃至データ  $D_a[n-t+1, m-s+1]$  をアドレスに従ってマトリクス状に配置することにより、図7に示す特徴マップが得られる。

[0082]

以上のように、画像データとフィルタ値を用いた積和演算により、畳み込み処理が行われ、画像の特徴抽出が行われる。

[0083]

なお、図3に示すように、畳み込み層  $CL$  に複数のフィルタ  $f_{il}$  が設けられる場合は、フィルタ  $f_{il}$  ごとに上記の畳み込み処理を行う。また、ここでは、画素領域  $P$  が1列目乃至  $m-s$  列目にあるとき、画素領域  $P$  を画素1列分ずつ移動させる、又は画素領域  $P$  が  $m-s+1$  列目にあるとき、画素領域  $P$  を1列目に戻しかつ画素領域  $P$  を画素1行分移動させる例について説明したが、画素領域  $P$  の移動距離は自由に設定することができる。

[0084]

<回路22a>

ここで、実施の形態1で説明したNN回路40が上述のCNNの計算を行う場合における、回路22aの構成例について説明する。

[0085]

図8に、回路22aの構成例を示す。なお、図8では、回路22aだけでなく、エンコーダ  $AI E$  も図示している。

[0086]

ここでは、撮像装置20の撮像部21は、マトリクス状に配置された  $n$  行  $m$  列の画素（以後、画素  $p_{ix}[1, 1]$  乃至画素  $p_{ix}[n, m]$  と呼称する。）を有するものとし、 $n$  行  $m$  列の画素に対して、 $t$  行  $s$  列のフィルタ  $f_{il}_a$  を用いて畳み込み処理を行う場合を例として、回路22aの説明を行う。

[0087]

回路22aは、シフトレジスタを有する。当該シフトレジスタは、 $t \times m$  段の保持回路  $HC$  と、入力端子  $IPT$  と、 $t \times s$  個の出力端子  $PT$  と、クロック信号  $CLK$  が入力される端子と、を有する。なお、本明細書等では、 $t \times m$  段の保持回路  $HC$  をそれぞれ保持回路  $HC[1]$  乃至保持回路  $HC[tm]$  と記載し、 $t \times s$  個の出力端子  $PT$  を出力端子  $PT[1]$  乃至出力端子  $PT[ts]$  と記載する。また、図8では、保持回路  $HC[1]$  乃至保持回路  $HC[tm]$  のうち、保持回路  $HC[1]$ 、保持回路  $HC[s]$ 、保持回路  $HC[m]$ 、保持回路  $HC[m+1]$ 、保持回路  $HC[m+s]$ 、保持回路  $H$

C [2m]、保持回路HC [(t-1)m+1]、保持回路HC [(t-1)m+s]、保持回路HC [tm]のみ符号を記載している。また、図8では、出力端子PT [1]乃至出力端子PT [ts]のうち、出力端子PT [1]、出力端子PT [2]、出力端子PT [s]、出力端子PT [s+1]、出力端子PT [s+2]、出力端子PT [2s]、出力端子PT [(t-1)s+1]、出力端子PT [(t-1)s+2]、出力端子PT [ts]のみ符号を記載している。

[0088]

入力端子IPTは、撮像部21と電氣的に接続されている。撮像部21で取得した画像データは、回路22aの入力端子IPTに、1画素ずつ入力される。

[0089]

保持回路HC [1]乃至保持回路HC [tm]のうち、保持回路HC [dm+1]乃至保持回路HC [dm+s] (ここでのdは0以上t-1以下の整数である。)は、それぞれ出力端子PT [ds+1]乃至出力端子PT [(d+1)s]と電氣的に接続されている。つまり、図8において、保持回路HC [1]乃至保持回路HC [s]は、それぞれ出力端子PT [1]乃至出力端子PT [s]と電氣的に接続され、保持回路HC [m+1]乃至保持回路HC [m+s]は、それぞれ出力端子PT [s+1]乃至出力端子PT [2s]と電氣的に接続され、保持回路HC [(t-1)m+1]乃至保持回路HC [(t-1)m+s]は、それぞれ出力端子PT [(t-1)s+1]乃至出力端子PT [ts]と電氣的に接続されている。

[0090]

エンコーダAIEは、配線RW [1]乃至配線RW [ts]を有する。配線RW [1]乃至配線RW [ts]は、それぞれ出力端子PT [1]乃至出力端子PT [ts]と電氣的に接続されている。なお、図8では、配線RW [1]乃至配線RW [ts]のうち、配線RW [1]、配線RW [2]、配線RW [s]、配線RW [s+1]、配線RW [s+2]、配線RW [2s]、配線RW [(t-1)s+1]、配線RW [(t-1)s+2]、配線RW [ts]のみ符号を記載している。

[0091]

また、エンコーダAIEは、ts行のメモリセルアレイを有する (図8には図示しない)。当該メモリセルアレイが有する1列のメモリセルには、畳み込み処理時に用いるフィルタ $f_{ia}$ のフィルタ値 $f_a[1, 1]$ 乃至フィルタ値 $f_a[t, s]$ が保持されている。

[0092]

なお、当該メモリセルアレイの具体的な構成としては、実施の形態3で説明するメモリセルアレイCAを参照する。

[0093]

詳細は実施の形態3で説明するが、メモリセルアレイCAは、積和演算回路の構成要素の一つであり、換言すると、エンコーダAIEは、積和演算回路を有する構成となる。積和演算回路は、メモリセルに保持されているデータ (フィルタ値、重み係数など) と、配線RWに入力されたデータ (画像データなど) との積和演算を実行することができる。

[0094]

回路22aの入力端子IPTには、撮像部21の画素 $pix[1, 1]$ 乃至画素 $pix[n, m]$ に取り込まれた画素データ $g[1, 1]$ 乃至画素データ $g[n, m]$ が順に入力される。回路22aは、クロック信号CLKが入力される度に、保持回路HCに保持されている画素データを次段の保持回路HCへ送信する。図8では、画素データ $g[1, 1]$ が保持回路HC [1]に送信され、画素デ

ータ  $g[t, m]$  が保持回路 HC  $[tm]$  に送信された図を示している。

[0095]

このとき、保持回路 HC  $[dm+1]$  乃至保持回路 HC  $[dm+s]$  に保持されている画素データは、それぞれ出力端子 PT  $[ds+1]$  乃至出力端子 PT  $[(d+1)s]$  から出力される。つまり、図8では、画素データ  $g[1, 1]$  乃至画素データ  $g[1, s]$  は、それぞれ出力端子 PT  $[1]$  乃至出力端子 PT  $[s]$  から出力され、画素データ  $g[2, 1]$  乃至画素データ  $g[2, s]$  は、それぞれ出力端子 PT  $[s+1]$  乃至出力端子 PT  $[2s]$  から出力され、画素データ  $g[t, 1]$  乃至画素データ  $g[t, s]$  は、それぞれ出力端子 PT  $[(t-1)s+1]$  乃至出力端子 PT  $[ts]$  から出力されている。

[0096]

これにより、保持回路 HC  $[dm+1]$  乃至保持回路 HC  $[dm+s]$  に保持されているそれぞれの画素データは、エンコーダ AIE のメモリセルアレイの配線 RW  $[ds+1]$  乃至配線 RW  $[(d+1)s]$  に送信される。なお、このとき、配線 RW  $[1]$  乃至配線 RW  $[ts]$  に送信される全ての画素データは、図5 (A) (B) に示す画素領域 P  $[1, 1]$  の画像データに対応する。

[0097]

配線 RW  $[1]$  乃至配線 RW  $[ts]$  に出力された画素領域 P  $[1, 1]$  の画像データは、エンコーダ AIE の  $ts$  行のメモリセルアレイが有する1列のメモリセルに供給される。ここで、当該1列のメモリセルにはフィルタ値  $f_a[1, 1]$  乃至フィルタ値  $f_a[t, s]$  が保持されており、画像データとフィルタ値  $f_a$  の積和演算が行われる。積和演算の詳細については、実施の形態3を参照する。

[0098]

画素領域 P  $[1, 1]$  の画像データと、フィルタ  $f_{il_a}$  との積和演算によって、図5に示すデータ  $D_a[1, 1]$  を得ることができる。このように、回路22aが  $t \times s$  の画像データをエンコーダ AIE に一括で出力する機能を有することにより、畳み込み処理を高速で行うことができる。

[0099]

なお、図3に示すように、畳み込み処理に使用するフィルタを複数とする場合、エンコーダ AIE のメモリセルアレイの列の数を、当該フィルタの数とすればよい。この詳細については、実施の形態3で説明する。

[0100]

図8において、回路22aに次のクロック信号 CLK のパルスが入力されると、回路22aの保持回路 HC  $[2]$  乃至保持回路 HC  $[tm]$  のそれぞれに格納された画素データ  $g[1, 2]$  乃至画素データ  $g[t, m]$  は、図9に示すとおり、次段の保持回路 HC に送信される。なお、回路22aは、保持回路 HC  $[1]$  の次段の保持回路を有さないため、画素データ  $g[1, 1]$  は保持されない。そして、保持回路 HC  $[1]$  は、前段の保持回路 HC  $[2]$  から送られる画素データ  $g[1, 2]$  を保持する。また、保持回路 HC  $[tm]$  は、入力端子 IPT から送られる画素データ  $g[t, m+1]$  を保持する。

[0101]

このとき、保持回路 HC  $[dm+1]$  乃至保持回路 HC  $[dm+s]$  に保持されている画素データは、それぞれ出力端子 PT  $[ds+1]$  乃至出力端子 PT  $[(d+1)s]$  から出力される。つまり、図9では、画素データ  $g[1, 2]$  乃至画素データ  $g[1, s+1]$  は、それぞれ出力端子 PT  $[1]$

乃至出力端子PT[s]から出力され、画素データ $g[2, 2]$ 乃至画素データ $g[2, s+1]$ は、それぞれ出力端子PT[s+1]乃至出力端子PT[2s]から出力され、画素データ $g[t, 2]$ 乃至画素データ $g[t, s+1]$ は、それぞれ出力端子PT[(t-1)s+1]乃至出力端子PT[ts]から出力されている。

[0102]

これにより、保持回路HC[dm+1]乃至保持回路HC[dm+s]に保持されているそれぞれの画素データは、エンコーダAIEのメモリセルアレイの配線RW[ds+1]乃至配線RW[(d+1)s]に送信される。なお、このとき、配線RW[1]乃至配線RW[ts]に送信される全ての画素データは、図6に示す画素領域P[1, 2]の画像データに対応する。

[0103]

配線RW[1]乃至配線RW[ts]によって送られた画素領域P[1, 2]の画像データは、画素領域P[1, 1]と同様に、フィルタf<sub>ila</sub>によるフィルタ処理が施される。具体的には、画素領域P[1, 2]の画像データと、ある1列のメモリセルに保持されているフィルタ値 $f_a[1, 1]$ 乃至フィルタ値 $f_a[t, s]$ との積和演算によって、図6に示すデータD<sub>a</sub>[1, 2]を得ることができる。

[0104]

上述の通り、回路22aに対して入力端子IPTから新たな画素データを入力し、かつクロック信号CLKのパルスを入力することによって、画素1列分ずつ移動した画素領域Pの画像データを、回路22aに順次入力することができる。

[0105]

図10に示す回路22aは、図9に示す状態から、(m-s-1)回のクロック信号CLKのパルスが入力され、かつ入力端子IPTから順次画素データgが入力された様子を示している。つまり、図10では、画素データ $g[1, m-s+1]$ 乃至画素データ $g[1, m]$ は、それぞれ出力端子PT[1]乃至出力端子PT[s]から出力され、画素データ $g[2, m-s+1]$ 乃至画素データ $g[2, m]$ は、それぞれ出力端子PT[s+1]乃至出力端子PT[2s]から出力され、画素データ $g[t, m-s+1]$ 乃至画素データ $g[t, m]$ は、それぞれ出力端子PT[(t-1)s+1]乃至出力端子PT[ts]から出力されている。

[0106]

これにより、保持回路HC[dm+1]乃至保持回路HC[dm+s]に保持されているそれぞれの画素データは、エンコーダAIEのメモリセルアレイの配線RW[ds+1]乃至配線RW[(d+1)s]に送信される。なお、このとき、配線RW[1]乃至配線RW[ts]に送信される全ての画素データは、図6に示す画素領域P[1, m-s+1]の画像データに対応する。

[0107]

配線RW[1]乃至配線RW[ts]によって送られた画素領域P[1, m-s+1]の画像データは、画素領域P[1, 1]及び画素領域P[1, 2]と同様に、フィルタf<sub>ila</sub>によるフィルタ処理が施される。具体的には、画素領域P[1, m-s+1]の画像データと、ある1列のメモリセルに保持されているフィルタ値 $f_a[1, 1]$ 乃至フィルタ値 $f_a[t, s]$ との積和演算によって、図6に示すデータD<sub>a</sub>[1, m-s+1]を得ることができる。

[0108]

上述の通り、画素データgと、クロック信号CLKと、を順次入力し、画素領域P[1, 1]乃至

画素領域  $P[1, m-s+1]$  のそれぞれの画像データに対して畳み込み処理を行うことで、1行分のデータ  $D_a$  を取得することができる。

[0109]

なお、図10に示す状態から引き続き畳み込み処理を行う場合、次に畳み込み処理を行う画素領域は、画素領域  $P[2, 1]$  となる。この場合、図10に示す状態から、 $s$  回のクロック信号  $CLK$  のパルスと、画素データ  $g$  と、を回路22aに入力することによって、画素領域  $P[2, 1]$  の画像データをエンコーダAIEのメモリセルアレイに入力することができる。

[0110]

図10に示す状態から、 $s$  回のクロック信号  $CLK$  のパルスと、画素データ  $g$  と、を回路22aに入力した場合、図11に示す状態となる。図11では、画素データ  $g[2, 1]$  乃至画素データ  $g[2, s]$  は、それぞれ出力端子  $PT[1]$  乃至出力端子  $PT[s]$  から出力され、画素データ  $g[3, 1]$  乃至画素データ  $g[3, s]$  は、それぞれ出力端子  $PT[s+1]$  乃至出力端子  $PT[2s]$  から出力され、画素データ  $g[t+1, 1]$  乃至画素データ  $g[t+1, s]$  は、それぞれ出力端子  $PT[(t-1)s+1]$  乃至出力端子  $PT[ts]$  から出力されている。

[0111]

これにより、保持回路  $HC[dm+1]$  乃至保持回路  $HC[dm+s]$  に保持されているそれぞれの画素データは、エンコーダAIEのメモリセルアレイの配線  $RW[ds+1]$  乃至配線  $RW[(d+1)s]$  に送信される。なお、このとき、配線  $RW[1]$  乃至配線  $RW[ts]$  に送信される全ての画素データは、図6に示す画素領域  $P[2, 1]$  の画像データに対応する。

[0112]

配線  $RW[1]$  乃至配線  $RW[ts]$  によって送られた画素領域  $P[2, 1]$  の画像データは、画素領域  $P[1, 1]$  乃至画素領域  $P[1, m-s+1]$  と同様に、フィルタ  $fil_a$  によるフィルタ処理が施される。具体的には、画素領域  $P[2, 1]$  の画像データと、ある1列のメモリセルに保持されているフィルタ値  $f_a[1, 1]$  乃至フィルタ値  $f_a[t, s]$  との積和演算によって、図6に示すデータ  $D_a[2, 1]$  を得ることができる。

[0113]

以上の動作を繰り返し、画素領域  $P[n-t+1, m-s+1]$  からデータ  $D_a[n-t+1, m-s+1]$  が取得されることで、全ての画素領域  $P$  に対する、フィルタ  $fil_a$  を用いたフィルタ処理が終了する。

[0114]

以上のように、回路22aは、画像データを画素領域ごとに順次、エンコーダAIEのメモリセルアレイに送信する機能を有する。したがって、回路22aを用いることにより、CNNにおける積和演算を高速で行うことができる。

[0115]

なお、本発明の一態様は、図8乃至図11に示す回路22aに限定されない。状況に応じて、回路22aの回路構成を適宜変更することができる。

[0116]

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせることができる。

[0117]

(実施の形態3)

本実施の形態では、階層型のニューラルネットワークと、当該ニューラルネットワークを構成する回路の例について説明する。

[0118]

<階層型のニューラルネットワーク>

本発明の一態様の半導体装置に利用できるニューラルネットワークの種類の一として、階層型のニューラルネットワークについて説明する。

[0119]

図12は、階層型のニューラルネットワークの一例を示した図である。第 $(k-1)$ 層（ここでの $k$ は2以上の整数である。）は、ニューロンを $P$ 個（ここでの $P$ は1以上の整数である。）有し、第 $k$ 層は、ニューロンを $Q$ 個（ここでの $Q$ は1以上の整数である。）有し、第 $(k+1)$ 層は、ニューロンを $R$ 個（ここでの $R$ は1以上の整数である。）有する。

[0120]

第 $(k-1)$ 層の第 $p$ ニューロン（ここでの $p$ は1以上 $P$ 以下の整数である。）の出力信号 $z_p^{(k-1)}$ と重み係数 $w_{qp}^{(k)}$ と、の積が第 $k$ 層の第 $q$ ニューロン（ここでの $q$ は1以上 $Q$ 以下の整数である。）に入力されるものとし、第 $k$ 層の第 $q$ ニューロンの出力信号 $z_q^{(k)}$ と重み係数 $w_{rq}^{(k+1)}$ と、の積が第 $(k+1)$ 層の第 $r$ ニューロン（ここでの $r$ は1以上 $R$ 以下の整数である。）に入力されるものとし、第 $(k+1)$ 層の第 $r$ ニューロンの出力信号を $z_r^{(k+1)}$ とする。

[0121]

このとき、第 $k$ 層の第 $q$ ニューロンへ入力される信号の総和 $u_q^{(k)}$ は、次の式で表される。

[0122]

[数3]

$$u_q^{(k)} = \sum w_{qp}^{(k)} z_p^{(k-1)} \quad (D1)$$

[0123]

また、第 $k$ 層の第 $q$ ニューロンからの出力信号 $z_q^{(k)}$ を次の式で定義する。

[0124]

[数4]

$$z_q^{(k)} = f(u_q^{(k)}) \quad (D2)$$

[0125]

関数 $f(u_q^{(k)})$ は、活性化関数であり、ステップ関数、線形ランプ関数、又はシグモイド関数などを用いることができる。なお、式(D1)の積和演算は、乗算回路及び加算回路などによって実現できる。なお、式(D2)の演算は、例えば、図15(A)に示す回路71によって実現できる。

[0126]

なお、活性化関数は、全てのニューロンにおいて同一でもよいし、又は異なってもよい。加えて、活性化関数は、層毎において、同一でもよいし、異なってもよい。

[0127]

ここで、図13に示す、全 $L$ 層（ここでの $L$ は3以上の整数とする。）からなる階層型のニューラ

ルネットワークを考える（つまり、ここでの  $k$  は 2 以上  $(L-1)$  以下の整数とする。）。第 1 層は、階層型のニューラルネットワークの入力層となり、第  $L$  層は、階層型のニューラルネットワークの出力層となり、第 2 層乃至第  $(L-1)$  層は、階層型のニューラルネットワークの隠れ層となる。

[0128]

第 1 層（入力層）は、ニューロンを  $P$  個有し、第  $k$  層（隠れ層）は、ニューロンを  $Q[k]$  個（ $Q[k]$  は 1 以上の整数である。）有し、第  $L$  層（出力層）は、ニューロンを  $R$  個有する。

[0129]

第 1 層の第  $s[1]$  ニューロン（ $s[1]$  は 1 以上  $P$  以下の整数である。）の出力信号を  $z_{s[1]}^{(1)}$  とし、第  $k$  層の第  $s[k]$  ニューロン（ $s[k]$  は 1 以上  $Q[k]$  以下の整数である。）の出力信号を  $z_{s[k]}^{(k)}$  とし、第  $L$  層の第  $s[L]$  ニューロン（ $s[L]$  は 1 以上  $R$  以下の整数である。）の出力信号を  $z_{s[L]}^{(L)}$  とする。

[0130]

また、第  $(k-1)$  層の第  $s[k-1]$  ニューロン（ $s[k-1]$  は 1 以上  $Q[k-1]$  以下の整数である。）の出力信号  $z_{s[k-1]}^{(k-1)}$  と重み係数  $w_{s[k]s[k-1]}^{(k)}$  と、の積  $u_{s[k]}^{(k)}$  が第  $k$  層の第  $s[k]$  ニューロンに入力されるものとし、第  $(L-1)$  層の第  $s[L-1]$  ニューロン（ $s[L-1]$  は 1 以上  $Q[L-1]$  以下の整数である。）の出力信号  $z_{s[L-1]}^{(L-1)}$  と重み係数  $w_{s[L]s[L-1]}^{(L)}$  と、の積  $u_{s[L]}^{(L)}$  が第  $L$  層の第  $s[L]$  ニューロンに入力されるものとする。

[0131]

次に、教師付き学習について説明する。教師付き学習とは、上述の階層型のニューラルネットワークにおいて、出力した結果と、所望の結果（教師データ、又は教師信号という場合がある。）と、が異なったときに、階層型のニューラルネットワークの全ての重み係数を、出力した結果と所望の結果とに基づいて、更新する動作をいう。

[0132]

教師付き学習の具体例として、誤差逆伝播方式による学習方法について説明する。図 14 は、誤差逆伝播方式による学習方法を説明する図である。誤差逆伝播方式は、階層型のニューラルネットワークの出力と教師データとの誤差が小さくなるように、重み係数を変更する方式である。

[0133]

例えば、第 1 層の第  $s[1]$  ニューロンに入力データを入力し、第  $L$  層の第  $s[L]$  ニューロンから出力データ  $z_{s[L]}^{(L)}$  を出力されたとする。ここで、出力データ  $z_{s[L]}^{(L)}$  に対する教師信号を  $t_{s[L]}^{(L)}$  としたとき、誤差エネルギー  $E$  は、出力データ  $z_{s[L]}^{(L)}$  及び教師信号  $t_{s[L]}^{(L)}$  によって表すことができる。

[0134]

誤差エネルギー  $E$  に対して、第  $k$  層の第  $s[k]$  ニューロンの重み係数  $w_{s[k]s[k-1]}^{(k)}$  の更新量を  $\partial E / \partial w_{s[k]s[k-1]}^{(k)}$  とすることで、新たに重み係数を変更することができる。ここで、第  $k$  層の第  $s[k]$  ニューロンの出力値  $z_{s[k]}^{(k)}$  の誤差  $\delta_{s[k]}^{(k)}$  を  $\partial E / \partial u_{s[k]}^{(k)}$  と定義すると、 $\delta_{s[k]}^{(k)}$  及び  $\partial E / \partial w_{s[k]s[k-1]}^{(k)}$  は、それぞれ次の式で表すことができる。

[0135]

[数 5]

$$\delta_{s[k]}^{(k)} = \sum_{s[k+1]} \delta_{s[k+1]}^{(k+1)} \cdot w_{s[k+1]s[k]}^{(k+1)} \cdot f'(u_{s[k]}^{(k)}) \quad (D3)$$

[ 0 1 3 6 ]

[数 6]

$$\frac{\partial E}{\partial w_{s[k]s[k-1]}^{(k)}} = \delta_{s[k]}^{(k)} \cdot z_{s[k-1]}^{(k-1)} \quad (D4)$$

[ 0 1 3 7 ]

$f'(u_{s[k]}^{(k)})$  は、活性化関数の導関数である。なお、式 (D 3) の演算は、例えば、図 1 5 (B) に示す回路 7 3 によって実現できる。また、式 (D 4) の演算は、例えば、図 1 5 (C) に示す回路 7 4 によって実現できる。活性化関数は、例えば、オペアンプの出力端子に所望の導関数に対応した演算回路を接続することによって実現できる。

[ 0 1 3 8 ]

また、例えば、式 (D 3) の  $\sum \delta_{s[k+1]}^{(k+1)} \cdot w_{s[k+1]s[k]}^{(k+1)}$  の部分の演算は、加算回路、及び乗算回路によって実現できる。

[ 0 1 3 9 ]

ここで、第 (k + 1) 層が出力層のとき、すなわち、第 (k + 1) 層が第 L 層であるとき、 $\delta_{s[L]}^{(L)}$  及び  $\partial E / \partial w_{s[L]s[L-1]}^{(L)}$  は、それぞれ次の式で表すことができる。

[ 0 1 4 0 ]

[数 7]

$$\delta_{s[L]}^{(L)} = \left( z_{s[L]}^{(L)} - t_{s[L]}^{(L)} \right) \cdot f' \left( u_{s[L]}^{(L)} \right) \quad (D5)$$

[ 0 1 4 1 ]

[数 8]

$$\frac{\partial E}{\partial w_{s[L]s[L-1]}^{(L)}} = \delta_{s[L]}^{(L)} \cdot z_{s[L-1]}^{(L-1)} \quad (D6)$$

[ 0 1 4 2 ]

式 (D 5) の演算は、図 1 5 (D) に示す回路 7 5 によって実現できる。また、式 (D 6) の演算は、図 1 5 (C) に示す回路 7 4 によって実現できる。

[ 0 1 4 3 ]

つまり、式 (D 1) 乃至式 (D 6) により、全てのニューロン回路の誤差  $\delta_{s[k]}^{(k)}$  及び  $\delta_{s[L]}^{(L)}$  を求めることができる。なお、重み係数の更新量は、誤差  $\delta_{s[k]}^{(k)}$ 、 $\delta_{s[L]}^{(L)}$  及び所望のパラメータなどに基づいて、設定される。

[ 0 1 4 4 ]

以上のように、図 1 5 (A) 乃至図 1 5 (D) に示す回路、及び後述する積和演算回路 MAC を用いることによって、教師付き学習を適用した階層型のニューラルネットワークの計算を行うことができる。

[ 0 1 4 5 ]

## &lt;階層型のニューラルネットワークの回路構成例&gt;

図16は、階層型のニューラルネットワークの回路の構成例を示したブロック図である。

[0146]

NN (ニューラルネットワーク) 回路80は、入力端子PDL [1] 乃至入力端子PDL [l] (ここのlは1以上の整数である。)、出力端子PDR [1] 乃至出力端子PDR [n] (ここのnは1以上の整数である。)、プログラマブルロジックエレメントPLE [1] 乃至プログラマブルロジックエレメントPLE [m]、配線L [1] 乃至配線L [l]、配線P [1] 乃至配線P [m]、配線R [1] 乃至配線R [m]、配線Q [1] 乃至配線Q [m]、複数のプログラマブルスイッチPSW1、複数のプログラマブルスイッチPSW2、及び複数のプログラマブルスイッチPSW3を有する。

[0147]

なお、図16に示すNN回路80では、入力端子PDL [1]、入力端子PDL [2]、入力端子PDL [l]、出力端子PDR [1]、出力端子PDR [2]、出力端子PDR [n]、プログラマブルロジックエレメントPLE [1]、プログラマブルロジックエレメントPLE [2]、プログラマブルロジックエレメントPLE [m]、配線L [1]、配線L [2]、配線L [l]、配線P [1]、配線P [2]、配線P [m]、配線R [1]、配線R [2]、配線R [m]、配線Q [1]、配線Q [2]、配線Q [m]、プログラマブルスイッチPSW1、プログラマブルスイッチPSW2、プログラマブルスイッチPSW3、後述するスイッチ回路SWCのみを図示しており、それら以外の回路、素子、配線、符号を省略している。

[0148]

NN回路80は、プログラマブルロジックエレメントPLE [1] 乃至プログラマブルロジックエレメントPLE [m]、及びプログラマブルスイッチPSW1乃至プログラマブルスイッチPSW3を用いた、マルチコンテキスト方式のプログラマブルな演算処理装置である。具体的には後述するが、当該演算処理装置は、階層型のニューラルネットワークにおいて、各階層間のネットワークの接続状態を各コンテキストに対応させており、コンテキストを順次切り替えることによって、ニューラルネットワークの演算処理を行うことができる。

[0149]

入力端子PDL [i] (ここのiは1以上l以下の整数である。)は、配線L [i] と電氣的に接続されている。出力端子PDR [k] (ここのkは1以上n以下の整数である。)は、配線R [1] 乃至配線R [m] のそれぞれと、プログラマブルスイッチPSW3を介して、電氣的に接続されている。プログラマブルロジックエレメントPLE [j] (ここのjは1以上m以下の整数である。)の第1端子は、配線Q [j] と電氣的に接続され、配線Q [j] は、配線L [1] 乃至配線L [l] のそれぞれと、プログラマブルスイッチPSW1を介して、電氣的に接続されている。また、配線Q [j] は、配線P [1] 乃至配線P [m] のそれぞれと、プログラマブルスイッチPSW2を介して、電氣的に接続されている。プログラマブルロジックエレメントPLE [j] の第2端子は、配線R [j] と電氣的に接続されている。配線P [1] 乃至配線P [m] のそれぞれは、配線R [1] 乃至配線R [m] のそれぞれと電氣的に接続されている。

[0150]

NN回路80が有するプログラマブルスイッチPSW1乃至プログラマブルスイッチPSW3は、後述するコンフィギュレーションメモリCMSに格納されたコンフィギュレーションデータによって、導通状態と非導通状態とを切り替えることができるスイッチである。なお、プログラマブルスイ

ッチPSW1乃至プログラマブルスイッチPSW3のそれぞれは、スイッチ回路SWCを有する。また、プログラマブルスイッチPSW1乃至プログラマブルスイッチPSW3の詳細については、後述する。

[0151]

プログラマブルロジックエレメントPLEは、図17(A)に示す演算処理回路90を有する。演算処理回路90は、入力端子In[1]乃至入力端子In[s](ここでのsは1以上の整数である。)と、出力端子OUTと、乗算回路MLT[1]乃至乗算回路MLT[s]と、加算回路ADと、活性化関数回路FCと、保持回路KCと、コンフィギュレーションメモリCMW[1]乃至コンフィギュレーションメモリCMW[s]と、コンフィギュレーションメモリCMFと、を有する。なお、コンフィギュレーションメモリCMW[1]乃至コンフィギュレーションメモリCMW[s]は一つのコンフィギュレーションメモリとしてもよい。また、コンフィギュレーションメモリCMW[1]乃至コンフィギュレーションメモリCMW[s]と、コンフィギュレーションメモリCMFと、は一つのコンフィギュレーションメモリとしてもよい。

[0152]

入力端子In[h](ここでのhは1以上s以下の整数である。)は、乗算回路MLT[h]の入力端子と電氣的に接続され、乗算回路MLT[h]の出力端子は、加算回路ADの入力端子と電氣的に接続されている。加算回路ADの出力端子は、活性化関数回路FCの入力端子と電氣的に接続されている。活性化関数回路FCの出力端子は、保持回路KCの端子TA1と電氣的に接続されている。保持回路KCの端子TA2は、出力端子OUTと電氣的に接続されている。

[0153]

乗算回路MLT[h]は、コンフィギュレーションメモリCMW[h]に保持されているデータ(以後、重み係数と呼称する。)を乗数とし、入力端子In[h]に入力された入力信号を被乗数とする乗算を行う回路である。加算回路ADは、乗算回路MLT[1]乃至乗算回路MLT[s]から出力されるそれぞれの乗算結果の和を計算する回路である。つまり、乗算回路MLT[1]乃至乗算回路MLT[s]、及び加算回路ADによって、積和演算回路が構成されている。

[0154]

活性化関数回路FCは、入力端子に入力された信号、つまり積和演算結果に対して、コンフィギュレーションメモリCMFに保持されているデータにより定義された関数系に従った演算を行う回路である。当該関数系としては、例えば、シグモイド関数、tanh関数、softmax関数、ReLU関数、しきい値関数などを用いることができる。

[0155]

保持回路KCは、活性化関数回路FCから出力された演算結果を端子TA1から取得し、当該演算結果を一時的に保持する機能と、一時的に保持した演算結果を端子TA2に出力する機能とを有する。加えて、保持回路KCは、端子CKTに入力されるクロック信号CLKに応じて、上述した2つの機能を切り替えることができる。

[0156]

例えば、クロック信号CLKが高レベル電位であるとき、保持回路KCは、端子TA1から入力された電位を保持することができ、クロック信号CLKが低レベル電位であるとき、保持回路KCは、端子TA2から出力端子OUTに、該電位を出力することができる。

[0157]

演算処理回路 90 はデジタルデータを扱う回路である場合、保持回路 KC は、例えば、フリップフロップ回路を適用することができる。

[0158]

また、演算処理回路 90 はアナログデータを扱う回路である場合、一例として、図 17 (B) に示す保持回路 KC を適用することができる。図 17 (B) に示す保持回路 KC は、サンプルホールド回路であり、トランジスタ Tr A と、トランジスタ Tr B と、容量素子 CP と、アンプ AMP と、NOT 回路 NL と、を有する。

[0159]

トランジスタ Tr A の第 1 端子は、端子 TA1 と電氣的に接続され、トランジスタ Tr A の第 2 端子は、容量素子 CP の第 1 端子と電氣的に接続され、トランジスタ Tr A のゲートは、端子 CKT と電氣的に接続されている。アンプ AMP の入力端子は、トランジスタ Tr A の第 2 端子と電氣的に接続され、アンプ AMP の出力端子は、トランジスタ Tr B の第 1 端子と電氣的に接続されている。トランジスタ Tr B の第 2 端子は、端子 TA2 と電氣的に接続されている。NOT 回路 NL の入力端子は、端子 CKT と電氣的に接続され、NOT 回路 NL の出力端子は、トランジスタ Tr B のゲートと電氣的に接続されている。容量素子 CP の第 2 端子は、配線 GNDL と電氣的に接続されている。なお、トランジスタ Tr A の第 2 端子と、アンプ AMP の入力端子と、容量素子 CP の第 1 端子の接続点を、ノード N とする。

[0160]

アンプ AMP は、入力端子に入力された信号を 1 倍に増幅して、出力端子に増幅した信号を出力する機能を有する。

[0161]

配線 GNDL は、基準電位を与える配線である。

[0162]

端子 CKT に入力されるクロック信号 CLK が高レベル電位であるとき、トランジスタ Tr A は導通状態となり、トランジスタ Tr B は非導通状態となる。このとき、端子 TA1 から入力された信号は、トランジスタ Tr A を介して、アンプ AMP に入力される。このため、アンプ AMP は該信号を増幅して、アンプ AMP の出力端子から増幅した信号を出力する。なお、トランジスタ Tr B は非導通状態であるため、増幅した信号は、端子 TA2 から出力されない。

[0163]

また、ノード N の電位は、容量素子 CP によって、保持される。このとき、ノード N の電位は、端子 TA1 から入力された信号の電位となる。

[0164]

端子 CKT に入力されるクロック信号 CLK が低レベル電位であるとき、トランジスタ Tr A は非導通状態となり、トランジスタ Tr B は導通状態となる。ノード N の電位は、トランジスタ Tr A が非導通状態となっているので、該電位の変化はない。アンプ AMP は、ノード N の電位をトランジスタ Tr B の第 1 端子に出力をする。トランジスタ Tr B は導通状態となっているため、ノード N の電位、つまりクロック信号 CLK が高レベル電位のときに端子 TA1 から入力された信号の電位が、端子 TA2 から出力される。

[0165]

トランジスタ Tr A、及び／又はトランジスタ Tr B は、実施の形態 5 で説明する OS トランジス

タであることが好ましい。特に、該OSトランジスタは、チャネル形成領域にインジウム、元素M（元素Mとしては、アルミニウム、ガリウム、イットリウム、スズなどが挙げられる。）、亜鉛の少なくとも一を有する酸化物を用いることが好ましい。このようなOSトランジスタをトランジスタT<sub>rA</sub>、及び／又はトランジスタT<sub>rB</sub>に適用することで、トランジスタのオフ電流を非常に低くすることができる。このため、トランジスタのオフ電流による電荷のリークの影響を低くすることができる。

[0166]

なお、図17（A）では、入力端子I<sub>n</sub> [1]、入力端子I<sub>n</sub> [2]、入力端子I<sub>n</sub> [s]、乗算回路MLT [1]、乗算回路MLT [2]、乗算回路MLT [s]、コンフィギュレーションメモリCMW [1]、コンフィギュレーションメモリCMW [2]、コンフィギュレーションメモリCMW [s]、コンフィギュレーションメモリCMF、加算回路AD、活性化関数回路FC、保持回路KC、端子TA1、端子TA2、端子CKT、出力端子OUT、及びクロック信号CLKのみを図示しており、それら以外の回路、素子、配線、符号を省略している。

[0167]

なお、演算処理回路90の保持回路KCは、上述の構成に限定されない。状況に応じて、保持回路KCの構成を適宜変更することができる。

[0168]

なお、演算処理回路90が有するコンフィギュレーションメモリCMW [1] 乃至コンフィギュレーションメモリCMW [s] 及びコンフィギュレーションメモリCMFと、後述するプログラマブルスイッチPSW1乃至プログラマブルスイッチPSW3の状態を設定するコンフィギュレーションメモリCMSと、はそれぞれ異なる駆動回路によって、データの書き込みを行う構成としてもよい。つまり、プログラマブルスイッチPSW1乃至プログラマブルスイッチPSW3のコンフィギュレーションメモリCMSのデータを更新せずに、演算処理回路90のコンフィギュレーションメモリCMW [1] 乃至コンフィギュレーションメモリCMW [s] 及びコンフィギュレーションメモリCMFのデータの更新を繰り返し行うことができる。これにより、ニューラルネットワークにおいて、効率的な学習が可能となる。

[0169]

更に、コンフィギュレーションメモリを複数セット有するマルチコンテキスト方式において、各コンテキストにおけるコンフィギュレーションデータにニューラルネットワークの各層の積和演算の重み係数が対応する場合、コンテキストの切り替えを行うことによって、少ない回路資源で各層の積和演算を順次実行することができる。

[0170]

なお、上述では、1つのプログラマブルロジックエレメントが単独の演算処理回路90を有する構成を説明したが、複数のプログラマブルロジックエレメント及び当該プログラマブルロジックエレメント間を接続するプログラマブルスイッチによって、1つの積和演算回路を構成することも可能である。

[0171]

次に、プログラマブルスイッチPSW1乃至プログラマブルスイッチPSW3の構成について説明する。図18（A）は、NN回路80において、配線L [1] 乃至配線L [1] と、配線P [1] 乃至配線P [m] と、配線Q [j] と、プログラマブルスイッチPSW1と、プログラマブルスイッチPSW2と、プログラマブルロジックエレメントPLE [j] と、の接続例について示し、図18（B）

は、スイッチ回路SWCの構成例を示している。

[0172]

なお、図18(A)において、配線Q[j]は、配線q[1]乃至配線q[s]から構成されている。さらに、図18(A)において、プログラマブルロジックエレメントPLE[j]の第1端子は、図17(A)で説明した演算処理回路90の端子In[1]乃至端子In[s]としている。つまり、図18(A)において、配線q[h]は、端子In[h]と電氣的に接続されている。

[0173]

また、図18(A)では、配線q[1]乃至配線q[s]は、プログラマブルスイッチPSW1を介して、配線”0”と電氣的に接続されている。配線”0”は、0の値の信号(信号の電位が基準電位)を供給する配線である。

[0174]

図18(A)に示す構成例において、プログラマブルスイッチPSW1及びプログラマブルスイッチPSW2はスイッチ回路SWCを有する。スイッチ回路SWCの構成例を図18(B)に示す。スイッチSWの第1端子は、配線q[h]と電氣的に接続され、スイッチSWの第2端子は、配線Xと電氣的に接続されている。なお、配線Xは、配線”0”、配線L[1]乃至配線L[l]、配線P[1]乃至配線P[m]のいずれか一の配線である。スイッチSWは、コンフィギュレーションメモリCMSが保持するデータによって、導通状態、非導通状態を決定する。

[0175]

つまり、図18(A)に記載するプログラマブルスイッチPSW1、及びプログラマブルスイッチPSW2のそれぞれは、コンフィギュレーションメモリCMSのデータによって、導通状態、または非導通状態となる。つまり、コンフィギュレーションメモリCMSのデータによって、配線”0”、配線L[1]乃至配線L[l]、配線P[1]乃至配線P[m]のそれぞれと、端子In[1]乃至端子In[s]のそれぞれと、の接続の有無を制御することができる。

[0176]

特に、端子In[1]乃至端子In[s]の一部に信号の入力を行わない場合、その一部の端子と、配線”0”とを接続するスイッチ回路SWCを導通状態とする。このとき、該一部の端子に対応する乗算回路は、パワーゲーティングにより消費電力を低減することができる。

[0177]

図18(B)に示すスイッチSWとしては、例えば、トランジスタ、ダイオード、デジタルマイクロミラーデバイス(DMD)のように、MEMS(マイクロ・エレクトロ・メカニカル・システム)技術を用いたスイッチなどを適用することができる。また、スイッチSWはトランジスタを組み合わせた論理回路でもよい。また、スイッチSWを1個のトランジスタとする場合、オフ電流が非常に低い特性を有するOSトランジスタを用いるのが好ましい。

[0178]

図18(C)は、NN回路80において、配線R[k]と、プログラマブルスイッチPSW3と、プログラマブルロジックエレメントPLE[j]と、出力端子PDR[1]乃至出力端子PDR[n]の接続例について示している。

[0179]

なお、図18(C)において、配線R[k]は、配線r[1]乃至配線r[t](ここでのtは1以上の整数である。)から構成されている。さらに、図18(C)において、プログラマブルロジッ

クエレメント PLE [j] の第 2 端子を、端子 O [1] 乃至端子 O [t] と図示している。つまり、配線 r [u] は、端子 O [u] (ここでの u は 1 以上 t 以下の整数である。) と電氣的に接続されている。なお、図 18 (C) では、第 2 端子を複数図示しているが、1 つの端子としてもよい。これにより、配線 r [1] 乃至配線 r [t] を 1 本の配線とすることができる。

[0180]

図 18 (C) に示す構成例において、プログラマブルスイッチ P SW 3 はスイッチ回路 SWC を有する。つまり、プログラマブルスイッチ P SW 1 及びプログラマブルスイッチ P SW 2 と同様に、コンフィギュレーションメモリ CMS が保持するデータによって、スイッチ回路 SWC の有するスイッチ SW の導通状態、非導通状態を決定することができる。このため、コンフィギュレーションメモリ CMS のデータによって、端子 O [1] 乃至端子 O [t] のそれぞれと、出力端子 PDR [1] 乃至出力端子 PDR [n] のそれぞれと、の接続の有無を制御することができる。

[0181]

ところで、上述したコンフィギュレーションメモリ CMS、コンフィギュレーションメモリ CMW [1] 乃至コンフィギュレーションメモリ CMW [s]、コンフィギュレーションメモリ CMF は、例えば、SRAM、MRAM などを適用することができる。また、例えば、OS トランジスタを用いた記憶装置 (本明細書では、OS メモリと呼称する。) を適用することができる。特に、上述したコンフィギュレーションメモリとして、OS メモリを適用することによって、少ない素子数で低消費電力のニューラルネットワークを構成することができる。

[0182]

上述した乗算回路 MLT [1] 乃至乗算回路 MLT [s]、及び加算回路 AD をアナログ積和演算回路とすることで、積和演算回路を構成するトランジスタ数を低減することができる。なお、アナログ積和演算回路については、本実施の形態で後述する。

[0183]

<階層型のニューラルネットワークの回路の動作例>

次に、NN 回路 80 の動作の一例について、図 19 乃至図 21 を用いて説明する。

[0184]

なお、本動作例において、NN 回路 80 は、コンテキスト数を N とする。つまり、NN 回路 80 が有する複数のコンフィギュレーションメモリ CMS、コンフィギュレーションメモリ CMW [1] 乃至コンフィギュレーションメモリ CMW [s]、及びコンフィギュレーションメモリ CMF は、それぞれ N セットのコンフィギュレーションデータを有するものとする。

[0185]

また、本動作例で扱うニューラルネットワークは、入力層、第 1 中間層乃至第 N-1 中間層からなる階層型のニューラルネットワークとする。特に、第 N-1 中間層は、階層型のニューラルネットワークにおける出力層とする。

[0186]

また、図 19 乃至図 21 において、導通状態となっているスイッチ回路 SWC は、黒丸で図示し、非導通状態となっているスイッチ回路 SWC は、白丸で図示している。

[0187]

また、配線 Q [1] 乃至配線 Q [m]、配線 R [1] 乃至配線 R [m]、及びプログラマブルスイッチ P SW 1 乃至プログラマブルスイッチ P SW 3 の構成は、図 18 (A) (B) (C) のそれぞれの説

明を参酌する。

[0188]

初めに、コンテキスト1が選択される。コンテキスト1とは、入力層と第1中間層との間のネットワークに対応するコンフィギュレーションである。コンテキスト1における、NN回路80を図19に示す。

[0189]

このとき、プログラマブルロジックエレメントPLE[1]乃至プログラマブルロジックエレメントPLE[m]と、配線L[1]乃至配線L[l]と、の間が電氣的に接続されるように、プログラマブルスイッチPSW1乃至プログラマブルスイッチPSW3にコンフィギュレーションデータが設定される。また、プログラマブルロジックエレメントPLE[1]乃至プログラマブルロジックエレメントPLE[m]のそれぞれにおいて、入力層のニューロンの出力信号に対する第1中間層の各ニューロンの重み係数が設定されるように、プログラマブルロジックエレメントPLE[1]乃至プログラマブルロジックエレメントPLE[m]にコンフィギュレーションデータが設定される。

[0190]

入力層から第1中間層へ入力される信号は、入力端子PDL[1]乃至入力端子PDL[l]から入力される信号に相当する。入力端子PDL[i]から入力された信号は、配線L[i]を介して、配線Q[1]乃至配線Q[m]のそれぞれに送信される。そして、配線Q[j]に送られた該信号は、プログラマブルロジックエレメントPLE[j]の第1端子に入力される。

[0191]

プログラマブルロジックエレメントPLE[1]乃至プログラマブルロジックエレメントPLE[m]の第1端子に入力された複数の信号は、各プログラマブルロジックエレメントが有する積和演算回路及び活性化関数回路によって、演算処理が行われる。具体的には、複数の信号と、それぞれの信号に対応する重み係数との積和演算と、当該積和演算結果を入力情報とする活性化関数演算と、が行われる。なお、重み係数、及び活性化関数は、上述したとおり、コンテキスト1のコンフィギュレーションに基づく。

[0192]

当該活性化関数演算の出力結果は、図17に示す保持回路KCによって保持される。なお、保持回路KCへのデータ保持は、クロック信号CLKの電位が低レベル電位から高レベル電位になったときに行われるものとする。また、保持回路KCに保持しているデータの出力は、クロック信号CLKの電位が高レベル電位から低レベル電位になったときに行われるものとする。

[0193]

次に、コンテキスト2が選択される。コンテキスト2とは、第1中間層と第2中間層との間のネットワークに対応するコンフィギュレーションである。コンテキスト2における、NN回路80を図20に示す。

[0194]

このとき、プログラマブルロジックエレメントPLE[1]乃至プログラマブルロジックエレメントPLE[m]と、配線P[1]乃至配線P[m]と、の間が電氣的に接続されるように、プログラマブルスイッチPSW1乃至プログラマブルスイッチPSW3にコンフィギュレーションデータが設定される。また、プログラマブルロジックエレメントPLE[1]乃至プログラマブルロジックエレメントPLE[m]のそれぞれにおいて、第1中間層のニューロンの出力信号に対する第2中間層

の各ニューロンの重み係数が設定されるように、プログラマブルロジックエレメント P L E [ 1 ] 乃至プログラマブルロジックエレメント P L E [ m ] にコンフィギュレーションデータが設定される。

[ 0 1 9 5 ]

当該コンフィギュレーションにおいて、プログラマブルロジックエレメント P L E [ 1 ] 乃至プログラマブルロジックエレメント P L E [ m ] の第 2 端子から出力されるデータは、先に説明した保持回路 K C に格納されているデータ、すなわち、コンテキスト 1 における、活性化関数演算の結果となる。該結果は、保持回路 K C において、クロック信号 C L K が高レベル電位から低レベル電位になったときに、プログラマブルロジックエレメント P L E [ 1 ] 乃至プログラマブルロジックエレメント P L E [ m ] の第 2 端子から出力される。プログラマブルロジックエレメント P L E [ j ] の第 2 端子から出力された該結果は、配線 P [ j ] を介して、配線 Q [ 1 ] 乃至配線 Q [ m ] のそれぞれに送信される。そして、配線 Q [ j ] に送られた該信号は、プログラマブルロジックエレメント P L E [ j ] の第 1 端子に入力される。

[ 0 1 9 6 ]

つまり、第 1 中間層から第 2 中間層へ入力される信号は、プログラマブルロジックエレメント P L E [ 1 ] 乃至プログラマブルロジックエレメント P L E [ m ] の第 2 端子から出力される信号に相当する。

[ 0 1 9 7 ]

プログラマブルロジックエレメント P L E [ 1 ] 乃至プログラマブルロジックエレメント P L E [ m ] の第 1 端子に入力された複数の信号は、各プログラマブルロジックエレメントが有する積和演算回路及び活性化関数回路によって、演算処理が行われる。具体的には、複数の信号と、それぞれの信号に対応する重み係数との積和演算と、当該積和演算結果を入力情報とする活性化関数演算と、が行われる。なお、重み係数、及び活性化関数は、上述したとおり、コンテキスト 2 のコンフィギュレーションに基づく。

[ 0 1 9 8 ]

当該活性化関数演算の出力結果は、コンテキスト 1 の動作と同様に、図 1 7 に示す保持回路 K C によって保持される。

[ 0 1 9 9 ]

以降の N N 回路 8 0 の動作は、コンテキスト 2 と同様に行われる。例えば、コンテキスト g (ここでの g は 3 以上 N - 1 以下の整数) が選択された場合を考える。コンテキスト g は、第 g - 1 中間層と第 g 中間層との間のネットワークに対応するコンフィギュレーションとする。なお、コンテキスト g における N N 回路 8 0 の接続の状態は、図 2 0 の内容を参酌する。

[ 0 2 0 0 ]

このとき、プログラマブルロジックエレメント P L E [ 1 ] 乃至プログラマブルロジックエレメント P L E [ m ] と、配線 P [ 1 ] 乃至配線 P [ m ] と、の間が電氣的に接続されるように、プログラマブルスイッチ P S W 1 乃至プログラマブルスイッチ P S W 3 にコンフィギュレーションデータが設定される。また、プログラマブルロジックエレメント P L E [ 1 ] 乃至プログラマブルロジックエレメント P L E [ m ] のそれぞれにおいて、第 g - 1 中間層のニューロンの出力信号に対する第 g 中間層の各ニューロンの重み係数が設定されるように、プログラマブルロジックエレメント P L E [ 1 ] 乃至プログラマブルロジックエレメント P L E [ m ] にコンフィギュレーションデータが設定される。

[ 0 2 0 1 ]

当該コンフィギュレーションにおいて、プログラマブルロジックエレメント P L E [ 1 ] 乃至プログラマブルロジックエレメント P L E [ m ] の第 2 端子から出力されるデータは、先に説明した保持回路 K C に格納されているデータ、すなわち、コンテキスト g - 1 における、活性化関数演算の結果となる。該結果は、保持回路 K C において、クロック信号 C L K が高レベル電位から低レベル電位になったときに、プログラマブルロジックエレメント P L E [ 1 ] 乃至プログラマブルロジックエレメント P L E [ m ] の第 2 端子から出力される。プログラマブルロジックエレメント P L E [ j ] の第 2 端子から出力された該結果は、配線 P [ j ] を介して、配線 Q [ 1 ] 乃至配線 Q [ m ] のそれぞれに送信される。そして、配線 Q [ j ] に送られた該信号は、プログラマブルロジックエレメント P L E [ j ] の第 1 端子に入力される。

[ 0 2 0 2 ]

つまり、第 g - 1 中間層から第 g 中間層へ入力される信号は、プログラマブルロジックエレメント P L E [ 1 ] 乃至プログラマブルロジックエレメント P L E [ m ] の第 2 端子から出力される信号に相当する。

[ 0 2 0 3 ]

プログラマブルロジックエレメント P L E [ 1 ] 乃至プログラマブルロジックエレメント P L E [ m ] の第 1 端子に入力された複数の信号は、各プログラマブルロジックエレメントが有する積和演算回路及び活性化関数回路によって、演算処理が行われる。具体的には、複数の信号と、それぞれの信号に対応する重み係数との積和演算と、当該積和演算結果を入力情報とする活性化関数演算と、が行われる。なお、重み係数、及び活性化関数は、上述したとおり、コンテキスト g のコンフィギュレーションに基づく。

[ 0 2 0 4 ]

当該活性化関数演算の出力結果は、コンテキスト 1、コンテキスト 2 の動作と同様に、図 1 7 に示す保持回路 K C によって保持される。

[ 0 2 0 5 ]

最後に、コンテキスト N が選択される。コンテキスト N とは、第 N - 1 中間層（出力層）と、出力端子 P D R [ 1 ] 乃至出力端子 P D R [ n ] との間の接続に対応するコンフィギュレーションである。コンテキスト N における N N 回路 8 0 を図 2 1 に示す。

[ 0 2 0 6 ]

このとき、プログラマブルロジックエレメント P L E [ 1 ] 乃至プログラマブルロジックエレメント P L E [ m ] と、配線 R [ 1 ] 乃至配線 R [ m ] と、の間が電氣的に接続されるように、プログラマブルスイッチ P S W 1 乃至プログラマブルスイッチ P S W 3 にコンフィギュレーションデータが設定される。

[ 0 2 0 7 ]

当該コンフィギュレーションにおいて、プログラマブルロジックエレメント P L E [ 1 ] 乃至プログラマブルロジックエレメント P L E [ m ] の第 2 端子から出力されるデータは、先に説明した保持回路 K C に格納されているデータ、すなわち、コンテキスト N - 1 における、活性化関数演算の結果となる。該結果は、保持回路 K C において、クロック信号 C L K が高レベル電位から低レベル電位になったときに、プログラマブルロジックエレメント P L E [ 1 ] 乃至プログラマブルロジックエレメント P L E [ m ] の第 2 端子から出力される。プログラマブルロジックエレメント P L E [ 1 ] 乃至プログラマブルロジックエレメント P L E [ m ] のそれぞれの第 2 端子から出力された該結果は、配

線R [1] 乃至配線R [m] のそれぞれを介して、出力端子PDR [1] 乃至出力端子PDR [n] のそれぞれに送信される。但し、出力端子PDR [n] は、出力端子PDR [m] としている。

[0208]

つまり、第N-1中間層(出力層)から出力される階層型のニューラルネットワークの出力結果は、プログラマブルロジックエレメントPLE[1]乃至プログラマブルロジックエレメントPLE[m]の第2端子から出力される信号に相当する。

[0209]

なお、入力層、第1中間層乃至第N-1中間層、のそれぞれの層において、各層のニューロンとして使用されないプログラマブルロジックエレメントは、上述したパワーゲーティングを行うことによって、消費電力を低減することができる。

[0210]

また、図17の演算処理回路90では、学習によって重み係数を更新することが可能である。この場合、所望のニューラルネットワーク構成となる各コンテキストに対応したコンフィギュレーションデータを生成し、対応するコンテキストの重み係数のコンフィギュレーションデータのみを繰り返し変更する構成が有効である。なお、重み係数の更新は、対応する演算処理を実行する専用の回路を実装することによって可能である。

[0211]

また、図17の演算処理回路90において、サーバで対応する演算処理を実行する構成が可能である。例えば、ニューラルネットワークの階層構成の検討及び学習は、サーバで行い、学習によって得られた、最適化された階層構造及び重み係数に対応する各コンテキストのコンフィギュレーションデータを生成し、当該コンフィギュレーションデータをサーバ以外の電子機器が有する演算処理回路90に送信して、当該電子機器において、図17の演算処理回路90を各コンテキストに切り替えながら、推論(認知)を実行するニューラルネットワークとする構成が可能である。

[0212]

上述したNN回路80を構成することによって、学習及び推論に利用することができるニューラルネットワークの演算処理回路を実現することができる。また、素子数の削減、配線数の削減によって回路面積が低減されたマルチコンテキスト方式のプログラマブルなニューラルネットワークを提供することができる。

[0213]

ここで、NN回路80を、実施の形態1で説明したNN回路40のエンコーダAIE及びデコーダAIDのそれぞれに適用する場合を考える。図22に示すNN回路40は、エンコーダAIEにNN回路80としてNN回路80Aを適用し、デコーダAIDにNN回路80としてNN回路80Bを適用した構成例を示している。図22において、NN回路80AとNN回路80Bは電氣的に接続されている。なお、図22では、NN回路40の他に、回路22aと、GPU31も図示している。

[0214]

ところで、NN回路40は、図2に示す通り、エンコーダAIEの中間層ML2と、デコーダAIDの中間層ML3と、を電氣的に接続する配線の数が少なくなるように、構成されている。すなわち、エンコーダAIEは、中間層ML2が有するニューロンの数が少なくなるようにし、デコーダAIDは、中間層ML3が有するニューロンの数が少なくなるように構成すればよい。

[0215]

そこで、NN回路80Aは、入力端子PDL[1]乃至入力端子PDL[L]（ここでのLは1以上の整数である。）と、出力端子PDR[1]乃至出力端子PDR[N]（ここでのNは1以上L未満の整数である。）と、を有し、NN回路80Bは、入力端子PDL[1]乃至入力端子PDL[N]と、出力端子PDR[1]乃至出力端子PDR[L]と、を有する構成とする。また、図22において、NN回路80A及びNN回路80Bのそれぞれが有する複数のプログラマブルロジックエレメントPLEは、プログラマブルロジックエレメント部PLES1、プログラマブルロジックエレメント部PLES2と記載している。

[0216]

図22に図示した通り、エンコーダAIEと、デコーダAIDと、のそれぞれにNN回路80を適用することにより、NN回路40を構成することができる。これにより、回路22aから送られてきた画像データを、NN回路80Aによって、特徴抽出された画像データに変換することができる。加えて、特徴抽出された画像データを、NN回路80Bによって、元の画像データに復元することができる。復元した画像データをGPU31に送ることができる。

[0217]

なお、図22において、NN回路80Aの入力端子PDLと、NN回路80Bの出力端子PDRと、のそれぞれの個数を同じとして記載しているが、状況に応じて、NN回路80Aの入力端子PDLと、NN回路80Bの出力端子PDRと、をそれぞれ異なる個数としてもよい。

[0218]

<積和演算回路の構成例>

次に、上述のNN回路80において、積和演算を行う回路の一例について説明する。

[0219]

図23は、積和演算回路MACの構成例を示している。図23に示す積和演算回路MACは、後述するメモリセルに保持された第1データと、入力された第2データと、の積和演算を行う回路である。なお、第1データ、及び第2データは、アナログデータ、又は多値のデータ（離散的なデータ）とすることができる。

[0220]

積和演算回路MACは、電流源回路CSと、カレントミラー回路CMと、回路WDDと、回路WLDと、回路CLDと、オフセット回路OFSTと、活性化関数回路ACTVと、メモリセルアレイCAを有する。

[0221]

メモリセルアレイCAは、メモリセルAM[1]と、メモリセルAM[2]と、メモリセルAMref[1]と、メモリセルAMref[2]と、を有する。メモリセルAM[1]、及びメモリセルAM[2]は、第1データを保持する役割を有し、メモリセルAMref[1]、及びメモリセルAMref[2]は、積和演算を行うために必要になる参照データを保持する機能を有する。なお、参照データも、第1データ、及び第2データと同様に、アナログデータ、又は多値のデータ（離散的なデータ）とすることができる。

[0222]

なお、図23のメモリセルアレイCAは、メモリセルが行方向に2個、列方向に2個、マトリクス状に配置されているが、メモリセルアレイCAは、メモリセルが行方向に3個以上、列方向に3個以上、マトリクス状に配置されている構成としてもよい。また、積和演算でなく乗算を行う場合、メモ

リセルアレイCAは、メモリセルが行方向に1個、列方向に2個以上、マトリクス状に配置されている構成としてもよい。

[0223]

メモリセルAM[1]と、メモリセルAM[2]と、メモリセルAMref[1]と、メモリセルAMref[2]と、は、それぞれトランジスタTr11と、トランジスタTr12と、容量素子C1と、を有する。

[0224]

なお、トランジスタTr11は、OSトランジスタであることが好ましい。加えて、トランジスタTr11のチャネル形成領域は、インジウム、元素M（元素Mとしては、アルミニウム、ガリウム、イットリウム、スズなどが挙げられる。）、亜鉛の少なくとも一を含む酸化物であることがより好ましい。トランジスタTr11は、特に実施の形態5に記載するトランジスタの構造であることが更に好ましい。

[0225]

トランジスタTr11として、OSトランジスタを用いることにより、トランジスタTr11のリーク電流を抑えることができるため、計算精度の高い積和演算回路を実現できる場合がある。また、トランジスタTr11として、OSトランジスタを用いることにより、トランジスタTr11が非導通状態における、保持ノードから書き込みワード線へのリーク電流を非常に小さくすることができる。つまり、保持ノードの電位のリフレッシュ動作を少なくすることができるため、積和演算回路の消費電力を低減することができる。

[0226]

また、トランジスタTr12に対しても、OSトランジスタを用いることで、トランジスタTr11と同時に作製することができるため、積和演算回路の作製工程を短縮することができる場合がある。また、トランジスタTr12のチャネル形成領域を、酸化物でなく、非晶質シリコン、多結晶シリコンなどとしてもよい。

[0227]

メモリセルAM[1]と、メモリセルAM[2]と、メモリセルAMref[1]と、メモリセルAMref[2]と、のそれぞれにおいて、トランジスタTr11の第1端子は、トランジスタTr12のゲートと電氣的に接続されている。トランジスタTr12の第1端子は、配線VRと電氣的に接続されている。容量素子C1の第1端子は、トランジスタTr12のゲートと電氣的に接続されている。

[0228]

メモリセルAM[1]において、トランジスタTr11の第2端子は、配線WDと電氣的に接続され、トランジスタTr11のゲートは、配線WL[1]と電氣的に接続されている。トランジスタTr12の第2端子は、配線BLと電氣的に接続され、容量素子C1の第2端子は、配線CL[1]と電氣的に接続されている。なお、図23では、メモリセルAM[1]において、トランジスタTr11の第1端子と、トランジスタTr12のゲートと、容量素子C1の第1端子と、の接続箇所をノードNM[1]としている。加えて、配線BLからトランジスタTr12の第2端子に流れる電流をI<sub>AM[1]</sub>とする。

[0229]

メモリセルAM[2]において、トランジスタTr11の第2端子は、配線WDと電氣的に接続さ

れ、トランジスタ  $T_{r11}$  のゲートは、配線  $WL[2]$  と電氣的に接続されている。トランジスタ  $T_{r12}$  の第2端子は、配線  $BL$  と電氣的に接続され、容量素子  $C1$  の第2端子は、配線  $CL[2]$  と電氣的に接続されている。なお、図23では、メモリセル  $AM[2]$  において、トランジスタ  $T_{r11}$  の第1端子と、トランジスタ  $T_{r12}$  のゲートと、容量素子  $C1$  の第1端子と、の接続箇所をノード  $NM[2]$  としている。加えて、配線  $BL$  からトランジスタ  $T_{r12}$  の第2端子に流れる電流を  $I_{AM[2]}$  とする。

[0230]

メモリセル  $AM_{ref}[1]$  において、トランジスタ  $T_{r11}$  の第2端子は、配線  $W_{Dref}$  と電氣的に接続され、トランジスタ  $T_{r11}$  のゲートは、配線  $WL[1]$  と電氣的に接続されている。トランジスタ  $T_{r12}$  の第2端子は、配線  $BL_{ref}$  と電氣的に接続され、容量素子  $C1$  の第2端子は、配線  $CL[1]$  と電氣的に接続されている。なお、図23では、メモリセル  $AM_{ref}[1]$  において、トランジスタ  $T_{r11}$  の第1端子と、トランジスタ  $T_{r12}$  のゲートと、容量素子  $C1$  の第1端子と、の接続箇所をノード  $NM_{ref}[1]$  としている。加えて、配線  $BL_{ref}$  からトランジスタ  $T_{r12}$  の第2端子に流れる電流を  $I_{AM_{ref}[1]}$  とする。

[0231]

メモリセル  $AM_{ref}[2]$  において、トランジスタ  $T_{r11}$  の第2端子は、配線  $W_{Dref}$  と電氣的に接続され、トランジスタ  $T_{r11}$  のゲートは、配線  $WL[2]$  と電氣的に接続されている。トランジスタ  $T_{r12}$  の第2端子は、配線  $BL_{ref}$  と電氣的に接続され、容量素子  $C1$  の第2端子は、配線  $CL[2]$  と電氣的に接続されている。なお、図23では、メモリセル  $AM_{ref}[2]$  において、トランジスタ  $T_{r11}$  の第1端子と、トランジスタ  $T_{r12}$  のゲートと、容量素子  $C1$  の第1端子と、の接続箇所をノード  $NM_{ref}[2]$  としている。加えて、配線  $BL_{ref}$  からトランジスタ  $T_{r12}$  の第2端子に流れる電流を  $I_{AM_{ref}[2]}$  とする。

[0232]

上述したノード  $NM[1]$ 、ノード  $NM[2]$ 、ノード  $NM_{ref}[1]$ 、及びノード  $NM_{ref}[2]$  は、それぞれのメモリセルの保持ノードとして機能する。

[0233]

配線  $VR$  は、メモリセル  $AM[1]$ 、メモリセル  $AM[2]$ 、メモリセル  $AM_{ref}[1]$ 、及びメモリセル  $AM_{ref}[2]$  のそれぞれのトランジスタ  $T_{r12}$  の第1端子 - 第2端子間に電流を流すための配線である。そのため、配線  $VR$  は、所定の電位を与えるための配線として機能する。なお、本実施の形態では、配線  $VR$  が与える電位は、基準電位、又は基準電位よりも低い電位とすることができる。

[0234]

電流源回路  $CS$  は、配線  $BL$  と、配線  $BL_{ref}$  と、に電氣的に接続されている。電流源回路  $CS$  は、配線  $BL$  及び配線  $BL_{ref}$  に対して電流を供給する機能を有する。なお、配線  $BL$ 、配線  $BL_{ref}$  のそれぞれに対して供給する電流量は、互いに異なってもよい。本構成例では、電流源回路  $CS$  から配線  $BL$  に流れる電流を  $I_c$  とし、電流源回路  $CS$  から配線  $BL_{ref}$  に流れる電流を  $I_{c_{ref}}$  とする。

[0235]

カレントミラー回路  $CM$  は、配線  $IL$  と、配線  $IL_{ref}$  と、を有する。配線  $IL$  は、配線  $BL$  と電氣的に接続され、図23では、配線  $IL$  と配線  $BL$  の接続箇所をノード  $NP$  として図示している。

配線  $I_{Lref}$  は、配線  $B_{Lref}$  と電氣的に接続され、図 23 では、配線  $I_{Lref}$  と配線  $B_{Lref}$  の接続箇所をノード  $N_{Pref}$  としている。カレントミラー回路  $CM$  は、ノード  $N_{Pref}$  の電位に応じた電流を、配線  $B_{Lref}$  のノード  $N_{Pref}$  から配線  $I_{Lref}$  に排出し、且つ当該電流と同じ量の電流を配線  $BL$  のノード  $NP$  から配線  $IL$  に排出する機能を有する。なお、図 23 では、ノード  $NP$  から配線  $IL$  に排出する電流、及びノード  $N_{Pref}$  から配線  $I_{Lref}$  に排出する電流を  $I_{CM}$  と記している。加えて、配線  $BL$  において、カレントミラー回路  $CM$  からメモリセルアレイ  $CA$  に流れる電流を  $I_B$  と記し、配線  $B_{Lref}$  において、カレントミラー回路  $CM$  からメモリセルアレイ  $CA$  に流れる電流を  $I_{Bref}$  と記す。

[0236]

回路  $WDD$  は、配線  $WD$  と、配線  $W_{Dref}$  と、に電氣的に接続されている。回路  $WDD$  は、メモリセルアレイ  $CA$  が有するそれぞれのメモリセルに格納するためのデータを送信する機能を有する。

[0237]

回路  $WLD$  は、配線  $WL[1]$  と、配線  $WL[2]$  と、に電氣的に接続されている。回路  $WLD$  は、メモリセルアレイ  $CA$  が有するメモリセルにデータを書き込む際に、データの書き込み先となるメモリセルを選択する機能を有する。

[0238]

回路  $CLD$  は、配線  $CL[1]$  と、配線  $CL[2]$  と、に電氣的に接続されている。回路  $CLD$  は、メモリセルアレイ  $CA$  が有するそれぞれのメモリセルの容量素子  $C1$  の第 2 端子に対して、電位を印加する機能を有する。

[0239]

回路  $OFS$  T は、配線  $BL$  と、配線  $OL$  と、に電氣的に接続されている。回路  $OFS$  T は、配線  $BL$  から回路  $OFS$  T に流れる電流量、及び／又は配線  $BL$  から回路  $OFS$  T に流れる電流の変化量を計測する機能を有する。加えて、回路  $OFS$  T は、当該計測の結果を配線  $OL$  に出力する機能を有する。なお、回路  $OFS$  T は、当該計測の結果をそのまま電流として配線  $OL$  に出力する構成としてもよいし、当該計測の結果を電圧に変換して、配線  $OL$  に出力する構成としてもよい。なお、図 23 では、配線  $BL$  から回路  $OFS$  T に流れる電流を  $I_a$  と記している。

[0240]

例えば、回路  $OFS$  T は、図 24 に示す構成とすることができる。図 24 において、回路  $OFS$  T は、トランジスタ  $Tr21$  と、トランジスタ  $Tr22$  と、トランジスタ  $Tr23$  と、容量素子  $C2$  と、抵抗素子  $R1$  と、を有する。

[0241]

容量素子  $C2$  の第 1 端子は、配線  $BL$  と電氣的に接続され、抵抗素子  $R1$  の第 1 端子は、配線  $BL$  と電氣的に接続されている。容量素子  $C2$  の第 2 端子は、トランジスタ  $Tr21$  の第 1 端子と電氣的に接続され、トランジスタ  $Tr21$  の第 1 端子は、トランジスタ  $Tr22$  のゲートと電氣的に接続されている。トランジスタ  $Tr22$  の第 1 端子は、トランジスタ  $Tr23$  の第 1 端子と電氣的に接続され、トランジスタ  $Tr23$  の第 1 端子は、配線  $OL$  と電氣的に接続されている。なお、容量素子  $C2$  の第 1 端子と、抵抗素子  $R1$  の第 1 端子と、の電氣的接続点をノード  $Na$  とし、容量素子  $C2$  の第 2 端子と、トランジスタ  $Tr21$  の第 1 端子と、トランジスタ  $Tr22$  のゲートと、の電氣的接続点をノード  $Nb$  とする。

[0242]

抵抗素子 $R_1$ の第2端子は、配線 $V_{refL}$ と電氣的に接続されている。トランジスタ $T_{r21}$ の第2端子は、配線 $V_{aL}$ と電氣的に接続され、トランジスタ $T_{r21}$ のゲートは、配線 $RST$ と電氣的に接続されている。トランジスタ $T_{r22}$ の第2端子は、配線 $VDDL$ と電氣的に接続されている。トランジスタ $T_{r23}$ の第2端子は、配線 $VSSL$ と電氣的に接続され、トランジスタ $T_{r23}$ のゲートは、配線 $VbL$ と電氣的に接続されている。

[0243]

配線 $V_{refL}$ は、電位 $V_{ref}$ を与える配線であり、配線 $V_{aL}$ は、電位 $V_a$ を与える配線であり、配線 $VbL$ は、電位 $V_b$ を与える配線である。配線 $VDDL$ は、電位 $VDD$ を与える配線であり、配線 $VSSL$ は、電位 $VSS$ を与える配線である。特に、ここでの回路 $OFST$ の構成例では、電位 $VDD$ を高レベル電位とし、電位 $VSS$ を低レベル電位としている。配線 $RST$ は、トランジスタ $T_{r21}$ の導通状態、非導通状態を切り替えるための電位を与える配線である。

[0244]

図24に示す回路 $OFST$ より、トランジスタ $T_{r22}$ と、トランジスタ $T_{r23}$ と、配線 $VDDL$ と、配線 $VSSL$ と、配線 $VbL$ と、によって、ソースフォロワ回路が構成されている。

[0245]

図24に示す回路 $OFST$ より、抵抗素子 $R_1$ と、配線 $V_{refL}$ と、によって、ノード $N_a$ には、配線 $BL$ から流れてくる電流、及び抵抗素子 $R_1$ の抵抗に応じた電位が与えられる。

[0246]

図24に示す回路 $OFST$ の動作例について説明する。配線 $BL$ から1回目の電流（以後、第1電流と呼称する。）が流れたとき、抵抗素子 $R_1$ と、配線 $V_{refL}$ と、により、ノード $N_a$ に第1電流と抵抗素子 $R_1$ の抵抗とに応じた電位が与えられる。また、このとき、トランジスタ $T_{r21}$ を導通状態として、ノード $N_b$ に電位 $V_a$ を与える。その後、トランジスタ $T_{r21}$ を非導通状態とする。

[0247]

次に、配線 $BL$ から2回目の電流（以後、第2電流と呼称する。）が流れたとき、第1電流が流れたときと同様に、抵抗素子 $R_1$ と、配線 $V_{refL}$ と、により、ノード $N_a$ に第2電流と抵抗素子 $R_1$ の抵抗とに応じた電位が与えられる。このとき、ノード $N_b$ はフローティング状態となっているので、ノード $N_a$ の電位が変化することで、容量結合によって、ノード $N_b$ の電位も変化する。ノード $N_a$ の電位の変化を $\Delta V_{Na}$ とし、容量結合係数を1としたとき、ノード $N_b$ の電位は $V_a + \Delta V_{Na}$ となる。トランジスタ $T_{r22}$ のしきい値電圧を $V_{th}$ としたとき、配線 $OL$ から電位 $V_a + \Delta V_{Na} - V_{th}$ が出力される。ここで、電位 $V_a$ をしきい値電圧 $V_{th}$ とすることで、配線 $OL$ から電位 $\Delta V_{Na}$ を出力することができる。

[0248]

電位 $\Delta V_{Na}$ は、第1電流から第2電流への変化量と、抵抗素子 $R_1$ と、電位 $V_{ref}$ と、に応じて定まる。抵抗素子 $R_1$ と、電位 $V_{ref}$ と、は既知とすることができるため、図24に示す回路 $OFST$ を用いることにより、電位 $\Delta V_{Na}$ から、配線 $BL$ に流れる電流の変化量を求めることができる。

[0249]

活性化関数回路 $ACTV$ は、配線 $OL$ と、配線 $NIL$ と、に電氣的に接続されている。活性化関数回路 $ACTV$ には、配線 $OL$ を介して、回路 $OFST$ で計測した電流の変化量の結果が入力される。活性化関数回路 $ACTV$ は、当該結果に対して、あらかじめ定義された関数系に従った演算を行う回

路である。当該関数系としては、例えば、シグモイド関数、 $\tanh$ 関数、 $\text{softmax}$ 関数、ReLU関数、しきい値関数などを用いることができ、これらの関数は、ニューラルネットワークにおける活性化関数として適用される。なお、活性化関数回路ACTVは、前述した活性化関数回路FCとすることができる。

[0250]

<積和演算回路の動作例>

次に、積和演算回路MACの動作例について説明する。

[0251]

図25に積和演算回路MACの動作例のタイミングチャートを示す。図25のタイミングチャートは、時刻T01乃至時刻T09における、配線WL[1]、配線WL[2]、配線WD、配線WDref、ノードNM[1]、ノードNM[2]、ノードNMref[1]、ノードNMref[2]、配線CL[1]、及び配線CL[2]の電位の変動を示し、電流 $I_B - I_\alpha$ 、及び電流 $I_{Bref}$ の大きさの変動を示している。特に、電流 $I_B - I_\alpha$ は、配線BLから、メモリセルアレイCAのメモリセルAM[1]、メモリセルAM[2]に流れる電流の総和を示している。

[0252]

<<時刻T01から時刻T02まで>>

時刻T01から時刻T02までの間において、配線WL[1]に高レベル電位（図25ではHighと表記している。）が印加され、配線WL[2]に低レベル電位（図25ではLowと表記している。）が印加されている。加えて、配線WDには接地電位（図25ではGNDと表記している。）よりも $V_{PR} - V_{W[1]}$ 大きい電位が印加され、配線WDrefには接地電位よりも $V_{PR}$ 大きい電位が印加されている。更に、配線CL[1]、及び配線CL[2]にはそれぞれ基準電位（図25ではREFPと表記している。）が印加されている。

[0253]

なお、電位 $V_{W[1]}$ は、第1データの一に対応する電位である。また、電位 $V_{PR}$ は、参照データに対応する電位である。

[0254]

このとき、メモリセルAM[1]、及びメモリセルAMref[1]のそれぞれのトランジスタTr11のゲートに高レベル電位が印加されるため、メモリセルAM[1]、及びメモリセルAMref[1]のそれぞれのトランジスタTr11は、導通状態となる。そのため、メモリセルAM[1]において、配線WDとノードNM[1]とが電氣的に接続されるため、ノードNM[1]の電位は、 $V_{PR} - V_{W[1]}$ となる。同様に、メモリセルAMref[1]において、配線WDrefとノードNMref[1]とが電氣的に接続されるため、ノードNMref[1]の電位は、 $V_{PR}$ となる。

[0255]

ここで、メモリセルAM[1]、及びメモリセルAMref[1]のそれぞれのトランジスタTr12の第2端子から第1端子に流れる電流を考える。配線BLからメモリセルAM[1]のトランジスタTr12の第2端子を介して第1端子に流れる電流を $I_{AM[1],0}$ としたとき、 $I_{AM[1],0}$ は次の式で表すことができる。

[0256]

[数9]

$$I_{AM[1],0} = k(V_{PR} - V_{W[1]} - V_{th})^2 \quad (E1)$$

[0257]

kは、トランジスタTr12のチャネル長、チャネル幅、移動度、及びゲート絶縁膜の容量などで決まる定数である。また、 $V_{th}$ は、トランジスタTr12のしきい値電圧である。

[0258]

配線BLrefからメモリセルAMref[1]のトランジスタTr12の第2端子を介して第1端子に流れる電流を $I_{AMref[1],0}$ としたとき、同様に、 $I_{AMref[1],0}$ は次の式で表すことができる。

[0259]

[数10]

$$I_{AMref[1],0} = k(V_{PR} - V_{th})^2 \quad (E2)$$

[0260]

なお、メモリセルAM[2]、及びメモリセルAMref[2]のそれぞれのトランジスタTr11のゲートに低レベル電位が印加されるため、メモリセルAM[2]、及びメモリセルAMref[2]のそれぞれのトランジスタTr11は、非導通状態となる。このため、ノードNM[2]、及びノードNMref[2]への電位の書き込みは行われない。

[0261]

<<時刻T02から時刻T03まで>>

時刻T02から時刻T03までの間において、配線WL[1]に低レベル電位が印加される。このとき、メモリセルAM[1]、及びメモリセルAMref[1]のそれぞれのトランジスタTr11のゲートに低レベル電位が印加されるため、メモリセルAM[1]、及びメモリセルAMref[1]のそれぞれのトランジスタTr11は非導通状態となる。

[0262]

また、配線WL[2]には、時刻T02以前から引き続き、低レベル電位が印加されている。このため、メモリセルAM[2]、及びメモリセルAMref[2]のそれぞれのトランジスタTr11は、時刻T02以前から引き続き非導通状態となっている。

[0263]

上述のとおり、メモリセルAM[1]、メモリセルAM[2]、メモリセルAMref[1]、及びメモリセルAMref[2]のそれぞれのトランジスタTr11は非導通状態となっているため、時刻T02から時刻T03までの間では、ノードNM[1]、ノードNM[2]、ノードNMref[1]、及びノードNMref[2]のそれぞれの電位が保持される。

[0264]

特に、積和演算回路MACの回路構成の説明で述べたとおり、メモリセルAM[1]、メモリセルAM[2]、メモリセルAMref[1]、及びメモリセルAMref[2]のそれぞれのトランジスタTr11にOSトランジスタを適用することによって、トランジスタTr11の第1端子-第2端子間に流れるリーク電流を小さくすることができるため、ノードNM[1]、ノードNM[2]、ノードNMref[1]、及びノードNMref[2]のそれぞれの電位を長時間保持することができる。

[0265]

時刻T 0 2から時刻T 0 3までの間において、配線WD、及び配線WD r e fには接地電位が印加されている。メモリセルAM [ 1]、メモリセルAM [ 2]、メモリセルAM r e f [ 1]、及びメモリセルAM r e f [ 2]のそれぞれのトランジスタT r 1 1は、非導通状態となっているため、配線WD、及び配線WD r e fからの電位の印加によって、ノードNM [ 1]、ノードNM [ 2]、ノードNM r e f [ 1]、及びノードNM r e f [ 2]のそれぞれに保持されている電位が書き換えられることは無い。

[ 0 2 6 6 ]

<<時刻T 0 3から時刻T 0 4まで>>

時刻T 0 3から時刻T 0 4までの間において、配線WL [ 1]に低レベル電位が印加され、配線WL [ 2]に高レベル電位が印加されている。加えて、配線WDには接地電位よりも $V_{PR} - V_{W[2]}$ 大きい電位が印加され、配線WD r e fには接地電位よりも $V_{PR}$ 大きい電位が印加されている。更に、時刻T 0 2以前から引き続き、配線CL [ 1]、及び配線CL [ 2]には、それぞれ基準電位が印加されている。

[ 0 2 6 7 ]

なお、電位 $V_{W[2]}$ は、第1データの一に対応する電位である。

[ 0 2 6 8 ]

このとき、メモリセルAM [ 2]、及びメモリセルAM r e f [ 2]のそれぞれのトランジスタT r 1 1のゲートに高レベル電位が印加されるため、メモリセルAM [ 2]、及びメモリセルAM r e f [ 2]のそれぞれのトランジスタT r 1 1は、導通状態となる。そのため、メモリセルAM [ 2]において、配線WDとノードNM [ 2]とが電氣的に接続されるため、ノードNM [ 2]の電位は、 $V_{PR} - V_{W[2]}$ となる。同様に、メモリセルAM r e f [ 2]において、配線WD r e fとノードNM r e f [ 2]とが電氣的に接続されるため、ノードNM r e f [ 2]の電位は、 $V_{PR}$ となる。

[ 0 2 6 9 ]

ここで、メモリセルAM [ 2]、及びメモリセルAM r e f [ 2]のそれぞれのトランジスタT r 1 2の第2端子から第1端子に流れる電流を考える。配線BLからメモリセルAM [ 2]のトランジスタT r 1 2の第2端子を介して第1端子に流れる電流を $I_{AM[2],0}$ としたとき、 $I_{AM[2],0}$ は次の式で表すことができる。

[ 0 2 7 0 ]

[数11]

$$I_{AM[2],0} = k(V_{PR} - V_{W[2]} - V_{th})^2 \quad (E3)$$

[ 0 2 7 1 ]

配線BL r e fからメモリセルAM r e f [ 2]のトランジスタT r 1 2の第2端子を介して第1端子に流れる電流を $I_{AMref[2],0}$ としたとき、同様に、 $I_{AMref[2],0}$ は次の式で表すことができる。

[ 0 2 7 2 ]

[数12]

$$I_{AMref[2],0} = k(V_{PR} - V_{th})^2 \quad (E4)$$

[ 0 2 7 3 ]

<<時刻T 0 4から時刻T 0 5まで>>

ここで、時刻T 0 4から時刻T 0 5までの間における、配線B L及び配線B L r e fに流れる電流について説明する。

[0 2 7 4]

配線B L r e fには、電流源回路C Sからの電流が供給される。加えて、配線B L r e fには、カレントミラー回路C M、メモリセルA M r e f [1]、及びメモリセルA M r e f [2]によって電流が排出される。配線B L r e fにおいて、電流源回路C Sから供給される電流を $I_{C r e f}$ とし、カレントミラー回路C Mによって排出される電流を $I_{C M, 0}$ としたとき、キルヒホッフの法則により次の式が成り立つ。

[0 2 7 5]

[数1 3]

$$I_{C r e f} - I_{C M, 0} = I_{A M r e f [1] 0} + I_{A M r e f [2] 0} \quad (E5)$$

[0 2 7 6]

配線B Lには、電流源回路C Sからの電流が供給される。加えて、配線B Lには、カレントミラー回路C M、メモリセルA M [1]、メモリセルA M [2]によって電流が排出される。さらに、配線B Lから回路O F S Tにも電流が流れる。配線B Lにおいて、電流源回路C Sから供給される電流を $I_C$ とし、配線B Lから回路O F S Tに流れる電流を $I_{\alpha, 0}$ としたとき、キルヒホッフの法則により次の式が成り立つ。

[0 2 7 7]

[数1 4]

$$I_C - I_{C M, 0} = I_{A M [1] 0} + I_{A M [2] 0} + I_{\alpha, 0} \quad (E6)$$

[0 2 7 8]

<<時刻T 0 5から時刻T 0 6まで>>

時刻T 0 5から時刻T 0 6までの間において、配線C L [1]に基準電位よりも $V_{x [1]}$ 高い電位が印加される。このとき、メモリセルA M [1]、及びメモリセルA M r e f [1]のそれぞれの容量素子C 1の第2端子に、電位 $V_{x [1]}$ が印加されるため、トランジスタT r 1 2のゲートの電位が上昇する。

[0 2 7 9]

なお、電位 $V_{x [1]}$ は、第2データの一に対応する電位である。

[0 2 8 0]

なお、トランジスタT r 1 2のゲートの電位の増加分は、配線C L [1]の電位変化に、メモリセルの構成によって決まる容量結合係数を乗じた電位となる。該容量結合係数は、容量素子C 1の容量、トランジスタT r 1 2のゲート容量、寄生容量などによって算出される。本動作例では、説明の煩雑さを避けるため、配線C L [1]の電位の増加分もトランジスタT r 1 2のゲートの電位の増加分も同じ値として説明する。これは、メモリセルA M [1]、及びメモリセルA M r e f [1]におけるそれぞれの容量結合係数を1としていることに相当する。

[0 2 8 1]

容量結合係数を1としているため、メモリセルA M [1]、及びメモリセルA M r e f [1]のそ

れぞれの容量素子C 1の第2端子に、電位 $V_{X[1]}$ が印加されることによって、ノードNM[1]、及びノードNMref[1]の電位は、それぞれ $V_{X[1]}$ 上昇する。

[0282]

ここで、メモリセルAM[1]、及びメモリセルAMref[1]のそれぞれのトランジスタTr12の第2端子から第1端子に流れる電流を考える。配線BLからメモリセルAM[1]のトランジスタTr12の第2端子を介して第1端子に流れる電流を $I_{AM[1],1}$ としたとき、 $I_{AM[1],1}$ は次の式で表すことができる。

[0283]

[数15]

$$I_{AM[1],1} = k(V_{PR} - V_{W[1]} + V_{X[1]} - V_{th})^2 \quad (E7)$$

[0284]

つまり、配線CL[1]に電位 $V_{X[1]}$ を印加することによって、配線BLからメモリセルAM[1]のトランジスタTr12の第2端子を介して第1端子に流れる電流は、 $I_{AM[1],1} - I_{AM[1],0}$ （図25では、 $\Delta I_{AM[1]}$ と表記する。）増加する。

[0285]

同様に、配線BLrefからメモリセルAMref[1]のトランジスタTr12の第2端子を介して第1端子に流れる電流を $I_{AMref[1],1}$ としたとき、 $I_{AMref[1],1}$ は次の式で表すことができる。

[0286]

[数16]

$$I_{AMref[1],1} = k(V_{PR} + V_{X[1]} - V_{th})^2 \quad (E8)$$

[0287]

つまり、配線CL[1]に電位 $V_{X[1]}$ を印加することによって、配線BLrefからメモリセルAMref[1]のトランジスタTr12の第2端子を介して第1端子に流れる電流は、 $I_{AMref[1],1} - I_{AMref[1],0}$ （図25では、 $\Delta I_{AMref[1]}$ と表記する。）増加する。

[0288]

ここで、配線BL及び配線BLrefに流れる電流について説明する。

[0289]

配線BLrefには、時刻T04から時刻T05までの間と同様に、電流源回路CSからの電流 $I_{Cref}$ が供給される。同時に、配線BLrefには、カレントミラー回路CM、メモリセルAMref[1]、及びメモリセルAMref[2]によって電流が排出される。配線BLrefにおいて、カレントミラー回路CMによって排出される電流を $I_{CM,1}$ としたとき、キルヒホッフの法則により次の式が成り立つ。

[0290]

[数17]

$$I_{Cref} - I_{CM,1} = I_{AMref[1],1} + I_{AMref[2],0} \quad (E9)$$

[0291]

配線BLには、時刻T04から時刻T05までの間と同様に、電流源回路CSからの電流 $I_C$ が供給される。同時に、配線BLには、カレントミラー回路CM、メモリセルAM[1]、メモリセルAM[2]によって電流が排出される。さらに、配線BLから回路OFFSTにも電流が流れる。配線BLにおいて、配線BLから回路OFFSTに流れる電流を $I_{\alpha,1}$ としたとき、キルヒホッフの法則により次の式が成り立つ。

[0292]

[数18]

$$I_C - I_{CM,1} = I_{AM[1],1} + I_{AM[2],0} + I_{\alpha,1} \quad (E10)$$

[0293]

時刻T04から時刻T05までの間における、配線BLから配線OFFSTに流れる電流 $I_{\alpha,0}$ と、時刻T05から時刻T06までの間における、配線BLから配線OFFSTに流れる電流 $I_{\alpha,1}$ と、の差を $\Delta I_{\alpha}$ とする。以後、 $\Delta I_{\alpha}$ を、積和演算回路MACにおける、差分電流と呼称する。差分電流 $\Delta I_{\alpha}$ は、式(E1)乃至式(E10)を用いて、次の式のとおり表すことができる。

[0294]

[数19]

$$\Delta I_{\alpha} = I_{\alpha,0} - I_{\alpha,1} = 2kV_{W[1]}V_{X[1]} \quad (E11)$$

[0295]

<<時刻T06から時刻T07まで>>

時刻T06から時刻T07までの間において、配線CL[1]には接地電位が印加されている。このとき、メモリセルAM[1]、及びメモリセルAMref[1]のそれぞれの容量素子C1の第2端子に、接地電位が印加されるため、ノードNM[1]、及びノードNMref[1]の電位は、それぞれ時刻T04から時刻T05までの間の電位に戻る。

[0296]

<<時刻T07から時刻T08まで>>

時刻T07から時刻T08までの間において、配線CL[1]に基準電位よりも $V_{X[1]}$ 高い電位が印加され、配線CL[2]に基準電位よりも $V_{X[2]}$ 高い電位が印加される。このとき、メモリセルAM[1]、及びメモリセルAMref[1]のそれぞれの容量素子C1の第2端子に電位 $V_{X[1]}$ が印加され、メモリセルAM[2]、及びメモリセルAMref[2]のそれぞれの容量素子C1の第2端子に電位 $V_{X[2]}$ が印加される。このため、メモリセルAM[1]、メモリセルAM[2]、メモリセルAMref[1]、及びメモリセルAMref[2]のそれぞれのトランジスタTr12のゲートの電位が上昇する。

[0297]

メモリセルAM[1]、及びメモリセルAMref[1]のそれぞれのノードの電位の変化は、時刻T05から時刻T06までの間の動作を参酌する。メモリセルAM[2]、及びメモリセルAMref[2]についても同様に、それぞれのメモリセルの容量結合係数を1として説明する。

[0298]

容量結合係数を1としているため、メモリセルAM[2]、及びメモリセルAMref[2]のそ

れぞれの容量素子C 1の第2端子に、電位 $V_{X[2]}$ が印加されることによって、ノードNM[2]、及びノードNMref[2]の電位は、それぞれ $V_{X[2]}$ 上昇する。

[0299]

ここで、メモリセルAM[2]、及びメモリセルAMref[2]のそれぞれのトランジスタTr12の第2端子から第1端子に流れる電流を考える。配線BLからメモリセルAM[1]のトランジスタTr12の第2端子を介して第1端子に流れる電流を $I_{AM[2],1}$ としたとき、 $I_{AM[2],1}$ は次の式で表すことができる。

[0300]

[数20]

$$I_{AM[2],1} = k(V_{PR} - V_{W[2]} + V_{X[2]} - V_{th})^2 \quad (E12)$$

[0301]

つまり、配線CL[2]に電位 $V_{X[2]}$ を印加することによって、配線BLからメモリセルAM[2]のトランジスタTr12の第2端子を介して第1端子に流れる電流は、 $I_{AM[2],1} - I_{AM[2],0}$ （図25では、 $\Delta I_{AM[2]}$ と表記する。）増加する。

[0302]

同様に、配線BLrefからメモリセルAMref[2]のトランジスタTr12の第2端子を介して第1端子に流れる電流を $I_{AMref[2],1}$ としたとき、 $I_{AMref[2],1}$ は次の式で表すことができる。

[0303]

[数21]

$$I_{AMref[2],1} = k(V_{PR} + V_{X[2]} - V_{th})^2 \quad (E13)$$

[0304]

つまり、配線CL[2]に電位 $V_{X[2]}$ を印加することによって、配線BLrefからメモリセルAMref[2]のトランジスタTr12の第2端子を介して第1端子に流れる電流は、 $I_{AMref[2],1} - I_{AMref[2],0}$ （図25では、 $\Delta I_{AMref[2]}$ と表記する。）増加する。

[0305]

ここで、配線BL及び配線BLrefに流れる電流について説明する。

[0306]

配線BLrefには、時刻T04から時刻T05までの間と同様に、電流源回路CSからの電流 $I_{Cref}$ が供給される。同時に、配線BLrefには、カレントミラー回路CM、メモリセルAMref[1]、及びメモリセルAMref[2]によって電流が排出される。配線BLrefにおいて、カレントミラー回路CMによって排出される電流を $I_{CM,2}$ としたとき、キルヒホッフの法則により次の式が成り立つ。

[0307]

[数22]

$$I_{Cref} - I_{CM,2} = I_{AMref[1],1} + I_{AMref[2],1} \quad (E14)$$

[0308]

配線BLには、時刻T04から時刻T05までの間と同様に、電流源回路CSからの電流 $I_C$ が供給される。同時に、配線BLには、カレントミラー回路CM、メモリセルAM[1]、メモリセルAM[2]によって電流が排出される。さらに、配線BLから回路OFSTにも電流が流れる。配線BLにおいて、配線BLから回路OFSTに流れる電流を $I_{\alpha,3}$ としたとき、キルヒホッフの法則により次の式が成り立つ。

[0309]

[数23]

$$I_C - I_{CM,2} = I_{AM[1],1} + I_{AM[2],1} + I_{\alpha,3} \quad (E15)$$

[0310]

時刻T04から時刻T05までの間における、配線BLから配線OFSTに流れる電流 $I_{\alpha,0}$ と、時刻T07から時刻T08までの間における、配線BLから配線OFSTに流れる電流 $I_{\alpha,3}$ と、の差となる差分電流 $\Delta I_{\alpha}$ は、式(E1)乃至式(E8)、式(E12)乃至式(E15)を用いて、次の式のとおり表すことができる。

[0311]

[数24]

$$\Delta I_{\alpha} = I_{\alpha,0} - I_{\alpha,3} = 2k(V_{W[1]}V_{X[1]} + V_{W[2]}V_{X[2]}) \quad (E16)$$

[0312]

式(E16)に示すとおり、回路OFSTに入力される差分電流 $\Delta I_{\alpha}$ は、複数の第1データである電位 $V_W$ と、複数の第2データである電位 $V_X$ と、の積の和に応じた値となる。つまり、差分電流 $\Delta I_{\alpha}$ を回路OFSTで計測することによって、第1データと第2データとの積和の値を求めることができる。

[0313]

<<時刻T08から時刻T09まで>>

時刻T08から時刻T09までの間において、配線CL[1]、及び配線CL[2]には基準電位が印加されている。このとき、メモリセルAM[1]、メモリセルAM[2]、メモリセルAMref[1]、及びメモリセルAMref[2]のそれぞれの容量素子C1の第2端子に、基準電位が印加されるため、ノードNM[1]、ノードNM[2]、ノードNMref[1]、及びノードNMref[2]の電位は、それぞれ時刻T06から時刻T07までの間の電位に戻る。

[0314]

時刻T05から時刻T06までの間において、配線CL[1]に $V_{X[1]}$ を印加し、時刻T07から時刻T08までの間において、配線CL[1]及び配線CL[2]にそれぞれ $V_{X[1]}$ 、 $V_{X[2]}$ を印加したが、配線CL[1]及び配線CL[2]に印加する電位は、基準電位REFPよりも低くてもよい。配線CL[1]、及び／又は配線CL[2]に、基準電位REFPよりも低い電位を印加した場合、配線CL[1]、及び／又は配線CL[2]に接続されているメモリセルの保持ノードの電位を、容量結合によって低くすることができる。これにより、積和演算において、第1データと、負の値である第2データの一との積を行うことができる。例えば、時刻T07から時刻T08までの間

において、配線CL [2] に、 $V_{X[2]}$  でなく  $-V_{X[2]}$  を印加した場合、差分電流  $\Delta I_\alpha$  は、次の式の通りに表すことができる。

[0315]

[数25]

$$\Delta I_\alpha = I_{\alpha,0} - I_{\alpha,3} = 2k(V_{W[1]}V_{X[1]} - V_{W[2]}V_{X[2]}) \quad (E17)$$

[0316]

なお、本動作例では、2行2列のマトリクス状に配置されているメモリセルを有するメモリセルアレイCAについて扱ったが、1行、且つ2列以上のメモリセルアレイ、又は3行以上、且つ3列以上のメモリセルアレイについても同様に、積和演算を行うことができる。この場合の積和演算回路は、複数列のうち1列を、参照データ（電位  $V_{PR}$ ）を保持するメモリセルとすることで、複数列のうち残りの列の数だけ積和演算処理を同時に実行することができる。つまり、メモリセルアレイの列の数を増やすことで、高速な積和演算処理を実現する半導体装置を提供することができる。また、行数を増やすことによって、積和演算における、足し合わせる項数を増やすことができる。行数を増やした場合の、差分電流  $\Delta I_\alpha$  は、次の式で表すことができる。

[0317]

[数26]

$$\Delta I_\alpha = 2k \sum_i V_{W[i]} V_{X[i]} \quad (E18)$$

[0318]

本実施の形態で述べた積和演算回路を、上述した隠れ層として適用する場合、重み係数  $w_{s[k]s[k-1]}^{(k)}$  を第1データとして、同じ列の各メモリセルAMに格納し、第  $(k-1)$  層の第  $s[k-1]$  ニューロンからの出力信号  $z_{s[k-1]}^{(k-1)}$  を各行の配線CLから印加する電位（第2データ）とすることで、差分電流  $\Delta I_\alpha$  から第1データと第2データとの積和を求めることができる。加えて、当該積和の値を用いて活性化関数の値を求めることによって、活性化関数の値を信号として第  $k$  層の第  $s[k]$  ニューロンの出力信号  $z_{s[k]}^{(k)}$  とすることができる。

[0319]

また、本実施の形態で述べた積和演算回路を、上述した出力層として適用する場合、重み係数  $w_{[L]s[L-1]}^{(L)}$  を第1データとして、同じ列の各メモリセルAMに格納し、第  $(L-1)$  層の第  $s[L-1]$  ニューロンからの出力信号  $z_{s[L-1]}^{(L-1)}$  を各行の配線CLから印加する電位（第2データ）とすることで、差分電流  $\Delta I_\alpha$  から、第1データと第2データとの積和を求めることができる。加えて、当該積和の値を用いて活性化関数の値を求めることによって、活性化関数の値を信号として第  $L$  層の第  $s[L]$  ニューロンの出力信号  $z_{s[L]}^{(L)}$  とすることができる。

[0320]

なお、本実施の形態で述べた入力層は、入力信号を第2層に出力するバッファ回路として機能してもよい。

[0321]

ところで、本実施の形態で述べた積和演算回路では、メモリセルAMの行数が前層のニューロンの数となる。換言すると、メモリセルAMの行数は、次層の1つのニューロンに入力される前層のニュー

ーロンの出力信号の数に対応する。そして、メモリセルAMの列数が、次層のニューロンの数となる。換言すると、メモリセルAMの列数は、次層のニューロンから出力される出力信号の数に対応する。つまり、前層、次層のそれぞれのニューロンの個数によって、積和演算回路のメモリセルアレイの行数、及び列数が定まるため、構成したいニューラルネットワークに応じて、メモリセルアレイの行数、及び列数を定めて、設計すればよい。

[0322]

ここで、本実施の形態で述べた積和演算回路MACと、実施の形態2で述べた回路22aと組み合わせた場合について説明する。実施の形態2で述べたエンコーダAIEの有するメモリセルアレイを、本実施の形態で述べたメモリセルアレイCAとする場合、メモリセルアレイCAの行数を $t$ 行とすればよい。これにより、メモリセルアレイCAは配線CL[1]乃至配線CL[ $t$ ]を有することになる。加えて、配線RW[1]乃至配線RW[ $t$ ]の各々を、配線CL[1]乃至配線CL[ $t$ ]のそれぞれと電氣的に接続する構成とすることによって、回路22aが有する出力端子PT[1]乃至出力端子PT[ $t$ ]のそれぞれから出力される信号を、メモリセルアレイCAの配線CL[1]乃至配線CL[ $t$ ]に入力することができる。

[0323]

また、実施の形態2で述べた、重みフィルタのフィルタ値は、メモリセルアレイCAの1列のメモリセルに格納される。例えば、実施の形態2で述べたフィルタ $f_{il_a}$ のフィルタ値 $f_a[1, 1]$ 乃至フィルタ値 $f_a[t, s]$ のそれぞれは、 $t$ 行としたメモリセルアレイCAの1列のメモリセルに格納される。また、フィルタが複数ある場合は、フィルタの数に応じて、メモリセルアレイCAの列数を決めればよい。例えば、実施の形態2で述べたフィルタ $f_{il_a}$ 、フィルタ $f_{il_b}$ 、フィルタ $f_{il_c}$ を用いる場合、フィルタ $f_{il_a}$ をメモリセルアレイCAの1列目のメモリセルAM、フィルタ $f_{il_b}$ をメモリセルアレイCAの2列目のメモリセルAM、フィルタ $f_{il_c}$ をメモリセルアレイCAの3列目のメモリセルAMに格納し、参照データ $V_{PR}$ をメモリセルアレイCAの4列目のメモリセルAM $ref$ に格納すればよい。つまり、この場合は、メモリセルアレイCAを最低4列とした構成とすればよい。このように複数のフィルタのそれぞれを、メモリセルアレイに1列ずつ格納することで、回路22aから画素領域Pの画像データを一回出力するだけで、それぞれのフィルタに応じた積和演算を並列に実行することができる。よって、複数の畳み込み処理を同時に行うことができる。

[0324]

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせることができる。

[0325]

(実施の形態4)

本実施の形態では、上記実施の形態に記載の半導体装置の一形態を、図26及び図27を用いて説明する。なお、本明細書で説明する半導体装置100としては、例えば、上記実施の形態で説明した撮像装置20、周辺回路30、表示装置50を指すことができる。又は、撮像装置20が有する撮像部21、回路22a、エンコーダAIE、制御部24、更に加えて、周辺回路30が有するGPU31、記憶部33、記憶部34などを指すことができる。

[0326]

<半導体装置100の断面構造>

図26は半導体装置100の一例を示す断面模式図である。半導体装置100は、トランジスタ3

00と、トランジスタ200、および容量素子140を有する。トランジスタ200はトランジスタ300の上方に設けられ、容量素子140はトランジスタ300、及びトランジスタ200の上方に設けられている。

[0327]

トランジスタ200はチャネル形成領域に酸化物半導体を有するOSトランジスタである。OSトランジスタは微細化しても歩留まり良く形成できるので、トランジスタ200の微細化を図ることができる。このようなトランジスタを半導体装置に用いることで、半導体装置の微細化及び／又は高集積化を図ることができる。OSトランジスタは、オフ電流が小さいため、これを半導体装置に用いることにより長期にわたり記憶内容を保持することが可能である。つまり、リフレッシュ動作を必要としないため、あるいは、リフレッシュ動作の頻度が極めて少ないため、半導体装置の消費電力を十分に低減することができる。

[0328]

トランジスタ300は、基板311上に設けられ、導電体316、絶縁体315、基板311の一部からなる半導体領域313、ソース領域又はドレイン領域の一方として機能する低抵抗領域314a、ソース領域又はドレイン領域の他方として機能する低抵抗領域314bを有する。

[0329]

トランジスタ300は、pチャネル型、あるいはnチャネル型のどちらでもよい。

[0330]

半導体領域313のチャネルが形成される領域、その近傍の領域、低抵抗領域314a、低抵抗領域314bなどにおいて、シリコン系半導体などの半導体を含むことが好ましく、単結晶シリコンを含むことが好ましい。または、Ge（ゲルマニウム）、SiGe（シリコンゲルマニウム）、GaAs（ガリウムヒ素）、GaAlAs（ガリウムアルミニウムヒ素）などを有する材料で形成してもよい。結晶格子に応力を与え、格子間隔を変化させることで有効質量を制御したシリコンを用いた構成としてもよい。

[0331]

低抵抗領域314a、及び低抵抗領域314bは、半導体領域313に適用される半導体材料に加え、ヒ素、リンなどのn型の導電性を付与する元素、またはホウ素などのp型の導電性を付与する元素を含む。

[0332]

ゲート電極として機能する導電体316は、ヒ素、リンなどのn型の導電性を付与する元素、もしくはホウ素などのp型の導電性を付与する元素を含むシリコンなどの半導体材料、金属材料、合金材料、または金属酸化物材料などの導電性材料を用いることができる。

[0333]

なお、導電体316の材料により、仕事関数が定まるため、導電体の材料を変更することで、しきい値電圧を調整することができる。具体的には、導電体316に窒化チタンや窒化タンタルなどの材料を用いることが好ましい。さらに導電性と埋め込み性を両立するために導電体316にタングステンやアルミニウムなどの金属材料を積層として用いることが好ましく、特にタングステンをを用いることが耐熱性の点で好ましい。

[0334]

図26に示すトランジスタ300はチャネルが形成される半導体領域313（基板311の一部）

が凸形状を有する。また、半導体領域 313 の側面および上面を、絶縁体 315 を介して、導電体 316 が覆うように設けられている。なお、導電体 316 は仕事関数を調整する材料を用いてもよい。このようなトランジスタ 300 は半導体基板の凸部を利用していることから F I N 型トランジスタとも呼ばれる。なお、凸部の上部に接して、凸部を形成するためのマスクとして機能する絶縁体を有していてもよい。また、ここでは半導体基板の一部を加工して凸部を形成する場合を示したが、S O I 基板を加工して凸形状を有する半導体膜を形成してもよい。

[0335]

なお、図 26 に示すトランジスタ 300 は一例であり、その構造に限定されず、回路構成や駆動方法に応じて適切なトランジスタを用いればよい。

[0336]

トランジスタ 300 を覆って、絶縁体 320、絶縁体 322、絶縁体 324、および絶縁体 326 が順に積層して設けられている。

[0337]

絶縁体 320、絶縁体 322、絶縁体 324、および絶縁体 326 として、例えば、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化アルミニウム、酸化窒化アルミニウム、窒化酸化アルミニウム、窒化アルミニウムなどを用いればよい。

[0338]

なお、本明細書中において、酸化窒化シリコンとは、その組成として窒素よりも酸素の含有量が多い材料を指し、窒化酸化シリコンとは、その組成として、酸素よりも窒素の含有量が多い材料を示す。また、本明細書中において、酸化窒化アルミニウムとは、その組成として窒素よりも酸素の含有量が多い材料を指し、窒化酸化アルミニウムとは、その組成として、酸素よりも窒素の含有量が多い材料を示す。

[0339]

絶縁体 322 は、その下方に設けられるトランジスタ 300 などによって生じる段差を平坦化する平坦化膜としての機能を有していてもよい。例えば、絶縁体 322 の上面は、平坦性を高めるために化学機械研磨 (CMP) 法等を用いた平坦化処理により平坦化されていてもよい。

[0340]

また、絶縁体 324 には、基板 311、またはトランジスタ 300 などから、トランジスタ 200 が設けられる領域に、水素や不純物が拡散しないようなバリア性を有する膜を用いることが好ましい。

[0341]

水素に対するバリア性を有する膜の一例として、例えば、CVD 法で形成した窒化シリコンを用いることができる。ここで、トランジスタ 200 等の酸化物半導体を有する半導体素子に、水素が拡散することで、該半導体素子の特性が低下する場合がある。従って、トランジスタ 200 と、トランジスタ 300 との間に、水素の拡散を抑制する膜を用いることが好ましい。水素の拡散を抑制する膜とは、具体的には、水素の脱離量が少ない膜とする。

[0342]

水素の脱離量は、例えば、昇温脱離ガス分析法 (TDS) などを用いて分析することができる。例えば、絶縁体 324 の水素の脱離量は、TDS 分析において、膜の表面温度が 50℃ から 500℃ の範囲において、水素原子に換算した脱離量が、絶縁体 324 の面積当たりに換算して、 $1.0 \times 10^{15} \text{ atoms/cm}^2$  以下、好ましくは  $5 \times 10^{15} \text{ atoms/cm}^2$  以下であればよい。

[0343]

なお、絶縁体326は、絶縁体324よりも誘電率が低いことが好ましい。例えば、絶縁体326の比誘電率は4未満が好ましく、3未満がより好ましい。また例えば、絶縁体326の比誘電率は、絶縁体324の比誘電率の0.7倍以下が好ましく、0.6倍以下がより好ましい。誘電率が低い材料を層間膜とすることで、配線間に生じる寄生容量を低減することができる。

[0344]

また、絶縁体320、絶縁体322、絶縁体324、及び絶縁体326には導電体328、導電体330等が埋め込まれている。なお、導電体328、導電体330はプラグ、または配線としての機能を有する。また、プラグまたは配線としての機能を有する導電体は、複数の構造をまとめて同一の符号を付与する場合がある。また、本明細書等において、配線と、配線と電氣的に接続するプラグとが一体物であってもよい。すなわち、導電体の一部が配線として機能する場合、および導電体の一部がプラグとして機能する場合もある。

[0345]

各プラグ、および配線（導電体328、導電体330等）の材料としては、金属材料、合金材料、金属窒化物材料、または金属酸化物材料などの導電性材料を、単層または積層して用いることができる。耐熱性と導電性を両立するタングステンやモリブデンなどの高融点材料を用いることが好ましく、タングステンを用いることが好ましい。または、アルミニウムや銅などの低抵抗導電性材料で形成することが好ましい。低抵抗導電性材料を用いることで配線抵抗を低くすることができる。

[0346]

絶縁体326、および導電体330上に、配線層を設けてもよい。例えば、図26において、絶縁体350、絶縁体352、絶縁体354、絶縁体360、絶縁体362、絶縁体364、絶縁体370、絶縁体372、絶縁体374、絶縁体380、絶縁体382及び絶縁体384が順に積層して設けられている。また、これら絶縁体には、導電体356、導電体366、導電体376および導電体386が形成されている。これら導電体は、プラグ、又は配線としての機能を有する。なおこれら導電体は、導電体328、及び導電体330と同様の材料を用いて設けることができる。

[0347]

なお、絶縁体350、絶縁体360、絶縁体370及び絶縁体380は、絶縁体324と同様に、水素に対するバリア性を有する絶縁体を用いることが好ましい。また、導電体356、導電体366、導電体376及び導電体386は、水素に対するバリア性を有する導電体を含むことが好ましい。例えば、絶縁体350と導電体356に着目した場合、絶縁体350が有する開口部に導電体356が形成されることで、トランジスタ300からトランジスタ200への水素の拡散を抑制することができる。他の絶縁体と導電体についても同じことが言える。

[0348]

なお、水素に対するバリア性を有する導電体としては、例えば、窒化タンタル等を用いるとよい。また、窒化タンタルと導電性が高いタングステンを積層することで、配線としての導電性を保持したまま、トランジスタ300からの水素の拡散を抑制することができる。

[0349]

絶縁体384上には絶縁体214及び絶縁体216が積層して設けられている。絶縁体214及び絶縁体216のいずれかは、酸素や水素に対してバリア性のある物質を用いることが好ましい。

[0350]

例えば、絶縁体 2 1 4 には、例えば、基板 3 1 1 から、又はトランジスタ 3 0 0 が設けられている領域から、トランジスタ 2 0 0 を設ける領域に、水素や不純物が拡散しないようなバリア性を有する膜を用いることが好ましい。従って、絶縁体 3 2 4 と同様の材料を用いることができる。

[0 3 5 1]

水素に対するバリア性を有する膜の一例として、CVD法で形成した窒化シリコンを用いることができる。ここで、トランジスタ 2 0 0 等の酸化物半導体を有する半導体素子に、水素が拡散することで、該半導体素子の特性が低下する場合がある。従って、トランジスタ 2 0 0 と、トランジスタ 3 0 0 との間に、水素の拡散を抑制する膜を用いることが好ましい。水素の拡散を抑制する膜とは、具体的には、水素の脱離量が少ない膜とする。

[0 3 5 2]

また、水素に対するバリア性を有する膜として、例えば、絶縁体 2 1 4 には、酸化アルミニウム、酸化ハフニウム、酸化タンタルなどの金属酸化物を用いることが好ましい。

[0 3 5 3]

特に、酸化アルミニウムは、酸素、及びトランジスタの電気特性の変動要因となる水素、水分などの不純物、の両方に対して膜を透過させない遮断効果が高い。したがって、酸化アルミニウムは、トランジスタの作製工程中及び作製後において、水素、水分などの不純物のトランジスタ 2 0 0 への混入を防止することができる。また、トランジスタ 2 0 0 を構成する酸化物からの酸素の放出を抑制することができる。そのため、トランジスタ 2 0 0 に対する保護膜として用いることに適している。

[0 3 5 4]

また、例えば、絶縁体 2 1 6 には、絶縁体 3 2 0 と同様の材料を用いることができる。また、比較的誘電率が低い材料を層間膜とすることで、配線間に生じる寄生容量を低減することができる。例えば、絶縁体 2 1 6 として、酸化シリコン膜や酸化窒化シリコン膜などを用いることができる。

[0 3 5 5]

また、絶縁体 2 1 4 および絶縁体 2 1 6 には、導電体 2 1 8、トランジスタ 2 0 0 を構成する導電体（例えばバックゲートとして機能する電極）等が埋め込まれている。導電体 2 1 8 は、導電体 3 2 8、及び導電体 3 3 0 と同様の材料を用いて設けることができる。

[0 3 5 6]

導電体 2 1 8 は、酸素、水素、及び水に対するバリア性を有する導電体であることが好ましい。当該構成により、トランジスタ 3 0 0 とトランジスタ 2 0 0 とは、酸素、水素、および水に対するバリア性を有する層で、分離することができ、トランジスタ 3 0 0 からトランジスタ 2 0 0 への水素の拡散を抑制することができる。

[0 3 5 7]

絶縁体 2 1 6 の上方には、トランジスタ 2 0 0 が設けられている。なお、トランジスタ 2 0 0 としては、OSトランジスタを用いればよい。トランジスタ 2 0 0 の詳細は後述する実施の形態 5 で説明を行う。

[0 3 5 8]

トランジスタ 2 0 0 の上方には、絶縁体 2 8 0 を設ける。絶縁体 2 8 0 には、過剰酸素領域が形成されていることが好ましい。特に、トランジスタ 2 0 0 のチャネル形成領域に酸化物半導体を用いる場合、トランジスタ 2 0 0 近傍の層間膜などに、過剰酸素領域を有する絶縁体を設けることで、トランジスタ 2 0 0 が有する酸化物半導体の酸素欠損を低減することで、信頼性を向上させることができ

る。また、トランジスタ200を覆う絶縁体280は、その下方の凹凸形状を被覆する平坦化膜として機能してもよい。なお、絶縁体280は、トランジスタ200の上部に形成される絶縁体225に接して設けられる。

[0359]

過剰酸素領域を有する絶縁体として、具体的には、加熱により一部の酸素が脱離する酸化物材料を用いることが好ましい。加熱により酸素を脱離する酸化物とは、TDS分析にて、酸素原子に換算しての酸素の脱離量が $1.0 \times 10^{18} \text{ atoms/cm}^3$ 以上、好ましくは $3.0 \times 10^{20} \text{ atoms/cm}^3$ 以上である酸化物膜である。なお、上記TDS分析時における膜の表面温度としては100℃以上700℃以下、または100℃以上500℃以下の範囲が好ましい。

[0360]

例えば、このような材料として、酸化シリコンまたは酸化窒化シリコンを含む材料を用いることが好ましい。または、金属酸化物を用いることもできる。

[0361]

絶縁体280上に、絶縁体282を設ける構成にしてもよい。絶縁体282は、酸素や水素に対してバリア性のある物質を用いることが好ましい。従って、絶縁体282には、絶縁体214と同様の材料を用いることができる。例えば、絶縁体282には、酸化アルミニウム、酸化ハフニウム、酸化タンタルなどの金属酸化物を用いることが好ましい。また、例えば、絶縁体282をスパッタリング法によって、酸素を含むプラズマを用いて成膜すると該絶縁体の下地層となる絶縁体280へ酸素を添加することができる。

[0362]

特に、酸化アルミニウムは、酸素、及びトランジスタの電気特性の変動要因となる水素、水分などの不純物、の両方に対して膜を透過させない遮断効果が高い。したがって、酸化アルミニウムは、トランジスタの作製工程中及び作製後において、水素、水分などの不純物のトランジスタ200への混入を防止することができる。また、トランジスタ200を構成する酸化物からの酸素の放出を抑制することができる。そのため、トランジスタ200に対する保護膜として用いることに適している。

[0363]

また、絶縁体282上には、絶縁体286が設けられている。絶縁体286は、絶縁体320と同様の材料を用いることができる。また、比較的誘電率が低い材料を層間膜とすることで、配線間に生じる寄生容量を低減することができる。例えば、絶縁体286として、酸化シリコン膜や酸化窒化シリコン膜などを用いることができる。

[0364]

また、絶縁体220、絶縁体222、絶縁体224、絶縁体225、絶縁体280、絶縁体282、及び絶縁体286には、導電体246、導電体248等が埋め込まれている。

[0365]

導電体246、導電体248は、導電体328、及び導電体330と同様の材料を用いて設けることができる。

[0366]

続いて、トランジスタ200の上方には、容量素子140が設けられている。容量素子140は、導電体110と、導電体120、及び絶縁体130とを有する。

[0367]

また、導電体 246、及び導電体 248 上に、導電体 112 を設けてもよい。なお、導電体 112、及び導電体 110 は、同時に形成することができる。

[0368]

導電体 112、及び導電体 110 には、モリブデン、チタン、タンタル、タングステン、アルミニウム、銅、クロム、ネオジム、スカンジウムから選ばれた元素を含む金属膜、または上述した元素を成分とする金属窒化物膜（窒化タンタル膜、窒化チタン膜、窒化モリブデン膜、窒化タングステン膜）等を用いることができる。又は、インジウム錫酸化物、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム亜鉛酸化物、酸化ケイ素を添加したインジウム錫酸化物等の導電性材料を適用することもできる。

[0369]

図 26 では、導電体 112、及び導電体 110 は単層構造を示したが、当該構成に限定されず、2 層以上の積層構造でもよい。例えば、バリア性を有する導電体と導電性が高い導電体との間に、バリア性を有する導電体、および導電性が高い導電体に対して密着性が高い導電体を形成してもよい。

[0370]

また、導電体 112、及び導電体 110 上に、容量素子 140 の誘電体として、絶縁体 130 を設ける。絶縁体 130 は、例えば、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化アルミニウム、酸化窒化アルミニウム、窒化酸化アルミニウム、窒化アルミニウム、酸化ハフニウム、酸化窒化ハフニウム、窒化酸化ハフニウム、窒化ハフニウム等を用いればよく、積層または単層で設けることができる。

[0371]

例えば、絶縁体 130 には、酸化窒化シリコンなどの絶縁耐力が大きい材料を用いるとよい。当該構成により、容量素子 140 は、絶縁体 130 を有することで、絶縁耐力が向上し、容量素子 140 の静電破壊を抑制することができる。

[0372]

絶縁体 130 上に、導電体 110 と重畳するように、導電体 120 を設ける。なお、導電体 120 は、金属材料、合金材料、または金属酸化物材料などの導電性材料を用いることができる。耐熱性と導電性を両立するタングステンやモリブデンなどの高融点材料を用いることが好ましく、特にタングステンをを用いることが好ましい。また、導電体などの他の構造と同時に形成する場合は、低抵抗金属材料である Cu（銅）や Al（アルミニウム）等を用いればよい。

[0373]

導電体 120、及び絶縁体 130 上には、絶縁体 150 が設けられている。絶縁体 150 は、絶縁体 320 と同様の材料を用いて設けることができる。また、絶縁体 150 は、その下方の凹凸形状を被覆する平坦化膜として機能してもよい。

[0374]

また、絶縁体 150 には、導電体 156 が埋め込まれている。なお、導電体 156 は、導電体 328、及び導電体 330 と同様の材料を用いて設けることができる。

[0375]

また、導電体 156 上に、導電体 166 を設けられている。また、導電体 166、及び絶縁体 150 上に、絶縁体 160 が設けられている。また、絶縁体 160 は、その下方の凹凸形状を被覆する平

坦化膜として機能してもよい。

[0376]

以上が構成例についての説明である。本構成を用いることで、OSトランジスタを用いた半導体装置において、電気特性の変動を抑制すると共に、信頼性を向上させることができる。または、OSトランジスタを用いた半導体装置において、消費電力を低減することができる。または、OSトランジスタを用いた半導体装置において、微細化または高集積化を図ることができる。または、微細化または高集積化された半導体装置を生産性良く提供することができる。

[0377]

<半導体装置100の変形例>

また、本実施の形態の変形例の一例を、図27に示す。

[0378]

図27は、図26のトランジスタ200をトランジスタ201に置き替えた場合の断面模式図である。トランジスタ200と同様、トランジスタ201はOSトランジスタである。なお、トランジスタ201の詳細は後述する実施の形態5で説明を行う。

[0379]

図27のその他の構成要素の詳細は、図26の記載を参酌すればよい。

[0380]

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせることができる。

[0381]

(実施の形態5)

本実施の形態では、実施の形態4に示すトランジスタ200およびトランジスタ201の詳細について、図28乃至図31を用いて説明を行う。

[0382]

<<トランジスタ200>>

まず、図28に示すトランジスタ200の詳細について説明を行う。

[0383]

図28(A)は、トランジスタ200を有する半導体装置の上面図である。また、図28(B)は、図28(A)にA1-A2の一点鎖線で示す部位の断面図であり、トランジスタ200のチャネル長方向の断面図でもある。また、図28(C)は、図28(A)にA3-A4の一点鎖線で示す部位の断面図であり、トランジスタ200のチャネル幅方向の断面図でもある。図28(A)の上面図では、図の明瞭化のために一部の要素を省いて図示している。

[0384]

図28(A)乃至(C)に示すように、トランジスタ200は、基板(図示せず)の上に配置された絶縁体224と、絶縁体224の上に配置された金属酸化物406aと、金属酸化物406aの上面の少なくとも一部に接して配置された金属酸化物406bと、金属酸化物406bの上に配置された絶縁体412と、絶縁体412の上に配置された導電体404aと、導電体404aの上に配置された導電体404bと、導電体404bの上に配置された絶縁体419と、絶縁体412、導電体404a、導電体404b、及び絶縁体419の側面に接して配置された絶縁体418と、金属酸化物406bの上面に接し、かつ絶縁体418の側面に接して配置された絶縁体225と、を有する。ここで、図28(B)に示すように、絶縁体418の上面は、絶縁体419の上面と略一致することが

好ましい。また、絶縁体 2 2 5 は、絶縁体 4 1 9、導電体 4 0 4、絶縁体 4 1 8、および金属酸化物 4 0 6 を覆って設けられることが好ましい。

[0385]

以下において、金属酸化物 4 0 6 a と金属酸化物 4 0 6 b をまとめて金属酸化物 4 0 6 という場合がある。なお、トランジスタ 2 0 0 では、金属酸化物 4 0 6 a および金属酸化物 4 0 6 b を積層する構成について示しているが、本発明はこれに限られるものではない。例えば、金属酸化物 4 0 6 b のみを設ける構成にしてもよい。また、導電体 4 0 4 a と導電体 4 0 4 b をまとめて導電体 4 0 4 という場合がある。なお、トランジスタ 2 0 0 では、導電体 4 0 4 a および導電体 4 0 4 b を積層する構成について示しているが、本発明はこれに限られるものではない。例えば、導電体 4 0 4 b のみを設ける構成にしてもよい。

[0386]

導電体 4 4 0 は、絶縁体 3 8 4 の開口の内壁に接して導電体 4 4 0 a が形成され、さらに内側に導電体 4 4 0 b が形成されている。ここで、導電体 4 4 0 a 及び導電体 4 4 0 b の上面の高さと、絶縁体 3 8 4 の上面の高さは同程度にできる。なお、トランジスタ 2 0 0 では、導電体 4 4 0 a および導電体 4 4 0 b を積層する構成について示しているが、本発明はこれに限られるものではない。例えば、導電体 4 4 0 b のみを設ける構成にしてもよい。

[0387]

導電体 3 1 0 は、導電体 3 1 0 a、導電体 3 1 0 b を有する。導電体 3 1 0 a は、絶縁体 2 1 4 および絶縁体 2 1 6 の開口の内壁に接して形成され、さらに内側に導電体 3 1 0 b が形成されている。よって、導電体 3 1 0 a は導電体 4 4 0 b に接する構成が好ましい。ここで、導電体 3 1 0 a および導電体 3 1 0 b の上面の高さと、絶縁体 2 1 6 の上面の高さは同程度にできる。なお、トランジスタ 2 0 0 では、導電体 3 1 0 a および導電体 3 1 0 b を積層する構成について示しているが、本発明はこれに限られるものではない。例えば、導電体 3 1 0 b のみを設ける構成にしてもよい。

[0388]

導電体 4 0 4 は、トップゲートとして機能でき、導電体 3 1 0 は、バックゲートとして機能できる。バックゲートの電位は、トップゲートと同電位としてもよいし、接地電位や、任意の電位としてもよい。また、バックゲートの電位をトップゲートと連動させず独立して変化させることで、トランジスタのしきい値電圧を変化させることができる。

[0389]

導電体 4 4 0 は、導電体 4 0 4 と同様にチャネル幅方向に延伸されており、導電体 3 1 0、すなわちバックゲートに電位を印加する配線として機能する。ここで、バックゲートの配線として機能する導電体 4 4 0 の上に積層して、絶縁体 2 1 4 および絶縁体 2 1 6 に埋め込まれた導電体 3 1 0 を設けることにより、導電体 4 4 0 と導電体 4 0 4 の間に絶縁体 2 1 4 および絶縁体 2 1 6 などが設けられ、導電体 4 4 0 と導電体 4 0 4 の間の寄生容量を低減し、絶縁耐圧を高めることができる。導電体 4 4 0 と導電体 4 0 4 の間の寄生容量を低減することで、トランジスタのスイッチング速度を向上させ、高い周波数特性を有するトランジスタにすることができる。また、導電体 4 4 0 と導電体 4 0 4 の間の絶縁耐圧を高めることで、トランジスタ 2 0 0 の信頼性を向上させることができる。よって、絶縁体 2 1 4 および絶縁体 2 1 6 の膜厚を大きくすることが好ましい。なお、導電体 4 4 0 の延伸方向はこれに限られず、例えば、トランジスタ 2 0 0 のチャネル長方向に延伸されてもよい。

[0390]

ここで、導電体 3 1 0 a および導電体 4 4 0 a は、水または水素などの不純物の透過を抑制する機能を有する（透過しにくい）導電性材料を用いることが好ましい。例えば、タンタル、窒化タンタル、ルテニウムまたは酸化ルテニウムなどを用いることが好ましく、単層または積層とすればよい。これにより、下層から水素、水などの不純物が導電体 4 4 0 および導電体 3 1 0 を通じて上層に拡散するのを抑制することができる。なお、導電体 3 1 0 a および導電体 4 4 0 a は、水素原子、水素分子、水分子、酸素原子、酸素分子、窒素原子、窒素分子、酸化窒素分子（ $\text{N}_2\text{O}$ 、 $\text{NO}$ 、 $\text{NO}_2$  など）、銅原子などの不純物または、酸素（例えば、酸素原子、酸素分子など）の少なくとも一の透過を抑制する機能を有することが好ましい。また、以下において、不純物の透過を抑制する機能を有する導電性材料について記載する場合も同様である。導電体 3 1 0 a および導電体 4 4 0 a が酸素の透過を抑制する機能を持つことにより、導電体 3 1 0 b および導電体 4 4 0 b が酸化して導電率が低下することを防ぐことができる。

#### [0391]

また、導電体 3 1 0 b は、タングステン、銅、またはアルミニウムを主成分とする導電性材料を用いることが好ましい。また、図示しないが、導電体 3 1 0 b は積層構造としてもよく、例えば、チタン、窒化チタンと上記導電性材料との積層としてもよい。

#### [0392]

また、導電体 4 4 0 b は、配線として機能するため、導電体 3 1 0 b より導電性が高い導電体を用いることが好ましく、例えば、銅、またはアルミニウムを主成分とする導電性材料を用いることができる。また、図示しないが、導電体 4 4 0 b は積層構造としてもよく、例えば、チタン、窒化チタンと上記導電性材料との積層としてもよい。

#### [0393]

絶縁体 2 1 4 は、下層から水または水素などの不純物がトランジスタに混入するのを防ぐバリア絶縁膜として機能できる。絶縁体 2 1 4 は、水または水素などの不純物の透過を抑制する機能を有する絶縁性材料を用いることが好ましい。例えば、絶縁体 2 1 4 として窒化シリコンなどを用いることが好ましい。これにより、水素、水などの不純物が絶縁体 2 1 4 より上層に拡散するのを抑制することができる。なお、絶縁体 2 1 4 は、水素原子、水素分子、水分子、窒素原子、窒素分子、酸化窒素分子（ $\text{N}_2\text{O}$ 、 $\text{NO}$ 、 $\text{NO}_2$  等）、銅原子等の不純物の少なくとも一の透過を抑制する機能を有することが好ましい。また、以下において、不純物の透過を抑制する機能を有する絶縁性材料について記載する場合も同様である。

#### [0394]

また、絶縁体 2 1 4 は、酸素（例えば、酸素原子または酸素分子等）の透過を抑制する機能を有する絶縁性材料を用いることが好ましい。これにより、絶縁体 2 2 4 などに含まれる酸素が下方拡散するのを抑制することができる。

#### [0395]

また、導電体 4 4 0 の上に導電体 3 1 0 を積層して設ける構成にすることにより、導電体 4 4 0 と導電体 3 1 0 の間に絶縁体 2 1 4 を設けることができる。ここで、導電体 4 4 0 b に銅など拡散しやすい金属を用いても、絶縁体 2 1 4 として窒化シリコンなどを設けることにより、当該金属が絶縁体 2 1 4 より上の層に拡散するのを防ぐことができる。

#### [0396]

また、絶縁体 2 2 2 は、水または水素などの不純物、および酸素の透過を抑制する機能を有する絶

縁性材料を用いることが好ましく、例えば、酸化アルミニウムまたは酸化ハフニウムなどを用いることが好ましい。これにより、絶縁体 2 2 2 より下層から水素、水などの不純物が絶縁体 2 2 2 より上層に拡散するのを抑制することができる。さらに、絶縁体 2 2 4 などに含まれる酸素が下方拡散するのを抑制することができる。

[0397]

また、絶縁体 2 2 4 中の水、水素または窒素酸化物などの不純物濃度が低減されていることが好ましい。例えば、絶縁体 2 2 4 の水素の脱離量は、昇温脱離ガス分析法 (TDS (Thermal Desorption Spectroscopy)) において、膜の表面温度が 50°C から 500°C の範囲において、水素分子に換算した脱離量が、絶縁体 2 2 4 の面積当りに換算して、 $2 \times 10^{15} \text{ molecules/cm}^2$  以下、好ましくは  $1 \times 10^{15} \text{ molecules/cm}^2$  以下、より好ましくは  $5 \times 10^{14} \text{ molecules/cm}^2$  以下であればよい。また、絶縁体 2 2 4 は、加熱により酸素が放出される絶縁体を用いて形成することが好ましい。

[0398]

絶縁体 4 1 2 は、第 1 のゲート絶縁膜として機能でき、絶縁体 2 2 0、絶縁体 2 2 2、および絶縁体 2 2 4 は、第 2 のゲート絶縁膜として機能できる。なお、トランジスタ 2 0 0 では、絶縁体 2 2 0、絶縁体 2 2 2、及び絶縁体 2 2 4 を積層する構成について示しているが、本発明はこれに限られるものではない。例えば、絶縁体 2 2 0、絶縁体 2 2 2、および絶縁体 2 2 4 のうちいずれか 2 層を積層した構造にしてもよいし、いずれか 1 層を用いる構造にしてもよい。

[0399]

金属酸化物 4 0 6 は、酸化物半導体として機能する金属酸化物を用いることが好ましい。金属酸化物としては、エネルギーギャップが 2 eV 以上、好ましくは 2.5 eV 以上のものを用いることが好ましい。このように、エネルギーギャップの広い金属酸化物を用いることで、トランジスタのオフ電流を低減することができる。

[0400]

金属酸化物を用いたトランジスタは、非導通状態において極めてリーク電流が小さいため、低消費電力の半導体装置が提供できる。また、金属酸化物は、スパッタリング法などを用いて成膜できるため、高集積型の半導体装置を構成するトランジスタに用いることができる。

[0401]

金属酸化物 4 0 6 は、少なくともインジウム又は亜鉛を含むことが好ましい。特にインジウム及び亜鉛を含むことが好ましい。また、それらに加えて、アルミニウム、ガリウム、イットリウム又はスズなどが含まれていることが好ましい。また、ホウ素、シリコン、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、又はマグネシウムなどから選ばれた一種、または複数種が含まれていてもよい。

[0402]

ここでは、金属酸化物 4 0 6 が、インジウム、元素 M および亜鉛を有する  $\text{In-M-Zn}$  酸化物である場合を考える。なお、元素 M は、アルミニウム、ガリウム、イットリウムまたはスズなどとする。そのほかの元素 M に適用可能な元素としては、ホウ素、シリコン、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、マグネシウムなどがある。ただし、元素 M として、前述の元素を複数組み合わせても構わない場合がある。

[0403]

なお、本明細書等において、窒素有する金属酸化物も金属酸化物 (metal oxide) と総称する場合がある。また、窒素有する金属酸化物を、金属酸窒化物 (metal oxynitride) と呼称してもよい。

[0404]

ここで、金属酸化物 406a に用いる金属酸化物において、構成元素中の元素Mの原子数比が、金属酸化物 406b に用いる金属酸化物における、構成元素中の元素Mの原子数比より大きいことが好ましい。また、金属酸化物 406a に用いる金属酸化物において、In に対する元素Mの原子数比が、金属酸化物 406b に用いる金属酸化物における、In に対する元素Mの原子数比より大きいことが好ましい。また、金属酸化物 406b に用いる金属酸化物において、元素Mに対する In の原子数比が、金属酸化物 406a に用いる金属酸化物における、元素Mに対する In の原子数比より大きいことが好ましい。

[0405]

以上のような金属酸化物を金属酸化物 406a として用いて、金属酸化物 406a の伝導帯下端のエネルギーが、金属酸化物 406b の伝導帯下端のエネルギーが低い領域における、伝導帯下端のエネルギーより高くなることが好ましい。また、言い換えると、金属酸化物 406a の電子親和力が、金属酸化物 406b の伝導帯下端のエネルギーが低い領域における電子親和力より小さいことが好ましい。

[0406]

ここで、金属酸化物 406a 及び金属酸化物 406b において、伝導帯下端のエネルギー準位はなだらかに変化する。換言すると、連続的に変化または連続接合するともいうことができる。このようにするためには、金属酸化物 406a と金属酸化物 406b との界面において形成される混合層の欠陥準位密度を低くするとよい。

[0407]

具体的には、金属酸化物 406a と金属酸化物 406b が、酸素以外に共通の元素を有する（主成分とする）ことで、欠陥準位密度が低い混合層を形成することができる。例えば、金属酸化物 406b が In-Ga-Zn 酸化物の場合、金属酸化物 406a として、In-Ga-Zn 酸化物、Ga-Zn 酸化物、酸化ガリウムなどを用いるとよい。

[0408]

このとき、キャリアの主たる経路は金属酸化物 406b に形成されるナローギャップ部分となる。金属酸化物 406a と金属酸化物 406b との界面における欠陥準位密度を低くすることができるため、界面散乱によるキャリア伝導への影響が小さく、高いオン電流が得られる。

[0409]

また、金属酸化物 406 は、領域 426a、領域 426b、及び領域 426c を有する。領域 426a は、図 28 (B) に示すように、領域 426b と領域 426c に挟まれる。領域 426b 及び領域 426c は、絶縁体 225 の成膜により低抵抗化された領域であり、領域 426a より導電性が高い領域となる。領域 426b 及び領域 426c は、絶縁体 225 の成膜雰囲気に含まれる、水素、窒素等の不純物元素が添加される。これにより、金属酸化物 406b の絶縁体 225 と重なる領域を中心に、添加された不純物元素により酸素欠損が形成され、さらに当該不純物元素が酸素欠損に入り込むことで、キャリア密度が高くなり、低抵抗化される。

[0410]

よって、領域426b及び領域426cは、領域426aより、水素及び窒素の少なくとも一方の濃度が大きくなることが好ましい。水素または窒素の濃度は、二次イオン質量分析法（SIMS：Secondary Ion Mass Spectrometry）などを用いて測定すればよい。ここで、領域426aの水素または窒素の濃度としては、金属酸化物406bの絶縁体412と重なる領域の中央近傍（例えば、金属酸化物406bの絶縁体412のチャネル長方向の両側面からの距離が概略等しい部分）の水素または窒素の濃度を測定すればよい。

[0411]

なお、領域426b及び領域426cは、酸素欠損を形成する元素、または酸素欠損と結合する元素を添加されることで低抵抗化される。このような元素としては、代表的には水素、ホウ素、炭素、窒素、フッ素、リン、硫黄、塩素、チタン、希ガス等が挙げられる。また、希ガス元素の代表例としては、ヘリウム、ネオン、アルゴン、クリプトン、及びキセノン等がある。よって、領域426b及び領域426cは、上記元素の一つまたは複数を含む構成にすればよい。

[0412]

また、金属酸化物406aは、領域426b及び領域426cにおいて、元素Mに対するInの原子数比が、金属酸化物406bの元素Mに対するInの原子数比と同程度になることが好ましい。言い換えると、金属酸化物406aは、領域426b及び領域426cにおける元素Mに対するInの原子数比が、領域426aにおける元素Mに対するInの原子数比より大きいことが好ましい。ここで、金属酸化物406は、インジウムの含有率を高くすることで、キャリア密度を高くし、低抵抗化を図ることができる。このような構成にすることにより、トランジスタ200の作製工程において、金属酸化物406bの膜厚が薄くなり、金属酸化物406bの電気抵抗が大きくなった場合でも、領域426bおよび領域426cにおいて、金属酸化物406aが十分低抵抗化されており、金属酸化物406の領域426bは、ソース領域及びドレイン領域の一方として機能させ、金属酸化物406の領域426cは、ソース領域及びドレイン領域の他方として機能させることができる。

[0413]

図28（B）に示す領域426a近傍の拡大図を、図29（A）に示す。図29（A）に示すように、領域426b及び領域426cは、金属酸化物406の少なくとも絶縁体225と重なる領域に形成される。ここで、金属酸化物406bの領域426b及び領域426cの一方は、ソース領域として機能でき、他方はドレイン領域として機能できる。また、金属酸化物406bの領域426aはチャネル形成領域として機能できる。

[0414]

なお、図28（B）及び図29（A）では、領域426a、領域426b、及び領域426cが、金属酸化物406b及び金属酸化物406aに形成されているが、これらの領域は少なくとも金属酸化物406bに形成されていればよい。また、図28（B）などでは、領域426aと領域426bの境界、及び領域426aと領域426cの境界を金属酸化物406の上面に対して略垂直に表示しているが、本実施の形態はこれに限られるものではない。例えば、領域426b及び領域426cが金属酸化物406bの表面近傍では導電体404側に張り出し、金属酸化物406aの下面近傍では、絶縁体225側に後退する形状になる場合がある。

[0415]

トランジスタ200では、図29（A）に示すように、領域426b及び領域426cが、金属酸

化物406の絶縁体225と接する領域と、絶縁体418及び絶縁体412の両端部近傍と重なる領域に形成される。このとき、領域426b及び領域426cの導電体404と重なる部分は、所謂オーバーラップ領域（Lov領域ともいう）として機能する。Lov領域を有する構造とすることで、金属酸化物406のチャンネル形成領域と、ソース領域及びドレイン領域との間に高抵抗領域が形成されないため、トランジスタのオン電流及び移動度を大きくすることができる。

[0416]

ただし、本実施の形態に示す半導体装置はこれに限られるものではない。例えば、図29（B）に示すように、領域426b及び領域426cが、金属酸化物406の絶縁体225及び絶縁体418と重なる領域に形成される構成にしてもよい。なお、図29（B）に示す構成を別言すると、導電体404のチャンネル長方向の幅と、領域426aとの幅と、が概略一致している構成である。図29（B）に示す構成とすることで、ソース領域及びドレイン領域との間に高抵抗領域が形成されないため、トランジスタのオン電流を大きくすることができる。また、図29（B）に示す構成とすることで、チャンネル長方向において、ソース領域及びドレイン領域と、ゲートとが重ならないため、不要な容量が形成されるのを抑制することができる。

[0417]

このように、領域426b及び領域426cの範囲を適宜選択することにより、回路設計に合わせて、要求に見合う電気特性を有するトランジスタを容易に提供することができる。

[0418]

絶縁体412は、金属酸化物406bの上面に接して配置されることが好ましい。絶縁体412は、加熱により酸素が放出される絶縁体を用いて形成することが好ましい。このような絶縁体412を金属酸化物406bの上面に接して設けることにより、金属酸化物406bに効果的に酸素を供給することができる。また、絶縁体224と同様に、絶縁体412中の水または水素などの不純物濃度が低減されていることが好ましい。絶縁体412の膜厚は、1nm以上20nm以下とするのが好ましく、例えば、1nm程度の膜厚にすればよい。

[0419]

絶縁体412は酸素を含むことが好ましい。例えば、昇温脱離ガス分光法分析（TDS分析）にて、100℃以上700℃以下または100℃以上500℃以下の表面温度の範囲で、酸素分子の脱離量を絶縁体412の面積当たりに換算して、 $1 \times 10^{14} \text{ molecules/cm}^2$ 以上、好ましくは $2 \times 10^{14} \text{ molecules/cm}^2$ 以上、より好ましくは $4 \times 10^{14} \text{ molecules/cm}^2$ 以上であればよい。

[0420]

絶縁体412、導電体404、及び絶縁体419は、金属酸化物406bと重なる領域を有する。また、絶縁体412、導電体404a、導電体404b、及び絶縁体419の側面は略一致することが好ましい。

[0421]

導電体404aとして、導電性酸化物を用いることが好ましい。例えば、金属酸化物406aまたは金属酸化物406bとして用いることができる金属酸化物を用いることができる。特に、In-Ga-Zn系酸化物のうち、導電性が高い、金属の原子数比が $[\text{In}]:[\text{Ga}]:[\text{Zn}] = 4:2:3$ から4:1、及びその近傍値のものを用いることが好ましい。このような導電体404aを設けることで、導電体404bへの酸素の透過を抑制し、酸化によって導電体404bの電気抵抗値が増加す

ることを防ぐことができる。

[0422]

また、このような導電性酸化物を、スパッタリング法を用いて成膜することで、絶縁体412に酸素を添加し、金属酸化物406bに酸素を供給することが可能となる。これにより、金属酸化物406の領域426aの酸素欠損を低減することができる。

[0423]

導電体404bは、例えばタングステンなどの金属を用いることができる。また、導電体404bとして、導電体404aに窒素などの不純物を添加して導電体404aの導電性を向上できる導電体を用いてもよい。例えば導電体404bは、窒化チタンなどを用いることが好ましい。また、導電体404bを、窒化チタンなどの金属窒化物と、その上にタングステンなどの金属を積層した構造にしてもよい。

[0424]

ここで、ゲート電極の機能を有する導電体404が、絶縁体412を介して、金属酸化物406bの領域426a近傍の上面及びチャネル幅方向の側面を覆うように設けられる。従って、ゲート電極としての機能を有する導電体404の電界によって、金属酸化物406bの領域426a近傍の上面及びチャネル幅方向の側面を電氣的に取り囲むことができる。導電体404の電界によって、チャネル形成領域を電氣的に取り囲むトランジスタの構造を、surrounded channel (s-channel) 構造とよぶ。そのため、金属酸化物406bの領域426a近傍の上面及びチャネル幅方向の側面にチャネルを形成することができるので、ソースドレイン間に大電流を流すことができ、導通時の電流（オン電流）を大きくすることができる。また、金属酸化物406bの領域426a近傍の上面及びチャネル幅方向の側面が、導電体404の電界によって取り囲まれていることから、非導通時のリーク電流（オフ電流）を小さくすることができる。

[0425]

導電体404bの上に絶縁体419が配置されることが好ましい。また、絶縁体419、導電体404a、導電体404b、及び絶縁体412の側面は略一致することが好ましい。絶縁体419は、原子層堆積 (ALD: Atomic Layer Deposition) 法を用いて成膜することが好ましい。これにより、絶縁体419の膜厚を1nm以上20nm以下程度、好ましくは5nm以上10nm以下程度で成膜することができる。ここで、絶縁体419は、絶縁体418と同様に、水または水素などの不純物、及び酸素の透過を抑制する機能を有する絶縁性材料を用いることが好ましく、例えば、酸化アルミニウムまたは酸化ハフニウムなどを用いることが好ましい。

[0426]

このような絶縁体419を設けることにより、水、水素等の不純物、及び酸素の透過を抑制する機能を有する絶縁体419と絶縁体418で導電体404の上面と側面を覆うことができる。これにより、導電体404を介して、水、水素等の不純物が金属酸化物406に混入することを防ぐことができる。このように、絶縁体418と絶縁体419はゲートを保護するゲートキャップとしての機能を有する。

[0427]

絶縁体418は、絶縁体412、導電体404、及び絶縁体419の側面に接して設けられる。また、絶縁体418の上面は、絶縁体419の上面に略一致することが好ましい。絶縁体418は、ALD法を用いて成膜することが好ましい。これにより、絶縁体418の膜厚を1nm以上20nm以

下程度、好ましくは1 nm以上3 nm以下程度、例えば1 nmで成膜することができる。

[0428]

上記の通り、金属酸化物406の領域426b及び領域426cは、絶縁体225の成膜で添加された不純物元素によって形成される。トランジスタが微細化され、チャネル長が10 nm乃至30 nm程度に形成されている場合、ソース領域またはドレイン領域に含まれる不純物元素が拡散し、ソース領域とドレイン領域が電氣的に導通する恐れがある。これに対して、本実施の形態に示すように、絶縁体418を形成することにより、金属酸化物406の絶縁体225と接する領域どうしの間の距離を大きくすることができるので、ソース領域とドレイン領域が電氣的に導通することを防ぐことができる。更に、ALD法を用いて、絶縁体418を形成することで、微細化されたチャネル長と同程度以下の膜厚にし、必要以上にソース領域とドレイン領域の距離が広がって、抵抗が増大することをふせぐことができる。

[0429]

ここで、絶縁体418は、水、水素などの不純物、及び酸素の透過を抑制する機能を有する絶縁性材料を用いることが好ましく、例えば、酸化アルミニウムまたは酸化ハフニウムなどを用いることが好ましい。これにより、絶縁体412中の酸素が外部に拡散することを防ぐことができる。また、絶縁体412の端部等から金属酸化物406に水素、水等の不純物が浸入するのを抑制することができる。

[0430]

絶縁体418は、ALD法を用いて絶縁膜を成膜してから、異方性エッチングを行って、当該絶縁膜のうち、絶縁体412、導電体404、及び絶縁体419の側面に接する部分を残存させて形成することが好ましい。これにより、上記のように膜厚の薄い絶縁体を容易に形成することができる。また、このとき、導電体404の上に、絶縁体419を設けておくことで、当該異方性エッチングで絶縁体419が一部除去されても、絶縁体418の絶縁体412及び導電体404に接する部分を十分残存させることができる。

[0431]

絶縁体225は、絶縁体419、絶縁体418、金属酸化物406及び絶縁体224を覆って設けられる。ここで、絶縁体225は、絶縁体419および絶縁体418の上面に接し、かつ絶縁体418の側面に接して設けられる。絶縁体225は、上述の通り、水素または窒素などの不純物を金属酸化物406に添加して、領域426bおよび領域426cを形成する。このため、絶縁体225は、水素および窒素の少なくとも一方を有することが好ましい。

[0432]

また、絶縁体225は、金属酸化物406bの上面に加えて、金属酸化物406bの側面及び金属酸化物406aの側面に接して設けられることが好ましい。これにより、領域426b及び領域426cにおいて、金属酸化物406bの側面および金属酸化物406aの側面まで低抵抗化することができる。

[0433]

また、絶縁体225は、水、水素などの不純物、及び酸素の透過を抑制する機能を有する絶縁性材料を用いることが好ましい。例えば、絶縁体225として、窒化シリコン、窒化酸化シリコン、酸化窒化シリコン、窒化アルミニウム、窒化酸化アルミニウムなどを用いることが好ましい。このような絶縁体225を形成することで、絶縁体225を透過して酸素が浸入し、領域426b及び領域42

6 c の酸素欠損に酸素を供給して、キャリア密度が低下するのを防ぐことができる。また、絶縁体 2 2 5 を透過して水、水素などの不純物が浸入し、領域 4 2 6 b 及び領域 4 2 6 c が過剰に領域 4 2 6 a 側に拡張するのを防ぐことができる。

[0 4 3 4]

絶縁体 2 2 5 の上に絶縁体 2 8 0 を設けることが好ましい。絶縁体 2 8 0 は、絶縁体 2 2 4 などと同様に、膜中の水または水素などの不純物濃度が低減されていることが好ましい。

[0 4 3 5]

絶縁体 2 8 0 及び絶縁体 2 2 5 に形成された開口に導電体 4 5 0 a および導電体 4 5 1 a と、導電体 4 5 0 b および導電体 4 5 1 b と、が配置される。導電体 4 5 0 a 及び導電体 4 5 1 a と、導電体 4 5 0 b 及び導電体 4 5 1 b と、は、導電体 4 0 4 を挟んで対向して設けられることが好ましい。

[0 4 3 6]

ここで、絶縁体 2 8 0 及び絶縁体 2 2 5 の開口の内壁に接して導電体 4 5 0 a が形成され、さらに内側に導電体 4 5 1 a が形成されている。当該開口の底部の少なくとも一部には金属酸化物 4 0 6 の領域 4 2 6 b が位置しており、導電体 4 5 0 a は領域 4 2 6 b と接する。同様に、絶縁体 2 8 0 および絶縁体 2 2 5 の開口の内壁に接して導電体 4 5 0 b が形成され、さらに内側に導電体 4 5 1 b が形成されている。当該開口の底部の少なくとも一部には金属酸化物 4 0 6 の領域 4 2 6 c が位置しており、導電体 4 5 0 b は領域 4 2 6 c と接する。

[0 4 3 7]

導電体 4 5 0 a 及び導電体 4 5 1 a は、ソース電極又はドレイン電極の一方として機能し、導電体 4 5 0 b 及び導電体 4 5 1 b は、ソース電極又はドレイン電極の他方として機能する。

[0 4 3 8]

導電体 4 5 0 a 及び導電体 4 5 0 b は、導電体 3 1 0 a などと同様に、水、水素等の不純物の透過を抑制する機能を有する導電性材料を用いることが好ましい。例えば、タンタル、窒化タンタル、チタン、窒化チタン、ルテニウム、酸化ルテニウム等を用いることが好ましく、単層又は積層とすればよい。これにより、絶縁体 2 8 0 より上層から水素、水等の不純物が導電体 4 5 1 a および導電体 4 5 1 b を通じて金属酸化物 4 0 6 に混入するのを抑制することができる。

[0 4 3 9]

また、導電体 4 5 1 a 及び導電体 4 5 1 b は、タングステン、銅、アルミニウム等を主成分とする導電性材料を用いることが好ましい。また、図示しないが、導電体 4 5 1 a 及び導電体 4 5 1 b は積層構造としてもよく、例えば、チタン、窒化チタンと上記導電性材料との積層としてもよい。

[0 4 4 0]

次に、トランジスタ 2 0 0 の構成材料について説明する。

[0 4 4 1]

<基板>

トランジスタ 2 0 0 を形成する基板としては、例えば、絶縁体基板、半導体基板又は導電体基板を用いればよい。絶縁体基板としては、例えば、ガラス基板、石英基板、サファイア基板、安定化ジルコニア基板（イットリア安定化ジルコニア基板など）、樹脂基板などがある。また、半導体基板としては、例えば、シリコン、ゲルマニウムなどの半導体基板、又は、炭化シリコン、シリコンゲルマニウム、ヒ化ガリウム、リン化インジウム、酸化亜鉛、酸化ガリウムからなる化合物半導体基板がある。さらには、前述の半導体基板内部に絶縁体領域を有する半導体基板、例えば SOI (Silicon

On Insulator) 基板等がある。導電体基板としては、黒鉛基板、金属基板、合金基板、導電性樹脂基板等がある。または、金属の窒化物を有する基板、金属の酸化物を有する基板等がある。さらには、絶縁体基板に導電体又は半導体が設けられた基板、半導体基板に導電体又は絶縁体が設けられた基板、導電体基板に半導体又は絶縁体が設けられた基板などがある。または、これらの基板に素子が設けられたものを用いてもよい。基板に設けられる素子としては、容量素子、抵抗素子、スイッチ素子、発光素子、記憶素子などがある。

[0442]

また、基板として、可とう性基板を用いてもよい。なお、可とう性基板上にトランジスタを設ける方法としては、非可とう性の基板上にトランジスタを作製した後、トランジスタを剥離し、可とう性基板である基板に転置する方法もある。その場合には、非可とう性基板とトランジスタとの間に剥離層を設けるとよい。なお、基板として、繊維を編みこんだシート、フィルム又は箔などを用いてもよい。また、基板が伸縮性を有してもよい。また、基板は、折り曲げや引っ張りをやめた際に、元の形状に戻る性質を有してもよい。または、元の形状に戻らない性質を有してもよい。基板は、例えば、 $5\mu\text{m}$ 以上 $700\mu\text{m}$ 以下、好ましくは $10\mu\text{m}$ 以上 $500\mu\text{m}$ 以下、さらに好ましくは $15\mu\text{m}$ 以上 $300\mu\text{m}$ 以下の厚さとなる領域を有する。基板を薄くすると、トランジスタを有する半導体装置を軽量化することができる。また、基板を薄くすることで、ガラスなどを用いた場合にも伸縮性を有する場合や、折り曲げや引っ張りをやめた際に、元の形状に戻る性質を有する場合がある。そのため、落下などによって基板上の半導体装置に加わる衝撃などを緩和することができる。即ち、丈夫な半導体装置を提供することができる。

[0443]

可とう性基板である基板としては、例えば、金属、合金、樹脂もしくはガラス、またはそれらの繊維などを用いることができる。可とう性基板である基板は、線膨張率が低いほど環境による変形が抑制されて好ましい。可とう性基板である基板としては、例えば、線膨張率が $1 \times 10^{-3}/\text{K}$ 以下、 $5 \times 10^{-5}/\text{K}$ 以下、または $1 \times 10^{-5}/\text{K}$ 以下である材質を用いればよい。樹脂としては、例えば、ポリエステル、ポリオレフィン、ポリアミド（ナイロン、アラミドなど）、ポリイミド、ポリカーボネート、アクリルなどがある。特に、アラミドは、線膨張率が低いため、可とう性基板である基板として好適である。

[0444]

<絶縁体>

絶縁体としては、絶縁性を有する酸化物、窒化物、酸化窒化物、窒化酸化物、金属酸化物、金属酸化窒化物、金属窒化酸化物などがある。

[0445]

トランジスタを、水素などの不純物および酸素の透過を抑制する機能を有する絶縁体で囲うことによって、トランジスタの電気特性を安定にすることができる。例えば、絶縁体222、絶縁体214として、水素などの不純物及び酸素の透過を抑制する機能を有する絶縁体を用いればよい。

[0446]

水素などの不純物及び酸素の透過を抑制する機能を有する絶縁体としては、例えば、ホウ素、炭素、窒素、酸素、フッ素、マグネシウム、アルミニウム、シリコン、リン、塩素、アルゴン、ガリウム、ゲルマニウム、イットリウム、ジルコニウム、ランタン、ネオジム、ハフニウムまたはタンタルを含む絶縁体を、単層で、又は積層で用いればよい。

[0447]

また、例えば、絶縁体222及び絶縁体214としては、酸化アルミニウム、酸化マグネシウム、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム、酸化ハフニウム又は酸化タンタルなどの金属酸化物、窒化酸化シリコン又は窒化シリコンなどを用いればよい。なお、絶縁体222及び絶縁体214は、酸化アルミニウム又は酸化ハフニウムなどを有することが好ましい。

[0448]

絶縁体384、絶縁体216、絶縁体220、絶縁体224及び絶縁体412としては、例えば、ホウ素、炭素、窒素、酸素、フッ素、マグネシウム、アルミニウム、シリコン、リン、塩素、アルゴン、ガリウム、ゲルマニウム、イットリウム、ジルコニウム、ランタン、ネオジム、ハフニウムまたはタンタルを含む絶縁体を、単層で、又は積層で用いればよい。例えば、絶縁体384、絶縁体216、絶縁体220、絶縁体224および絶縁体412としては、酸化シリコン、酸化窒化シリコン、又は窒化シリコンを有することが好ましい。

[0449]

絶縁体220、絶縁体222、絶縁体224、及び／又は絶縁体412は、比誘電率の高い絶縁体を有することが好ましい。例えば、絶縁体220、絶縁体222、絶縁体224、及び／又は絶縁体412は、酸化ガリウム、酸化ハフニウム、酸化ジルコニウム、アルミニウム及びハフニウムを有する酸化物、アルミニウム及びハフニウムを有する酸化窒化物、シリコン及びハフニウムを有する酸化物、シリコン及びハフニウムを有する酸化窒化物、シリコン及びハフニウムを有する窒化物等を有することが好ましい。又は、絶縁体220、絶縁体222、絶縁体224、及び／又は絶縁体412は、酸化シリコン又は酸化窒化シリコンと、比誘電率の高い絶縁体と、の積層構造を有することが好ましい。酸化シリコン及び酸化窒化シリコンは、熱的に安定であるため、比誘電率の高い絶縁体と組み合わせることで、熱的に安定かつ比誘電率の高い積層構造とすることができる。例えば、絶縁体224及び絶縁体412において、酸化アルミニウム、酸化ガリウム又は酸化ハフニウムを金属酸化物406と接する構造とすることで、酸化シリコン又は酸化窒化シリコンに含まれるシリコンが、金属酸化物406に混入することを抑制することができる。また、例えば、絶縁体224及び絶縁体412において、酸化シリコン又は酸化窒化シリコンを金属酸化物406と接する構造とすることで、酸化アルミニウム、酸化ガリウム又は酸化ハフニウムと、酸化シリコン又は酸化窒化シリコンと、の界面にトラップセンターが形成される場合がある。該トラップセンターは、電子を捕獲することでトランジスタのしきい値電圧をプラス方向に変動させることができる場合がある。

[0450]

絶縁体384、絶縁体216、及び絶縁体280は、比誘電率の低い絶縁体を有することが好ましい。例えば、絶縁体384、絶縁体216、及び絶縁体280は、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素及び窒素を添加した酸化シリコン、空孔を有する酸化シリコン又は樹脂などを有することが好ましい。又は、絶縁体384、絶縁体216、及び絶縁体280は、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素及び窒素を添加した酸化シリコンまたは空孔を有する酸化シリコンと、樹脂と、の積層構造を有することが好ましい。酸化シリコン及び酸化窒化シリコンは、熱的に安定であるため、樹脂と組み合わせることで、熱的に安定かつ比誘電率の低い積層構造とすることができる。樹脂としては、例えば、

ポリエステル、ポリオレフィン、ポリアミド（ナイロン、アラミドなど）、ポリイミド、ポリカーボネート又はアクリルなどがある。

[0451]

絶縁体418及び絶縁体419としては、水素などの不純物および酸素の透過を抑制する機能を有する絶縁体を用いればよい。絶縁体418及び絶縁体419としては、例えば、酸化アルミニウム、酸化ハフニウム、酸化マグネシウム、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム酸化タンタル等の金属酸化物、窒化酸化シリコン、窒化シリコン等を用いればよい。

[0452]

<導電体>

導電体404a、導電体404b、導電体310a、導電体310b、導電体450a、導電体450b、導電体451a、及び導電体451bとしては、アルミニウム、クロム、銅、銀、金、白金、タンタル、ニッケル、チタン、モリブデン、タングステン、ハフニウム、バナジウム、ニオブ、マンガン、マグネシウム、ジルコニウム、ベリリウム、インジウム、ルテニウムなどから選ばれた金属元素を1種以上含む材料を用いることができる。また、リン等の不純物元素を含有させた多結晶シリコンに代表される、電気伝導度が高い半導体、ニッケルシリサイドなどのシリサイドを用いてもよい。

[0453]

また、上記導電体、特に導電体404a、導電体310a、導電体450a、及び導電体450bとして、金属酸化物406に適用可能な金属酸化物に含まれる金属元素及び酸素を含む導電性材料を用いてもよい。また、前述した金属元素及び窒素を含む導電性材料を用いてもよい。例えば、窒化チタン、窒化タンタル等の窒素を含む導電性材料を用いてもよい。また、インジウム錫酸化物、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム亜鉛酸化物、シリコンを添加したインジウム錫酸化物を用いてもよい。また、窒素を含むインジウムガリウム亜鉛酸化物を用いてもよい。このような材料を用いることで、金属酸化物406に含まれる水素を捕獲することができる場合がある。または、外方の絶縁体などから混入する水素を捕獲することができる場合がある。

[0454]

また、上記の材料で形成される導電層を複数積層して用いてもよい。例えば、前述した金属元素を含む材料と、酸素を含む導電性材料と、を組み合わせた積層構造としてもよい。また、前述した金属元素を含む材料と、窒素を含む導電性材料と、を組み合わせた積層構造としてもよい。また、前述した金属元素を含む材料と、酸素を含む導電性材料と、窒素を含む導電性材料と、を組み合わせた積層構造としてもよい。

[0455]

なお、トランジスタのチャネル形成領域に酸化物を用いる場合は、ゲート電極として前述した金属元素を含む材料と、酸素を含む導電性材料と、を組み合わせた積層構造を用いることが好ましい。この場合は、酸素を含む導電性材料をチャネル形成領域側に設けるとよい。酸素を含む導電性材料をチャネル形成領域側に設けることで、当該導電性材料から離脱した酸素がチャネル形成領域に供給されやすくなる。

[0456]

<金属酸化物406に適用可能な金属酸化物>

以下に、本発明に係る金属酸化物406について説明する。金属酸化物406として、酸化物半導体として機能する金属酸化物を用いることが好ましい。

[0457]

金属酸化物406は、少なくともインジウムまたは亜鉛を含むことが好ましい。特にインジウムおよび亜鉛を含むことが好ましい。また、それらに加えて、アルミニウム、ガリウム、イットリウム、スズ等が含まれていることが好ましい。また、ホウ素、シリコン、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、マグネシウム等から選ばれた一種、又は複数種が含まれていてもよい。

[0458]

ここで、金属酸化物406が、インジウム、元素M及び亜鉛を有する場合を考える。なお、金属酸化物406が有するインジウム、元素M、及び亜鉛の原子数比のそれぞれの項を  $[I_n]$ 、 $[M]$ 、および  $[Z_n]$  とする。

[0459]

以下に、図30(A)(B)(C)を用いて、金属酸化物406が有するインジウム、元素Mおよび亜鉛の原子数比の好ましい範囲について説明する。なお、図30(A)(B)(C)には、酸素の原子数比については記載しない。また、金属酸化物406が有するインジウム、元素M、および亜鉛の原子数比のそれぞれの項を  $[I_n]$ 、 $[M]$ 、及び  $[Z_n]$  とする。

[0460]

図30(A)(B)(C)において、破線は、 $[I_n]:[M]:[Z_n] = (1+\alpha):(1-\alpha):1$  の原子数比 ( $-1 \leq \alpha \leq 1$ ) となるライン、 $[I_n]:[M]:[Z_n] = (1+\alpha):(1-\alpha):2$  の原子数比となるライン、 $[I_n]:[M]:[Z_n] = (1+\alpha):(1-\alpha):3$  の原子数比となるライン、 $[I_n]:[M]:[Z_n] = (1+\alpha):(1-\alpha):4$  の原子数比となるライン、および  $[I_n]:[M]:[Z_n] = (1+\alpha):(1-\alpha):5$  の原子数比となるラインを表す。

[0461]

また、一点鎖線は、 $[I_n]:[M]:[Z_n] = 5:1:\beta$  の原子数比 ( $\beta \geq 0$ ) となるライン、 $[I_n]:[M]:[Z_n] = 2:1:\beta$  の原子数比となるライン、 $[I_n]:[M]:[Z_n] = 1:1:\beta$  の原子数比となるライン、 $[I_n]:[M]:[Z_n] = 1:2:\beta$  の原子数比となるライン、 $[I_n]:[M]:[Z_n] = 1:3:\beta$  の原子数比となるライン、および  $[I_n]:[M]:[Z_n] = 1:4:\beta$  の原子数比となるラインを表す。

[0462]

また、図30(A)(B)(C)に示す、 $[I_n]:[M]:[Z_n] = 0:2:1$  の原子数比、およびその近傍値の金属酸化物は、スピネル型の結晶構造をとりやすい。

[0463]

また、金属酸化物中に複数の相が共存する場合がある（二相共存、三相共存など）。例えば、原子数比が  $[I_n]:[M]:[Z_n] = 0:2:1$  の近傍値である場合、スピネル型の結晶構造と層状の結晶構造との二相が共存しやすい。また、原子数比が  $[I_n]:[M]:[Z_n] = 1:0:0$  の近傍値である場合、ピックスバイト型の結晶構造と層状の結晶構造との二相が共存しやすい。金属酸化物中に複数の相が共存する場合、異なる結晶構造の間において、結晶粒界が形成される場合がある。

[0464]

図30(A)に示す領域Aは、金属酸化物406が有する、インジウム、元素M、および亜鉛の原

子数比の好ましい範囲の一例について示している。

[0465]

金属酸化物は、インジウムの含有率を高くすることで、金属酸化物のキャリア移動度(電子移動度)を高くすることができる。従って、インジウムの含有率が高い金属酸化物はインジウムの含有率が低い金属酸化物と比較してキャリア移動度が高くなる。

[0466]

一方、金属酸化物中のインジウム及び亜鉛の含有率が低くなると、キャリア移動度が低くなる。従って、原子数比が  $[In]:[M]:[Zn] = 0:1:0$ 、及びその近傍値である場合(例えば図30(C)に示す領域C)は、絶縁性が高くなる。

[0467]

例えば、金属酸化物406bに用いる金属酸化物は、キャリア移動度が高い、図30(A)の領域Aで示される原子数比を有することが好ましい。金属酸化物406bに用いる金属酸化物は、例えば  $In:Ga:Zn = 4:2:3$  から4.1、およびその近傍値程度になるようにすればよい。一方、金属酸化物406aに用いる金属酸化物は、絶縁性が比較的高い、図30(C)の領域Cで示される原子数比を有することが好ましい。金属酸化物406aに用いる金属酸化物は、例えば  $In:Ga:Zn = 1:3:4$  程度になるようにすればよい。

[0468]

特に、図30(B)に示す領域Bでは、領域Aの中でも、キャリア移動度が高く、信頼性が高い優れた金属酸化物が得られる。

[0469]

なお、領域Bは、 $[In]:[M]:[Zn] = 4:2:3$  から4.1、およびその近傍値を含む。近傍値には、例えば、 $[In]:[M]:[Zn] = 5:3:4$  が含まれる。また、領域Bは、 $[In]:[M]:[Zn] = 5:1:6$ 、およびその近傍値、および  $[In]:[M]:[Zn] = 5:1:7$ 、およびその近傍値を含む。

[0470]

また、金属酸化物406として、 $In-M-Zn$ 酸化物を用いる場合、スパッタリングターゲットとしては、多結晶の  $In-M-Zn$ 酸化物を含むターゲットを用いると好ましい。なお、成膜される金属酸化物の原子数比は、上記のスパッタリングターゲットに含まれる金属元素の原子数比のプラスマイナス40%の変動を含む。例えば、金属酸化物406に用いるスパッタリングターゲットの組成が  $In:Ga:Zn = 4:2:4.1$  [原子数比] の場合、成膜される金属酸化物の組成は、 $In:Ga:Zn = 4:2:3$  [原子数比] の近傍となる場合がある。また、金属酸化物406に用いるスパッタリングターゲットの組成が  $In:Ga:Zn = 5:1:7$  [原子数比] の場合、成膜される金属酸化物の組成は、 $In:Ga:Zn = 5:1:6$  [原子数比] の近傍となる場合がある。

[0471]

なお、金属酸化物が有する性質は、原子数比によって一義的に定まらない。同じ原子数比であっても、形成条件により、金属酸化物の性質が異なる場合がある。例えば、金属酸化物406をスパッタリング装置にて成膜する場合、ターゲットの原子数比からずれた原子数比の膜が形成される。また、成膜時の基板温度によっては、ターゲットの  $[Zn]$  よりも、膜の  $[Zn]$  が小さくなる場合がある。従って、図示する領域は、金属酸化物が特定の特性を有する傾向がある原子数比を示す領域であり、領域A乃至領域Cの境界は厳密ではない。

[0472]

## &lt;金属酸化物の構成&gt;

以下では、OSトランジスタに用いることができるCAC (Cloud-Aligned Composite) -OSの構成について説明する。

[0473]

なお、本明細書等において、CACは機能、又は材料の構成の一例を表し、後述するCAAC (c-axis aligned crystal) は、結晶構造の一例を表す。

[0474]

CAC-OSまたはCAC-metal oxideとは、材料の一部では導電性の機能と、材料の一部では絶縁性の機能と、を有し、材料の全体では半導体としての機能を有する。なお、CAC-OSまたはCAC-metal oxideを、トランジスタの活性層に用いる場合、導電性の機能は、キャリアとなる電子（またはホール）を流す機能であり、絶縁性の機能は、キャリアとなる電子を流さない機能である。導電性の機能と、絶縁性の機能と、をそれぞれ相補的に作用させることで、スイッチングさせる機能 (On/Offさせる機能) をCAC-OSまたはCAC-metal oxideに付与することができる。CAC-OSまたはCAC-metal oxideにおいて、それぞれの機能を分離させることで、双方の機能を最大限に高めることができる。

[0475]

また、CAC-OSまたはCAC-metal oxideは、導電性領域、及び絶縁性領域を有する。導電性領域は、上述の導電性の機能を有し、絶縁性領域は、上述の絶縁性の機能を有する。また、材料中において、導電性領域と、絶縁性領域とは、ナノ粒子レベルで分離している場合がある。また、導電性領域と、絶縁性領域とは、それぞれ材料中に偏在する場合がある。また、導電性領域は、周辺がぼけてクラウド状に連結して観察される場合がある。

[0476]

また、CAC-OSまたはCAC-metal oxideにおいて、導電性領域と、絶縁性領域とは、それぞれ0.5 nm以上10 nm以下、好ましくは0.5 nm以上3 nm以下のサイズで材料中に分散している場合がある。

[0477]

また、CAC-OSまたはCAC-metal oxideは、異なるバンドギャップを有する成分により構成される。例えば、CAC-OSまたはCAC-metal oxideは、絶縁性領域に起因するワイドギャップを有する成分と、導電性領域に起因するナローギャップを有する成分と、により構成される。当該構成の場合、キャリアを流す際に、ナローギャップを有する成分において、主にキャリアが流れる。また、ナローギャップを有する成分が、ワイドギャップを有する成分に相補的に作用し、ナローギャップを有する成分に連動してワイドギャップを有する成分にもキャリアが流れる。このため、上記CAC-OSまたはCAC-metal oxideをトランジスタのチャネル形成領域に用いる場合、トランジスタのオン状態において高い電流駆動力、つまり大きなオン電流、及び高い電界効果移動度を得ることができる。

[0478]

すなわち、CAC-OSまたはCAC-metal oxideは、マトリックス複合材 (matrix composite)、または金属マトリックス複合材 (metal matrix composite) と呼称することもできる。

[0479]

## &lt;金属酸化物の構造&gt;

酸化物半導体は、単結晶酸化物半導体と、それ以外の非単結晶酸化物半導体と、に分けられる。非単結晶酸化物半導体としては、例えば、CAAC-OS (c-axis aligned crystalline oxide semiconductor)、多結晶酸化物半導体、nc-OS (nanocrystalline oxide semiconductor)、擬似非晶質酸化物半導体 (a-like OS: amorphous-like oxide semiconductor) 及び非晶質酸化物半導体などがある。

[0480]

CAAC-OSは、c軸配向性を有し、かつa-b面方向において複数のナノ結晶が連結し、歪みを有した結晶構造となっている。なお、歪みとは、複数のナノ結晶が連結する領域において、格子配列の揃った領域と、別の格子配列の揃った領域と、の間で格子配列の向きが変化している箇所を指す。

[0481]

ナノ結晶は、六角形を基本とするが、正六角形状とは限らず、非正六角形状である場合がある。また、歪みにおいて、五角形、七角形等の格子配列を有する場合がある。なお、CAAC-OSにおいて、歪み近傍においても、明確な結晶粒界（グレインバウンダリーともいう）を確認することはできない。即ち、格子配列の歪みによって、結晶粒界の形成が抑制されていることがわかる。これは、CAAC-OSが、a-b面方向において酸素原子の配列が稠密でないことや、金属元素が置換することで原子間の結合距離が変化することなどによって、歪みを許容することができるためと考えられる。

[0482]

また、CAAC-OSは、インジウム、および酸素を有する層（以下、In層）と、元素M、亜鉛、および酸素を有する層（以下、(M, Zn)層）とが積層した、層状の結晶構造（層状構造ともいう）を有する傾向がある。なお、インジウムと元素Mは、互いに置換可能であり、(M, Zn)層の元素Mがインジウムと置換した場合、(In, M, Zn)層と表すこともできる。また、In層のインジウムが元素Mと置換した場合、(In, M)層と表すこともできる。

[0483]

CAAC-OSは結晶性の高い酸化物半導体である。一方、CAAC-OSは、明確な結晶粒界を確認することはできないため、結晶粒界に起因する電子移動度の低下が起こりにくいといえる。また、酸化物半導体の結晶性は不純物の混入や欠陥の生成などによって低下する場合があるため、CAAC-OSは不純物や欠陥（酸素欠損など）の少ない酸化物半導体ともいえる。従って、CAAC-OSを有する酸化物半導体は、物理的性質が安定する。そのため、CAAC-OSを有する酸化物半導体は熱に強く、信頼性が高い。

[0484]

nc-OSは、微小な領域（例えば、1nm以上10nm以下の領域、特に1nm以上3nm以下の領域）において原子配列に周期性を有する。また、nc-OSは、異なるナノ結晶間で結晶方位に規則性が見られない。そのため、膜全体で配向性が見られない。したがって、nc-OSは、分析方法によっては、a-like OSや非晶質酸化物半導体と区別が付かない場合がある。

[0485]

a-like OSは、nc-OSと非晶質酸化物半導体との間の構造を有する酸化物半導体である。a-like OSは、鬆または低密度領域を有する。即ち、a-like OSは、nc-O

SおよびCAAC-OSと比べて、結晶性が低い。

[0486]

酸化物半導体は、多様な構造をとり、それぞれが異なる特性を有する。本発明の一態様の酸化物半導体は、非晶質酸化物半導体、多結晶酸化物半導体、a-like OS、nc-OS、CAAC-OSのうち、二種以上を有していてもよい。

[0487]

<金属酸化物を有するトランジスタ>

続いて、上記金属酸化物をトランジスタに用いる場合について説明する。

[0488]

なお、上記金属酸化物をトランジスタに用いることで、高い電界効果移動度のトランジスタを実現することができる。また、信頼性の高いトランジスタを実現することができる。

[0489]

また、トランジスタには、金属酸化物406bの領域426aにおけるキャリア密度の低いことが好ましい。金属酸化物のキャリア密度を低くする場合においては、金属酸化物中の不純物濃度を低くし、欠陥準位密度を低くすればよい。本明細書等において、不純物濃度が低く、欠陥準位密度の低いことを高純度真性または実質的に高純度真性と言う。例えば、金属酸化物406bの領域426aにおけるキャリア密度が $8 \times 10^{11} / \text{cm}^3$ 未満、好ましくは $1 \times 10^{11} / \text{cm}^3$ 未満、さらに好ましくは $1 \times 10^{10} / \text{cm}^3$ 未満であり、 $1 \times 10^{-9} / \text{cm}^3$ 以上とすればよい。

[0490]

また、高純度真性または実質的に高純度真性である金属酸化物は、欠陥準位密度が低いため、トラップ準位密度も低くなる場合がある。

[0491]

また、金属酸化物のトラップ準位に捕獲された電荷は、消失するまでに要する時間が長く、あたかも固定電荷のように振る舞うことがある。そのため、トラップ準位密度の高い酸化物半導体にチャネル形成領域が形成されるトランジスタは、電気特性が不安定となる場合がある。

[0492]

従って、トランジスタの電気特性を安定にするためには、金属酸化物406bの領域426a中の不純物濃度を低減することが有効である。また、金属酸化物406bの領域426a中の不純物濃度を低減するためには、近接する膜中の不純物濃度も低減することが好ましい。不純物としては、例えば、水素、窒素、アルカリ金属、アルカリ土類金属、鉄、ニッケル、シリコン等がある。

[0493]

<不純物>

ここで、金属酸化物中における各不純物の影響について説明する。

[0494]

金属酸化物において、第14族元素の一つであるシリコンや炭素が含まれると、金属酸化物において欠陥準位が形成される。このため、金属酸化物406bの領域426aにおけるシリコンや炭素の濃度(SIMSにより得られる濃度)を、 $2 \times 10^{18} \text{ atoms} / \text{cm}^3$ 以下、好ましくは $2 \times 10^{17} \text{ atoms} / \text{cm}^3$ 以下とする。

[0495]

また、金属酸化物にアルカリ金属又はアルカリ土類金属が含まれると、欠陥準位を形成し、キャリ

アを生成する場合がある。従って、アルカリ金属又はアルカリ土類金属が含まれている金属酸化物を用いたトランジスタはノーマリーオン特性となりやすい。このため、金属酸化物406bの領域426aにおいて、アルカリ金属またはアルカリ土類金属の濃度を低減することが好ましい。具体的には、SIMSにより得られる金属酸化物406bの領域426a中のアルカリ金属またはアルカリ土類金属の濃度を、 $1 \times 10^{18} \text{ atoms/cm}^3$ 以下、好ましくは $2 \times 10^{16} \text{ atoms/cm}^3$ 以下にする。

[0496]

また、金属酸化物において、窒素が含まれると、キャリアである電子が生じ、キャリア密度が増加し、n型化しやすい。この結果、金属酸化物406bの領域426aに窒素が含まれているトランジスタはノーマリーオン特性となりやすい。従って、金属酸化物406bの領域426aにおいて、窒素はできる限り低減されていることが好ましい、例えば、金属酸化物406bの領域426a中の窒素濃度は、SIMSにおいて、 $5 \times 10^{19} \text{ atoms/cm}^3$ 未満、好ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 以下、より好ましくは $1 \times 10^{18} \text{ atoms/cm}^3$ 以下、さらに好ましくは $5 \times 10^{17} \text{ atoms/cm}^3$ 以下とする。

[0497]

また、金属酸化物に含まれる水素は、金属原子と結合する酸素と反応して水になるため、酸素欠損を形成する場合がある。該酸素欠損に水素が入ることで、キャリアである電子が生成される場合がある。また、水素の一部が金属原子と結合する酸素と結合して、キャリアである電子を生成することがある。従って、金属酸化物406bの領域426aに水素が多く含まれているトランジスタはノーマリーオン特性となりやすい。このため、金属酸化物406bの領域426a中の水素はできる限り低減されていることが好ましい。具体的には、金属酸化物において、SIMSにより得られる水素濃度を、 $1 \times 10^{20} \text{ atoms/cm}^3$ 未満、好ましくは $1 \times 10^{19} \text{ atoms/cm}^3$ 未満、より好ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 未満、さらに好ましくは $1 \times 10^{18} \text{ atoms/cm}^3$ 未満とする。

[0498]

金属酸化物406bの領域426a中の不純物を十分に低減することで、トランジスタに安定した電気特性を付与することができる。

[0499]

<<トランジスタ201>>

次に、図27に示すトランジスタ201の詳細について説明を行う。

[0500]

図31(A)は、トランジスタ201の上面図である。また、図31(B)は、図31(A)にA1-A2の一点鎖線で示す部位の断面図であり、トランジスタ201のチャネル長方向の断面図でもある。また、図31(C)は、図31(A)にA3-A4の一点鎖線で示す部位の断面図であり、トランジスタ201のチャネル幅方向の断面図でもある。図31(A)の上面図では、図の明瞭化のために一部の要素を省いて図示している。また、トランジスタ201の構成要素のうち、トランジスタ200と共通のものについては、符号を同じくする。

[0501]

図31(A)(B)(C)に示すように、トランジスタ201は、基板(図示せず)の上に配置された絶縁体224と、絶縁体224の上に配置された金属酸化物406aと、金属酸化物406aの上

面の少なくとも一部に接して配置された金属酸化物 406b と、金属酸化物 406b の上面の少なくとも一部に接して配置された導電体 452a 及び導電体 452b と、金属酸化物 406b の上面の少なくとも一部に接し且つ導電体 452a および導電体 452b の上に配置された金属酸化物 406c と、金属酸化物 406c の上に配置された絶縁体 412 と、絶縁体 412 の上に配置された導電体 405a と、導電体 405a の上に配置された導電体 405b と、導電体 405b の上に配置された絶縁体 420 と、を有する。

[0502]

導電体 405（導電体 405a 及び導電体 405b）は、トップゲートとして機能でき、導電体 310 は、バックゲートとして機能できる。バックゲートの電位は、トップゲートと同電位としてもよいし、接地電位や、任意の電位としてもよい。また、バックゲートの電位をトップゲートと連動させず独立して変化させることで、トランジスタのしきい値電圧を変化させることができる。

[0503]

導電体 405a は、図 28 の導電体 404a と同様の材料を用いて設けることができる。導電体 405b は、図 28 の導電体 404b と同様の材料を用いて設けることができる。

[0504]

導電体 452a はソース電極またはドレイン電極の一方としての機能を有し、導電体 452b はソース電極またはドレイン電極の他方としての機能を有する。

[0505]

導電体 452a、452b は、アルミニウム、チタン、クロム、ニッケル、銅、イットリウム、ジルコニウム、モリブデン、銀、タンタル、タングステン等の金属、又はこれらから選ばれる金属を主成分とする合金を用いることができる。また、図では単層構造を示したが、2層以上の積層構造としてもよい。また、酸化インジウム、酸化錫または酸化亜鉛を含む透明導電材料を用いてもよい。

[0506]

トランジスタ 201 において、チャネルは金属酸化物 406b に形成されることが好ましい。そのため、金属酸化物 406c は金属酸化物 406b よりも絶縁性が比較的高い材料を用いることが好ましい。金属酸化物 406c は、金属酸化物 406a と同様の材料を用いればよい。

[0507]

トランジスタ 201 は、金属酸化物 406c を設けることで、トランジスタ 201 を埋め込みチャネル型のトランジスタとすることができる。また、導電体 452a および導電体 452b の端部の酸化を防ぐことができる。また、導電体 405 と導電体 452a（または導電体 405 と導電体 452b）との間のリーク電流を防ぐことができる。なお、金属酸化物 406c は、場合によっては省略してもよい。

[0508]

また、金属酸化物 406b は、領域 426d を有する。領域 426d は、図 31（B）に示すように、金属酸化物 406b が、導電体 452a、及び導電体 452b と接する領域に位置する。領域 426d は、導電体 452a、及び導電体 452b の成膜時によるダメージと、当該成膜雰囲気に含まれる窒素などの不純物が添加されることと、によって形成される。これによって、金属酸化物 406b の領域 426d において、添加された不純物元素により酸素欠損が形成され、更に当該不純物元素が酸素欠損に入り込むことで、キャリア密度が高くなり、低抵抗化される。なお、導電体 452a、及び導電体 452b の成膜条件次第では、領域 426d は、金属酸化物 406b の界面にのみ形成さ

れる場合がある。

[0509]

絶縁体420は、水、水素等の不純物、及び酸素の透過を抑制する機能を有する絶縁性材料を用いることが好ましい。例えば、絶縁体420として、酸化アルミニウム、酸化マグネシウム、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム、酸化ハフニウム、又は酸化タンタルなどの金属酸化物、窒化酸化シリコン、又は窒化シリコンなどを用いればよい。

[0510]

トランジスタ201は、絶縁体420を設けることで、導電体405が酸化することを防ぐことができる。また、水、水素などの不純物が、金属酸化物406へ侵入することを防ぐことができる。

[0511]

トランジスタ201は、トランジスタ200と比べて、金属酸化物406bと電極（ソース電極またはドレイン電極）との接触面積を大きくすることができる。また、図28に示す領域426b及び領域426cを作製する工程が不要になる。そのため、トランジスタ201は、トランジスタ200よりもオン電流を大きくすることができる。また製造工程を簡略化することができる。

[0512]

トランジスタ201のその他の構成要素の詳細は、トランジスタ200の記載を参照すればよい。

[0513]

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせることができる。

[0514]

(実施の形態6)

本実施の形態では、本発明の一態様の撮像装置の一例について、図面を参照して説明する。

[0515]

図32(A)は、撮像装置の画素回路を説明する図である。当該画素回路は、光電変換素子1050と、トランジスタ1051と、トランジスタ1052と、トランジスタ1053と、トランジスタ1054と、を有する。

[0516]

光電変換素子1050の一方の電極（アノード）は、トランジスタ1051のソース又はドレインの一方と電気的に接続されている。光電変換素子1050の一方の電極は、トランジスタ1052のソース又はドレインの一方と電気的に接続されている。トランジスタ1051のソース又はドレインの他方は、トランジスタ1053のゲートと電気的に接続されている。トランジスタ1053のソース又はドレインの一方は、トランジスタ1054のソース又はドレインの一方と電気的に接続されている。なお、トランジスタ1053のゲートと電気的に接続される容量素子を設けてもよい。

[0517]

光電変換素子1050の他方の電極（カソード）は、配線1072と電気的に接続される。トランジスタ1051のゲートは、配線1075と電気的に接続されている。トランジスタ1053のソース又はドレインの他方は、配線1079に電気的に接続されている。トランジスタ1052のゲートは、配線1076と電気的に接続されている。トランジスタ1052のソース又はドレインの他方は、配線1073と電気的に接続されている。トランジスタ1054のソース又はドレインの他方は、配線1071と電気的に接続される。トランジスタ1054のゲートは、配線1078と電気的に接続

される。配線1072は、電源1056の一方の端子と電氣的に接続され、電源1056の他方の端子は、配線1077と電氣的に接続される。

[0518]

ここで、配線1071は、画素から信号を出力する出力線としての機能を有することができる。配線1073、配線1077、配線1079は、電源線としての機能を有することができる。例えば、配線1073及び配線1077は、低電位電源線、配線1079は高電位電源線として機能させることができる。配線1075、配線1076、配線1078は、各トランジスタのオンオフを制御する信号線として機能させることができる。

[0519]

光電変換素子1050には、低照度時の光検出感度を高めるためアバランシェ増倍効果が生じる光電変換素子を用いることが好ましい。アバランシェ増倍効果を生じさせるためには、比較的高い電位HVDDが必要となる。したがって、電源1056は電位HVDDを供給することのできる機能を有し、光電変換素子1050の他方の電極には配線1072を介して電位HVDDが供給される。なお、光電変換素子1050は、アバランシェ増倍効果が生じない電位を印加して使用することもできる。

[0520]

トランジスタ1051は、光電変換素子1050の出力に応じて変化する電荷蓄積部(NR)の電位を電荷検出部(ND)に転送する機能を有することができる。トランジスタ1052は、電荷蓄積部(NR)及び電荷検出部(ND)の電位を初期化する機能を有することができる。トランジスタ1053は、電荷検出部(ND)の電位に応じた信号を出力する機能を有することができる。トランジスタ1054は、信号を読み出す画素を選択する機能を有することができる。

[0521]

光電変換素子1050の他方の電極に高電圧を印加する場合、光電変換素子1050と接続されるトランジスタには高電圧に耐えられる高耐圧のトランジスタを用いる必要がある。当該高耐圧のトランジスタには、例えば、OSトランジスタなどを用いることができる。具体的には、トランジスタ1051およびトランジスタ1052にOSトランジスタを適用することが好ましい。

[0522]

トランジスタ1051及びトランジスタ1052はスイッチング特性が優れていることが望まれるが、トランジスタ1053は増幅特性が優れていることが望まれるため、オン電流が高いトランジスタであることが好ましい。したがって、トランジスタ1053及びトランジスタ1054には、シリコンを活性層または活性領域に用いたトランジスタ(以下、Siトランジスタ)を適用することが好ましい。

[0523]

トランジスタ1051乃至トランジスタ1054を上記した構成とすることで、低照度における光の検出感度が高く、ノイズの少ない信号を出力することのできる撮像装置を作製することができる。また、光の検出感度が高いため、光の取り込み時間を短くすることができ、撮像を高速に行うことができる。

[0524]

なお、上記構成に限らず、トランジスタ1053及びトランジスタ1054にOSトランジスタを適用してもよい。または、トランジスタ1051及びトランジスタ1052にSiトランジスタを適用してもよい。いずれの場合においても当該画素回路の撮像動作は可能である。

[0525]

次に、図32(B)のタイミングチャートを用いて、画素の動作を説明する。なお、以下に説明する一例の動作において、トランジスタ1052のゲートに接続された配線1076には、“H”としてHVDD、“L”としてGNDの電位が供給されるものとする。トランジスタ1051のゲートに接続された配線1075及びトランジスタ1054のゲートに接続された配線1078には、“H”としてVDD、“L”としてGNDの電位が供給されるものとする。また、トランジスタ1053のソースに接続された配線1079には、VDDの電位が供給されるものとする。なお、各配線に上記以外の電位を供給する形態とすることもできる。

[0526]

時刻T1から時刻T2までの間において、配線1076を“H”、配線1075を“H”とし、電荷蓄積部(NR)及び電荷検出部(ND)の電位をリセット電位(GND)に設定する(リセット動作)。なお、リセット動作時に配線1076に“H”として電位VDDを供給してもよい。

[0527]

時刻T2から時刻T3までの間において、配線1076を“L”、配線1075を“L”とすることで、電荷蓄積部(NR)の電位が変化する(蓄積動作)。電荷蓄積部(NR)の電位は、光電変換素子1050に入射した光の強度に応じてGNDから最大でHVDDまで変化する。

[0528]

時刻T3から時刻T4までの間において、配線1075を“H”とし、電荷蓄積部(NR)の電荷を電荷検出部(ND)に転送する(転送動作)。

[0529]

時刻T4から時刻T5までの間において、配線1076を“L”、配線1075を“L”とし、転送動作を終了させる。この時点で電荷検出部(ND)の電位が確定される。

[0530]

時刻T5からT6までの間において、配線1076を“L”、配線1075を“L”、配線1078を“H”とし、電荷検出部(ND)の電位に応じた信号を配線1071に出力する。すなわち、蓄積動作において光電変換素子1050に入射した光の強度に応じた出力信号を得ることができる。

[0531]

図33(A)に、上述した画素回路を有する撮像装置の画素の構成の一例を示す。当該画素は、層1061、層1062および層1063を有し、それぞれが互いに重なる領域を有する構成とすることができる。

[0532]

層1061は、光電変換素子1050の構成要素を有する。光電変換素子1050は、画素電極に相当する電極1065と、光電変換部1066と、共通電極に相当する電極1067を有する。

[0533]

電極1065には、低抵抗の金属層などを用いることが好ましい。金属層としては、例えば、アルミニウム、チタン、タングステン、タンタル、銀などの金属、又はこれらから選ばれた複数種の金属の積層を用いることができる。

[0534]

電極1067には、可視光(Light)に対して高い透光性を有する導電層を用いることが好ましい。導電層としては、例えば、インジウム酸化物、錫酸化物、亜鉛酸化物、インジウム-錫酸化物、

ガリウム-亜鉛酸化物、インジウム-ガリウム-亜鉛酸化物、またはグラフェンなどを用いることができる。なお、電極1067を省く構成とすることもできる。

[0535]

光電変換部1066には、例えばセレン系材料を光電変換層としたpn接合型フォトダイオードなどを用いることができる。層1066aとしてはp型半導体であるセレン系材料を用い、層1066bとしてはn型半導体であるガリウム酸化物などを用いることが好ましい。

[0536]

セレン系材料を用いた光電変換素子は、可視光に対する外部量子効率が高い特性を有する。当該光電変換素子では、アバランシェ増倍効果を利用することにより、入射される光量に対する電子の増幅が大きい高感度のセンサとすることができる。また、セレン系材料は光吸収係数が高いため、光電変換層を薄膜で作製できるなどの生産上の利点を有する。セレン系材料の薄膜は、真空蒸着法またはスパッタ法などを用いて形成することができる。

[0537]

セレン系材料としては、単結晶セレンや多結晶セレンなどの結晶性セレン、非晶質セレン、銅とインジウムとセレンとの化合物(CIS)、又は銅とインジウムとガリウムとセレンとの化合物(CIGS)などを用いることができる。

[0538]

n型半導体は、バンドギャップが広く、可視光に対して透光性を有する材料で形成することが好ましい。例えば、亜鉛酸化物、ガリウム酸化物、インジウム酸化物、錫酸化物、又はそれらが混在した酸化物などを用いることができる。また、これらの材料は正孔注入阻止層としての機能も有し、暗電流を小さくすることもできる。

[0539]

なお、層1061は上記構成に限らず、層1066aにp型シリコン半導体またはn型シリコン半導体の一方を用い、層1066bにp型シリコン半導体またはn型シリコン半導体の他方を用いたpn接合型フォトダイオードであってもよい。または、層1066aと層1066bとの間にi型シリコン半導体層を設けたpin接合型フォトダイオードであってもよい。

[0540]

上記pn接合型フォトダイオードまたはpin接合型フォトダイオードは、単結晶シリコンを用いて形成することができる。このとき、層1061と層1062とは、貼り合わせ工程を用いて電気的な接合を得ることが好ましい。また、pin接合型フォトダイオードとしては、非晶質シリコン、微結晶シリコン、多結晶シリコン等の薄膜を用いて形成することもできる。

[0541]

層1062は、例えば、OSトランジスタ(トランジスタ1051、トランジスタ1052)を有する層とすることができる。図32(A)に示す画素の回路構成では、光電変換素子1050に入射される光の強度が小さいときに電荷検出部(ND)の電位が小さくなる。OSトランジスタは極めてオフ電流が低いため、ゲート電位が極めて小さい場合においても当該ゲート電位に応じた電流を正確に出力することができる。したがって、検出することのできる照度のレンジ、すなわちダイナミックレンジを広げることができる。

[0542]

また、トランジスタ1051およびトランジスタ1052の低いオフ電流特性によって、電荷検出

部（ND）および電荷蓄積部（NR）で電荷を保持できる期間を極めて長くすることができる。そのため、回路構成や動作方法を複雑にすることなく、全画素で同時に電荷の蓄積動作を行うグローバルシャッタ方式を適用することができる。

[0543]

層1063は、支持基板またはSiトランジスタ（トランジスタ1053、トランジスタ1054）を有する層とすることができる。当該Siトランジスタは、単結晶シリコン基板に活性領域を有する構成のほか、絶縁表面上に結晶系のシリコン活性層を有する構成とすることができる。なお、層1063に単結晶シリコン基板を用いる場合は、当該単結晶シリコン基板にpn接合型フォトダイオードまたはpin接合型フォトダイオードを形成してもよい。この場合、層1061を省くことができる。

[0544]

図33（B）は、本発明の一態様の撮像装置の回路構成を説明するブロック図である。当該撮像装置は、マトリクス状に配列された画素1080を有する画素アレイ1081と、画素アレイ1081の行を選択する機能を有する回路1082（ロードドライバ）と、画素1080の出力信号に対して相関二重サンプリング処理を行うための回路1083（CDS回路）と、回路1083から出力されたアナログデータをデジタルデータに変換する機能を有する回路1084（A/D変換回路等）と、回路1084で変換されたデータを選択して読み出す機能を有する回路1085（カラムドライバ）と、を有する。なお、回路1083を設けない構成とすることもできる。

[0545]

例えば、光電変換素子を除く画素アレイ1081の要素は、図33（A）に示す層1062に設けることができる。回路1082乃至回路1085の要素は、層1063に設けることができる。これらの回路はシリコントランジスタを用いたCMOS回路で構成することができる。

[0546]

当該構成とすることで、それぞれの回路に適したトランジスタを用いることができ、かつ撮像装置の面積を小さくすることができる。

[0547]

図34（A）（B）（C）は、図33（A）に示す撮像装置の具体的な構成を説明する図である。図34（A）は、トランジスタ1051、1052、1053、1054のチャネル長方向を示す断面図である。図34（B）は一点鎖線A1-A2の断面図であり、トランジスタ1052のチャネル幅方向の断面を示している。図34（C）は一点鎖線B1-B2の断面図であり、トランジスタ1054のチャネル幅方向の断面を示している。

[0548]

撮像装置は、層1061乃至層1063の積層とすることができる。層1061は、セレン層を有する光電変換素子1050の他、隔壁1092を有する構成とすることができる。隔壁1092は、電極1065の段差を覆うように設けられる。光電変換素子1050に用いるセレン層は高抵抗であり、画素間で分離しない構成とすることができる。

[0549]

層1062にはOSトランジスタであるトランジスタ1051、1052が設けられる。トランジスタ1051、1052はともにバックゲート1091を有する構成を示しているが、いずれかがバックゲートを有する形態であってもよい。バックゲート1091は、図34（B）に示すように対向して設けられるトランジスタのフロントゲートと電氣的に接続する場合がある。または、バックゲー

ト 1 0 9 1 にフロントゲートとは異なる固定電位を供給することができる構成であってもよい。

[0550]

また、図 3 4 (A) では、OS トランジスタとしてセルフアラインのトップゲート型トランジスタを例示しているが、図 3 5 (A) に示すように、ノンセルフアライン型のトランジスタであってもよい。

[0551]

層 1 0 6 3 には、S i トランジスタであるトランジスタ 1 0 5 3 およびトランジスタ 1 0 5 4 が設けられる。図 3 4 (A) において S i トランジスタはシリコン基板 1 2 0 0 に設けられたフィン型の半導体層を有する構成を例示しているが、図 3 5 (B) に示すように、シリコン基板 1 2 0 1 に活性領域を有するプレーナー型であってもよい。または、図 3 5 (C) に示すようにシリコン薄膜の半導体層 1 2 1 0 を有するトランジスタであってもよい。半導体層 1 2 1 0 は、例えば、シリコン基板 1 2 0 2 上の絶縁層 1 2 2 0 上に形成された単結晶シリコン (SOI (Silicon on Insulator)) とすることができる。または、ガラス基板などの絶縁表面上に形成された多結晶シリコンであってもよい。この他、層 1 0 6 3 には画素を駆動するための回路を設けることができる。

[0552]

OS トランジスタが形成される領域と S i トランジスタが形成される領域との間には、水素の拡散を防止する機能を有する絶縁層 1 0 9 3 が設けられる。トランジスタ 1 0 5 3、1 0 5 4 の活性領域近傍に設けられる絶縁層中の水素はシリコンのダングリングボンドを終端する。一方、トランジスタ 1 0 5 1、1 0 5 2 の活性層である酸化物半導体層の近傍に設けられる絶縁層中の水素は、酸化物半導体層中にキャリアを生成する要因の一つとなる。

[0553]

絶縁層 1 0 9 3 により、一方の層に水素を閉じ込めることでトランジスタ 1 0 5 3、1 0 5 4 の信頼性を向上させることができる。また、一方の層から他方の層への水素の拡散が抑制されることでトランジスタ 1 0 5 1、1 0 5 2 の信頼性も向上させることができる。

[0554]

絶縁層 1 0 9 3 としては、例えば、酸化アルミニウム、酸化窒化アルミニウム、酸化ガリウム、酸化窒化ガリウム、酸化イットリウム、酸化窒化イットリウム、酸化ハフニウム、酸化窒化ハフニウム、イットリア安定化ジルコニア (YSZ) 等を用いることができる。

[0555]

図 3 6 (A) は、本発明の一態様の撮像装置にカラーフィルタ等を付加した例を示す断面図である。当該断面図では、3 画素分の画素回路を有する領域の一部を示している。光電変換素子 1 0 5 0 が形成される層 1 0 6 1 上には、絶縁層 1 3 0 0 が形成される。絶縁層 1 3 0 0 は可視光に対する透光性の高い酸化シリコン膜などを用いることができる。また、パッシベーション膜として窒化シリコン膜を積層してもよい。また、反射防止膜として、酸化ハフニウムなどの誘電体膜を積層してもよい。

[0556]

絶縁層 1 3 0 0 上には、遮光層 1 3 1 0 が形成されてもよい。遮光層 1 3 1 0 は、上部のカラーフィルタを通る光の混色を防止する機能を有する。遮光層 1 3 1 0 には、アルミニウム、タングステン等の金属層を用いることができる。また、当該金属層と反射防止膜としての機能を有する誘電体膜を積層してもよい。

[0557]

絶縁層 1300 及び遮光層 1310 上には、平坦化膜として有機樹脂層 1320 を設けることができる。また、画素別にカラーフィルタ 1330（カラーフィルタ 1330a、カラーフィルタ 1330b、カラーフィルタ 1330c）が形成される。例えば、カラーフィルタ 1330a、カラーフィルタ 1330b 及びカラーフィルタ 1330c に、R（赤）、G（緑）、B（青）、Y（黄）、C（シアン）、M（マゼンタ）などの色を割り当てることにより、カラー画像を得ることができる。

[0558]

カラーフィルタ 1330 上には、可視光に対して透光性を有する絶縁層 1360 など設けることができる。

[0559]

また、図 36（B）に示すように、カラーフィルタ 1330 の代わりに光学変換層 1350 を用いてもよい。このような構成とすることで、様々な波長領域における画像が得られる撮像装置とすることができる。

[0560]

例えば、光学変換層 1350 に可視光線の波長以下の光を遮るフィルタを用いれば赤外線撮像装置とすることができる。また、光学変換層 1350 に近赤外線の波長以下の光を遮るフィルタを用いれば遠赤外線撮像装置とすることができる。また、光学変換層 1350 に可視光線の波長以上の光を遮るフィルタを用いれば紫外線撮像装置とすることができる。

[0561]

また、光学変換層 1350 にシンチレータを用いれば、X線撮像装置などに用いる、放射線の強弱を可視化した画像を得る撮像装置とすることができる。被写体を透過した X 線等の放射線がシンチレータに入射されると、フォトルミネッセンス現象により可視光線や紫外光線などの光（蛍光）に変換される。そして、当該光を光電変換素子 1050 で検知することにより画像データを取得する。また、放射線検出器などに当該構成の撮像装置を用いてもよい。

[0562]

シンチレータは、X 線やガンマ線などの放射線が照射されると、そのエネルギーを吸収して可視光や紫外光を発する物質を含む。例えば、 $Gd_2O_2S:Tb$ 、 $Gd_2O_2S:Pr$ 、 $Gd_2O_2S:Eu$ 、 $BaFCl:Eu$ 、 $NaI$ 、 $CsI$ 、 $CaF_2$ 、 $BaF_2$ 、 $CeF_3$ 、 $LiF$ 、 $LiI$ 、 $ZnO$ などを樹脂やセラミクスに分散させたものを用いることができる。

[0563]

なお、セレン系材料を用いた光電変換素子 1050 においては、X 線等の放射線を電荷に直接変換することができるため、シンチレータを不要とする構成とすることもできる。

[0564]

また、図 36（C）に示すように、カラーフィルタ 1330a、カラーフィルタ 1330b およびカラーフィルタ 1330c 上にマイクロレンズアレイ 1340 を設けてもよい。マイクロレンズアレイ 1340 が有する個々のレンズを通る光が直下のカラーフィルタを通り、光電変換素子 1050 に照射されるようになる。また、図 36（B）に示す光学変換層 1350 上にマイクロレンズアレイ 1340 を設けてもよい。

[0565]

以下では、イメージセンサチップを収めたパッケージおよびカメラモジュールの一例について説明する。当該イメージセンサチップには、上記撮像装置の構成を用いることができる。

[0566]

図37(A1)は、イメージセンサチップを収めたパッケージの上面側の外観斜視図である。当該パッケージは、イメージセンサチップ1450(図37(A3)に図示)を固定するパッケージ基板1410、カバーガラス1420及び両者を接着する接着剤1430等を有する。

[0567]

図37(A2)は、当該パッケージの下面側の外観斜視図である。パッケージの下面には、半田ボールをバンプ1440としたBGA(Ball grid array)の構成を有する。なお、BGAに限らず、LGA(Land grid array)やPGA(Pin Grid Array)などであってもよい。

[0568]

図37(A3)は、カバーガラス1420および接着剤1430の一部を省いて図示したパッケージの斜視図である。パッケージ基板1410上には電極パッド1460が形成され、電極パッド1460およびバンプ1440はスルーホールを介して電氣的に接続されている。電極パッド1460は、イメージセンサチップ1450とワイヤ1470によって電氣的に接続されている。

[0569]

また、図37(B1)は、イメージセンサチップをレンズ一体型のパッケージに収めたカメラモジュールの上面側の外観斜視図である。当該カメラモジュールは、イメージセンサチップ1451(図37(B3)に図示)を固定するパッケージ基板1411、レンズカバー1421、およびレンズ1435等を有する。また、パッケージ基板1411およびイメージセンサチップ1451の間には撮像装置の駆動回路および信号変換回路などの機能を有するICチップ1490も設けられており、SiP(System in package)としての構成を有している。

[0570]

図37(B2)は、当該カメラモジュールの下面側の外観斜視図である。パッケージ基板1411の下面および側面には、実装用のランド1441が設けられるQFN(Quad flat no-lead package)の構成を有する。なお、当該構成は一例であり、QFP(Quad flat package)や前述したBGA等であってもよい。

[0571]

図37(B3)は、レンズカバー1421およびレンズ1435の一部を省いて図示したモジュールの斜視図である。ランド1441は電極パッド1461と電氣的に接続され、電極パッド1461はイメージセンサチップ1451またはICチップ1490とワイヤ1471によって電氣的に接続されている。

[0572]

イメージセンサチップを上述したような形態のパッケージに収めることでプリント基板等への実装が容易になり、イメージセンサチップを様々な半導体装置、電子機器に組み込むことができる。

[0573]

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせることができる。

[0574]

(実施の形態7)

本発明の一態様に係る撮像装置を用いることができる電子機器として、表示機器、パーソナルコンピュータ、記録媒体を備えた画像記憶装置又は画像再生装置、携帯電話、携帯型を含むゲーム機、携

帯データ端末、電子書籍端末、ビデオカメラ、デジタルスチルカメラ等のカメラ、ゴーグル型ディスプレイ（ヘッドマウントディスプレイ）、ナビゲーションシステム、音響再生装置（カーオーディオ、デジタルオーディオプレーヤー等）、複写機、ファクシミリ、プリンタ、プリンタ複合機、現金自動預け入れ払い機（ＡＴＭ）、自動販売機等が挙げられる。これら電子機器の具体例を図３８に示す。

[０５７５]

図３８（Ａ）は監視カメラであり、筐体９５１、レンズ９５２、支持部９５３等を有する。当該監視カメラにおける画像を取得するための部品の一つとして本発明の一態様の撮像装置を備えることができる。なお、監視カメラとは慣用的な名称であり、用途を限定するものではない。例えば監視カメラとしての機能を有する機器はカメラ、またはビデオカメラとも呼ばれる。

[０５７６]

図３８（Ｂ）はビデオカメラであり、第１筐体９７１、第２筐体９７２、表示部９７３、操作キー９７４、レンズ９７５、接続部９７６等を有する。操作キー９７４及びレンズ９７５は第１筐体９７１に設けられており、表示部９７３は第２筐体９７２に設けられている。当該ビデオカメラにおける画像を取得するための部品の一つとして本発明の一態様の撮像装置を備えることができる。

[０５７７]

図３８（Ｃ）はデジタルカメラであり、筐体９６１、シャッターボタン９６２、マイク９６３、発光部９６７、レンズ９６５等を有する。当該デジタルカメラにおける画像を取得するための部品の一つとして本発明の一態様の撮像装置を備えることができる。

[０５７８]

図３８（Ｄ）は腕時計型の情報端末であり、筐体９３１、表示部９３２、リストバンド９３３、操作のボタン９３５、竜頭９３６、カメラ９３９等を有する。表示部９３２はタッチパネルとなってもよい。当該情報端末における画像を取得するための部品の一つとして本発明の一態様の撮像装置を備えることができる。

[０５７９]

図３８（Ｅ）は携帯電話機の一例であり、筐体９８１、表示部９８２、操作ボタン９８３、外部接続ポート９８４、スピーカ９８５、マイク９８６、カメラ９８７等を有する。当該携帯電話機は、表示部９８２にタッチセンサを備える。電話を掛ける、或いは文字を入力するなどのあらゆる操作は、指やスタイラスなどで表示部９８２に触れることで行うことができる。当該携帯電話機における画像を取得するための部品の一つとして本発明の一態様の撮像装置を備えることができる。

[０５８０]

図３８（Ｆ）は携帯データ端末であり、筐体９１１、表示部９１２、カメラ９１９等を有する。表示部９１２が有するタッチパネル機能により情報の入出力を行うことができる。当該携帯データ端末における画像を取得するための部品の一つとして本発明の一態様の撮像装置を備えることができる。

[０５８１]

また、本明細書等において、表示素子、表示素子を有する装置である表示装置、発光素子、および発光素子を有する装置である発光装置は、様々な形態を用いること、または様々な素子を有することができる。表示素子、表示装置、発光素子または発光装置は、例えば、ＥＬ（エレクトロルミネセンス）素子（有機物および無機物を含むＥＬ素子、有機ＥＬ素子、無機ＥＬ素子）、ＬＥＤチップ（白色ＬＥＤチップ、赤色ＬＥＤチップ、緑色ＬＥＤチップ、青色ＬＥＤチップなど）、トランジスタ（電流に応じて発光するトランジスタ）、プラズマディスプレイパネル（ＰＤＰ）、電子放出素子、カーボ

ンナノチューブを用いた表示素子、液晶素子、電子インク、エレクトロウェットティング素子、電気泳動素子、MEMS（マイクロ・エレクトロ・メカニカル・システム）を用いた表示素子（例えば、グレーティングライトバルブ（GLV）、デジタルマイクロミラーデバイス（DMD）、DMS（デジタル・マイクロ・シャッター）、MIRASOL（登録商標）、IMOD（インターフェロメトリック・モジュレーション）素子、シャッター方式のMEMS表示素子、光干渉方式のMEMS表示素子、圧電セラミックディスプレイなど）、または、量子ドットなどの少なくとも一つを有している。これらの他にも、表示素子、表示装置、発光素子または発光装置は、電氣的または磁氣的作用により、コントラスト、輝度、反射率、透過率などが変化する表示媒体を有していてもよい。EL素子を用いた表示装置の一例としては、ELディスプレイなどがある。電子放出素子を用いた表示装置の一例としては、フィールドエミッションディスプレイ（FED）またはSED方式平面型ディスプレイ（SED：Surface-conduction Electron-emitter Display）などがある。液晶素子を用いた表示装置の一例としては、液晶ディスプレイ（透過型液晶ディスプレイ、半透過型液晶ディスプレイ、反射型液晶ディスプレイ、直視型液晶ディスプレイ、投射型液晶ディスプレイ）などがある。電子インク、電子粉流体（登録商標）、または電気泳動素子を用いた表示装置の一例としては、電子ペーパーなどがある。量子ドットを各画素に用いた表示装置の一例としては、量子ドットディスプレイなどがある。なお、量子ドットは、表示素子としてではなく、バックライトの一部に設けてもよい。量子ドットを用いることにより、色純度の高い表示を行うことができる。なお、半透過型液晶ディスプレイや反射型液晶ディスプレイを実現する場合には、画素電極の一部、または、全部が、反射電極としての機能を有するようにすればよい。例えば、画素電極の一部、または、全部が、アルミニウム、銀、などを有するようにすればよい。さらに、その場合、反射電極の下に、SRAMなどの記憶回路を設けることも可能である。これにより、さらに、消費電力を低減することができる。なお、LEDチップを用いる場合、LEDチップの電極や窒化物半導体の下に、グラフェンやグラファイトを配置してもよい。グラフェンやグラファイトは、複数の層を重ねて、多層膜としてもよい。このように、グラフェンやグラファイトを設けることにより、その上に、窒化物半導体、例えば、結晶を有するn型Ga<sub>0.99</sub>N半導体層などを容易に成膜することができる。さらに、その上に、結晶を有するp型Ga<sub>0.99</sub>N半導体層などを設けて、LEDチップを構成することができる。なお、グラフェンやグラファイトと、結晶を有するn型Ga<sub>0.99</sub>N半導体層との間に、AlN層を設けてもよい。なお、LEDチップが有するGa<sub>0.99</sub>N半導体層は、MOCVDで成膜してもよい。ただし、グラフェンを設けることにより、LEDチップが有するGa<sub>0.99</sub>N半導体層は、スパッタ法で成膜することも可能である。また、MEMS（マイクロ・エレクトロ・メカニカル・システム）を用いた表示素子においては、表示素子が封止されている空間（例えば、表示素子が配置されている素子基板と、素子基板に対向して配置されている対向基板との間）に、乾燥剤を配置してもよい。乾燥剤を配置することにより、MEMSなどが水分によって動きにくくなることや、劣化しやすくなることを防止することができる。

[0582]

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせることができる。

[0583]

（本明細書等の記載に関する付記）

以上の実施の形態における各構成の説明について、以下に付記する。

[0584]

<実施の形態で述べた本発明の一態様に関する付記>

各実施の形態に示す構成は、他の実施の形態に示す構成と適宜組み合わせ、本発明の一態様とすることができる。また、1つの実施の形態の中に、複数の構成例が示される場合は、互いに構成例を適宜組み合わせることが可能である。

[0585]

なお、ある一つの実施の形態の中で述べる内容（一部の内容でもよい）は、その実施の形態で述べる別の内容（一部の内容でもよい）と、一つ若しくは複数の別の実施の形態で述べる内容（一部の内容でもよい）との少なくとも一つの内容に対して、適用、組み合わせ、又は置き換えなどを行うことができる。

[0586]

なお、実施の形態の中で述べる内容とは、各々の実施の形態において、様々な図を用いて述べる内容、又は明細書に記載される文章を用いて述べる内容のことである。

[0587]

なお、ある一つの実施の形態において述べる図（一部でもよい）は、その図の別の部分、その実施の形態において述べる別の図（一部でもよい）と、一つ若しくは複数の別の実施の形態において述べる図（一部でもよい）との少なくとも一つの図に対して、組み合わせることにより、さらに多くの図を構成させることができる。

[0588]

<序数詞に関する付記>

本明細書等において、「第1」、「第2」、「第3」という序数詞は、構成要素の混同を避けるために付したものである。従って、構成要素の数を限定するものではない。また、構成要素の順序を限定するものではない。また例えば、本明細書等の実施の形態の一において「第1」に言及された構成要素が、他の実施の形態、あるいは特許請求の範囲において「第2」に言及された構成要素とすることもありうる。また例えば、本明細書等の実施の形態の一において「第1」に言及された構成要素を、他の実施の形態、あるいは特許請求の範囲において省略することもありうる。

[0589]

<図面を説明する記載に関する付記>

実施の形態について図面を参照しながら説明している。但し、実施の形態は多くの異なる態様で実施することが可能であり、趣旨及びその範囲から逸脱することなく、その形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は、実施の形態の記載内容に限定して解釈されるものではない。なお、実施の形態の発明の構成において、同一部分又は同様な機能を有する部分には同一の符号を異なる図面間で共通して用い、その繰り返しの説明は省略する。

[0590]

また、本明細書等において、「上に」、「下に」などの配置を示す語句は、構成同士的位置関係を、図面を参照して説明するために、便宜上用いている。構成同士的位置関係は、各構成を描写する方向に応じて適宜変化する。そのため、配置を示す語句は、明細書で説明した記載に限定されず、状況に応じて適切に言い換えることができる。

[0591]

また、「上」や「下」の用語は、構成要素の位置関係が直上又は直下で、かつ、直接接していることを限定するものではない。例えば、「絶縁層A上の電極B」の表現であれば、絶縁層Aの上に電極Bが直接接して形成されている必要はなく、絶縁層Aと電極Bとの間に他の構成要素を含むものを除

外しない。

[0592]

また、図面において、大きさ、層の厚さ、又は領域は、説明の便宜上任意の大きさに示したものである。よって、必ずしもそのスケールに限定されない。なお図面は明確性を期すために模式的に示したものであり、図面に示す形状又は値などに限定されない。例えば、ノイズによる信号、電圧、若しくは電流のばらつき、又は、タイミングのずれによる信号、電圧、若しくは電流のばらつきなどを含むことが可能である。

[0593]

また、図面において、斜視図などにおいて、図面の明確性を期すために、一部の構成要素の記載を省略している場合がある。

[0594]

また、図面において、同一の要素又は同様な機能を有する要素、同一の材質の要素、あるいは同時に形成される要素等には同一の符号を付す場合があり、その繰り返しの説明は省略する場合がある。

[0595]

<言い換え可能な記載に関する付記>

本明細書等において、トランジスタの接続関係を説明する際、ソースとドレインとの一方を、「ソース又はドレインの一方」（又は第1電極、又は第1端子）と表記し、ソースとドレインとの他方を「ソース又はドレインの他方」（又は第2電極、又は第2端子）と表記している。これは、トランジスタのソースとドレインは、トランジスタの構造又は動作条件等によって変わるためである。なおトランジスタのソースとドレインの呼称については、ソース（ドレイン）端子や、ソース（ドレイン）電極等、状況に応じて適切に言い換えることができる。また、本明細書等では、ゲート以外の2つの端子を第1端子、第2端子と呼ぶ場合や、第3端子、第4端子と呼ぶ場合がある。また、本明細書等に記載するトランジスタが2つ以上のゲートを有するとき（この構成をマルチゲート構造という場合がある）、それらのゲートを第1ゲート、第2ゲートと呼ぶ場合や、フロントゲート、バックゲートと呼ぶ場合がある。特に、「フロントゲート」という語句は、単に「ゲート」という語句に互いに言い換えることができる。また、「バックゲート」という語句は、単に「ゲート」という語句に互いに言い換えることができる。なお、ボトムゲートとは、トランジスタの作製時において、チャンネル形成領域よりも先に形成される端子のことをいい、「トップゲート」とは、トランジスタの作製時において、チャンネル形成領域よりも後に形成される端子のことをいう。

[0596]

トランジスタは、ゲート、ソース、及びドレインと呼ばれる3つの端子を有する。ゲートは、トランジスタの導通状態を制御する制御端子として機能する端子である。ソース又はドレインとして機能する2つの入出力端子は、トランジスタの型及び各端子に与えられる電位の高低によって、一方がソースとなり他方がドレインとなる。このため、本明細書等においては、ソースやドレインの用語は、入れ替えて用いることができるものとする。

[0597]

また、本明細書等において「電極」や「配線」の用語は、これらの構成要素を機能的に限定するものではない。例えば、「電極」は「配線」の一部として用いられることがあり、その逆もまた同様である。さらに、「電極」や「配線」の用語は、複数の「電極」や「配線」が一体となって形成されている場合なども含む。

[0598]

また、本明細書等において、電圧と電位は、適宜言い換えることができる。電圧は、基準となる電位からの電位差のことであり、例えば基準となる電位をグラウンド電位（接地電位）とすると、電圧を電位に言い換えることができる。グラウンド電位は必ずしも0Vを意味するとは限らない。なお電位は相対的なものであり、基準となる電位によっては、配線等に与える電位を変化させる場合がある。

[0599]

なお本明細書等において、「膜」、「層」などの語句は、場合によっては、又は、状況に応じて、互いに入れ替えることが可能である。例えば、「導電層」という用語を、「導電膜」という用語に変更することが可能な場合がある。又は、例えば、「絶縁膜」という用語を、「絶縁層」という用語に変更することが可能な場合がある。又は、場合によっては、又は、状況に応じて、「膜」、「層」などの語句を使わずに、別の用語に入れ替えることが可能である。例えば、「導電層」又は「導電膜」という用語を、「導電体」という用語に変更することが可能な場合がある。又は、例えば、「絶縁層」「絶縁膜」という用語を、「絶縁体」という用語に変更することが可能な場合がある。

[0600]

なお本明細書等において、「配線」、「信号線」、「電源線」などの用語は、場合によっては、又は、状況に応じて、互いに入れ替えることが可能である。例えば、「配線」という用語を、「信号線」という用語に変更することが可能な場合がある。また、例えば、「配線」という用語を、「電源線」などの用語に変更することが可能な場合がある。また、その逆も同様で、「信号線」「電源線」などの用語を、「配線」という用語に変更することが可能な場合がある。「電源線」などの用語は、「信号線」などの用語に変更することが可能な場合がある。また、その逆も同様で「信号線」などの用語は、「電源線」などの用語に変更することが可能な場合がある。また、配線に印加されている「電位」という用語を、場合によっては、又は、状況に応じて、「信号」などという用語に変更することが可能な場合がある。また、その逆も同様で、「信号」などの用語は、「電位」という用語に変更することが可能な場合がある。

[0601]

<語句の定義に関する付記>

以下では、上記実施の形態中で言及した語句の定義について説明する。

[0602]

<<半導体の不純物について>>

半導体の不純物とは、例えば、半導体層を構成する主成分以外をいう。例えば、濃度が0.1原子%未満の元素は不純物である。不純物が含まれることにより、例えば、半導体にDOS (Density of States) が形成されることや、キャリア移動度が低下することや、結晶性が低下することなどが起こる場合がある。半導体が酸化物半導体である場合、半導体の特性を変化させる不純物としては、例えば、第1族元素、第2族元素、第13族元素、第14族元素、第15族元素、主成分以外の遷移金属などがあり、特に、例えば、水素（水にも含まれる）、リチウム、ナトリウム、シリコン、ホウ素、リン、炭素、窒素などがある。酸化物半導体の場合、例えば水素などの不純物の混入によって酸素欠損を形成する場合がある。また、半導体がシリコン層である場合、半導体の特性を変化させる不純物としては、例えば、酸素、水素を除く第1族元素、第2族元素、第13族元素、第15族元素などがある。

[0603]

## &lt;&lt;トランジスタについて&gt;&gt;

本明細書において、トランジスタとは、ゲートと、ドレインと、ソースとを含む少なくとも三つの端子を有する素子である。そして、ドレイン（ドレイン端子、ドレイン領域又はドレイン電極）とソース（ソース端子、ソース領域又はソース電極）の間にチャンネル形成領域を有する。ゲートーソース間にしきい値電圧を超える電圧を与えることによって、チャンネル形成領域にチャンネルが形成され、ソース－ドレイン間に電流を流すことができる。

[0604]

また、ソースやドレインの機能は、異なる極性のトランジスタを採用する場合や、回路動作において電流の方向が変化する場合などには入れ替わることがある。このため、本明細書等においては、ソースやドレインの用語は、入れ替えて用いることができるものとする。

[0605]

## &lt;&lt;スイッチについて&gt;&gt;

本明細書等において、スイッチとは、導通状態（オン状態）、又は、非導通状態（オフ状態）になり、電流を流すか流さないかを制御する機能を有するものをいう。又は、スイッチとは、電流を流す経路を選択して切り替える機能を有するものをいう。

[0606]

一例としては、電氣的スイッチ又は機械的なスイッチなどを用いることができる。つまり、スイッチは、電流を制御できるものであればよく、特定のものに限定されない。

[0607]

電氣的なスイッチの一例としては、トランジスタ（例えば、バイポーラトランジスタ、MOSトランジスタなど）、ダイオード（例えば、PNダイオード、PINダイオード、ショットキーダイオード、MIM (Metal Insulator Metal) ダイオード、MIS (Metal Insulator Semiconductor) ダイオード、ダイオード接続のトランジスタなど）、又はこれらを組み合わせた論理回路などがある。

[0608]

なお、スイッチとしてトランジスタを用いる場合、トランジスタの「導通状態」とは、トランジスタのソース電極とドレイン電極が電氣的に短絡されているとみなせる状態をいう。また、トランジスタの「非導通状態」とは、トランジスタのソース電極とドレイン電極が電氣的に遮断されているとみなせる状態をいう。なおトランジスタを単なるスイッチとして動作させる場合には、トランジスタの極性（導電型）は特に限定されない。

[0609]

機械的なスイッチの一例としては、デジタルマイクロミラーデバイス (DMD) のように、MEMS (マイクロ・エレクトロ・メカニカル・システム) 技術を用いたスイッチがある。そのスイッチは、機械的に動かすことが可能な電極を有し、その電極が動くことによって、導通と非導通とを制御して動作する。

[0610]

## &lt;&lt;接続について&gt;&gt;

本明細書等において、XとYとが接続されている、と記載する場合は、XとYとが電氣的に接続されている場合と、XとYとが機能的に接続されている場合と、XとYとが直接接続されている場合とを含むものとする。したがって、所定の接続関係、例えば、図又は文章に示された接続関係に限定さ

れず、図又は文章に示された接続関係以外のものも含むものとする。

[0611]

ここで使用するX、Yなどは、対象物（例えば、装置、素子、回路、配線、電極、端子、導電膜、層、など）であるとする。

[0612]

XとYとが電氣的に接続されている場合の一例としては、XとYとの電氣的な接続を可能とする素子（例えば、スイッチ、トランジスタ、容量素子、インダクタ、抵抗素子、ダイオード、表示素子、発光素子、負荷など）が、XとYとの間に1個以上接続されることが可能である。なお、スイッチは、オンオフが制御される機能を有している。つまり、スイッチは、導通状態（オン状態）、又は、非導通状態（オフ状態）になり、電流を流すか流さないかを制御する機能を有している。

[0613]

XとYとが機能的に接続されている場合の一例としては、XとYとの機能的な接続を可能とする回路（例えば、論理回路（インバータ、NAND回路、NOR回路など）、信号変換回路（DA変換回路、AD変換回路、ガンマ補正回路など）、電位レベル変換回路（電源回路（昇圧回路、降圧回路など）、信号の電位レベルを変えるレベルシフト回路など）、電圧源、電流源、切り替え回路、増幅回路（信号振幅又は電流量などを大きく出来る回路、オペアンプ、差動増幅回路、ソースフォロワ回路、バッファ回路など）、信号生成回路、記憶回路、制御回路など）が、XとYとの間に1個以上接続されることが可能である。なお、一例として、XとYとの間に別の回路を挟んでいても、Xから出力された信号がYへ伝達される場合は、XとYとは機能的に接続されているものとする。

[0614]

なお、XとYとが電氣的に接続されている、と明示的に記載する場合は、XとYとが電氣的に接続されている場合（つまり、XとYとの間に別の素子又は別の回路を挟んで接続されている場合）と、XとYとが機能的に接続されている場合（つまり、XとYとの間に別の回路を挟んで機能的に接続されている場合）と、XとYとが直接接続されている場合（つまり、XとYとの間に別の素子又は別の回路を挟まずに接続されている場合）とを含むものとする。つまり、電氣的に接続されている、と明示的に記載する場合は、単に、接続されている、とのみ明示的に記載されている場合と同じであるとする。

[0615]

なお、例えば、トランジスタのソース（又は第1の端子など）が、Z1を介して（又は介さず）、Xと電氣的に接続され、トランジスタのドレイン（又は第2の端子など）が、Z2を介して（又は介さず）、Yと電氣的に接続されている場合や、トランジスタのソース（又は第1の端子など）が、Z1の一部と直接的に接続され、Z1の別の一部がXと直接的に接続され、トランジスタのドレイン（又は第2の端子など）が、Z2の一部と直接的に接続され、Z2の別の一部がYと直接的に接続されている場合では、以下のように表現することが出来る。

[0616]

例えば、「XとYとトランジスタのソース（又は第1の端子など）とドレイン（又は第2の端子など）とは、互いに電氣的に接続されており、X、トランジスタのソース（又は第1の端子など）、トランジスタのドレイン（又は第2の端子など）、Yの順序で電氣的に接続されている。」と表現することができる。又は、「トランジスタのソース（又は第1の端子など）は、Xと電氣的に接続され、トランジスタのドレイン（又は第2の端子など）はYと電氣的に接続され、X、トランジスタのソース

(又は第1の端子など)、トランジスタのドレイン (又は第2の端子など)、Yは、この順序で電氣的に接続されている」と表現することができる。又は、「Xは、トランジスタのソース (又は第1の端子など) とドレイン (又は第2の端子など) とを介して、Yと電氣的に接続され、X、トランジスタのソース (又は第1の端子など)、トランジスタのドレイン (又は第2の端子など)、Yは、この接続順序で設けられている」と表現することができる。これらの例と同様な表現方法を用いて、回路構成における接続の順序について規定することにより、トランジスタのソース (又は第1の端子など) と、ドレイン (又は第2の端子など) とを、区別して、技術的範囲を決定することができる。なお、これらの表現方法は、一例であり、これらの表現方法に限定されない。ここで、X、Y、Z 1、Z 2は、対象物 (例えば、装置、素子、回路、配線、電極、端子、導電膜、層、など) であるとする。

[0617]

なお、回路図上は独立している構成要素同士が電氣的に接続しているように図示されている場合であっても、1つの構成要素が、複数の構成要素の機能を併せ持っている場合もある。例えば配線の一部が電極としても機能する場合は、一の導電膜が、配線の機能、及び電極の機能の両方の構成要素の機能を併せ持っている。したがって、本明細書における電氣的に接続とは、このような、一の導電膜が、複数の構成要素の機能を併せ持っている場合も、その範疇に含める。

[0618]

<<平行、垂直について>>

本明細書において、「平行」とは、二つの直線が $-10^\circ$ 以上 $10^\circ$ 以下の角度で配置されている状態をいう。したがって、 $-5^\circ$ 以上 $5^\circ$ 以下の場合も含まれる。また、「略平行」とは、二つの直線が $-30^\circ$ 以上 $30^\circ$ 以下の角度で配置されている状態をいう。また、「垂直」とは、二つの直線が $80^\circ$ 以上 $100^\circ$ 以下の角度で配置されている状態をいう。したがって、 $85^\circ$ 以上 $95^\circ$ 以下の場合も含まれる。また、「略垂直」とは、二つの直線が $60^\circ$ 以上 $120^\circ$ 以下の角度で配置されている状態をいう。

[符号の説明]

[0619]

AIE: エンコーダ、AID: デコーダ、INL: 入力層、OUL: 出力層、ML1: 中間層、ML2: 中間層、ML3: 中間層、ML4: 中間層、IPT: 入力端子、PT[1]: 出力端子、PT[2]: 出力端子、PT[s]: 出力端子、PT[s+1]: 出力端子、PT[s+2]: 出力端子、PT[2s]: 出力端子、PT[(t-1)m+1]: 出力端子、PT[(t-1)m+2]: 出力端子、PT[ts]: 出力端子、RW[1]: 配線、RW[2]: 配線、RW[s]: 配線、RW[s+1]: 配線、RW[s+2]: 配線、RW[2s]: 配線、RW[(t-1)m+1]: 配線、RW[(t-1)m+2]: 配線、RW[ts]: 配線、HC[1]: 保持回路、HC[s]: 保持回路、HC[m]: 保持回路、HC[m+1]: 保持回路、HC[m+s]: 保持回路、HC[2m]: 保持回路、HC[(t-1)m+1]: 保持回路、HC[(t-1)m+s]: 保持回路、HC[tm]: 保持回路、PDL[1]: 入力端子、PDL[l]: 入力端子、PDR[1]: 出力端子、PDR[n]: 出力端子、PLE[1]: プログラマブルロジックエレメント、PLE[m]: プログラマブルロジックエレメント、SWC: スイッチ回路、PSW1: プログラマブルスイッチ、PSW2: プログラマブルスイッチ、PSW3: プログラマブルスイッチ、L[1]: 配線、L[2]: 配線、L[l]: 配線、R[1]: 配線、R[2]: 配線、R[m]: 配線、P[1]: 配線、P[2]: 配線、P[m]: 配線、Q[1]: 配線、Q[2]: 配線、Q[m]: 配線、In[1]: 端子、In[2]: 端子、In[s]: 端子、MLT[1]: 乗算

回路、MLT [s] : 乗算回路、CMW [1] : コンフィギュレーションメモリ、CMW [s] : コンフィギュレーションメモリ、CMF : コンフィギュレーションメモリ、AD : 加算回路、FC : 活性化関数回路、KC : 保持回路、TA1 : 端子、TA2 : 端子、CKT : 端子、GNDL : 配線、TrA : トランジスタ、TrB : トランジスタ、CP : 容量素子、AMP : アンプ、NL : NOT回路、N : ノード、OUT : 出力端子、q [1] : 配線、q [s] : 配線、r [1] : 配線、r [t] : 配線、O [1] : 端子、O [t] : 端子、SW : スイッチ、X : 配線、CMS : コンフィギュレーションメモリ、MAC : 積和演算回路、CS : 電流源回路、CM : カレントミラー回路、CA : メモリセルアレイ、AM [1] : メモリセル、AM [2] : メモリセル、AMref [1] : メモリセル、AMref [2] : メモリセル、WDD : 回路、CLD : 回路、WLD : 回路、OFST : オフセット回路、ACTV : 活性化関数回路、BL : 配線、BLref : 配線、WD : 配線、WDref : 配線、IL : 配線、ILref : 配線、WL [1] : 配線、WL [2] : 配線、CL [1] : 配線、CL [2] : 配線、OL : 配線、NIL : 、VR : 配線、VaL : 配線、VbL : 配線、VrefL : 配線、VDDL : 配線、VSSL : 配線、RST : 配線、Tr11 : トランジスタ、Tr12 : トランジスタ、Tr21 : トランジスタ、Tr22 : トランジスタ、Tr23 : トランジスタ、C1 : 容量素子、C2 : 容量素子、NM [1] : ノード、NM [2] : ノード、NMref [1] : ノード、NMref [2] : ノード、Na : ノード、Nb : ノード、T1 : 時刻、T2 : 時刻、T3 : 時刻、T4 : 時刻、T5 : 時刻、T6 : 時刻、T7 : 時刻、T8 : 時刻、T9 : 時刻、10 : 電子機器、20 : 撮像装置、21 : 撮像部、22 : インターフェース、22a : 回路、24 : 制御部、30 : 周辺回路、31 : GPU、33 : 記憶部、34 : 記憶部、40 : NN回路、50 : 表示装置、71 : 回路、73 : 回路、74 : 回路、75 : 回路、80 : NN回路、80A : NN回路、80B : NN回路、90 : 演算処理回路、100 : 半導体装置、110 : 導電体、112 : 導電体、120 : 導電体、130 : 絶縁体、140 : 容量素子、150 : 絶縁体、156 : 導電体、160 : 絶縁体、166 : 導電体、200 : トランジスタ、201 : トランジスタ、214 : 絶縁体、216 : 絶縁体、218 : 導電体、220 : 絶縁体、222 : 絶縁体、224 : 絶縁体、225 : 絶縁体、246 : 導電体、248 : 導電体、280 : 絶縁体、282 : 絶縁体、286 : 絶縁体、300 : トランジスタ、310 : 導電体、310a : 導電体、310b : 導電体、311 : 基板、313 : 半導体領域、314a : 低抵抗領域、314b : 低抵抗領域、315 : 絶縁体、316 : 導電体、320 : 絶縁体、322 : 絶縁体、324 : 絶縁体、326 : 絶縁体、328 : 導電体、330 : 導電体、350 : 絶縁体、352 : 絶縁体、354 : 絶縁体、356 : 導電体、360 : 絶縁体、362 : 絶縁体、364 : 絶縁体、366 : 導電体、370 : 絶縁体、372 : 絶縁体、374 : 絶縁体、376 : 導電体、380 : 絶縁体、382 : 絶縁体、384 : 絶縁体、386 : 導電体、404 : 導電体、404a : 導電体、404b : 導電体、405 : 導電体、405a : 導電体、405b : 導電体、406 : 金属酸化物、406a : 金属酸化物、406b : 金属酸化物、406c : 金属酸化物、412 : 絶縁体、413 : 絶縁体、418 : 絶縁体、419 : 絶縁体、420 : 絶縁体、426a : 領域、426b : 領域、426c : 領域、440 : 導電体、440a : 導電体、440b : 導電体、450a : 導電体、450b : 導電体、451a : 導電体、451b : 導電体、452a : 導電体、452b : 導電体、911 : 筐体、912 : 表示部、919 : カメラ、931 : 筐体、932 : 表示部、933 : リストバンド、935 : ボタン、936 : 竜頭、939 : カメラ、951 : 筐体、952 : レンズ、953 : 支持部、961 : 筐体、962 : シャッターボタン、963 : マイク、965 : レンズ、967 : 発光部、971 : 第1筐体、972 : 第2筐体、973 : 表示部、974 : 操作キー、975 : レンズ、976 : 接続部、981 : 筐体、

982 : 表示部、983 : 操作ボタン、984 : 外部接続ポート、985 : スピーカ、986 : マイク、987 : カメラ、1050 : 光電変換素子、1051 : トランジスタ、1052 : トランジスタ、1053 : トランジスタ、1054 : トランジスタ、1056 : 電源、1061 : 層、1062 : 層、1063 : 層、1065 : 電極、1066 : 光電変換部、1066a : 層、1066b : 層、1067 : 電極、1071 : 配線、1072 : 配線、1073 : 配線、1075 : 配線、1076 : 配線、1077 : 配線、1078 : 配線、1079 : 配線、1080 : 画素、1082 : 回路、1081 : 画素アレイ、1083 : 回路、1084 : 回路、1085 : 回路、1091 : バックゲート、1092 : 隔壁、1093 : 絶縁層、1200 : シリコン基板、1201 : シリコン基板、1202 : シリコン基板、1210 : 半導体層、1220 : 絶縁層、1300 : 絶縁層、1310 : 遮光層、1320 : 有機樹脂層、1330 : カラーフィルタ、1330a : カラーフィルタ、1330b : カラーフィルタ、1330c : カラーフィルタ、1340 : マイクロレンズアレイ、1350 : 光学変換層、1360 : 絶縁層、1410 : パッケージ基板、1411 : パッケージ基板、1420 : カバーガラス、1421 : レンズカバー、1430 : 接着剤、1435 : レンズ、1440 : バンプ、1441 : ランド、1450 : イメージセンサチップ、1451 : イメージセンサチップ、1460 : 電極パッド、1461 : 電極パッド、1470 : ワイヤ、1471 : ワイヤ、1490 : ICチップ

## 請求の範囲

## [請求項 1]

撮像部と、エンコーダと、を有する撮像装置であって、  
前記撮像部は、撮像によって第 1 画像データを生成する機能を有し、  
前記エンコーダは、第 1 ニューラルネットワークを構成する第 1 回路を有し、  
前記第 1 回路は、前記第 1 ニューラルネットワークによる特徴抽出を前記第 1 画像データに施して、  
第 2 画像データを生成する機能を有することを特徴とする撮像装置。

## [請求項 2]

請求項 1 において、  
前記第 1 ニューラルネットワークは、重みフィルタを用いて畳み込み処理を行う機能を有することを  
特徴とする撮像装置。

## [請求項 3]

請求項 2 において、シフトレジスタを有し、  
前記エンコーダは、メモリセルアレイを有し、  
前記シフトレジスタの入力端子は、前記撮像部と電氣的に接続され、  
前記シフトレジスタの出力端子は、前記メモリセルアレイと電氣的に接続され、  
前記メモリセルアレイは、前記重みフィルタのフィルタ値を格納する機能を有し、  
前記シフトレジスタは、前記第 1 画像データを前記撮像部の画素領域ごとに順次前記メモリセルア  
レイに出力する機能を有し、  
前記畳み込み処理には、前記第 1 画像データと前記フィルタ値を用いた積和演算が含まれることを  
特徴とする撮像装置。

## [請求項 4]

請求項 3 において、  
前記撮像部は、 $n$  行  $m$  列 ( $n$ 、 $m$  は 1 以上の整数である。) の画素を有し、  
前記撮像部は、前記撮像によって前記画素が画素データを取得することで、前記第 1 画像データを  
生成する機能を有し、  
前記画素領域は、 $t$  行  $s$  列 ( $t$  は 1 以上  $n$  以下の整数であり、 $s$  は 1 以上  $m$  以下の整数である。) の  
前記画素を有し、  
前記シフトレジスタは、 $t \times m$  段の保持回路を有し、  
前記シフトレジスタは、前記画素領域に含まれる  $t \times s$  個の前記画素データを、前記メモリセルア  
レイに一括で出力する機能を有することを特徴とする撮像装置。

## [請求項 5]

請求項 3、又は請求項 4 において、  
前記メモリセルアレイは、第 1 トランジスタを有し、  
前記第 1 トランジスタは、チャネル形成領域に金属酸化物を有することを特徴とする撮像装置。

## [請求項 6]

請求項 1 乃至請求項 4 のいずれかに記載の撮像装置と、デコーダと、を有する電子機器であって、  
前記デコーダは、第 2 ニューラルネットワークを構成する第 2 回路を有し、  
前記第 2 回路は、前記第 1 回路と電氣的に接続され、  
前記第 2 回路は、前記第 2 画像データに対して、前記第 2 ニューラルネットワークによる復元処理

を施して、第3画像データを生成する機能を有することを特徴とする電子機器。

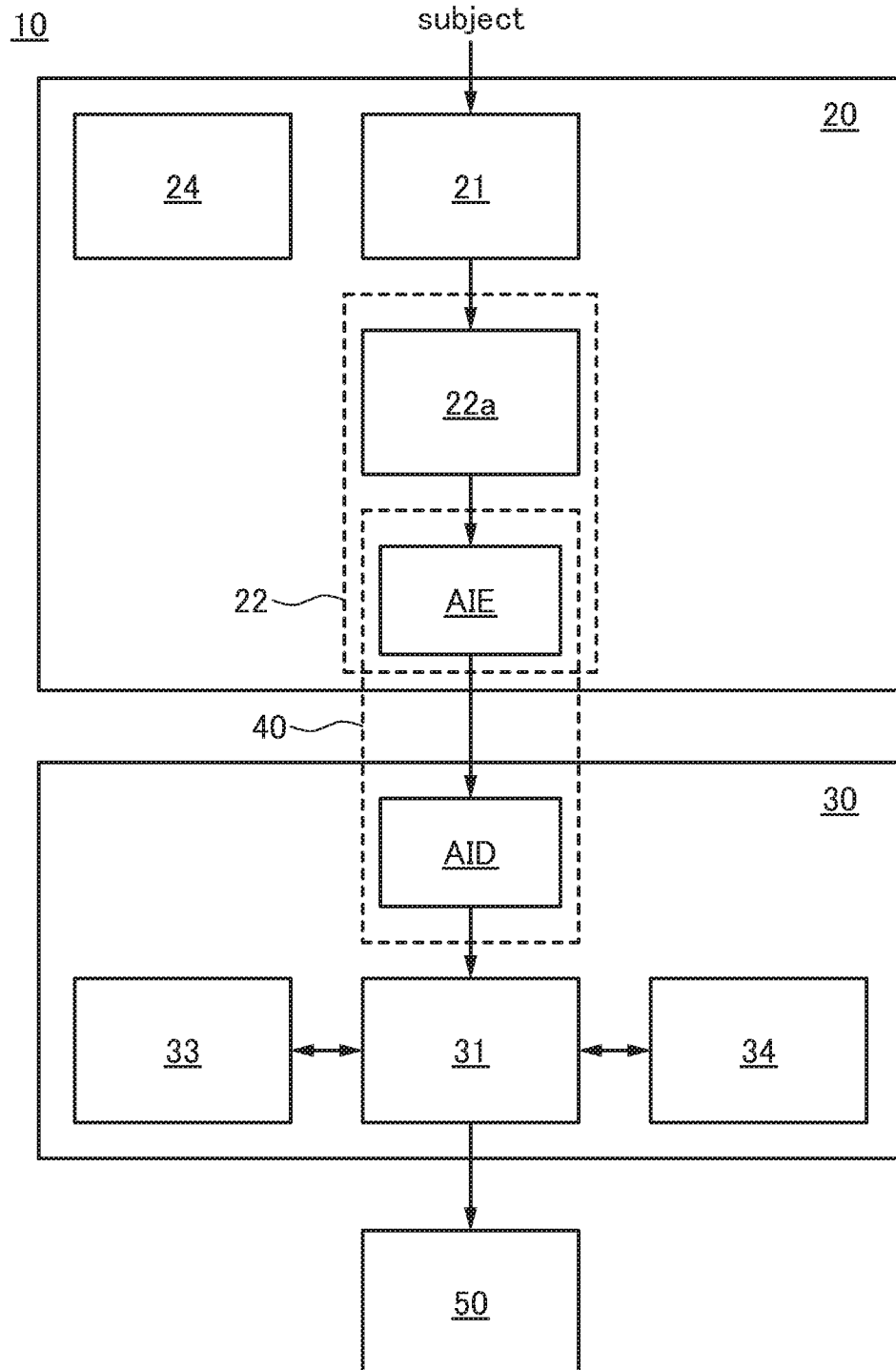
[請求項7]

請求項6において、

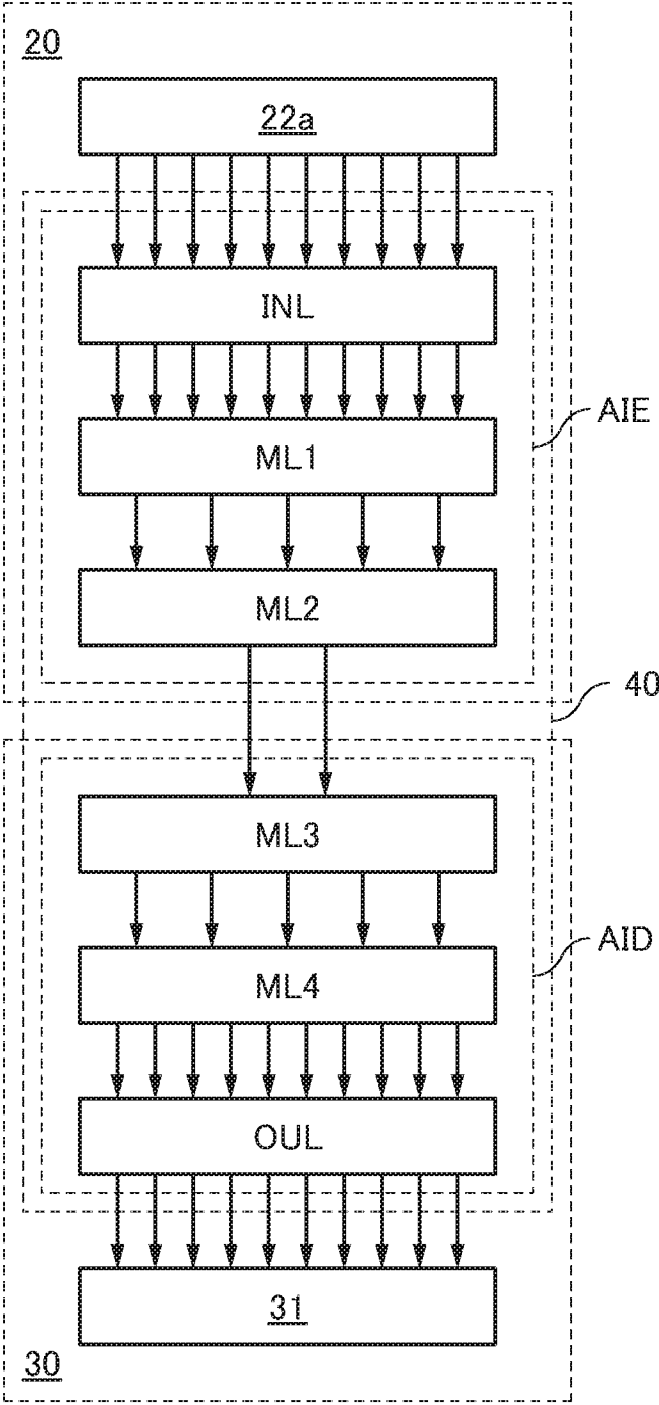
表示装置を有することを特徴する、電子機器。

1/38

[図 1]

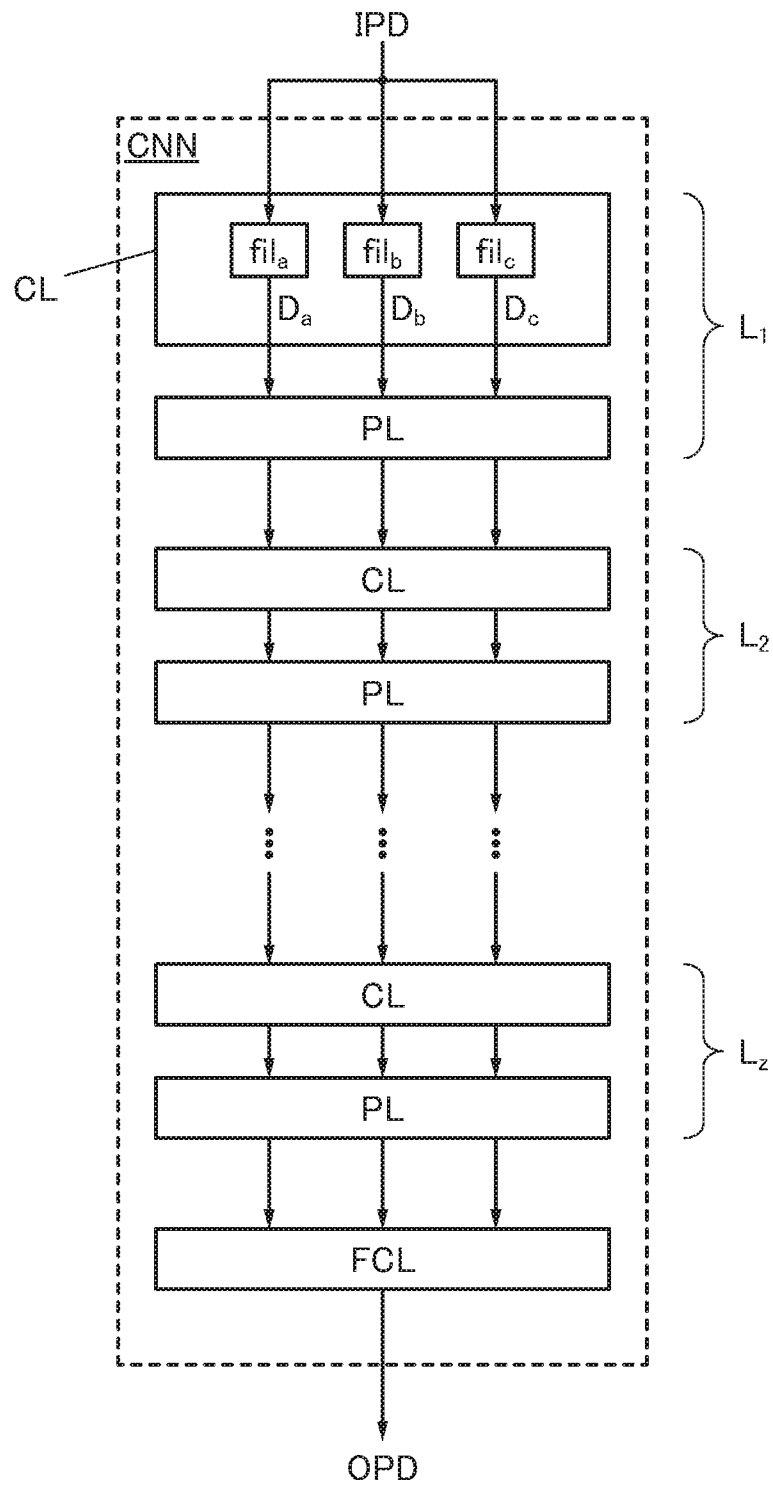


[図 2]



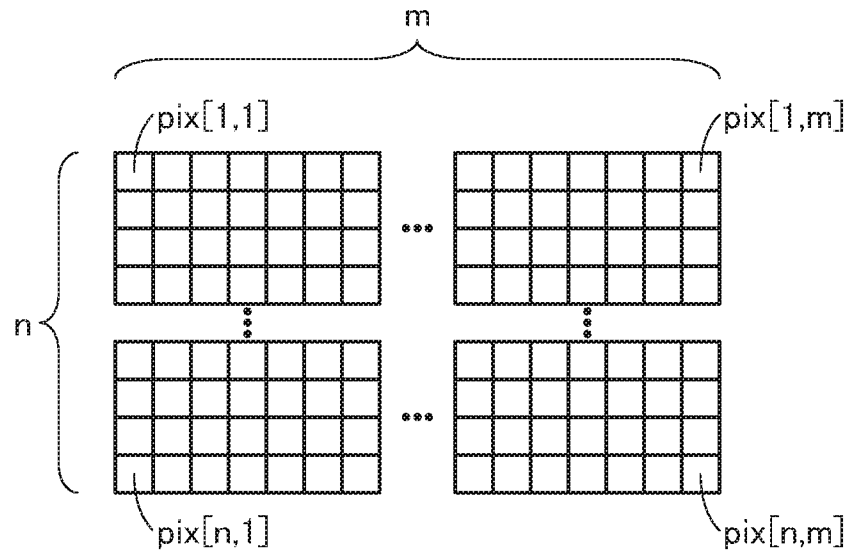
3/38

[図 3]

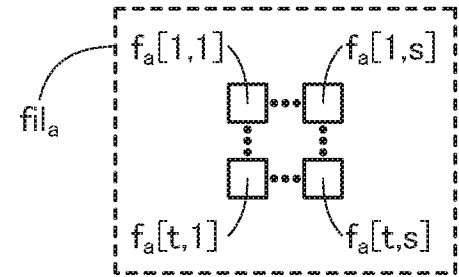


[図 4]

(A)

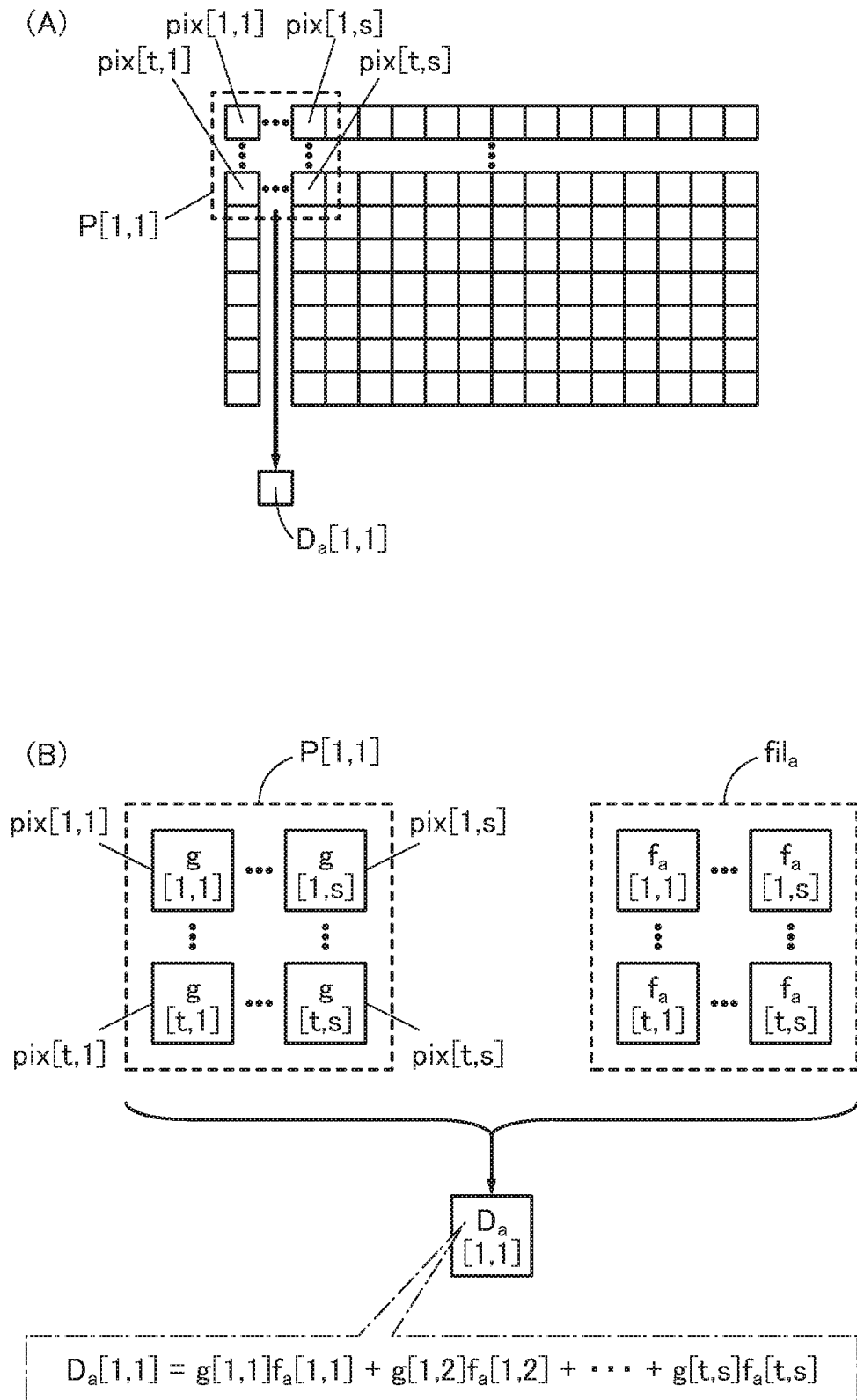


(B)

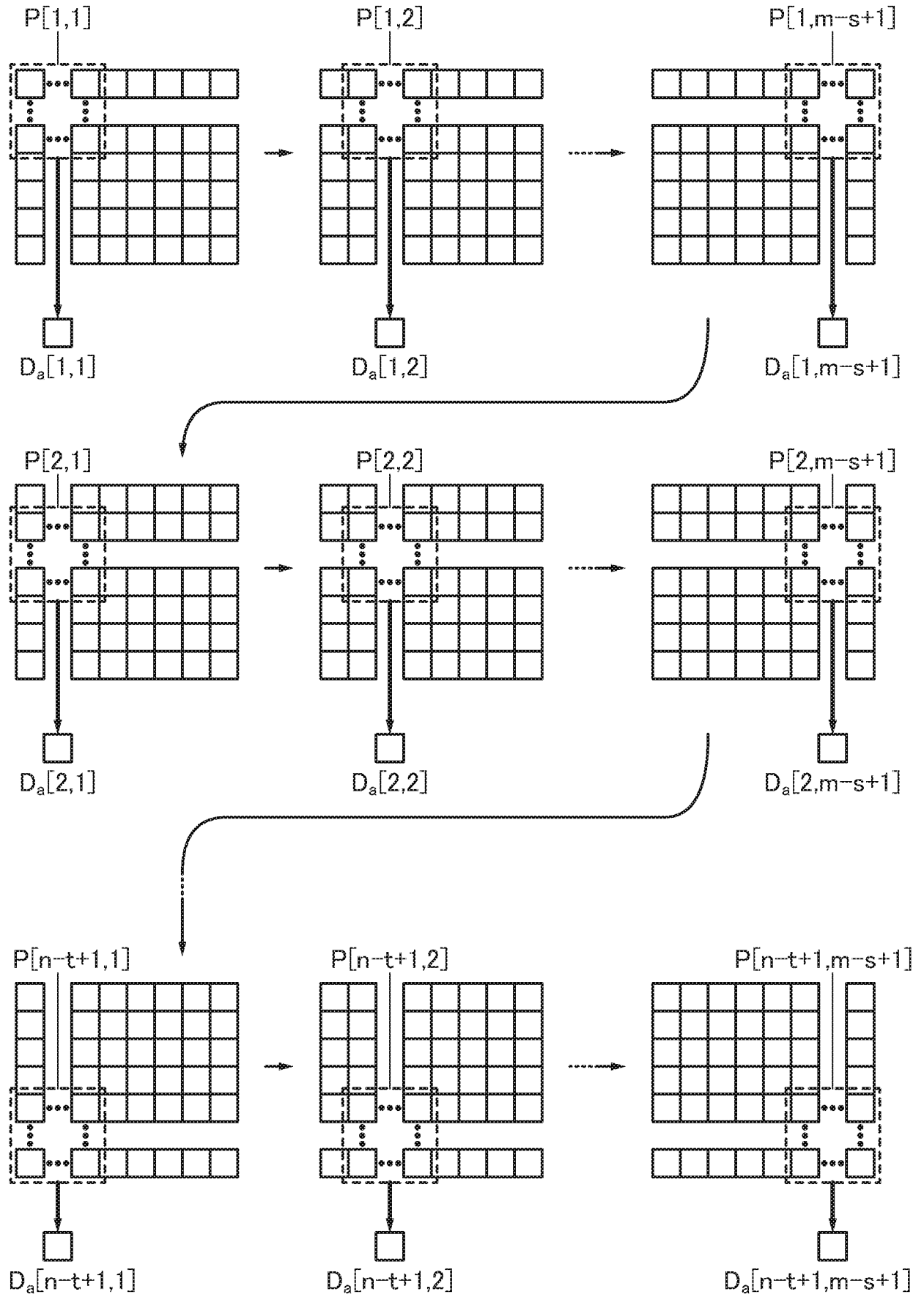


5/38

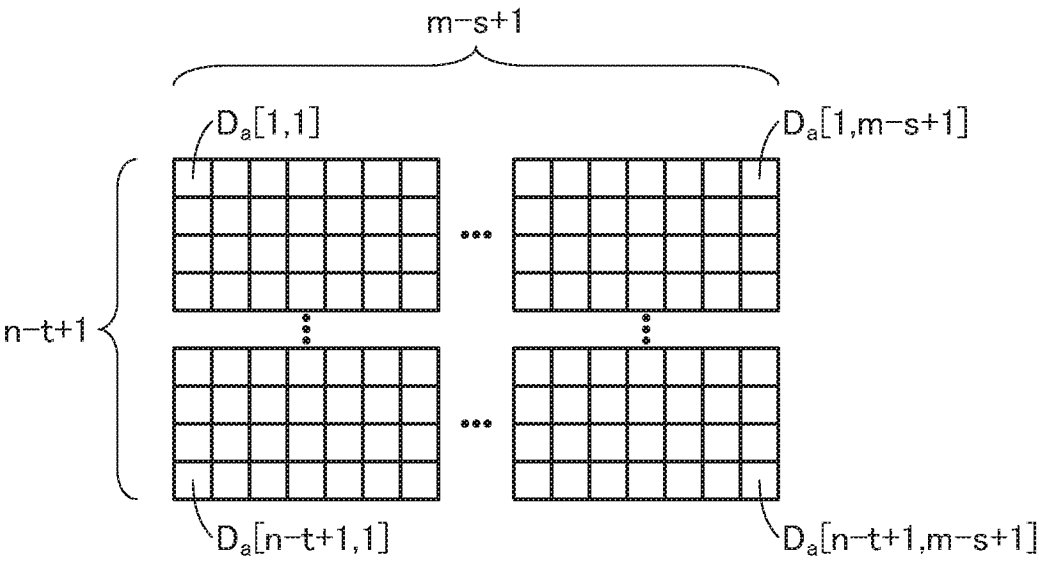
[図 5]



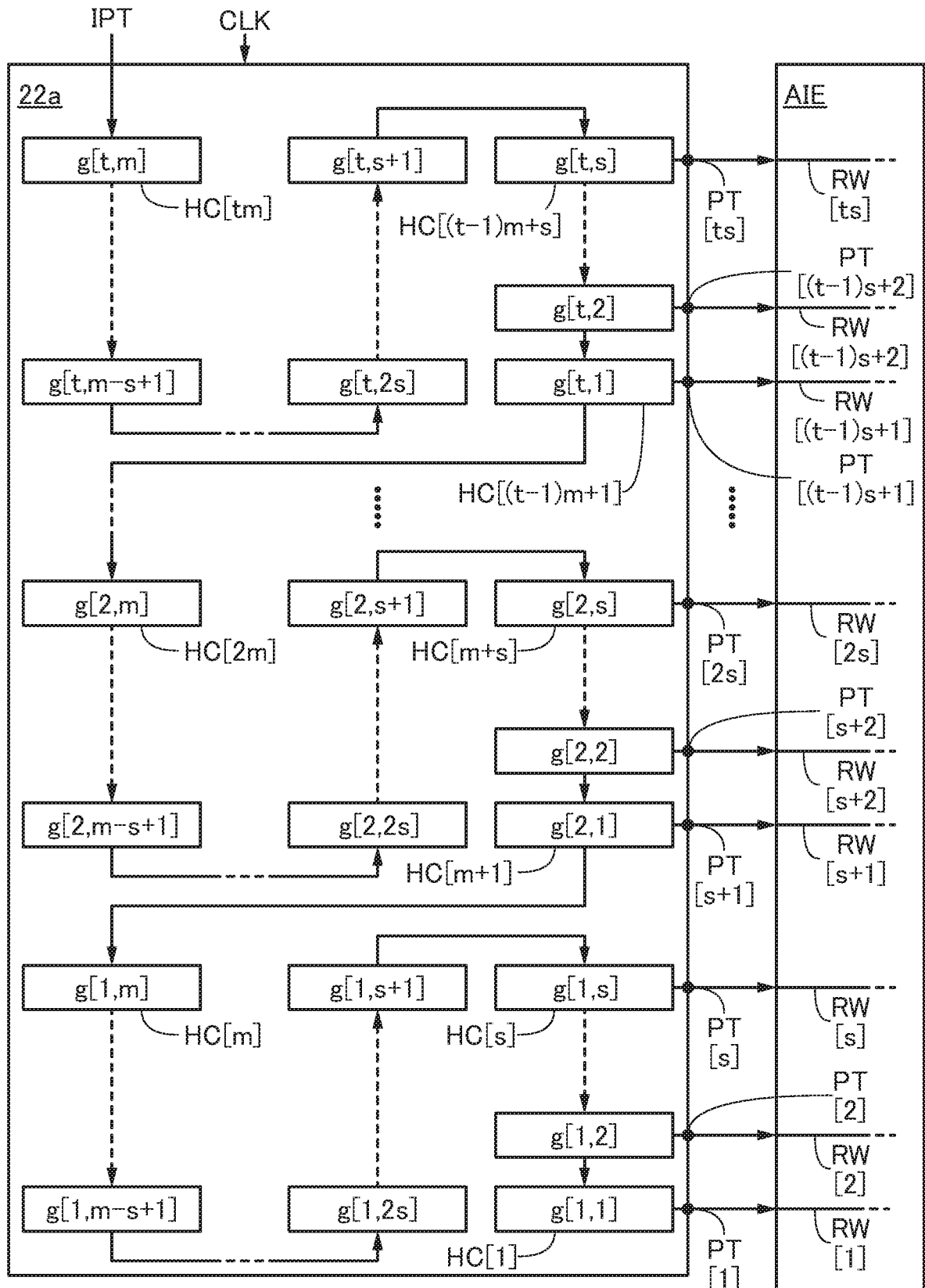
[図 6]



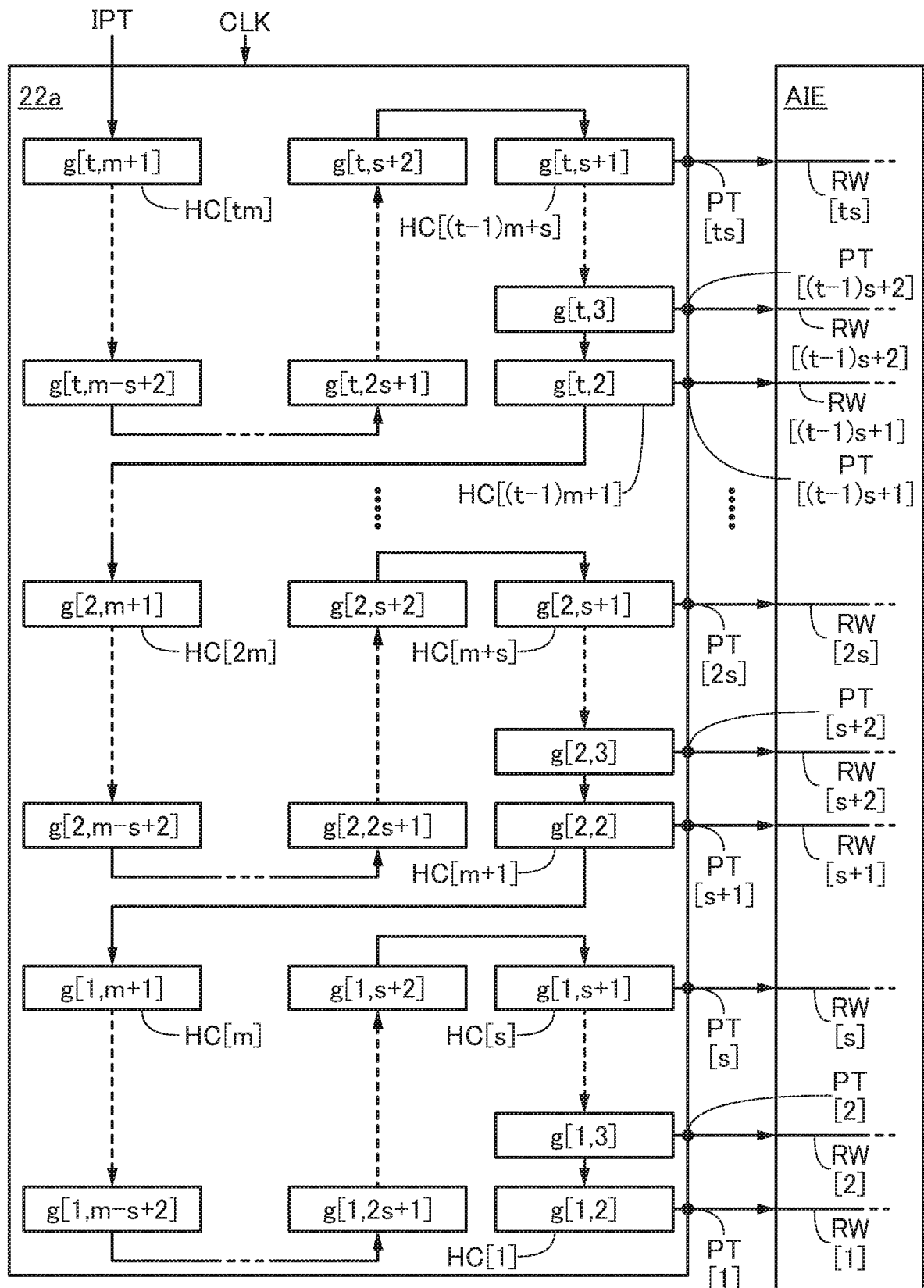
[図 7]



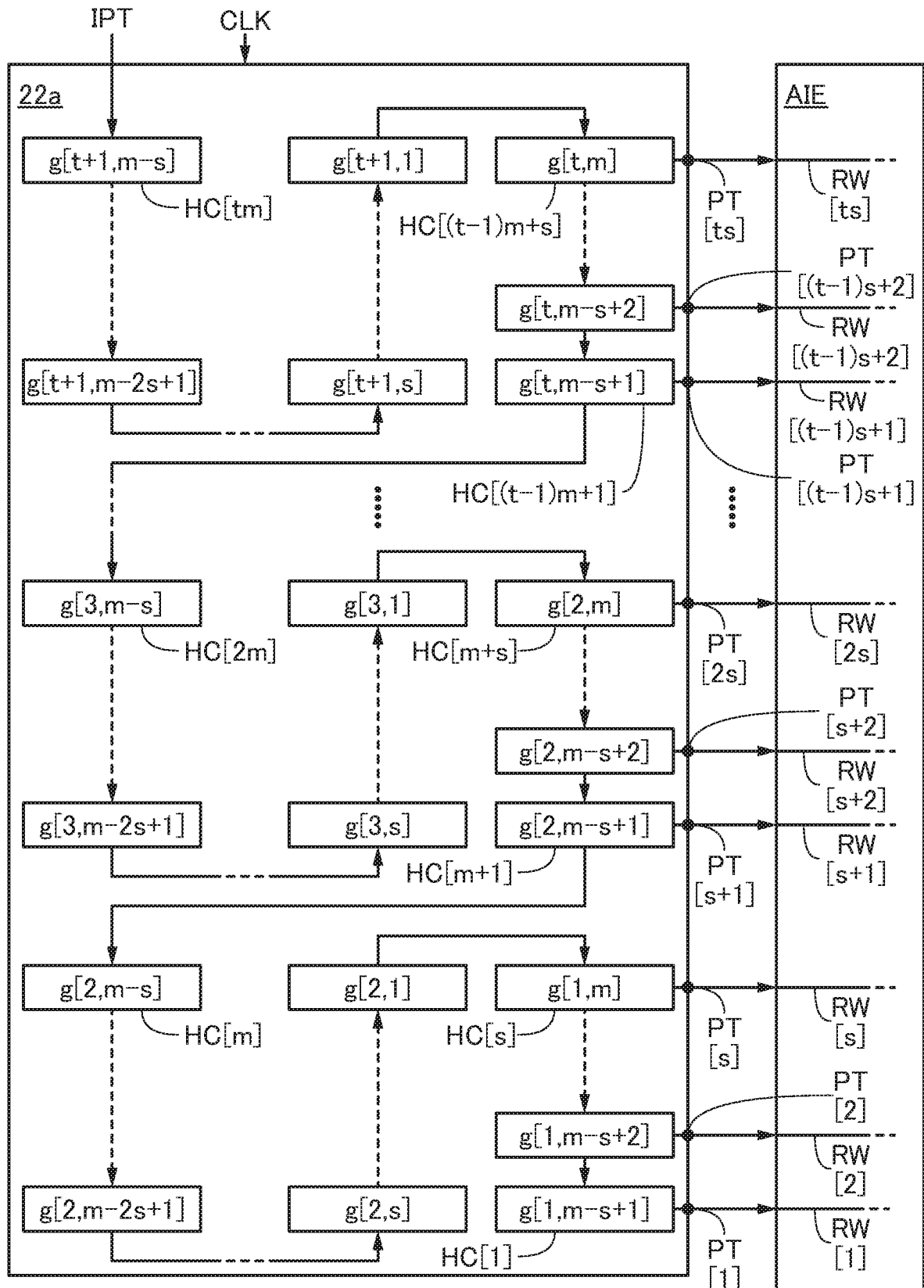
[図 8]



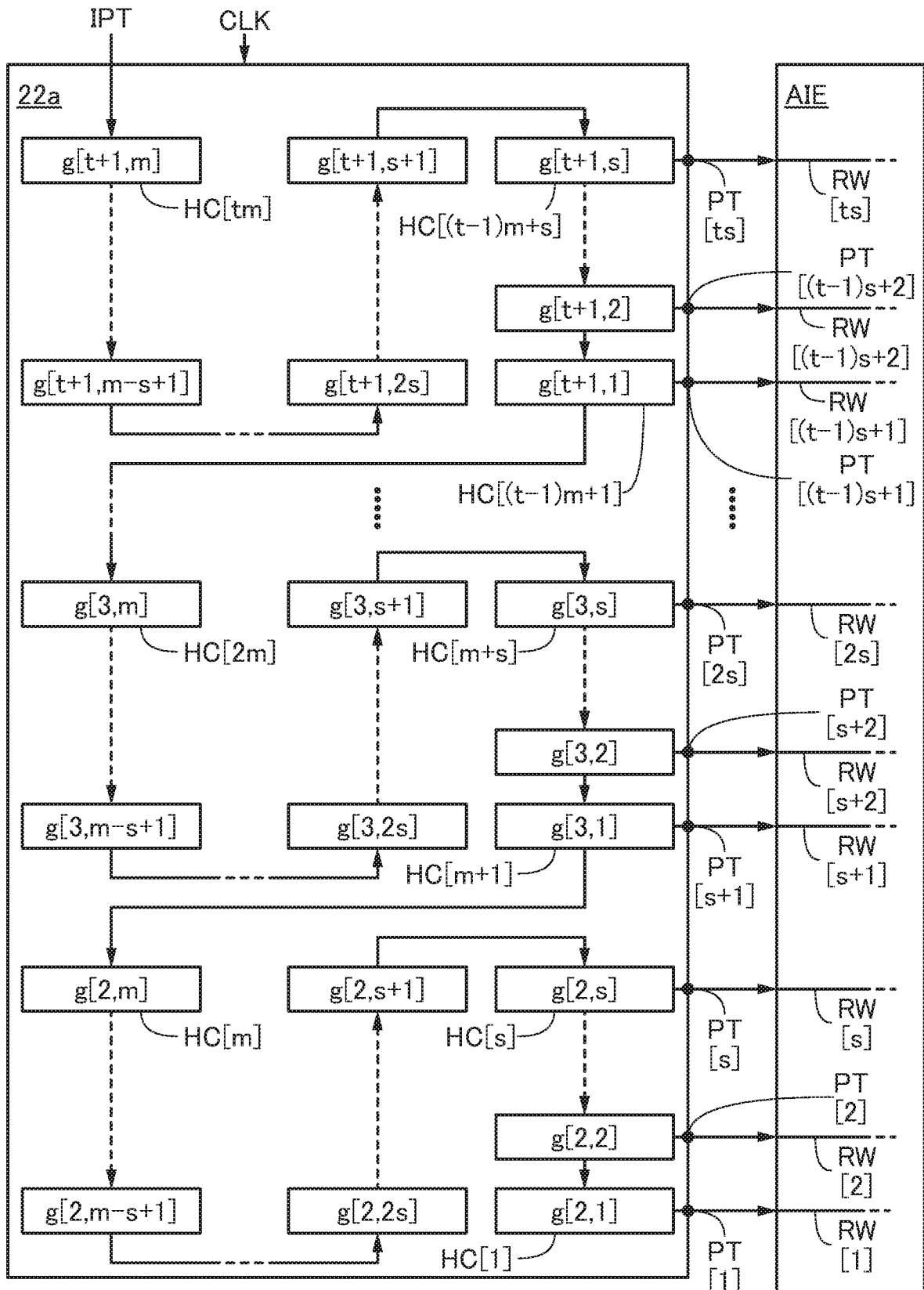
[ 义 9 ]



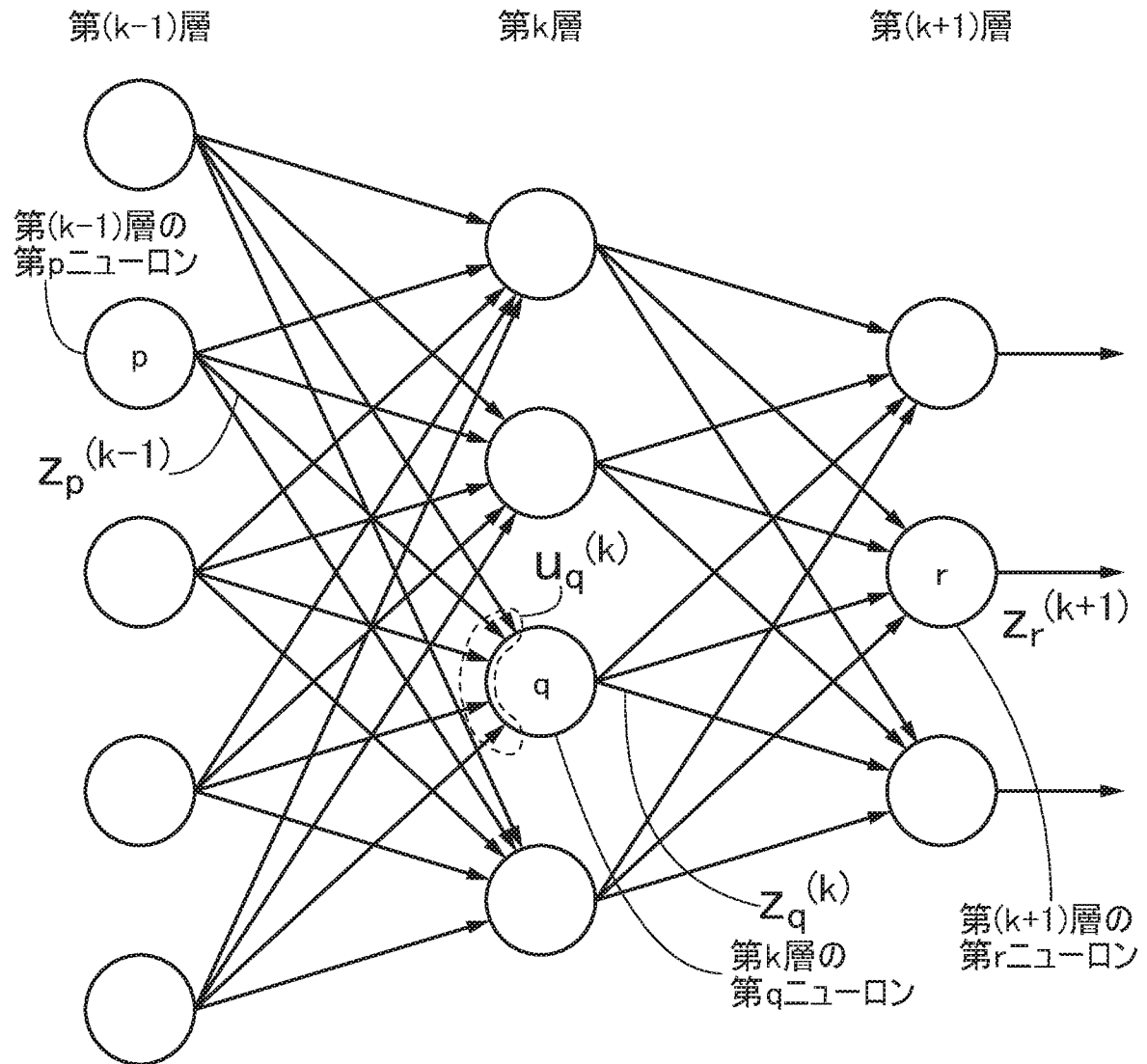
[図 10]



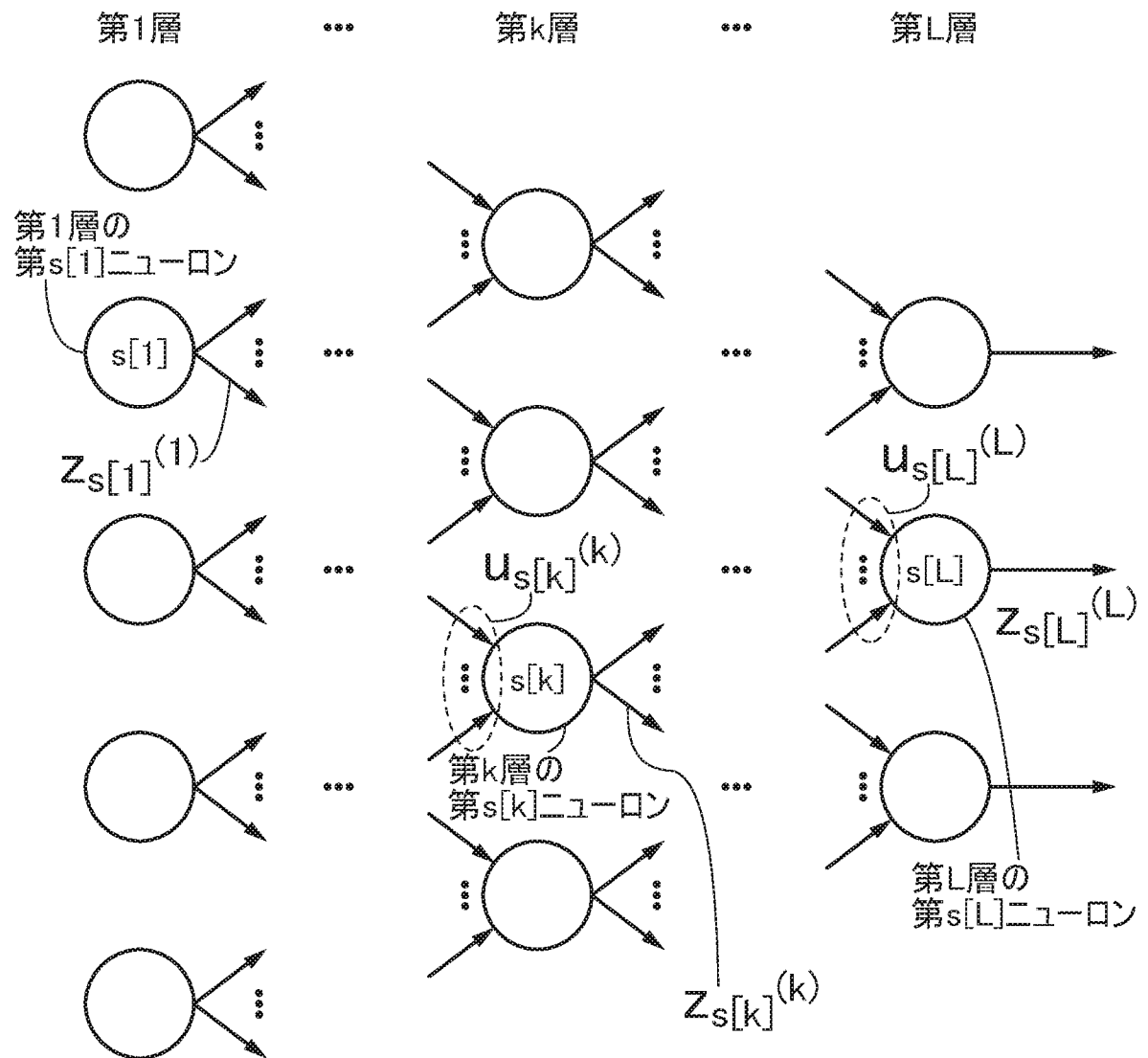
[図 11]



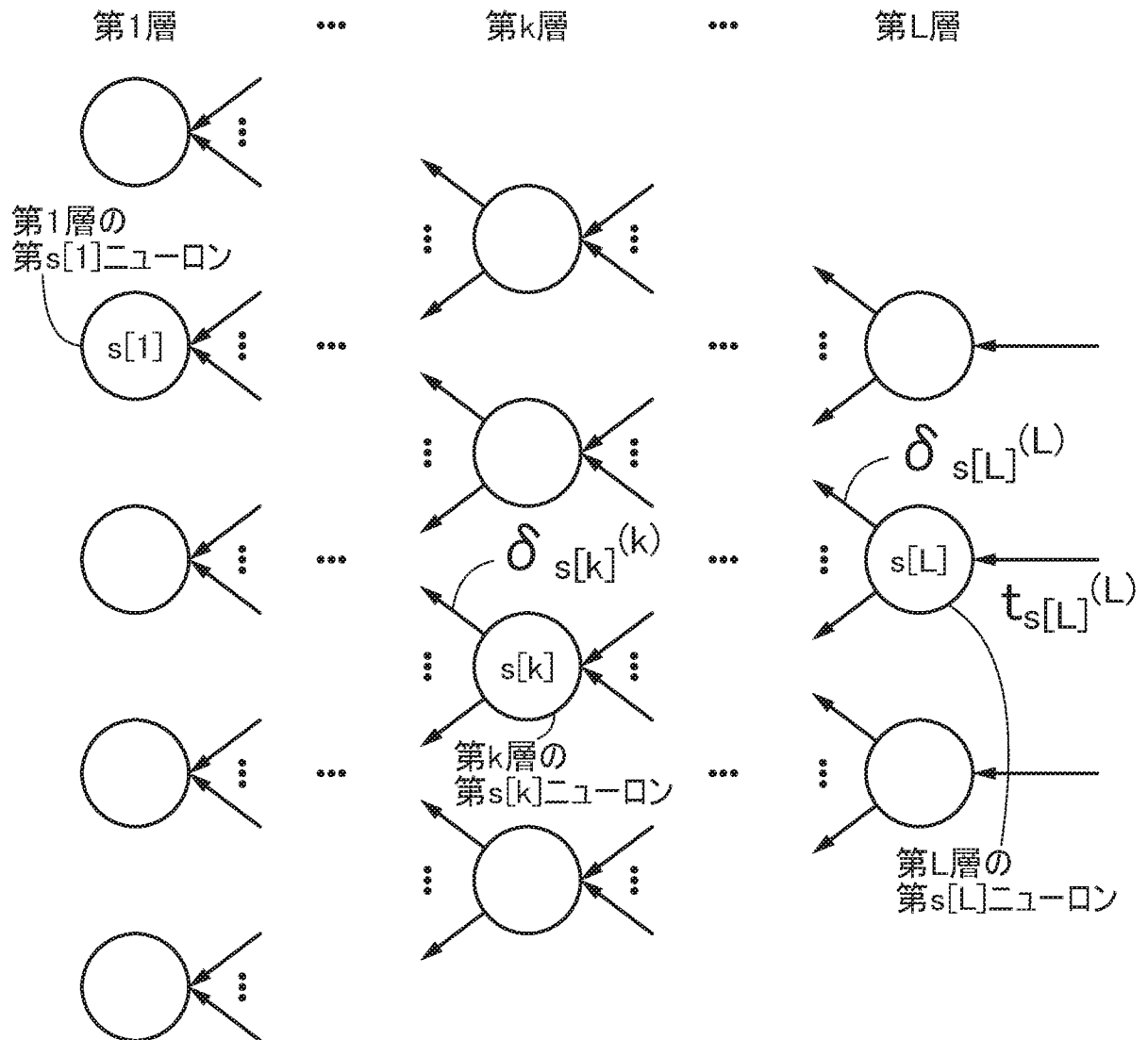
[図12]



[図13]



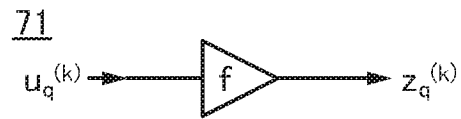
[図14]



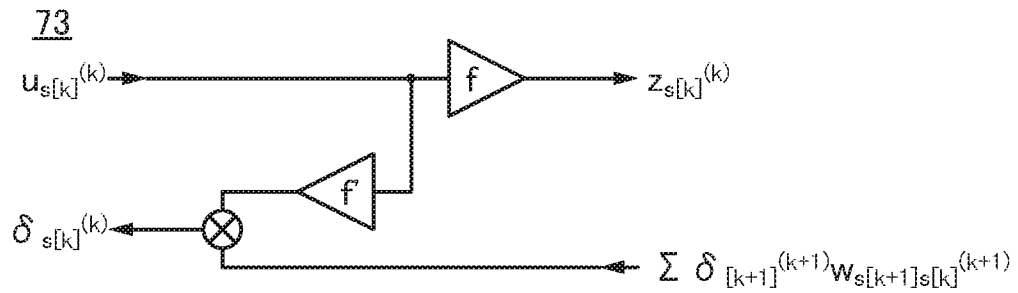
15/38

[図15]

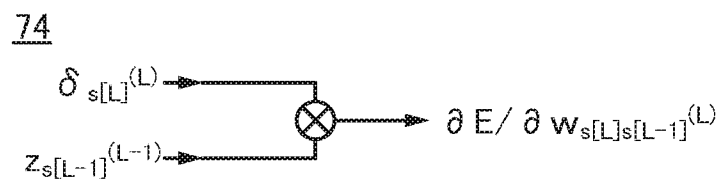
(A)



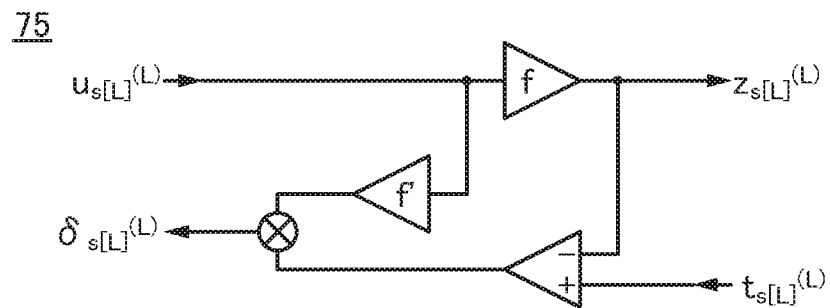
(B)



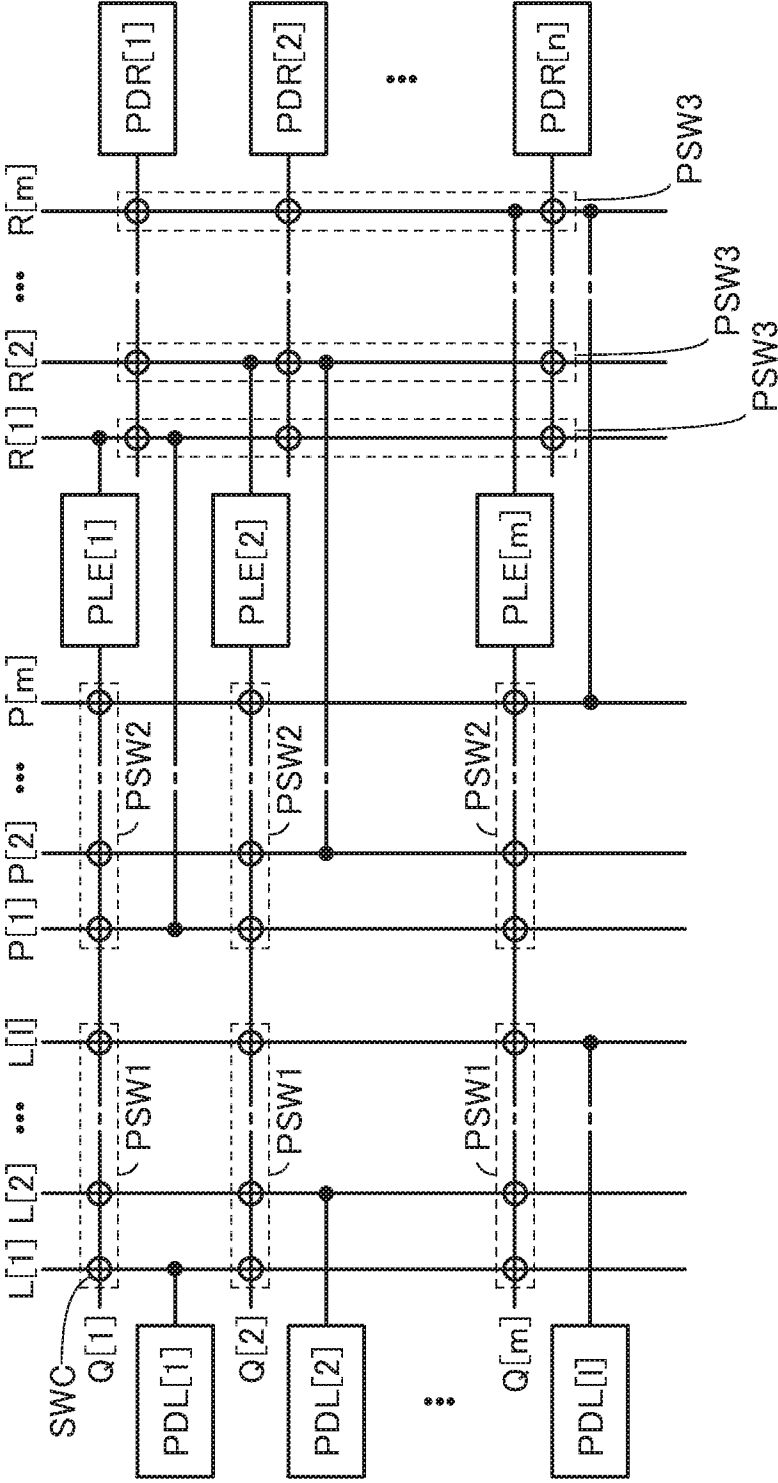
(C)



(D)

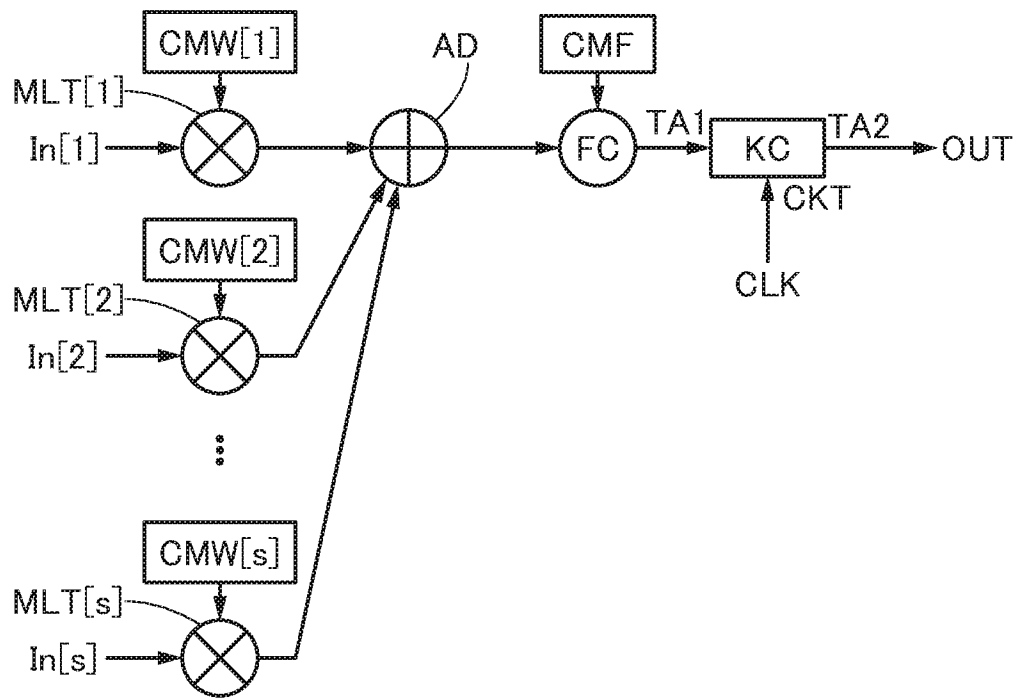
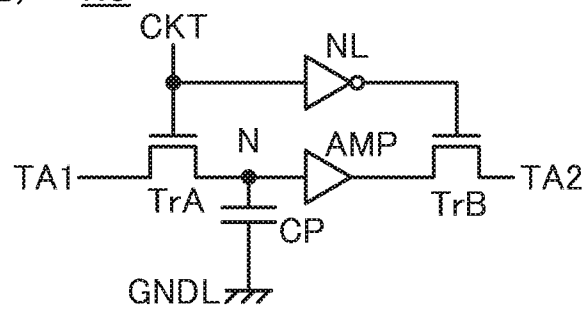


[Figure 16] 80



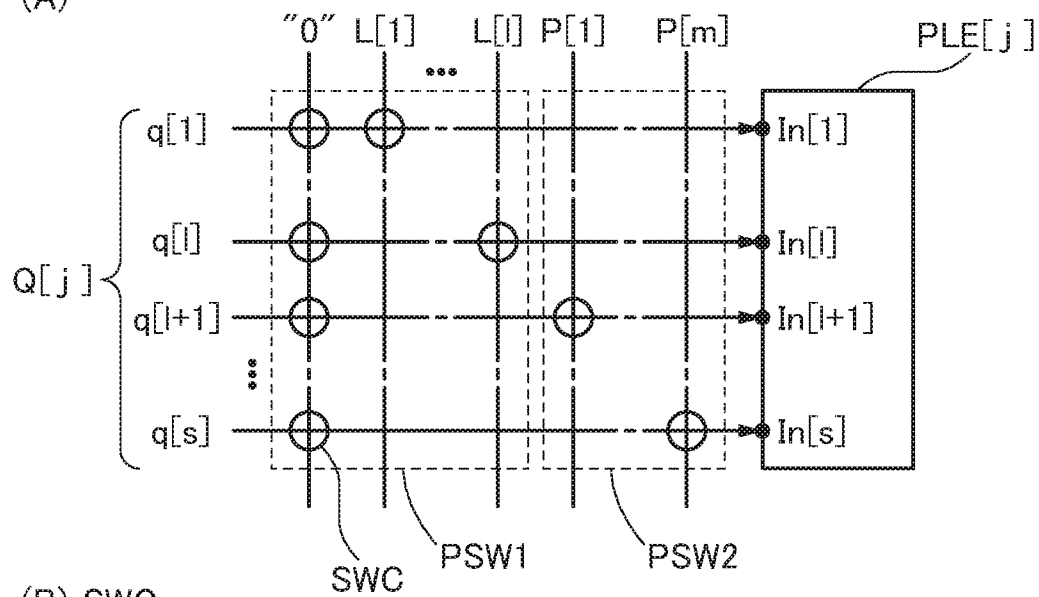
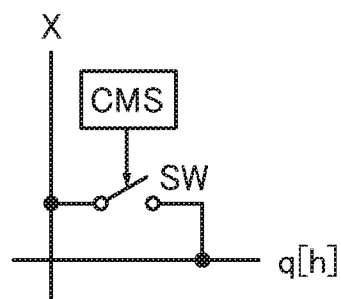
17/38

[図 17]

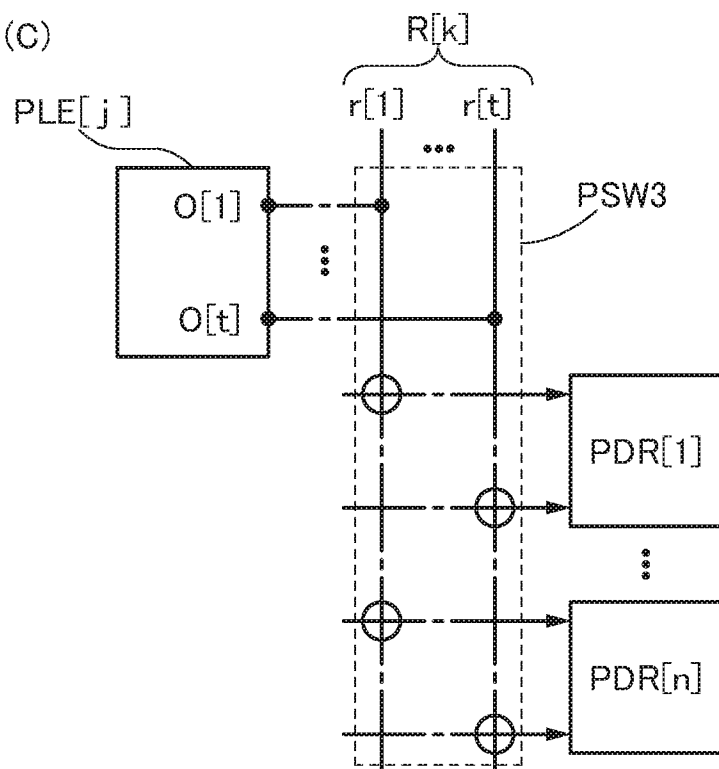
(A) 90(B) KC

[図18]

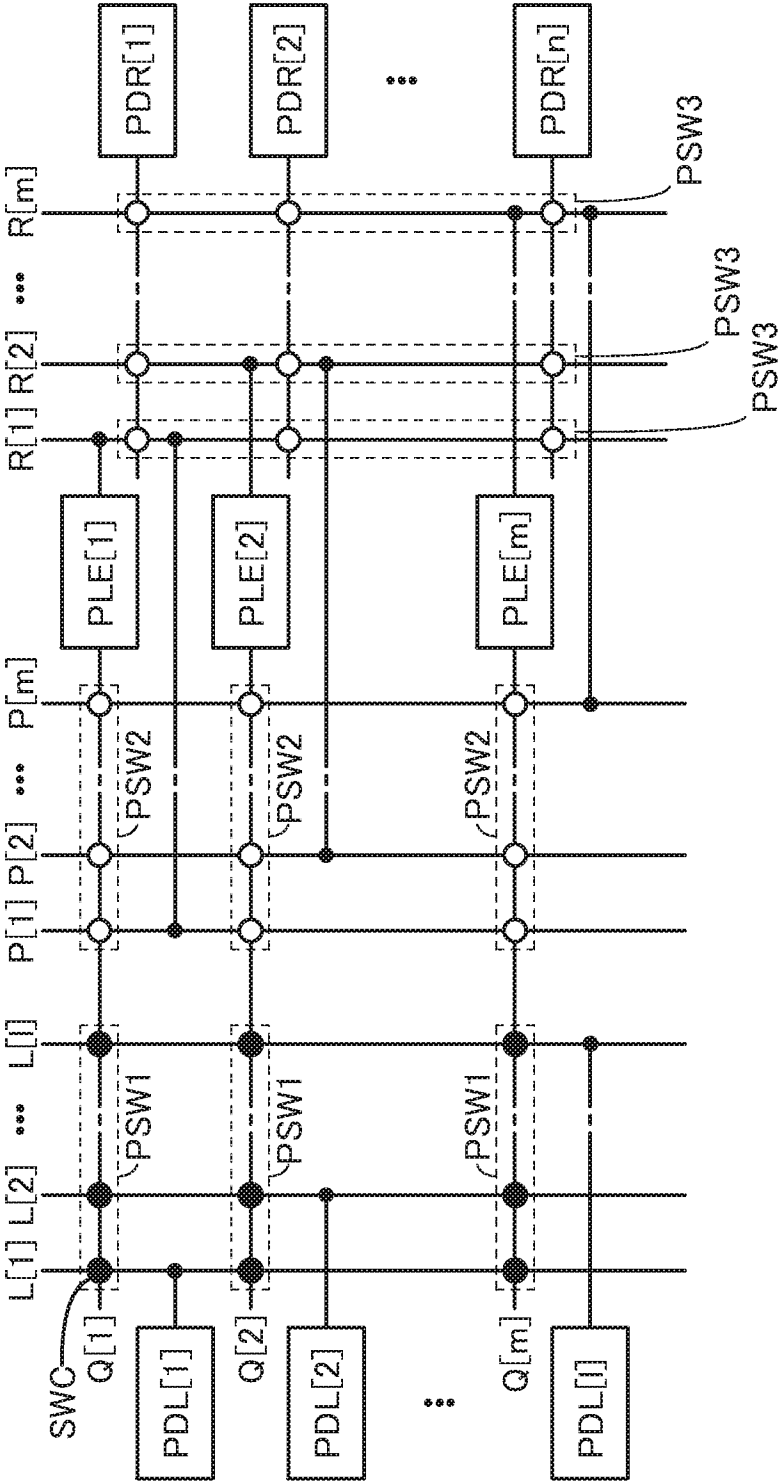
(A)

(B) SWC

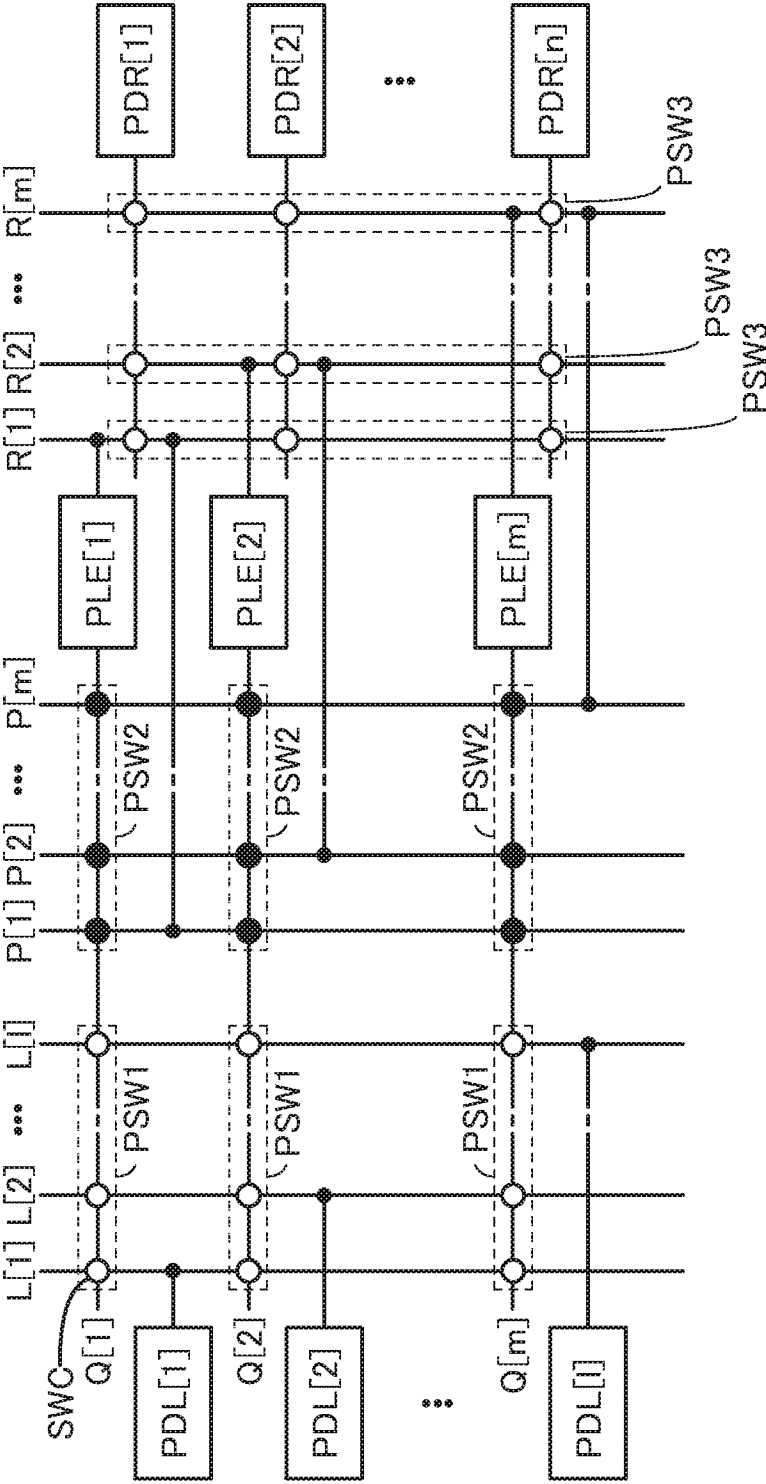
(C)



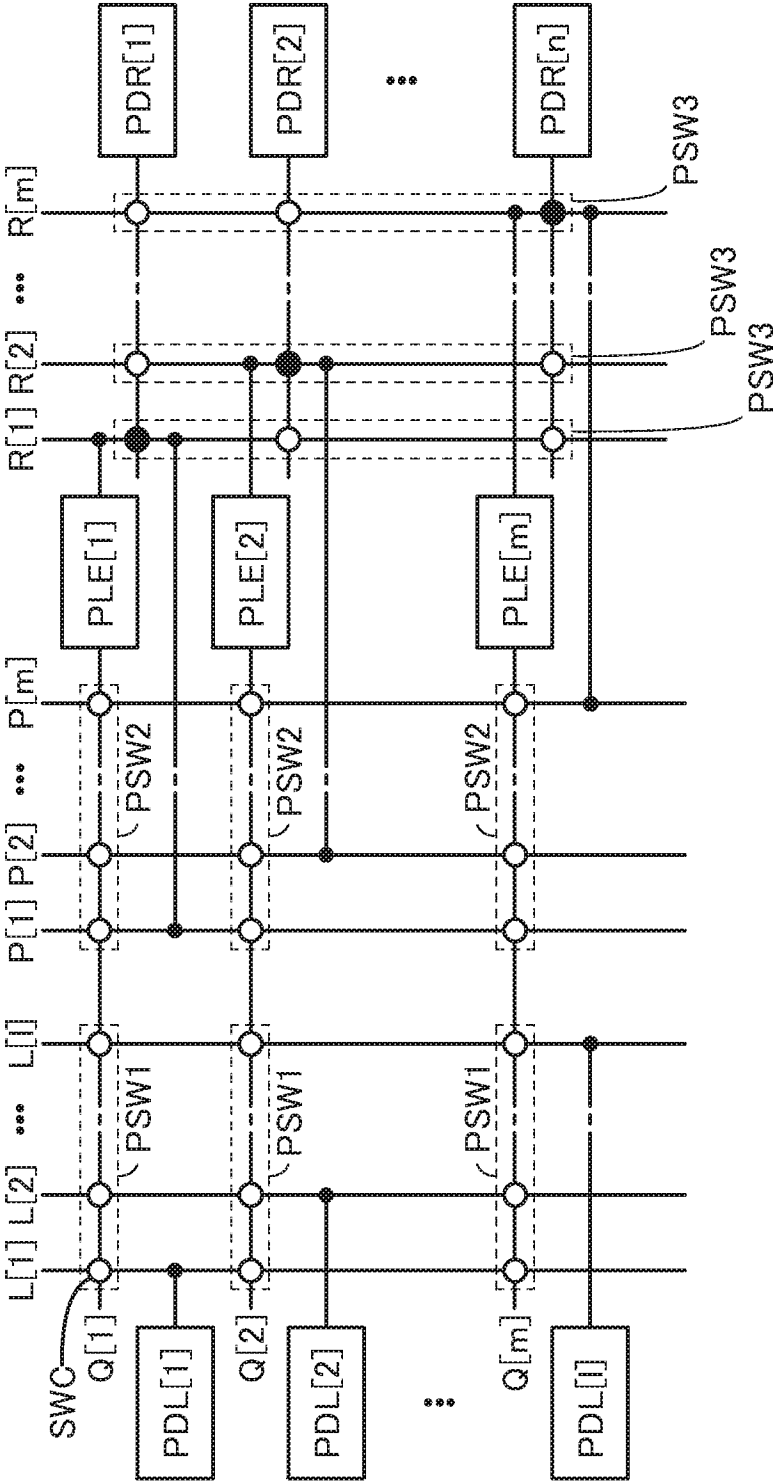
[圖 19] 80



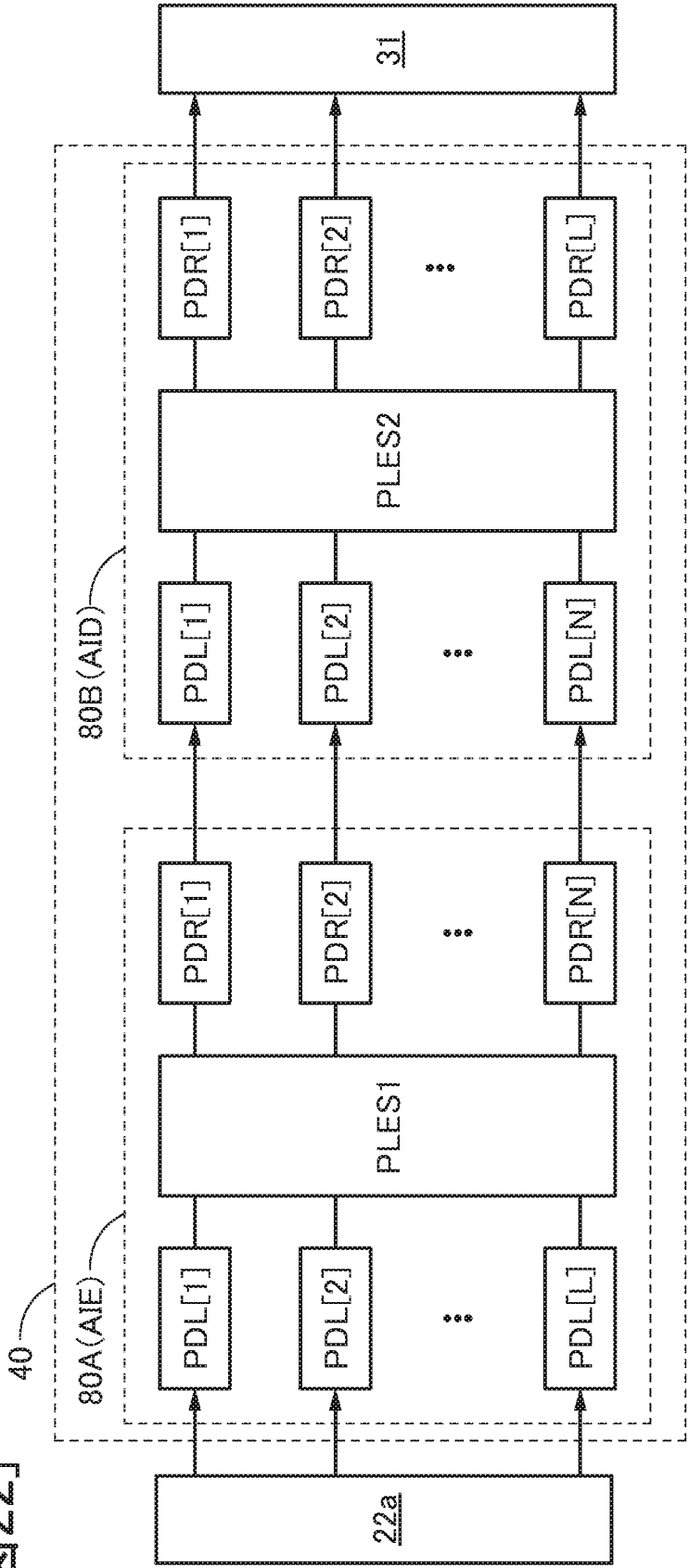
[] 20] 80



[図21] 80

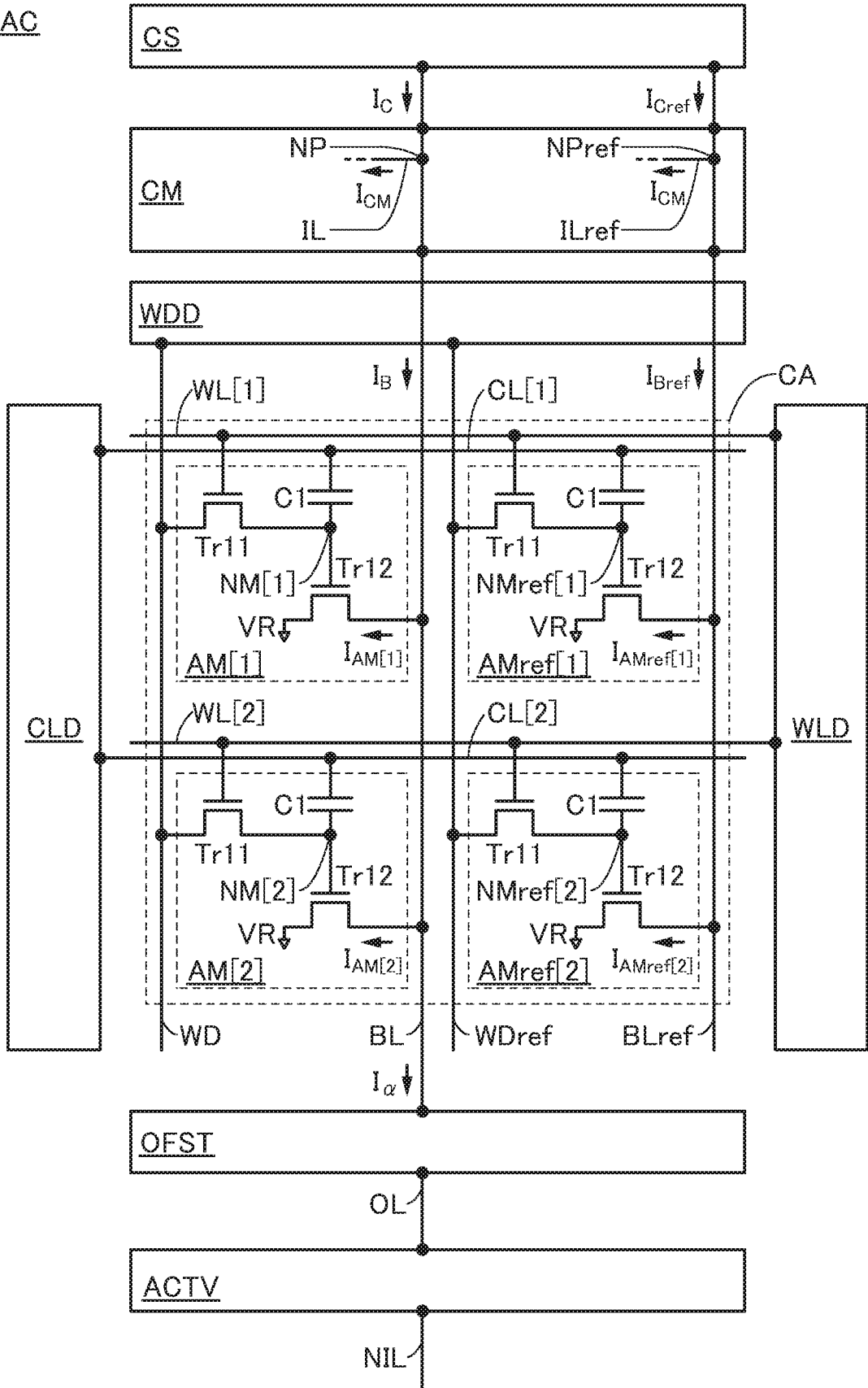


[図 22]

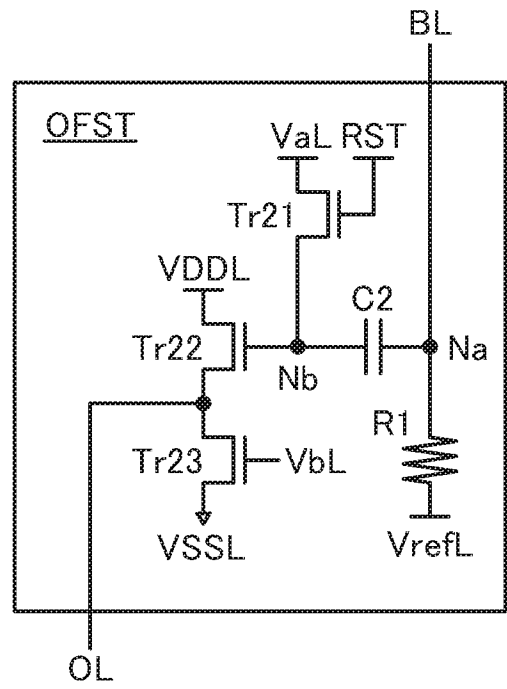


[図23]

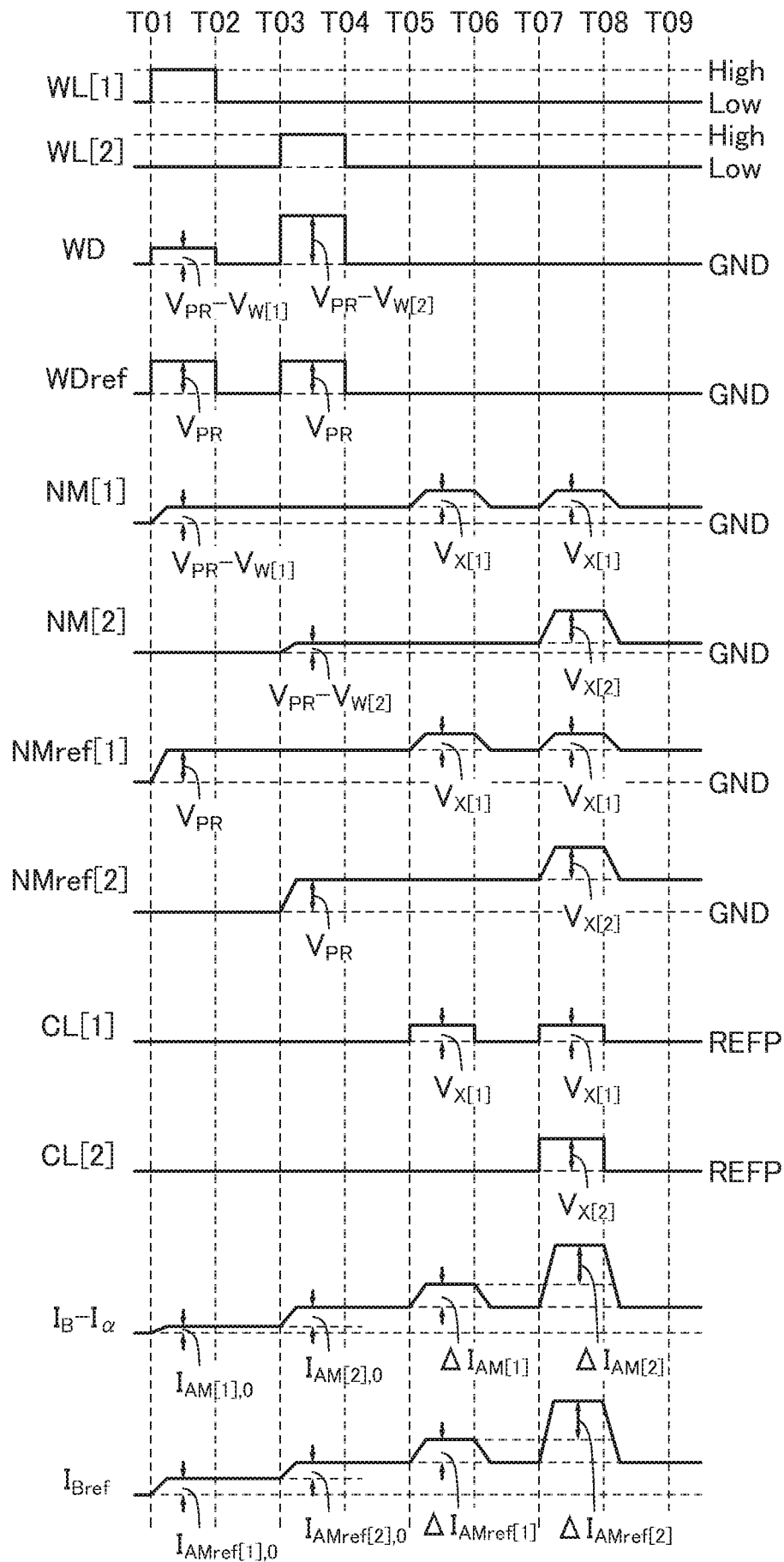
MAC



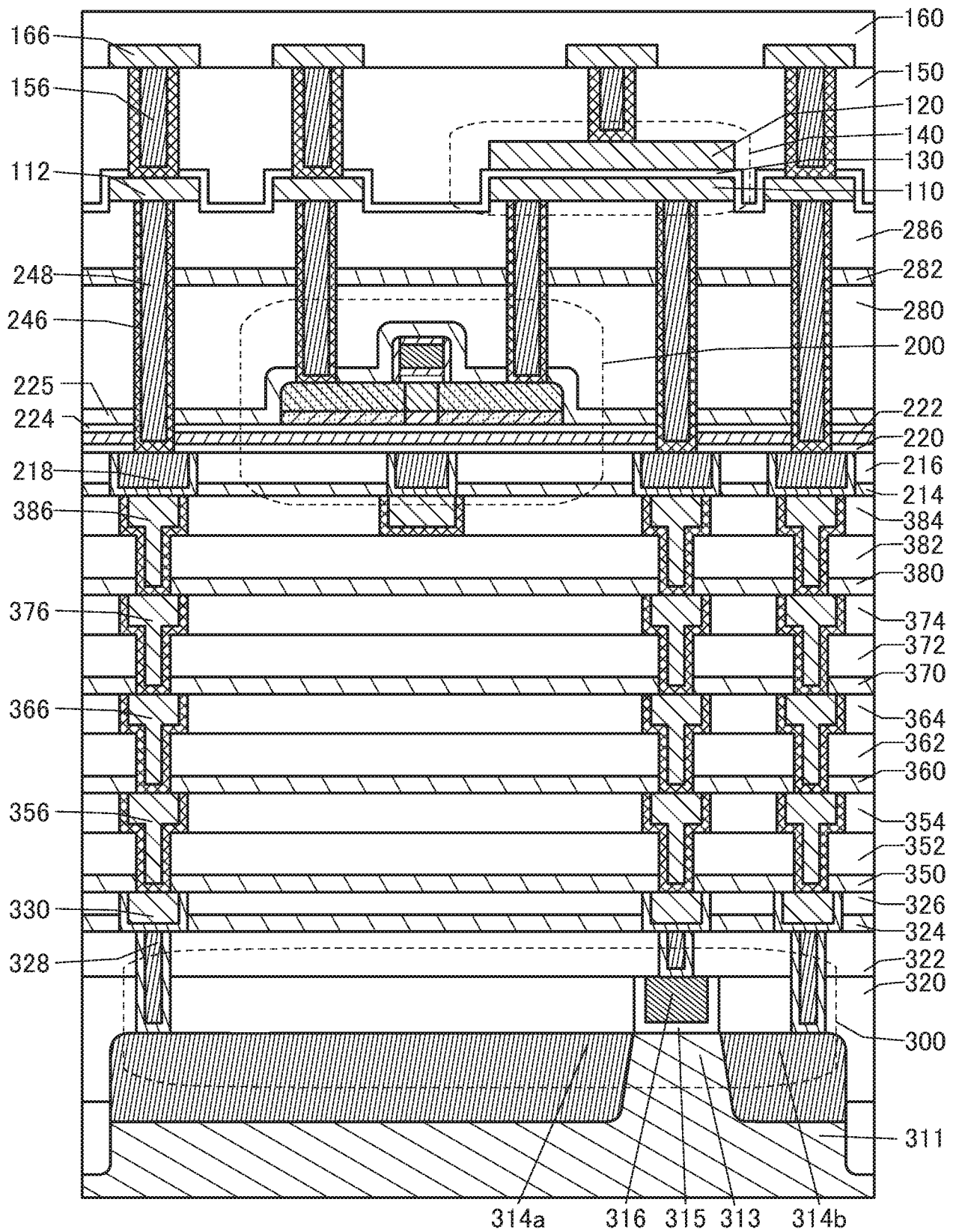
[図24]



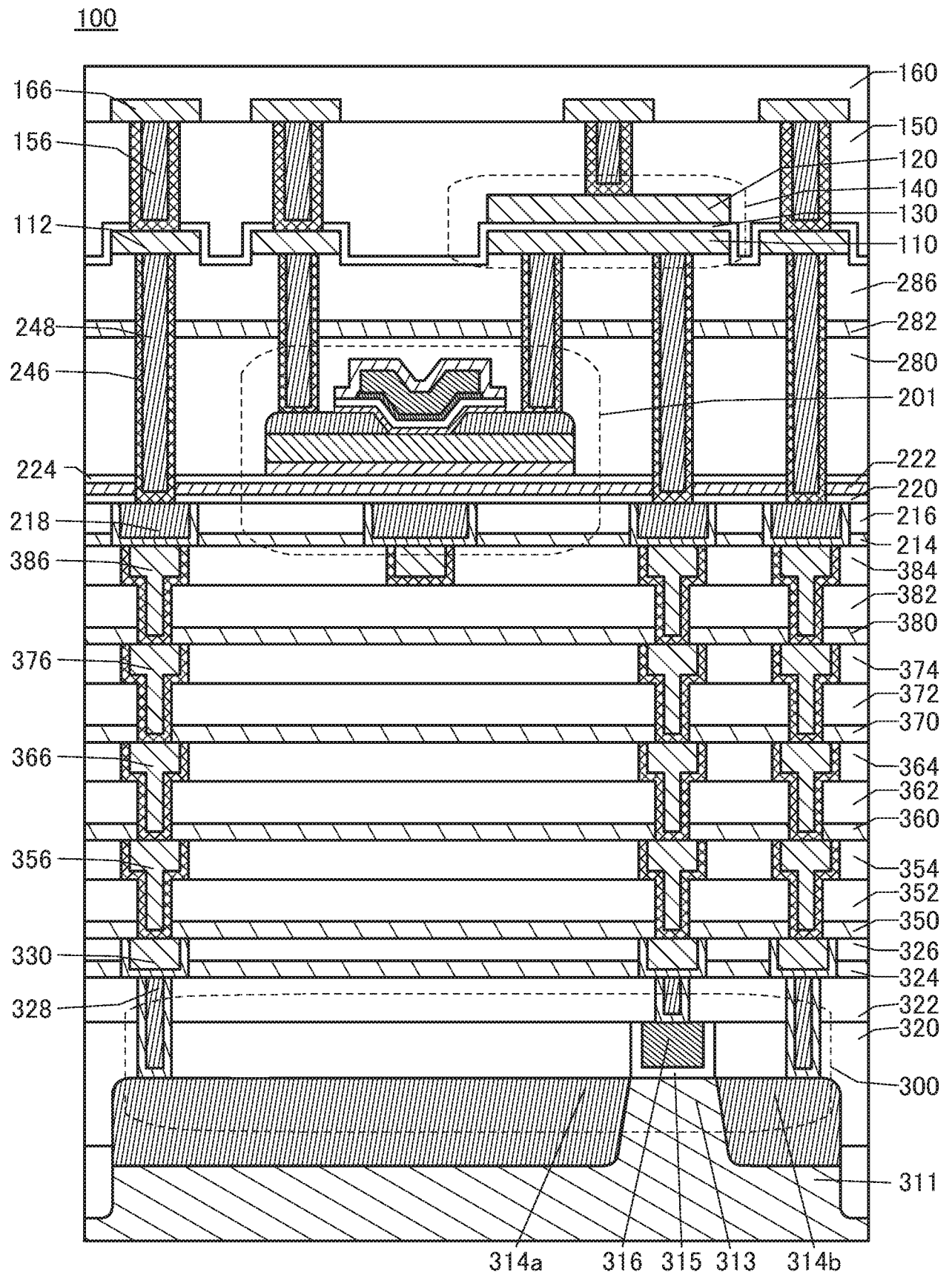
[図25]



[図26]

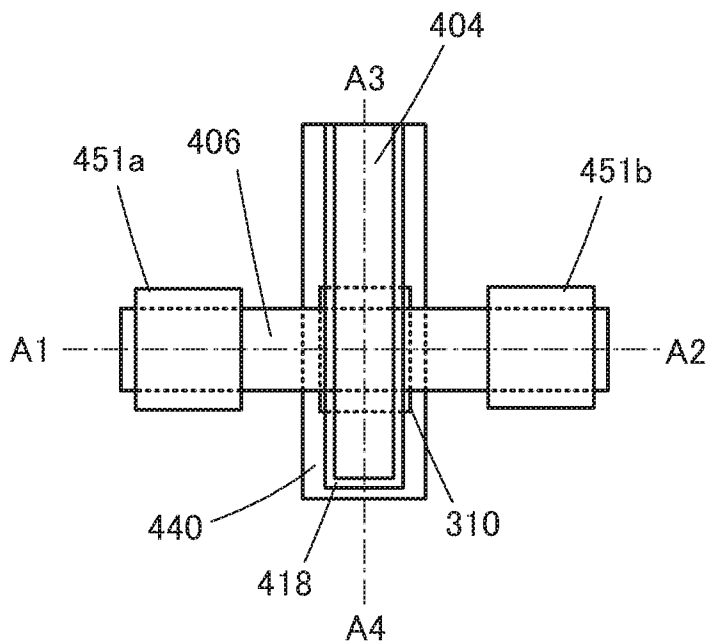
100

[圖27]

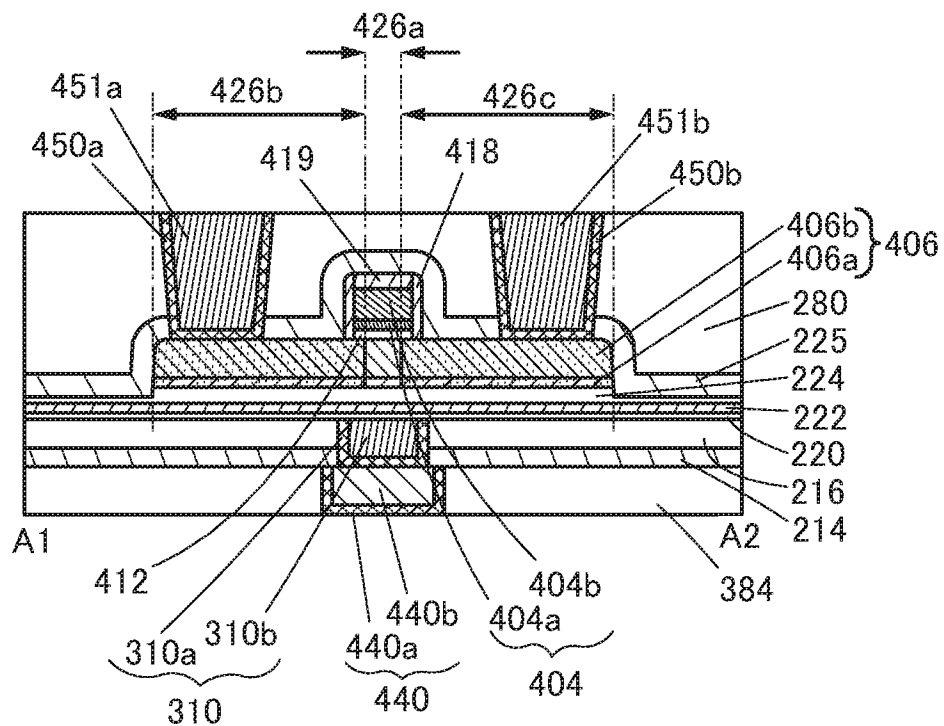


## [図28]

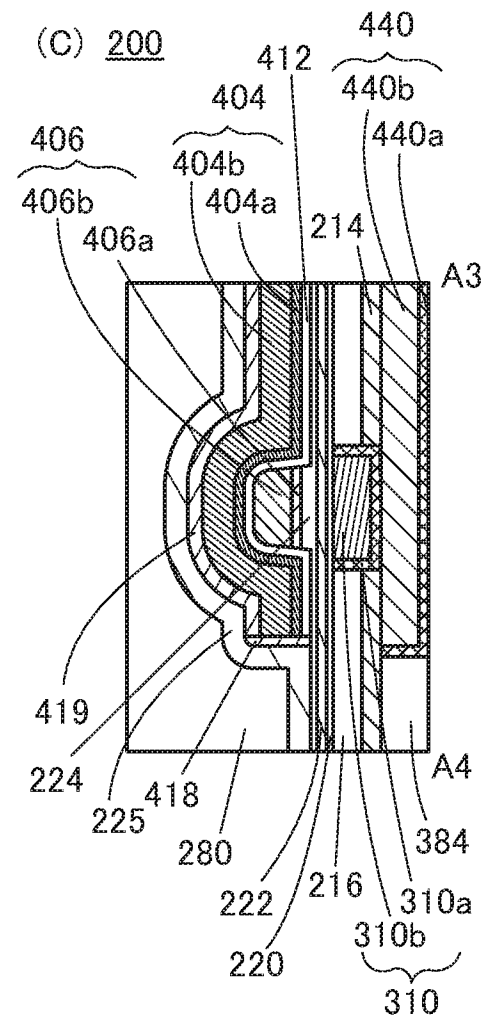
(A) 200



(B) 200

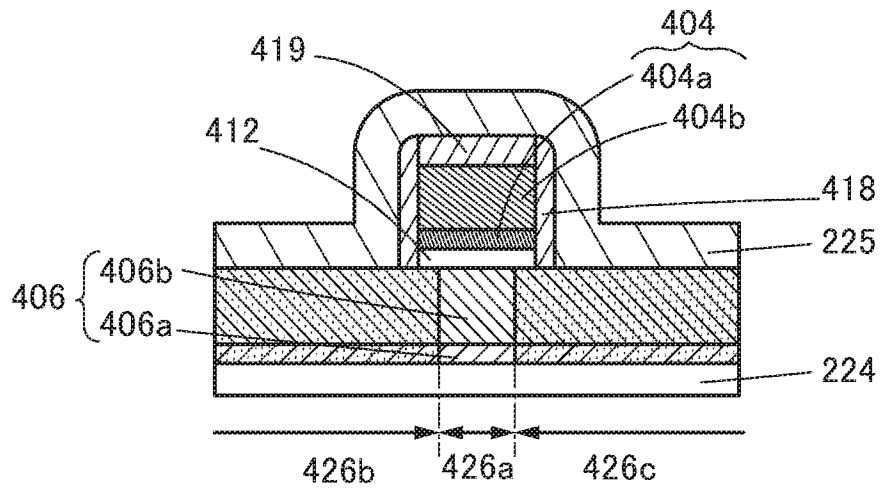


(C) 200

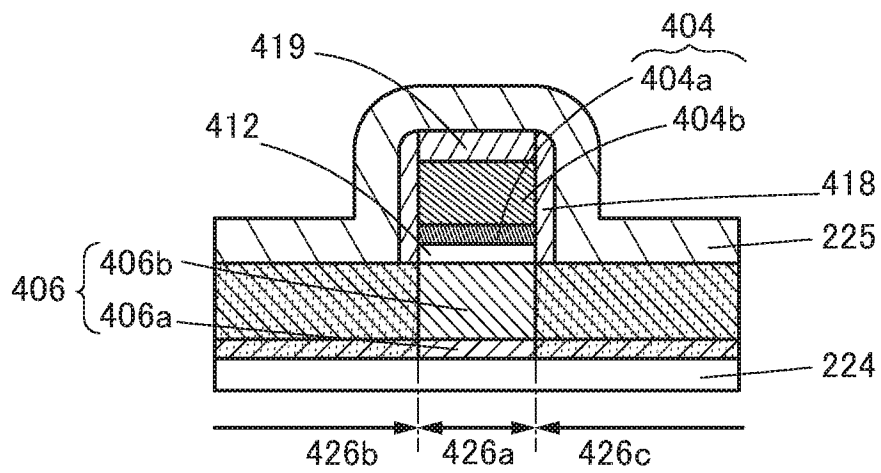


## [図29]

(A)

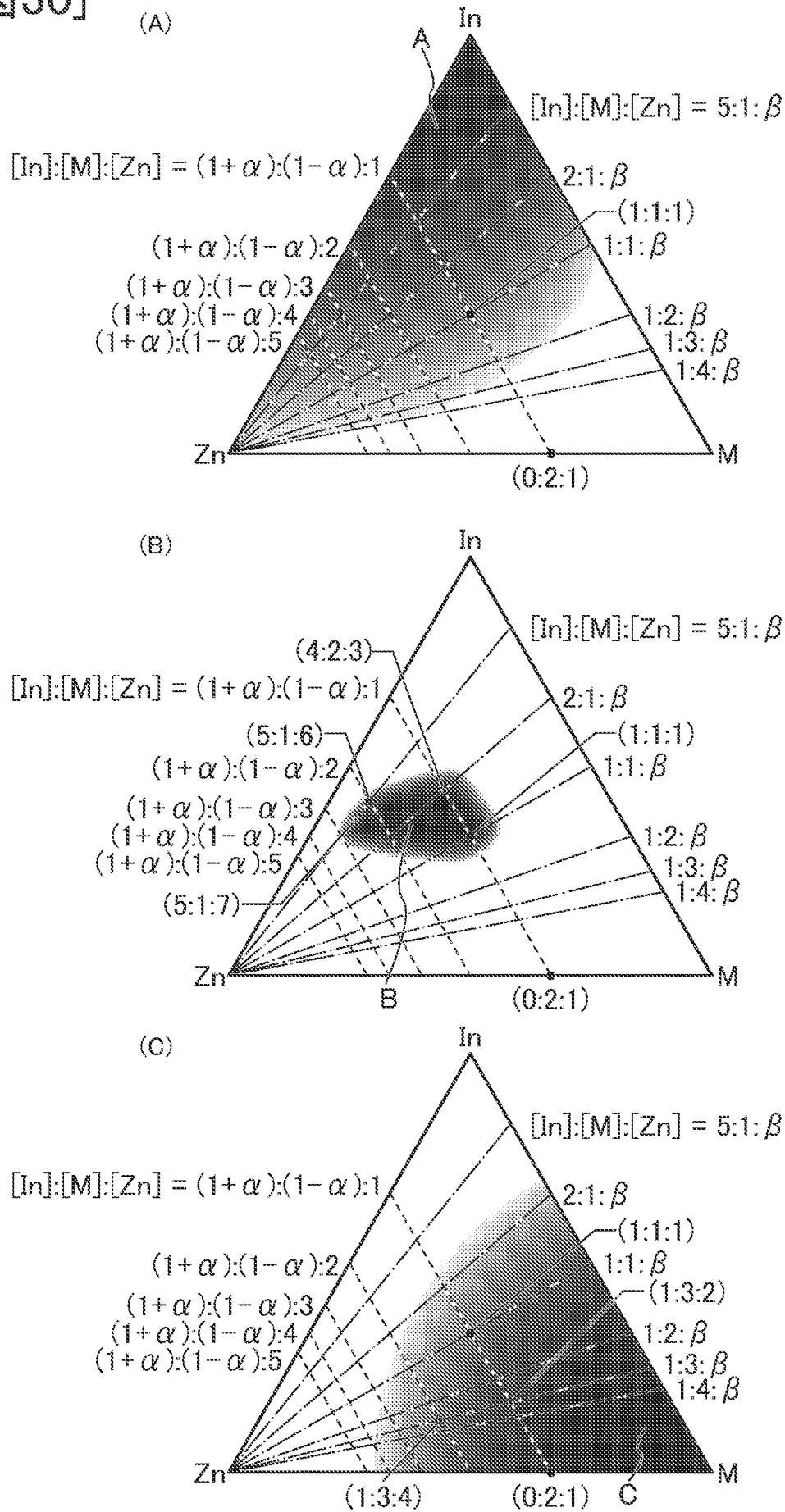


(B)



[図30]

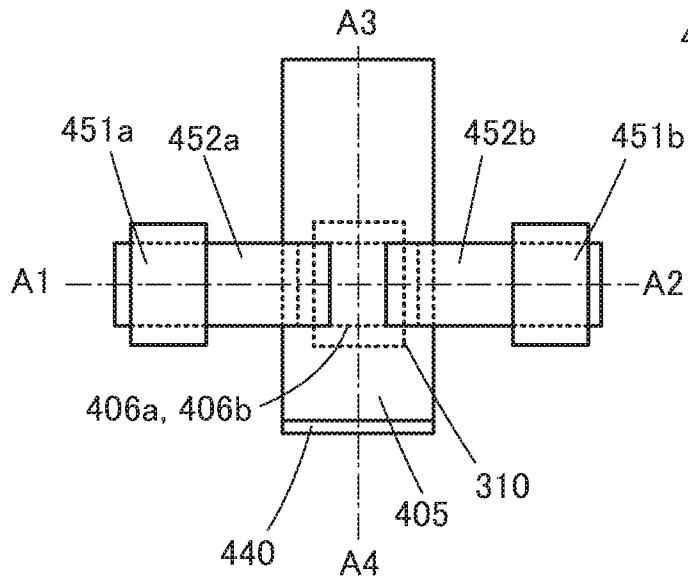
30/38



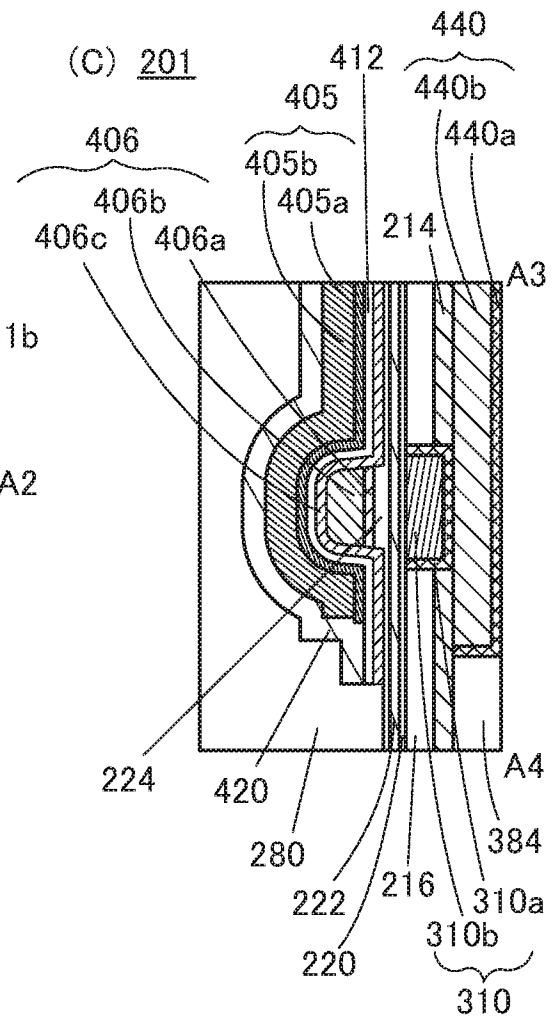
31/38

[図31]

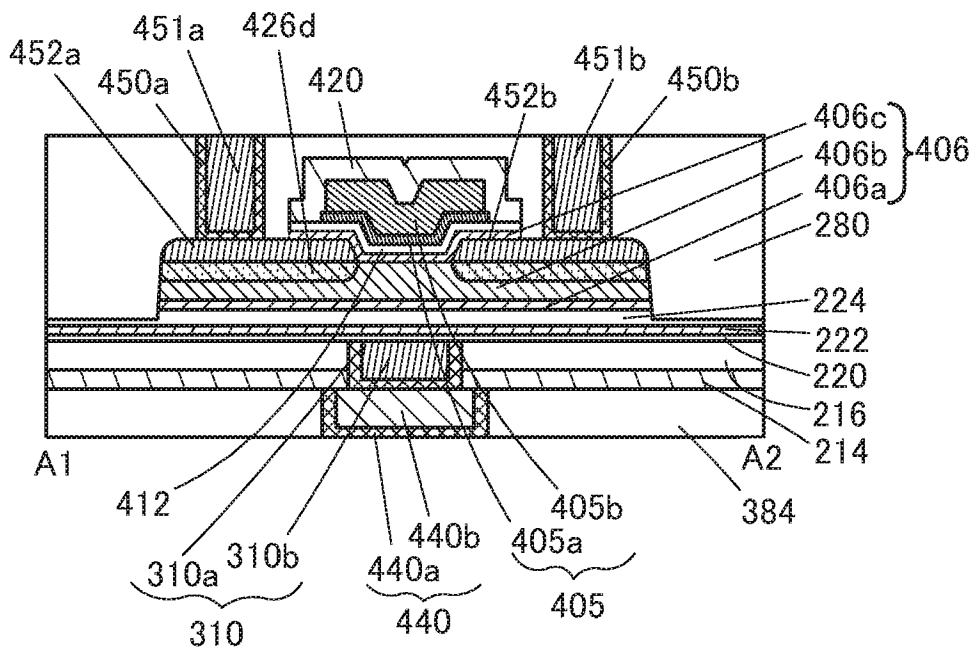
(A) 201



(C) 201



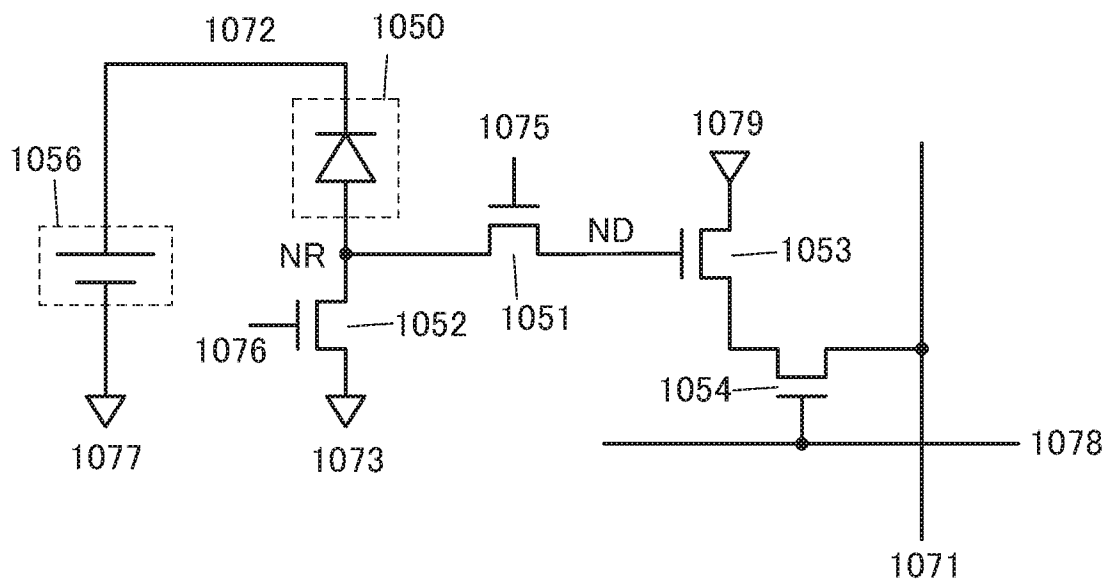
(B) 201



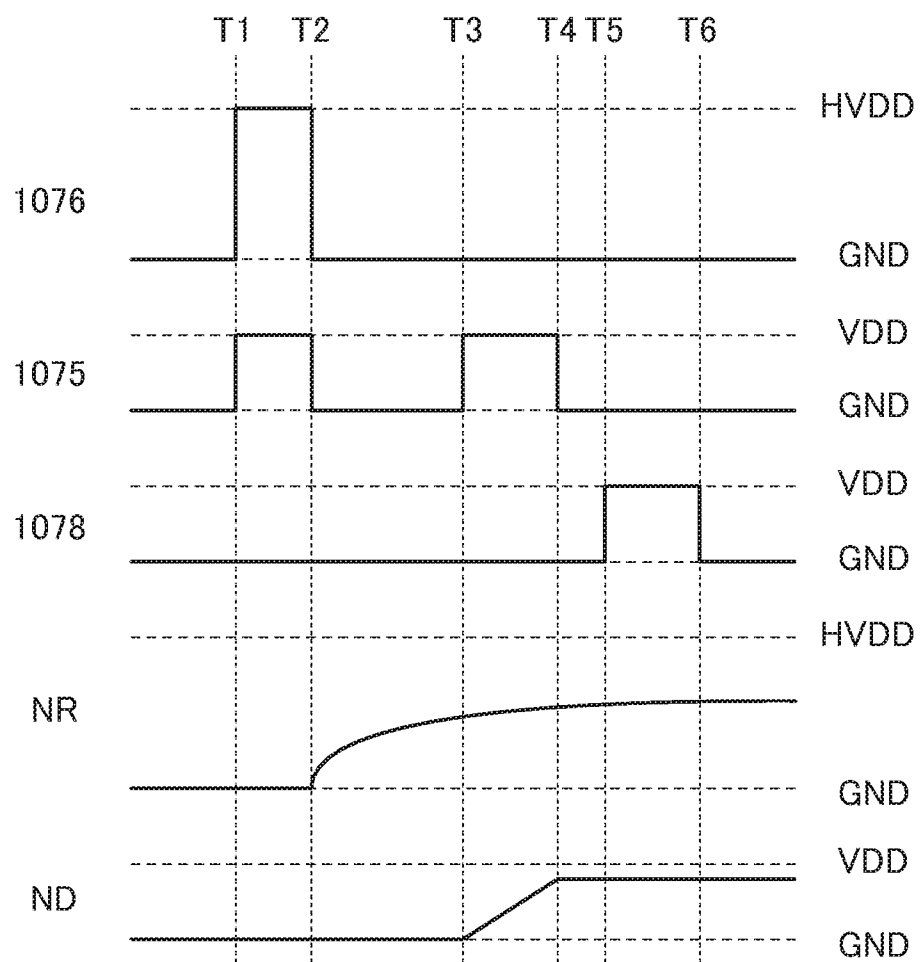
32/38

[図32]

(A)

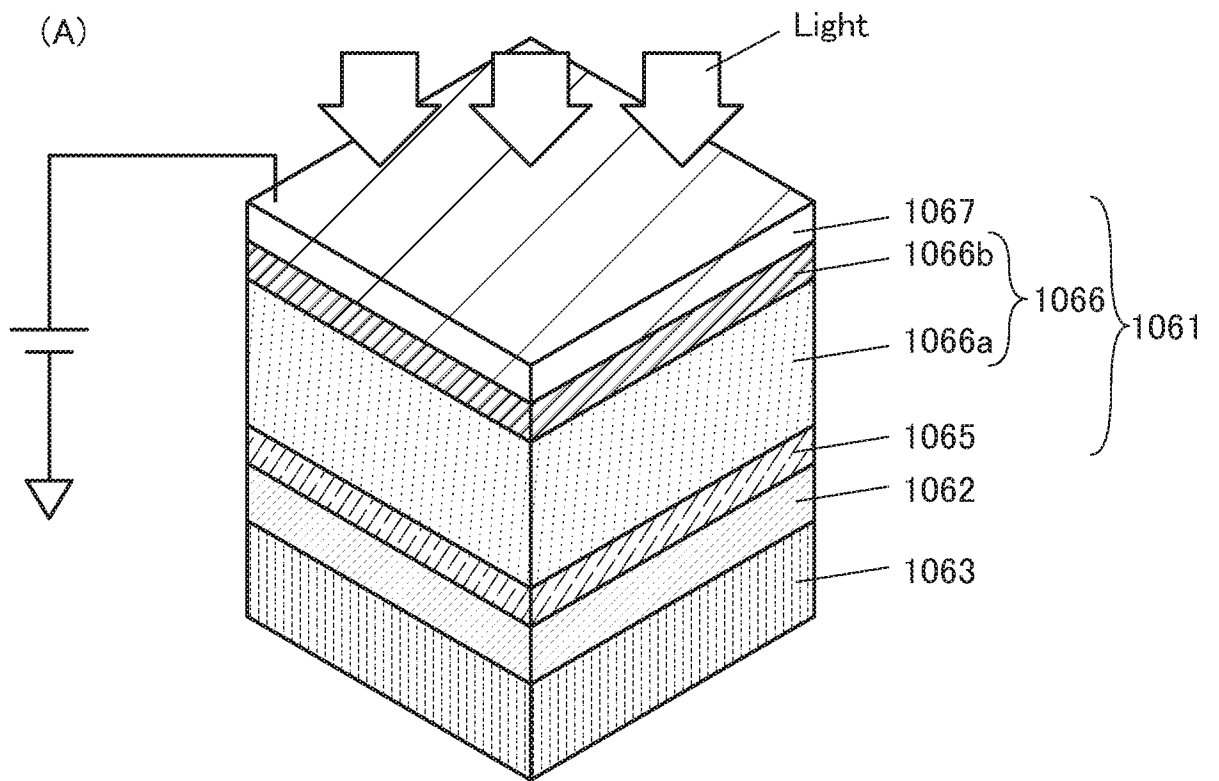


(B)

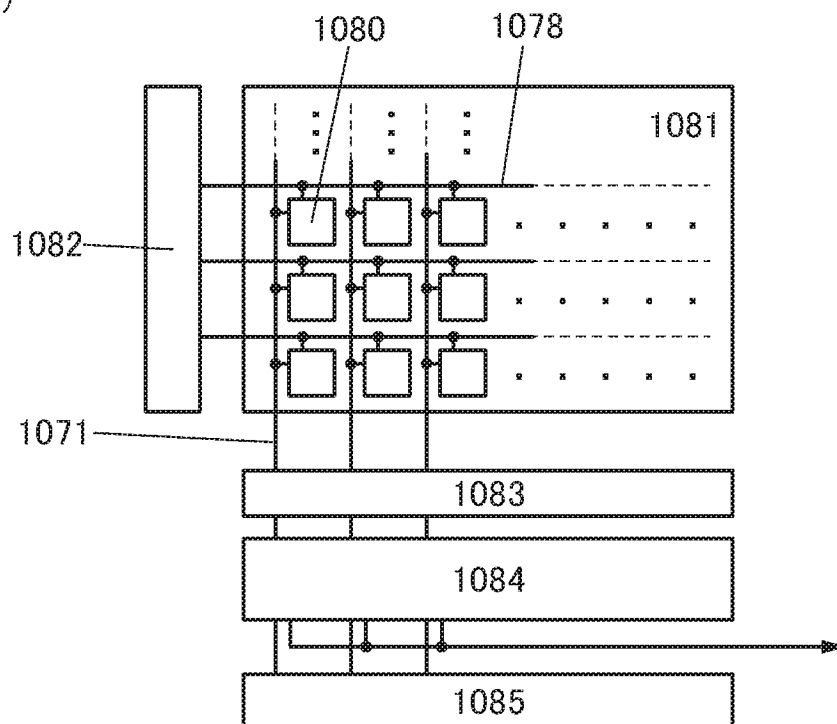


33/38

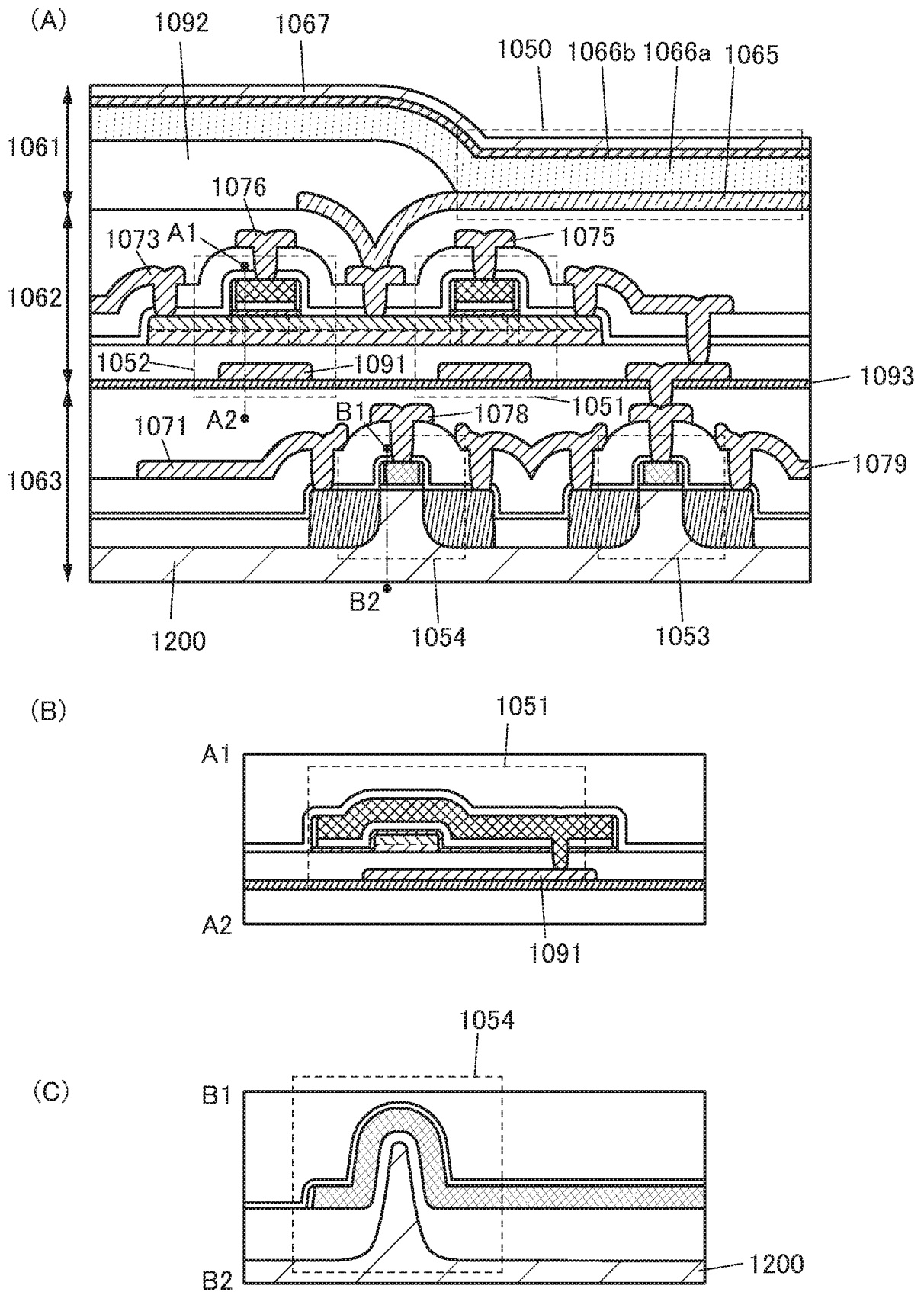
[図33]



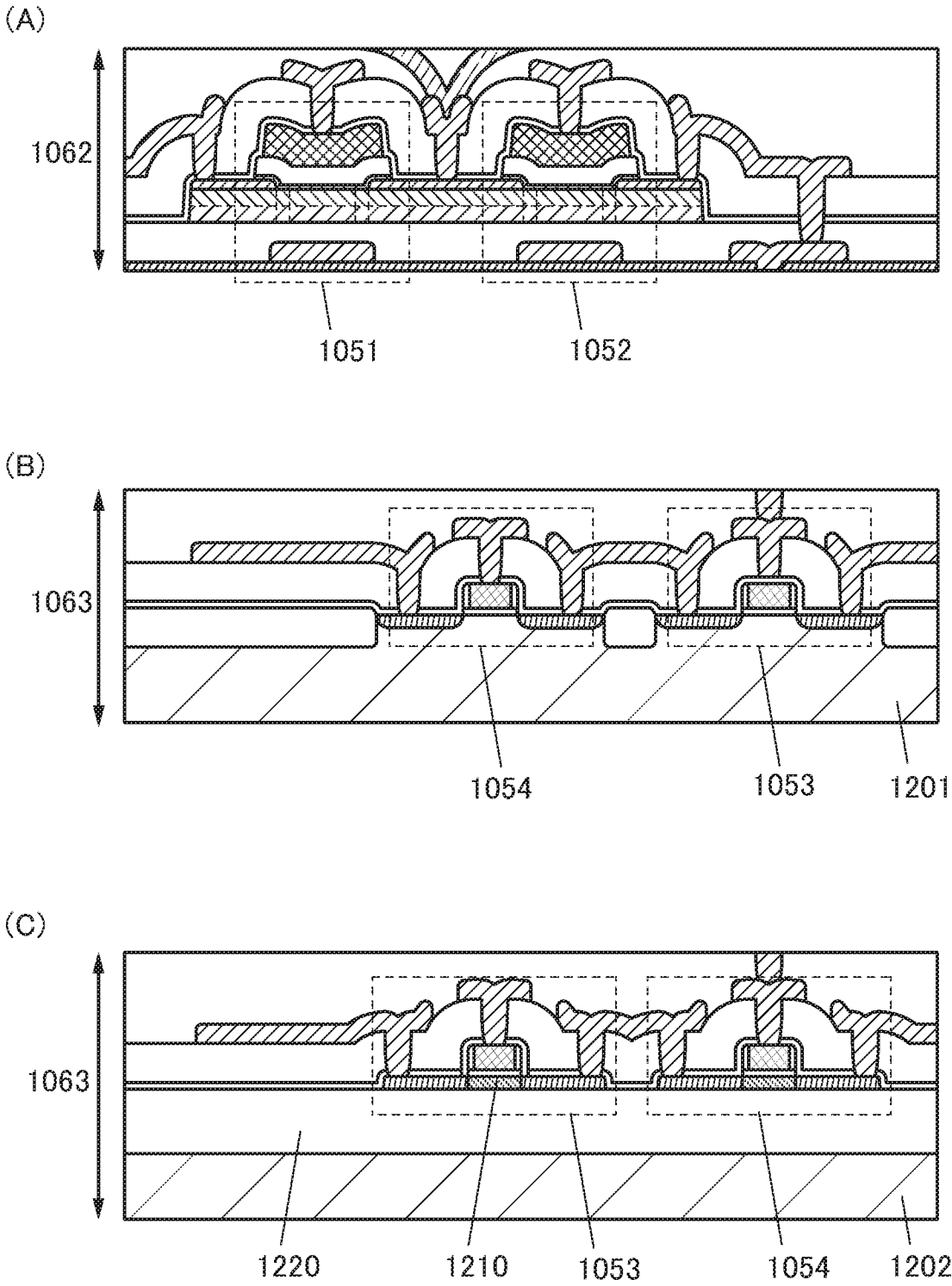
(B)



[図34]

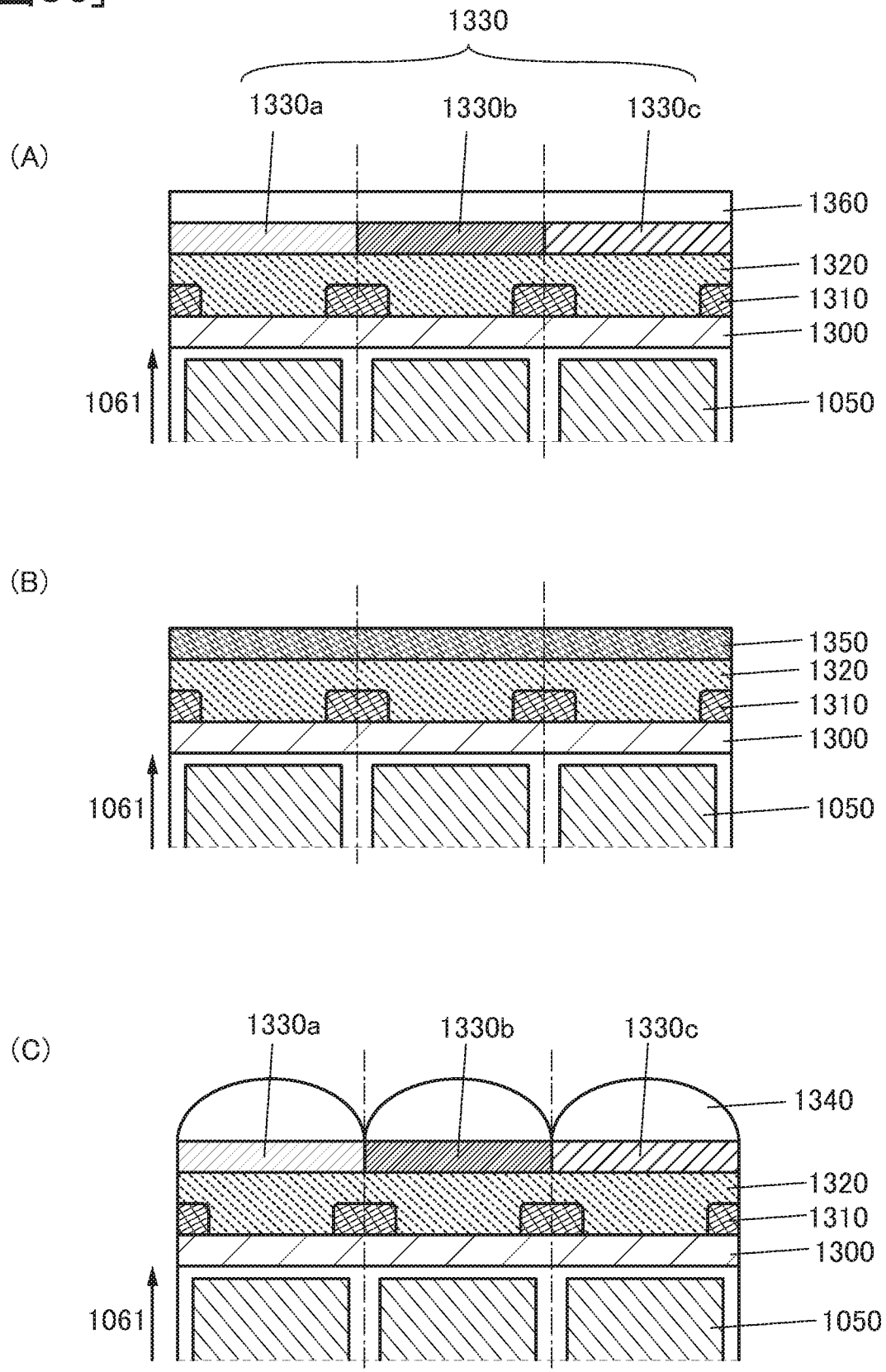


[図35]



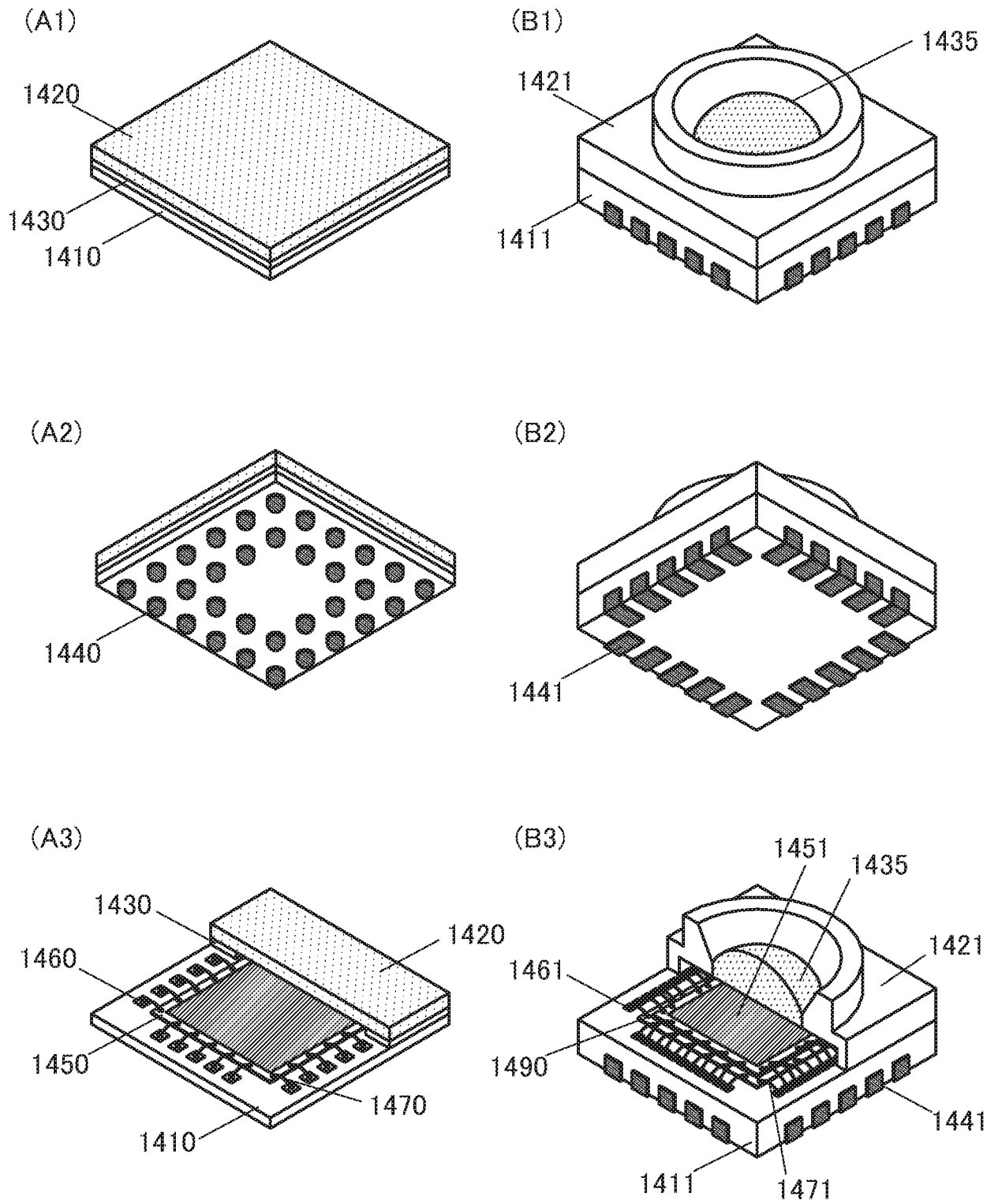
[図36]

36/38



37/38

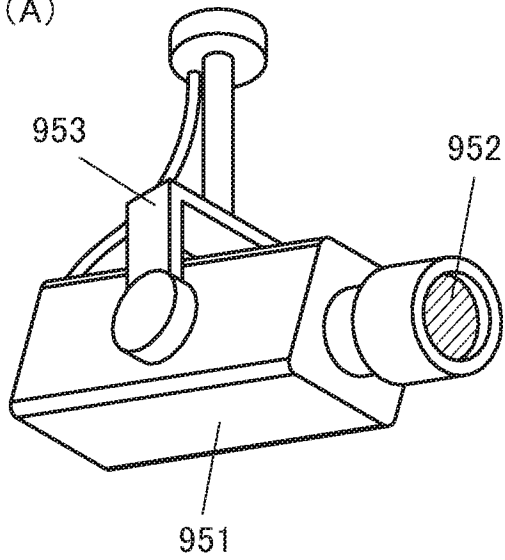
[図37]



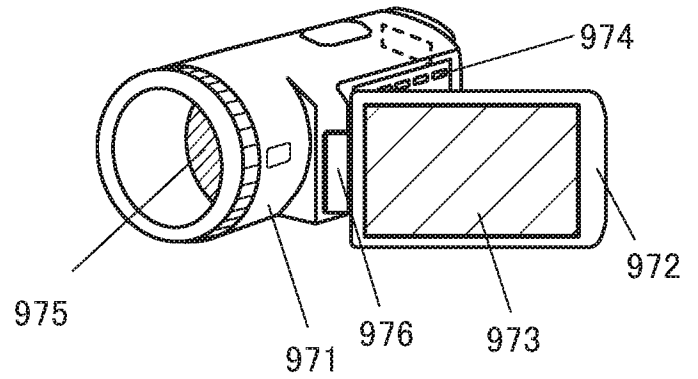
38/38

[図38]

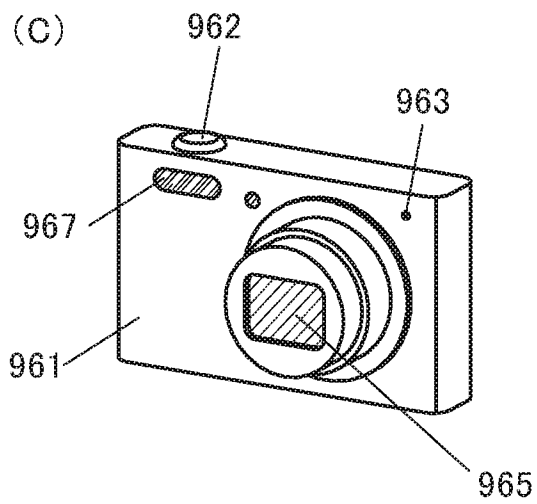
(A)



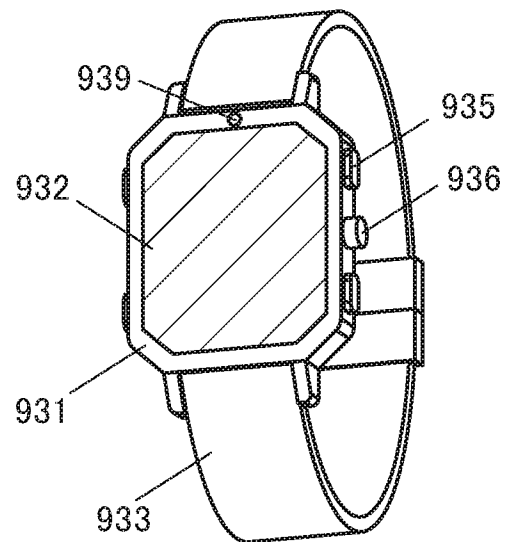
(B)



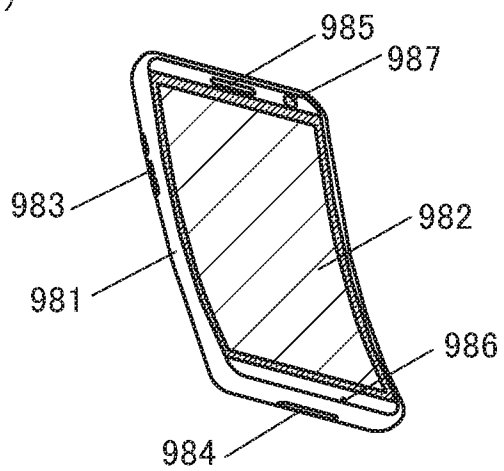
(C)



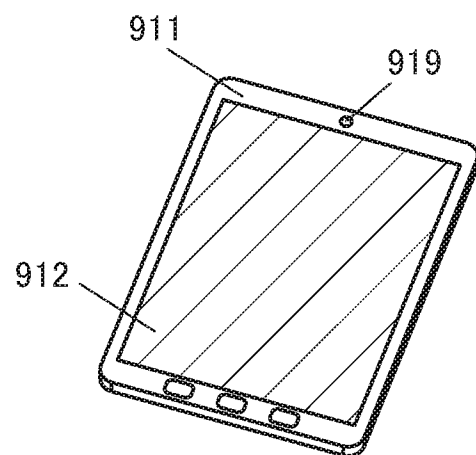
(D)



(E)



(F)



# INTERNATIONAL SEARCH REPORT

International application No.

PCT/IB2018/052743

| <b>A. CLASSIFICATION OF SUBJECT MATTER</b><br>Int.Cl. H04N5/374 (2011.01) i, H01L27/146 (2006.01) i, H04N5/225 (2006.01) i,<br>H04N5/378 (2011.01) i<br><br>According to International Patent Classification (IPC) or to both national classification and IPC                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                      |                                                                                                                                                           |                                                                                 |
|--------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|-----------------------------------------------------------------------------------------------------------------------------------------------------------|---------------------------------------------------------------------------------|
| <b>B. FIELDS SEARCHED</b><br>Minimum documentation searched (classification system followed by classification symbols)<br>Int.Cl. H04N5/374, H01L27/146, H04N5/225, H04N5/378<br><br>Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched<br>Published examined utility model applications of Japan 1922-1996<br>Published unexamined utility model applications of Japan 1971-2018<br>Registered utility model specifications of Japan 1996-2018<br>Published registered utility model applications of Japan 1994-2018<br><br>Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                               |                                                                                                                                                           |                                                                                 |
| <b>C. DOCUMENTS CONSIDERED TO BE RELEVANT</b>                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                      |                                                                                                                                                           |                                                                                 |
| Category*                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                          | Citation of document, with indication, where appropriate, of the relevant passages                                                                        | Relevant to claim No.                                                           |
| X                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                  | JP 10-294899 A (MITSUBISHI ELECTRIC CORP.) 04                                                                                                             | 1-4                                                                             |
| Y                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                  | November 1998, paragraphs [0039]-[0066], [0086], [0088], [0178], [0213], fig. 1-3, 7, 36, 49 (Family: none)                                               | 5-7                                                                             |
| Y                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                  | JP 2016-219011 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 22 December 2016, paragraph [0061] & US 2016/0343452 A1, paragraph [0079] & JP 2017-130195 A | 5-7                                                                             |
| <input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                   |                                                                                                                                                           |                                                                                 |
| * Special categories of cited documents:<br>"A" document defining the general state of the art which is not considered to be of particular relevance<br>"E" earlier application or patent but published on or after the international filing date<br>"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)<br>"O" document referring to an oral disclosure, use, exhibition or other means<br>"P" document published prior to the international filing date but later than the priority date claimed<br>"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention<br>"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone<br>"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art<br>"&" document member of the same patent family |                                                                                                                                                           |                                                                                 |
| Date of the actual completion of the international search<br>08 June 2018 (08.06.2018)                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                             |                                                                                                                                                           | Date of mailing of the international search report<br>19 June 2018 (19.06.2018) |
| Name and mailing address of the ISA/<br>Japan Patent Office<br>3-4-3, Kasumigaseki, Chiyoda-ku,<br>Tokyo 100-8915, Japan                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                           |                                                                                                                                                           | Authorized officer<br><br>Telephone No.                                         |

**INTERNATIONAL SEARCH REPORT**

International application No.

PCT/IB2018/052743

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages                                                                                    | Relevant to claim No. |
|-----------|-----------------------------------------------------------------------------------------------------------------------------------------------------------------------|-----------------------|
| A         | JP 2003-78829 A (JAPAN SCIENCE AND TECHNOLOGY CORP.) 14 March 2003, entire text & US 2005/0062853 A1, entire text & WO 2003/023712 A1 & EP 1435588 A1 & CA 2459220 A1 | 1-7                   |

## A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. H04N5/374(2011.01)i, H01L27/146(2006.01)i, H04N5/225(2006.01)i, H04N5/378(2011.01)i

## B. 調査を行った分野

## 調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. H04N5/374, H01L27/146, H04N5/225, H04N5/378

## 最小限資料以外の資料で調査を行った分野に含まれるもの

|             |            |
|-------------|------------|
| 日本国実用新案公報   | 1922-1996年 |
| 日本国公開実用新案公報 | 1971-2018年 |
| 日本国実用新案登録公報 | 1996-2018年 |
| 日本国登録実用新案公報 | 1994-2018年 |

## 国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

## C. 関連すると認められる文献

| 引用文献の<br>カテゴリー* | 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示                                                                                           | 関連する<br>請求項の番号 |
|-----------------|-----------------------------------------------------------------------------------------------------------------------------|----------------|
| X<br>Y          | JP 10-294899 A（三菱電機株式会社）<br>1998. 11. 04, 段落[0039]-[0066], [0086], [0088], [0178], [0213],<br>図 1-3, 7, 36, 49<br>(ファミリーなし) | 1-4<br>5-7     |
| Y               | JP 2016-219011 A（株式会社半導体エネルギー研究所）<br>2016. 12. 22, 段落[0061]<br>& US 2016/0343452 A1, 段落[0079]<br>& JP 2017-130195 A         | 5-7            |

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの  
「E」国際出願日前の出願または特許であるが、国際出願日後に公表されたもの  
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）  
「O」口頭による開示、使用、展示等に言及する文献  
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&amp;」同一パテントファミリー文献

国際調査を完了した日

08.06.2018

国際調査報告の発送日

19.06.2018

国際調査機関の名称及びあて先

日本国特許庁（ISA/JP）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

橘 高志

電話番号 03-3581-1101 内線 3571

5V

8391

| C (続き) . 関連すると認められる文献 |                                                                                                                                    |                |
|-----------------------|------------------------------------------------------------------------------------------------------------------------------------|----------------|
| 引用文献の<br>カテゴリー*       | 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示                                                                                                  | 関連する<br>請求項の番号 |
| A                     | JP 2003-78829 A (科学技術振興事業団)<br>2003. 03. 14, 全文<br>& US 2005/0062853 A1, 全文<br>& WO 2003/023712 A1 & EP 1435588 A1 & CA 2459220 A1 | 1-7            |