

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(10) 国際公開番号

WO 2010/084844 A1

PCT

(43) 国際公開日
2010年7月29日(29.07.2010)

- (51) 国際特許分類:
H01L 21/3205 (2006.01) H01L 21/285 (2006.01)
C23C 14/34 (2006.01) H01L 21/768 (2006.01)
C23C 14/58 (2006.01) H01L 23/52 (2006.01)
- (21) 国際出願番号: PCT/JP2010/050514
- (22) 国際出願日: 2010年1月18日(18.01.2010)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2009-009971 2009年1月20日(20.01.2009) JP
- (71) 出願人(米国を除く全ての指定国について): 株式会社神戸製鋼所(KABUSHIKI KAISHA KOBE SEIKO SHO) [JP/JP]; 〒6518585 兵庫県神戸市中央区脇浜町二丁目10番26号 Hyogo (JP).
- (72) 発明者; および
- (75) 発明者/出願人(米国についてのみ): 大西 隆 (ONISHI Takashi). 水野 雅夫 (MIZUNO Masao). 坂本 真之 (SAKAMOTO Masayuki). 佐藤 大樹 (SATO Taiki). 小濱 和之 (KOHAMA Kazuyuki). 伊

藤 和博(ITO Kazuhiro). 村上 正紀(MURAKAMI Masanori).

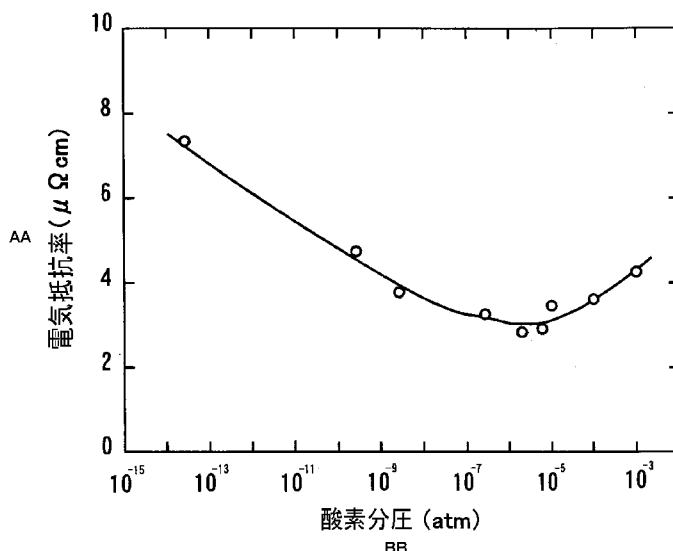
- (74) 代理人: 小栗 昌平, 外(OGURI Shohei et al.); 〒1050003 東京都港区西新橋一丁目7番13号 虎ノ門イーストビルディング10階 栄光特許事務所 Tokyo (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB,

[続葉有]

(54) Title: METHOD FOR PRODUCING SEMICONDUCTOR WIRING LINE

(54) 発明の名称: 半導体配線の製造方法

[図1]



AA ELECTRICAL RESISTIVITY (μΩ-cm)
BB OXYGEN PARTIAL PRESSURE (atm)

(57) Abstract: Disclosed is a method for producing a Cu-based wiring line in a semiconductor device, wherein a Cu-Ti alloy is directly buried in a recess that is formed in an insulating film on a semiconductor substrate. The method is characterized in that the Cu-Ti alloy is formed by sputtering and contains not less than 0.5% by atom but not more than 3.0% by atom of Ti, and that a step wherein the Cu-Ti alloy is heated under the heating conditions specified below is performed when or after the Cu-Ti alloy is buried in the recess. Consequently, a Cu-based wiring line exhibiting a high performance (low electrical resistivity) and high reliability (high EM resistance) can be obtained, for example, in a semiconductor device such as an Si semiconductor device which is typified by an ULSI (ultra large scale integrated circuit). (Heating conditions) Heating temperature: 350-600°C Heating time: 10-120 min Temperature increase rate from room temperature to the above-mentioned heating temperature: 10°C/min or more Oxygen partial pressure in heating atmosphere: from 1×10^{-7} to 1×10^{-4} atm

(57) 要約: 本発明は、半導体基板上の絶縁膜に設けられた凹部にCu-Ti合金が直接埋め込まれてなる半導体装置のCu系配線の製造方法であって、前記Cu-Ti合

金、Tiを0.5原子%以上3.0原子%以下含むものであり、かつ、前記Cu-Ti合金をスパッタリング法で形成し、該Cu-Ti合金を前記凹部に埋め込む時または埋め込み後に、該Cu-Ti合金を下記加熱条件で加熱する工程を含むことを特徴とする。これにより、例えばULSI(超大規模集積回路)等に代表されるSi半導体デバイス等の半導体装置において、高性能(低電気抵抗率)かつ高信頼性(高EM耐性)を示すCu系配線を提供することができる。(加熱条件) 加熱温度: 350℃~600℃ 加熱時間: 10~120min 室温から上記加熱温度までの昇温速度: 10℃/min以上 加熱雰囲気における酸素分圧: $1 \times 10^{-7} \sim 1 \times 10^{-4}$ atm

WO 2010/084844 A1



GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, 添付公開書類:

NO, PL, PT, RO, SE, SI, SK, SM, TR), OAPI (BF, BJ,
CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN,
TD, TG).

— 国際調査報告 (条約第 21 条(3))

明 細 書

発明の名称：半導体配線の製造方法

技術分野

[0001] 本発明は、半導体配線の製造方法に関するものであり、詳細には、例えば U L S I（超大規模集積回路）等に代表される S i 半導体デバイス等の半導体装置において、高性能（低電気抵抗率）かつ高信頼性（高 E M 耐性）を示す半導体配線（C u 系配線）の製造方法に関するものである。

背景技術

[0002] 近年、L S I（大規模集積回路）の高集積化や高速信号伝播の要求を満たすため、デザインルールは縮小の一途を辿っており、配線ピッチの縮小や配線幅の減少、配線間距離の縮小が行われている。また、半導体装置の高集積化に対応するため、配線を多層構造にすることが検討されている。

[0003] 配線回路の微細化・高集積化に伴い配線自体の電気抵抗（以下、配線抵抗ということがある）が問題になっている。配線抵抗の増加が信号伝達の遅延を招くからである。そこで配線抵抗を低減できる配線材料として、従来の A l 系配線材料にかわり、C u をベースにした配線材料（以下、C u 系配線材料ということがある）を使用し、C u 系配線を形成することが試みられている。

[0004] 多層構造の C u 系配線を形成する方法として、ダマシン配線技術が知られている。この技術は、半導体基板上に設けられた絶縁膜に、配線溝や層間接続孔（ビア・トレンチ）（以下、これらをまとめて凹部ということがある）を形成し、凹部表面を純 C u や C u 合金等の C u 系配線材料（薄膜）で覆い、これを加熱・加圧等することで C u 系配線材料を流動させて凹部に埋め込み、その後、例えば化学機械研磨（Chemical Mechanical Polishing, CMP）法により研磨を行って凹部以外の部分に堆積した不要部分の配線材料を除去し、凹部内にのみ配線材料を残して C u 系配線を形成する方法である。近年では、集積度の増加とともに、上記凹部のア

スペクト比（深さ／孔径の比）がより高くなる傾向にある。

[0005] ところでCu系配線材料を用いる場合、Cu系配線材料と絶縁膜を直接接触させると、Cuが絶縁膜へ拡散し、絶縁膜の絶縁性を劣化させてしまう。こうした問題となる現象は、エレクトロマイグレーション（Electro Migration；EM）と呼ばれている。そこでCuが絶縁膜へ拡散するのを防止して上記EMに対する耐性を確保するため、Cu系配線と絶縁膜の間にバリア層が設けられている。即ち、一般的なダマシン配線の形成プロセスでは、絶縁膜に形成された凹部に前記Cu系配線を形成する前に、バリア層（TaN薄膜など）を形成することが行われている。

[0006] このバリア層には、Cu系配線材料を凹部に埋め込むために500～700℃程度の高温に加熱した場合でもバリア性を発揮することが要求されるため、TaN膜やTiN膜などの金属窒化膜が用いられている。しかしこうした金属窒化膜は、金属膜に比べて電気抵抗率が高いため、Cu系配線の電気抵抗率を実効的に高めてしまうといった問題がある。

[0007] Cu系配線の電気抵抗率を低くするには、バリア層を極力薄く、且つ均一に形成する必要があるが、現状の成膜方法（スパッタリング法）では該バリア層を薄く、かつ均一に形成することが難しい。電気抵抗率低減の観点からはバリア層厚をできるだけ薄くする必要があるが、全体的または局部的に薄くなりすぎるとその部分でバリア性を十分に確保できないといった問題が生じうる。また近年では、配線溝の幅や層間接続孔の直径はますます小さく、また配線溝の深さ／幅比や、層間接続孔の深さ／直径比はますます大きくなっているため、バリア層の形成は一層難しくなっている。

[0008] そこで本出願人は、バリア層（TaN薄膜など）を使用せずに、凹部にCu合金配線を直接形成し、熱処理を施すことによって、絶縁膜とCu合金配線の界面にバリア層を自立的（自己整合的）に形成するダマシン配線形成技術を提案している。例えば特許文献1では、絶縁膜の凹部に、Tiを0.5～10原子%含有するCu合金薄膜を凹部形状に沿って10～50nmの厚さで形成した後、Cu合金薄膜付き凹部に純Cu薄膜を形成し、350℃以

上に加熱して絶縁膜とCu合金薄膜との間にTiを析出させることを提案している。この通り、Cuに対する固溶限の小さいTiを含むCu合金を凹部に沿って形成し、これを加熱することで、CuとTiが2相分離し、TiがCu系配線と絶縁膜の界面に異常拡散してTi濃化層が形成される。このTi濃化層がバリア層として作用するため、従来のダマシンCu系配線よりも実効電気抵抗を低減することができる。

先行技術文献

特許文献

[0009] 特許文献1：日本国特開2008-021807号公報

発明の概要

発明が解決しようとする課題

[0010] ところで、半導体装置のCu系配線には、配線抵抗のより確実かつ十分に低減されたものが求められているが、上記特許文献1等の熱処理条件では、配線抵抗を低減できるものの、より確実かつ十分に低減するには更なる検討が必要であると思われる。本発明はこの様な事情に鑑みてなされたものであって、その目的は、半導体装置（Si半導体デバイス等）のCu系配線の製造時に、該配線の熱処理条件を適切なものとするにより、Cu-Ti合金の自己バリア形成能を存分に発揮させて、Cu系配線（特には、Cu-Ti合金配線）の配線抵抗を実効的に低減し、高信頼性と低電気抵抗率を確保した半導体配線（Cu系配線）を製造するための方法を提供するものである。

課題を解決するための手段

[0011] 本発明に係る半導体配線の製造方法は、半導体基板上の絶縁膜に設けられた凹部にCu-Ti合金が直接埋め込まれてなる半導体配線の製造方法であって、

前記Cu-Ti合金がTiを0.5原子%以上3.0原子%以下含むものであり、かつ、

前記Cu-Ti合金をスパッタリング法で形成し、該Cu-Ti合金を前記凹部に埋め込む時または埋め込み後に、該Cu-Ti合金を下記加熱条件で加熱する工程を含むところに特徴を有する。

(加熱条件)

加熱温度：350～600℃

加熱時間：10～120min.

室温から上記加熱温度までの昇温速度：10℃/min.以上

加熱雰囲気における酸素分圧： $1 \times 10^{-7} \sim 1 \times 10^{-4}$ atm

[0012] また、本発明に係る半導体配線の別の製造方法は、半導体基板上の絶縁膜に設けられた凹部の壁面にCu-Ti合金からなる層を形成した後、該Cu-Ti合金からなる層付き凹部に純Cuが埋め込まれてなる半導体配線の製造方法であって、

前記Cu-Ti合金がTiを0.5原子%以上3.0原子%以下含むものであり、かつ、

前記Cu-Ti合金からなる層をスパッタリング法で形成する工程、および該Cu-Ti合金からなる層を上記加熱条件で加熱する工程を含むところに特徴を有する。

尚、本明細書において凹部の壁面とは、凹部の底面及びその両側の壁面を意味する。

発明の効果

[0013] 本発明によれば、半導体基板上の絶縁膜に設けられた凹部と直接接触するCu-Ti合金の配線抵抗を確実に十分下げることができるため、例えばULSI（超大規模集積回路）等に代表されるSi半導体デバイス等の半導体装置において、高性能（低電気抵抗率）かつ高信頼性（高EM耐性）を示す半導体配線（Cu系配線）を実現できる。

図面の簡単な説明

[0014] [図1]実施例1における熱処理（熱処理時の加熱温度：400℃）時の酸素分圧と試料の電気抵抗率の関係を示したグラフである。

[図2]実施例2における熱処理（熱処理時の加熱温度：500℃）時の酸素分圧と試料の電気抵抗率の関係を示したグラフである。

[図3]実施例3における熱処理（熱処理時の加熱温度：600℃）時の酸素分圧と試料の電気抵抗率の関係を示したグラフである。

[図4]実施例4における熱処理時の酸素分圧と試料の電気抵抗率の関係を絶縁膜の種類別に示したグラフである。

[図5]実施例5における熱処理時の加熱温度と試料の電気抵抗率の関係を示したグラフである。

[図6]実施例6における熱処理時の加熱時間と試料の電気抵抗率の関係を示したグラフである。

発明を実施するための形態

[0015] 本発明者らは、絶縁膜とCu系配線（特には、Cu-Ti合金）の界面にバリア層を別途成膜しなくとも、電気抵抗率の低減されたCu系配線（半導体配線）を製造する方法を確立すべく、鋭意検討を重ねてきた。その結果、絶縁膜に形成された凹部にて、該絶縁膜と少なくとも直接接触する配線部分を、特定のCu-Ti合金とし、かつ該Cu-Ti合金を特定の条件で加熱すれば、上記絶縁膜とCu-Ti合金との界面に自己バリア層（絶縁膜とCu系配線の界面に濃化し、該界面に例えばTiCを形成してバリア性を発揮させる層）を確実に形成することができ、配線抵抗（電気抵抗）の確実かつ十分に低減されたCu系配線が得られることを見出した。以下、本発明について詳述する。

[0016] まず本発明では、絶縁膜に形成された凹部にて該絶縁膜と少なくとも直接接触する配線部分に、Tiを0.5～3.0原子%含むCu-Ti合金を用いる。Tiは、上記自己バリア層を構成するのに必要な元素であり、0.5原子%以上必要である。しかしTi量が過剰になると、絶縁膜との界面に偏析しきれなかったTiが配線中に固溶状態で残留したり、Cuと金属間化合物（Ti析出物）を形成する。こうした固溶TiやTi析出物は、Cu系配線の電気抵抗率を高める原因となる。従ってTi量は3.0原子%以下とす

る。好ましいTi量は0.5～2.0原子%である。

[0017] 上記Cu-Ti合金の残部組成はCuおよび不可避不純物であるが、例えば、AgやMg、Siなどを含有させてもよい。

[0018] 絶縁膜に形成された凹部にて該絶縁膜と少なくとも直接接触する配線部分に上記成分組成のCu-Ti合金を形成したCu系配線の形態として、

(1) 半導体基板上の絶縁膜に設けられた凹部に上記成分組成のCu-Ti合金が直接埋め込まれてなるCu系配線や、

(2) 半導体基板上の絶縁膜に設けられた凹部の壁面に上記成分組成のCu-Ti合金からなる層(Cu-Ti合金層)を形成した後、該Cu-Ti合金層付き凹部に純Cuが埋め込まれてなるCu系配線が挙げられる。

[0019] 上記(1)のCu系配線を得る場合には、絶縁膜に形成された凹部の開口部を、上記成分組成のCu-Ti合金からなる薄膜で覆い、これを加熱および/または加圧することでCu系配線材料を流動させて凹部に埋め込み、その後、例えば化学機械研磨法により研磨を行って凹部以外の部分に堆積した不要部分の配線材料を除去し、凹部内にのみ配線材料を残してCu系配線を形成する方法が挙げられる。

[0020] また上記(2)のCu系配線を得るには、絶縁膜に設けられた凹部の壁面に、シード層として上記成分組成のCu-Ti合金層を形成した後、該Cu-Ti合金層付き凹部に純Cuをフル配線(配線本体部)として埋め込み、その後、化学機械研磨法により研磨を行って凹部以外の部分に堆積した不要部分の純Cuを除去し、Cu-Ti合金層付き凹部内にのみ純Cuを残してCu系配線を形成する方法が挙げられる。

[0021] 上記(1)におけるCu-Ti合金からなる薄膜や(2)におけるCu-Ti合金層(以下、これらをCu-Ti合金と総称することがある)の形成は、スパッタリング法で行う。Cu-Tiは合金であるため、従来の電解めっき法では形成が難しく、CVD法でも形成が難しいからである。この様にCu-Ti合金をスパッタリング法で形成することにより、気相急冷による非平衡固溶現象を利用することができる。即ち、Cuに対して固溶限の小さ

いTiを添加したCu-Ti合金をスパッタリング法で形成することにより、As-deposited（非熱処理）状態でCu-Ti非平衡固溶状態にありTiが拡散しやすいCu-Ti合金を形成することができる。

[0022] 上記（１）の場合、スパッタリング法により、Cu-Ti合金を薄膜として、膜厚100nm以上500nm以下の範囲内で成膜することが好ましい。

[0023] また上記（２）の場合、スパッタリング法により、Cu-Ti合金からなる層（Cu-Ti合金層）を膜厚10nm以上50nm以下の範囲内で、凹部の壁面に成膜することが好ましい。膜厚が10nm未満では、加熱しても十分な厚さのTi濃化層が生成せず、バリア性が低下するからである。より好ましい膜厚は15nm以上であり、更に好ましくは20nm以上である。一方、上記膜厚が50nmを超えると、過剰なCu-Ti合金層が凹部の開口部を覆うようにブリッジングを生じやすく、凹部内に空隙を形成してしまい、Cu系配線の品質の劣化を招くため好ましくない。より好ましい膜厚は45nm以下であり、更に好ましくは40nm以下である。

[0024] 上記の通りスパッタリング法でCu-Ti合金を形成するには、スパッタリングターゲットとして、Tiを含有するCu合金ターゲットを用いるか、純Cuターゲットの表面にTiチップを貼付したチップオンターゲットを用いればよい。該ターゲットを用い不活性ガス雰囲気下でスパッタリングすることが挙げられる。不活性ガスとして、例えば、ヘリウムやネオン、アルゴン、クリプトン、キセノン、ラドンなどを用いることができる。好ましくはアルゴンやキセノンを用いるのがよく、特にアルゴンは比較的安価であり、好適に用いることができる。なお、上記不活性ガスはN₂ガスやH₂ガスを含むしていてもよい。

[0025] その他のスパッタリング条件（例えば、到達真空度、スパッタガス圧、放電パワー密度、基板温度、極間距離など）は、通常の範囲で適宜調整できる。

[0026] 本発明では、この様にして形成されたCu-Ti合金に対して、下記の加

熱条件を全て満たすように加熱することが大変重要である。最適化された条件で加熱することによって、Cu-Ti合金の自己バリア形成能を十分に発揮させて、絶縁膜とCu-Ti合金との界面に上述した自己バリア層を確実に形成することができる。具体的には、Cu-Ti合金中のTiが2相分離を起こし、Cu-Ti合金／絶縁膜界面にTiが異常拡散し濃化する。界面濃化したTiは絶縁膜と反応し、TiSi、TiCなどの化合物からなる層が形成される。この化合物層は界面で極薄で均一に形成される。また、下記の条件で加熱することによって、Cu系配線（Cu-Ti合金）の絶縁膜と接触していない表面にも、Tiを十分に異常拡散、濃化させることができる。その結果、Cuが絶縁膜へ拡散するのを防止できると共に、Cu系配線内部に存在する固溶TiやTiの金属間化合物を排除して、従来のダマシンCu系配線よりも配線抵抗を確実に低減でき、高性能（低電気抵抗率）かつ高信頼性（高EM耐性）を示すCu系配線を実現できる。

（加熱条件）

加熱温度：350～600℃

加熱時間：10～120min

室温から上記加熱温度までの昇温速度：10℃/min.以上

加熱雰囲気における酸素分圧： $1 \times 10^{-7} \sim 1 \times 10^{-4}$ atm

以下、各条件を規定した理由について詳述する。

[0027] （加熱温度：350～600℃）

Cu-Ti合金配線に含まれるTiを異常拡散させて、絶縁膜とCu-Ti合金との界面に偏析・濃化させるには、準安定状態で合金元素（Ti）を、Cu-Ti合金／絶縁膜界面やCu系配線（Cu-Ti合金）の絶縁膜と接触していない面に移動・反応させる必要がある。この準安定状態でのTiを移動・反応させるには、350℃以上に加熱する必要がある。加熱温度が350℃よりも低いと、TiがCu中に固溶状態で残留したり、Cuと金属間化合物を形成する。どちらの場合も十分に電気抵抗率を低下させることができず、配線の実効的電気抵抗率が高くなるため好ましくない。加熱温度は

、好ましくは400℃以上である。一方、加熱温度が高すぎても上記準安定状態でのTiの移動・反応が生じにくくなることから、加熱温度の上限は600℃とする。好ましくは500℃以下である。

[0028] 〈加熱時間：10～120min.〉

上記加熱温度での準安定状態での合金元素（Ti）の移動・反応は、10min.（分）以内にほぼ完了するが、本発明では、上記Tiの移動・反応を十分促進させるため、上記加熱温度での保持時間（加熱時間）を10min.以上とする。保持時間の下限は、好ましくは20min.である。一方、加熱時間を長くしすぎても、電気抵抗率の低減効果は飽和し、生産性の低下を招くことから、加熱時間は120min.以下とする。加熱時間の上限は、好ましくは60min.である。

[0029] 〈室温から上記加熱温度までの昇温速度：10℃/min.以上〉

Cu-Ti合金中の合金元素（Ti）を移動（拡散）させるには、多数の拡散路（高速拡散路）が必要であり、高速拡散路として貫通粒界を形成させる必要がある。この貫通粒界は、上記加熱温度域（350～600℃）での加熱により形成されるが、昇温速度が速いほど、柱状晶の多結晶組織が形成されやすく貫通粒界が多く形成される。よって、室温から上記加熱温度までの昇温速度は10℃/min.以上とする。昇温速度は、好ましくは30℃/min.以上である。

[0030] 〈加熱雰囲気における酸素分圧： $1 \times 10^{-7} \sim 1 \times 10^{-4}$ atm〉

Cu-Ti合金中の合金元素（Ti）をCu系配線（Cu-Ti合金）の絶縁膜と接触していない面に移動（拡散）させるには、上記面で反応を促進させる物質が必要であり、この場合酸素が有効である。十分にTiを移動（拡散）させて、電気抵抗率を低減すべく、加熱雰囲気における酸素分圧を 1×10^{-7} atm以上とする。一方、加熱雰囲気における酸素分圧が高すぎると、加熱の初期段階においてTiの酸化物が表面や結晶粒界に強固に形成されて、Tiの高速拡散経路がふさがれてしまうため、電気抵抗率の低減を図ることができない。よって本発明では、加熱雰囲気における酸素分圧を $1 \times$

10^{-4} atm以下とする。

[0031] 上記条件での加熱は、以下の時期に行うことが挙げられる。

[0032] 上記（１）の場合には、（１－１）Cu-Ti合金（薄膜）を、凹部を覆うようにスパッタリングで形成後、Cu-Ti合金を前記凹部に埋め込むための加熱時、または加熱および加圧時に、上記条件で加熱することが挙げられる。また、（１－２）Cu-Ti合金（薄膜）を、凹部を覆うようにスパッタリングで形成し、該Cu-Ti合金（薄膜）を前記凹部に埋め込んで配線を形成した後、上記条件で加熱することが挙げられる。尚、前記埋め込みのための加圧の条件や、（１－２）の場合の埋め込みのための加熱の条件は、通常行われている条件を採用することができる。また、加圧は、例えばチャンバ内にアルゴンガスを導入して所定のガス圧にすることにより行うことができ、このとき酸素分圧を上記のように調整する。

[0033] 上記（２）の場合には、凹部に沿ってCu-Ti合金層をスパッタリングで形成した後、純Cuからなる配線本体部を形成（電解めっき法やスパッタリング法等で形成）する前にまたは後に、上記条件で加熱することが挙げられる。

[0034] 尚、本発明の製造方法は、特定のCu-Ti合金をスパッタリング法で形成後、上記条件で該Cu-Ti合金を加熱する工程を設けるとところに特徴があり、その他の製造工程・条件については特に問わず、例えば、下記の条件を採用することができる。

[0035] 前記絶縁膜としては、シリコン酸化膜（SiO₂）や、このシリコン酸化膜（SiO₂）にCを含有させたSiCO、あるいはSiCNなどを用いることができる。

[0036] 上記（２）のCu系配線を形成する場合の純Cuをフル配線（配線本体部）として埋め込む方法についても特に限定されず、例えば、電解めっき法や化学気相法（CVD法）、スパッタリング法、（アーク）イオンプレーティング法などを採用できる。特に電解めっき法を採用すれば、純Cuを、Cu-Ti合金層付き凹部の底から徐々に埋め込みながら充填することができる。

ため、凹部の最小幅が狭く、深い場合でも純Cuを凹部の隅々に亘って埋め込むことができる。尚、スパッタリング法の場合は、まず純Cu薄膜を、Cu-Ti合金層付き凹部を覆うように形成した後、この純Cu薄膜を該Cu-Ti合金からなる層付き凹部に埋め込むのがよい。この場合、スパッタリング法の条件や埋め込み時の条件（埋め込み時に上記条件で加熱する場合の加熱条件を除く）として、上記特許文献1に記載の条件を採用することができる。

実施例

[0037] 以下、本発明を実施例によって更に詳細に説明するが、下記実施例は本発明を限定する性質のものではなく、前・後記の趣旨に適合し得る範囲で適当に変更して実施することも可能であり、それらはいずれも本発明の技術的範囲に含まれる。

[0038] [実施例1]

シリコンウェハー表面に、絶縁膜としてSiCO膜を厚みが100nmとなるように形成した基板を用意し、該絶縁膜の表面に、Cu-1.0原子% (at%) Ti合金薄膜を、DCマグネトロンスパッタリング法で膜厚が300nmとなるように成膜した。スパッタリング条件（成膜条件）は下記の通りとし、ターゲットとしてチップオンターゲットを用いてCu合金薄膜の組成を調整した。尚、上記チップオンターゲットとして、ベースとなる純Cuターゲット（80mmφ）の表面に、Tiチップ（厚みが1mmの長方形板材）を3～6枚放射状に貼り付けたものを用いた。

[0039] （成膜条件）

到達真空度： 1×10^{-8} Torr 以下

スパッタリング時の雰囲気ガス：Ar

スパッタガス圧： 8×10^{-3} Torr

放電パワー：300W

ターゲットサイズ：φ80mm

基板温度（Ts）：RT（水冷）

極間距離：100mm

[0040] 成膜して得られた試料（Cu合金薄膜）を、石英管を使用した横型管状炉に入れて熱処理した。熱処理は、熱処理雰囲気、真空度を変化させた真空雰囲気または純度（残留酸素濃度）の異なるArガスをフローさせた雰囲気（Ar流量：20mL/min.）とすることにより横型管状炉内の酸素分圧を変化させた。昇温速度：200°C/min.で室温から400°Cまで加熱し、400°Cで2時間保持する熱処理を行って、熱処理を施した試料（Cu合金薄膜）を得た。

[0041] 次に、As-deposited（非熱処理）状態の試料および前記熱処理を施した試料について、4探針法によりCu合金薄膜のシート抵抗を測定し、膜厚を乗じてCu合金薄膜の電気抵抗率（ $\mu\Omega \cdot \text{cm}$ ）を算出した。

[0042] 熱処理雰囲気中の酸素分圧と試料の電気抵抗率の関係を整理した結果を図1に示す。図1より、電気抵抗率は、熱処理時の酸素分圧によって異なり、電気抵抗率が最小となる最適酸素分圧域が存在することが分かる。具体的には、熱処理雰囲気において、酸素分圧を本発明で規定した $1 \times 10^{-7} \sim 1 \times 10^{-4} \text{ atm}$ とすることによって、 $4 \mu\Omega \cdot \text{cm}$ 以下の低電気抵抗率を達成できることが分かる。尚、As-deposited（非熱処理）状態の試料の電気抵抗率は $16 \sim 20 \mu\Omega \cdot \text{cm}$ であった。

[0043] [実施例2]

上記熱処理において、室温から500°Cまで加熱し、加熱温度：500°Cで保持する以外は、実施例1と同様にして、試料を作製し電気抵抗率を測定した。

[0044] 熱処理雰囲気中の酸素分圧と試料の電気抵抗率の関係を整理した結果を図2に示す。図2より、400°Cで熱処理した場合と比較して、電気抵抗率は全体的にやや低下しており、電気抵抗率の酸素分圧依存性は前記図1（熱処理時の加熱温度：400°C）の場合と同様の傾向を示している。即ち、電気抵抗率が最小となる最適酸素分圧域が存在すると推察され、電気抵抗率が最小となる最適酸素分圧域は、熱処理時の加熱温度が400°Cの場合と同様と

考えられる。

[0045] [実施例 3]

上記熱処理において、室温から 600℃まで加熱し、加熱温度：600℃で保持する以外は、実施例 1 と同様にして、試料を作製し電気抵抗率を測定した。

[0046] 熱処理雰囲気中の酸素分圧と試料の電気抵抗率の関係を整理した結果を図 3 に示す。図 3 より、400℃で熱処理した場合と比較して、電気抵抗率は全体的に低下しており、電気抵抗率の酸素分圧依存性は前記図 1（熱処理時の加熱温度：400℃）の場合と同様の傾向を示している。即ち、電気抵抗率が最小となる最適酸素分圧域が存在すると推察され、電気抵抗率が最小となる最適酸素分圧域は、熱処理時の加熱温度が 400℃の場合と同様と考えられる。

[0047] [実施例 4]

絶縁膜として、SiO₂膜、SiCO膜またはSiCN膜を形成した以外は、実施例 1 と同様にして、試料を作製し電気抵抗率を測定した。

[0048] 熱処理雰囲気（加熱雰囲気）中の酸素分圧と試料の電気抵抗率の関係を、絶縁膜の種類別に図 4 に示す。図 4 より、電気抵抗率は熱処理時の酸素分圧によって異なるが、絶縁膜の種類によってはほとんど変化しないことが分かる。

[0049] [実施例 5]

絶縁膜としてSiO₂膜を形成したこと、および熱処理において、熱処理雰囲気（加熱雰囲気）中の酸素分圧を 2×10^{-6} atm とし、加熱温度（室温からの到達温度）を 350℃から 600℃の間で変化させた以外は、実施例 1 と同様にして、試料を作製し電気抵抗率を測定した。

[0050] 熱処理時の加熱温度と試料の電気抵抗率の関係を整理した結果を図 5 に示す。図 5 より、電気抵抗率は熱処理時の加熱温度が高くなるにつれて低下していくことが分かる。

[0051] [実施例 6]

絶縁膜としてSiO₂膜を形成したこと、および熱処理において、熱処理雰囲気中の酸素分圧を 2×10^{-6} atmとし、加熱温度：400℃での加熱時間を0～120 min.の間で変化させた以外は、実施例1と同様にして、試料を作製し電気抵抗率を測定した。

[0052] 熱処理時の加熱時間（加熱温度で保持する時間）と試料の電気抵抗率の関係を整理した結果を図6に示す。図6より、試料の電気抵抗率は熱処理することで急激に低下し、電気抵抗率： $4 \mu\Omega \cdot \text{cm}$ 以下を達成するには、加熱時間を10 min.以上とすればよいこと、および長時間の熱処理を行っても電気抵抗率低下の効果は飽和することが分かる。

[0053] 以上、本発明を詳細にまた特定の実施態様を参照して説明したが、本発明の精神と範囲を逸脱することなく様々な変更や修正を加えることができることは当業者にとって明らかである。本出願は、2009年1月20日出願の日本特許出願（特願2009-009971）に基づくものであり、その内容はここに参照として取り込まれる。

産業上の利用可能性

[0054] 本発明は、例えばULSI（超大規模集積回路）等に代表されるSi半導体デバイス等の半導体装置の配線に有用である。

請求の範囲

[請求項1]

半導体基板上の絶縁膜に設けられた凹部にCu-Ti合金が直接埋め込まれてなる半導体配線の製造方法であって、

前記Cu-Ti合金がTiを0.5原子%以上3.0原子%以下含むものであり、かつ、

前記Cu-Ti合金をスパッタリング法で形成し、該Cu-Ti合金を前記凹部に埋め込む時または埋め込み後に、該Cu-Ti合金を下記加熱条件で加熱する工程を含むことを特徴とする半導体配線の製造方法。

(加熱条件)

加熱温度：350～600℃

加熱時間：10～120min.

室温から上記加熱温度までの昇温速度：10℃/min.以上

加熱雰囲気における酸素分圧： $1 \times 10^{-7} \sim 1 \times 10^{-4}$ atm

[請求項2]

半導体基板上の絶縁膜に設けられた凹部の壁面にCu-Ti合金からなる層を形成した後、該Cu-Ti合金からなる層付き凹部に純Cuが埋め込まれてなる半導体配線の製造方法であって、

前記Cu-Ti合金がTiを0.5原子%以上3.0原子%以下含むものであり、かつ、

前記Cu-Ti合金からなる層をスパッタリング法で形成する工程、および該Cu-Ti合金からなる層を下記加熱条件で加熱する工程を含むことを特徴とする半導体配線の製造方法。

(加熱条件)

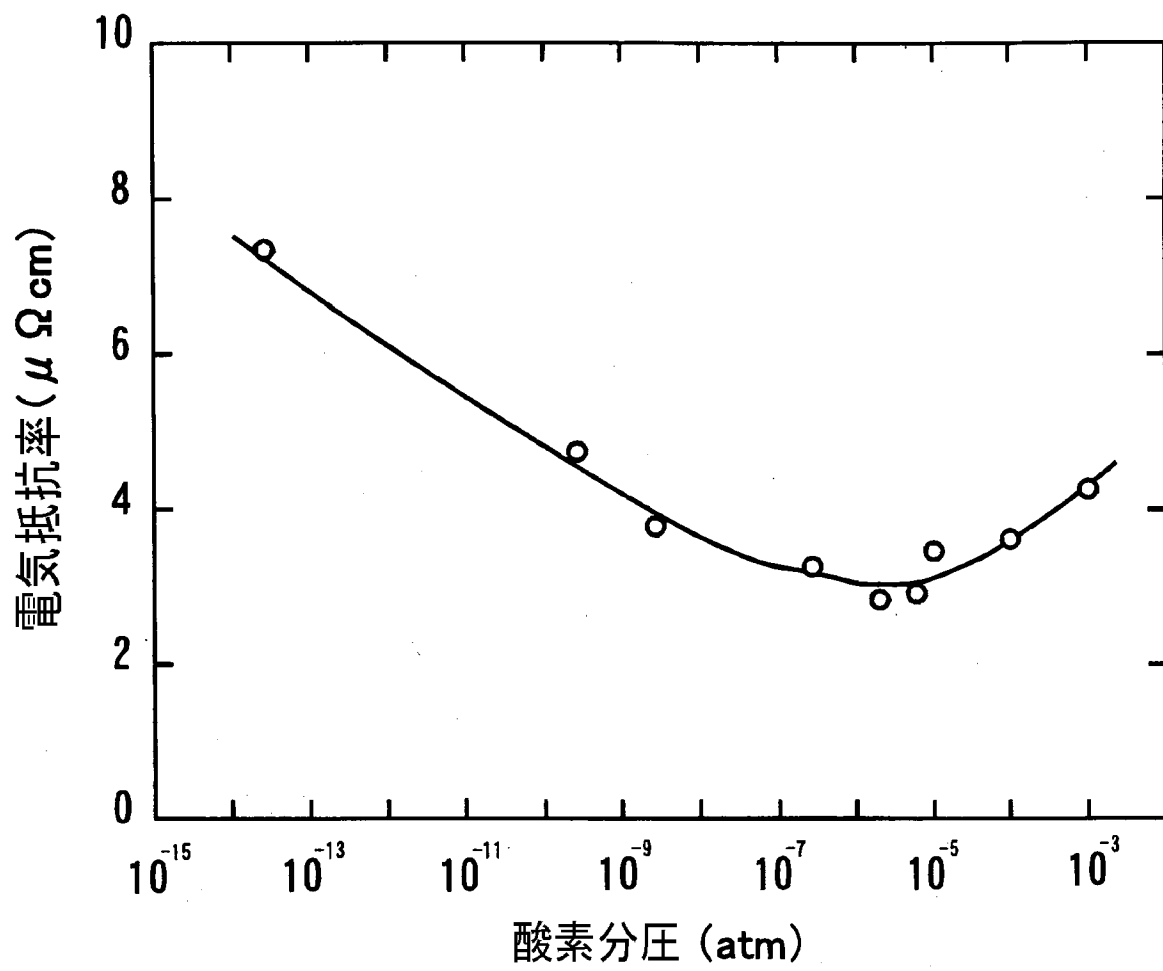
加熱温度：350～600℃

加熱時間：10～120min.

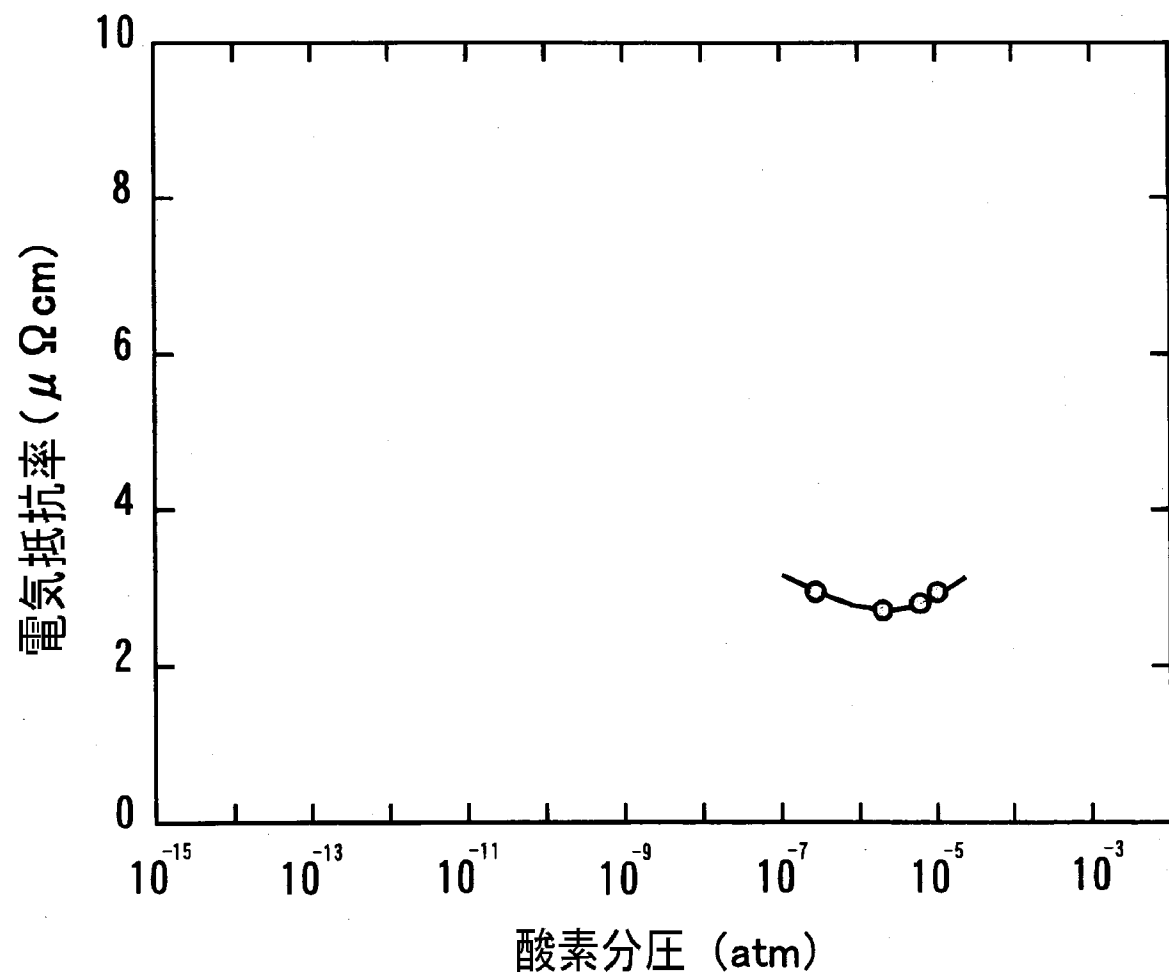
室温から上記加熱温度までの昇温速度：10℃/min.以上

加熱雰囲気における酸素分圧： $1 \times 10^{-7} \sim 1 \times 10^{-4}$ atm

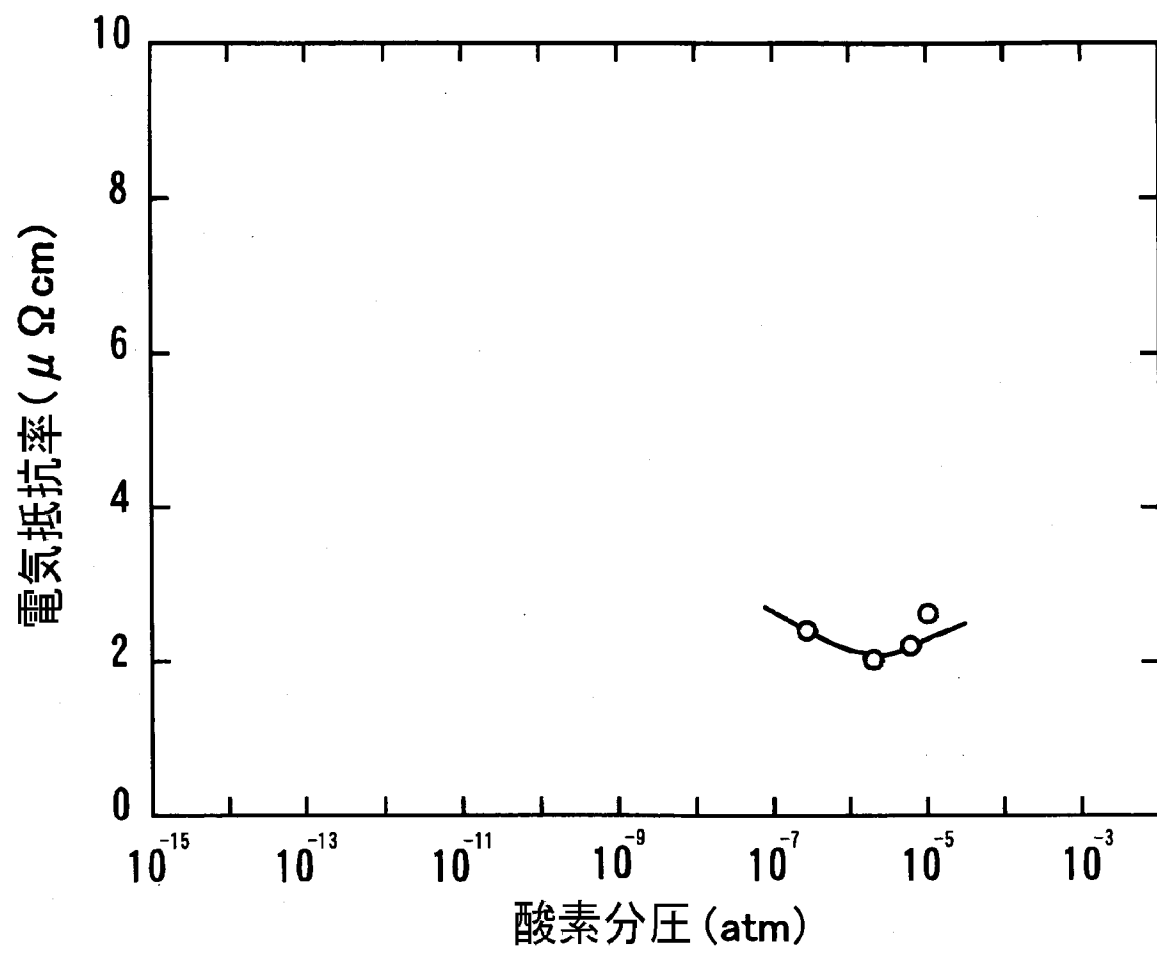
[図1]



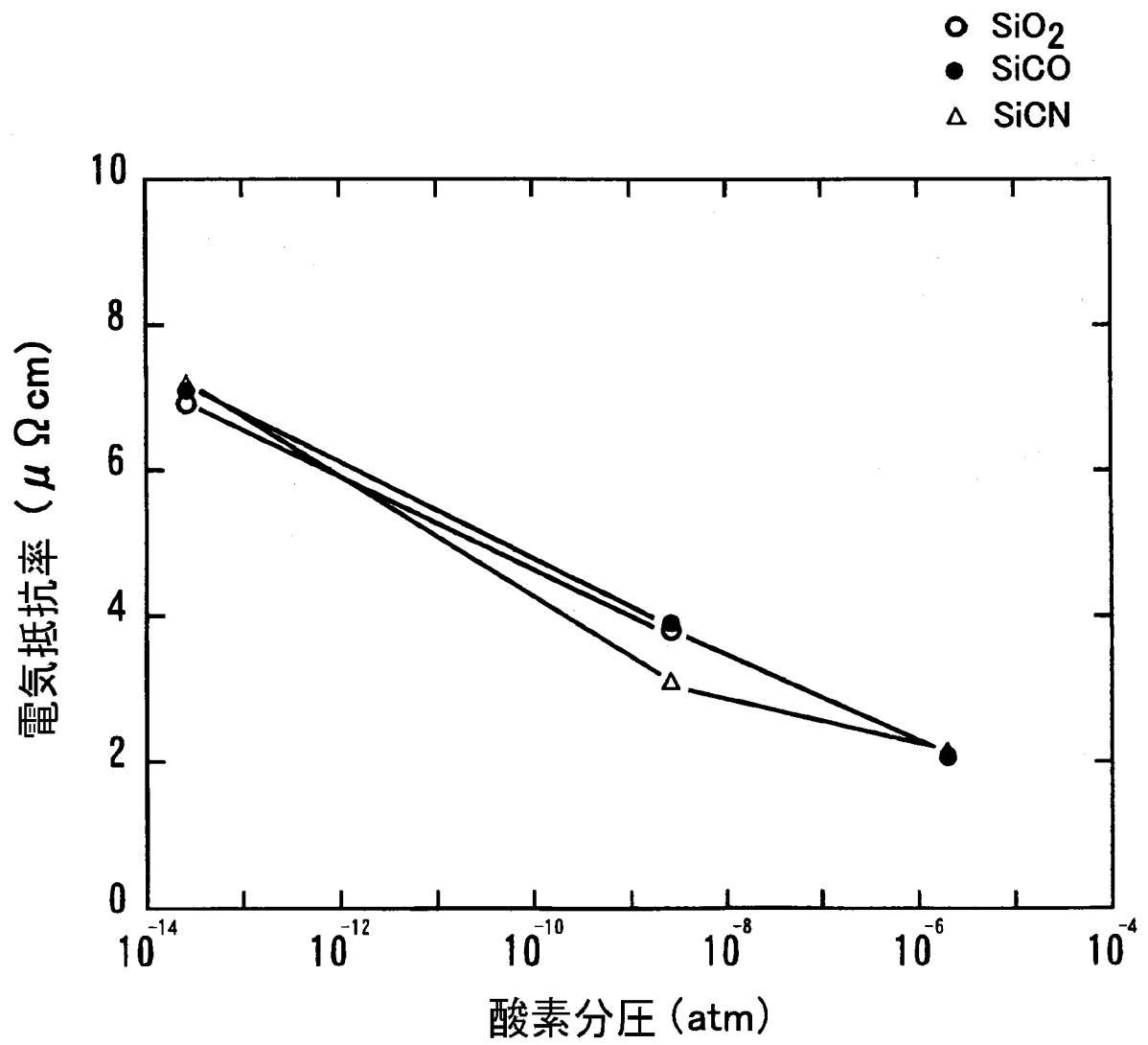
[図2]



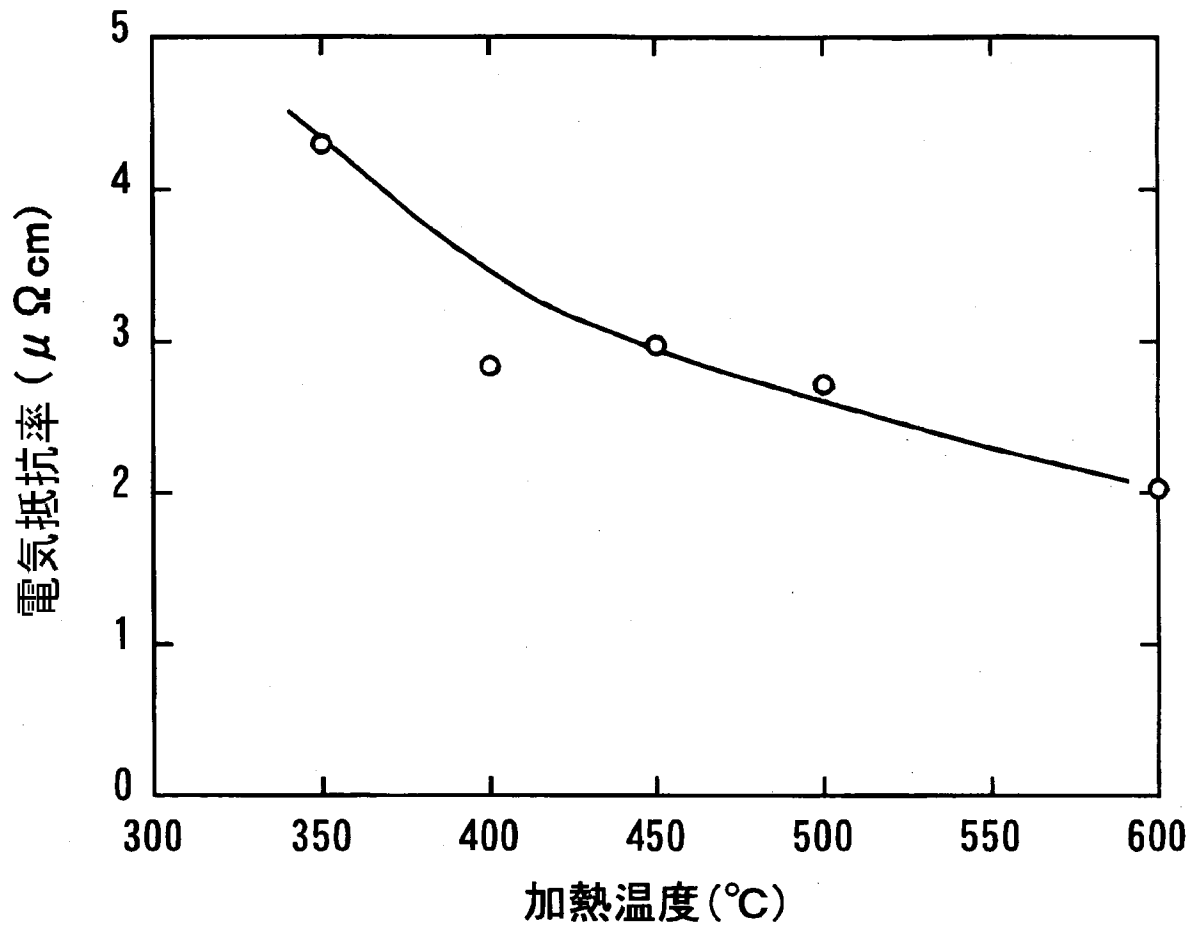
[図3]



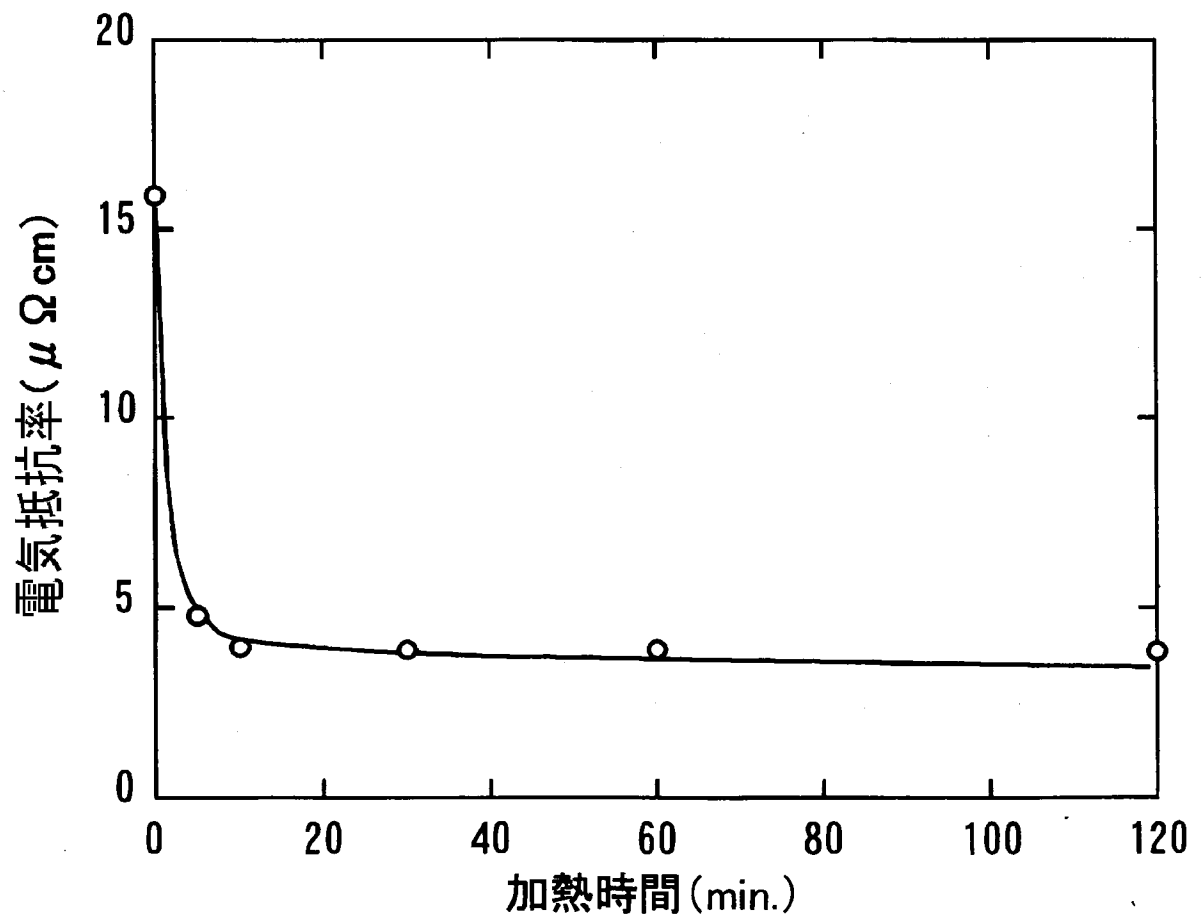
[図4]



[図5]



[図6]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2010/050514

A. CLASSIFICATION OF SUBJECT MATTER

H01L21/3205(2006.01)i, C23C14/34(2006.01)i, C23C14/58(2006.01)i,
H01L21/285(2006.01)i, H01L21/768(2006.01)i, H01L23/52(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/3205, C23C14/34, C23C14/58, H01L21/285, H01L21/768, H01L23/52

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2010
Kokai Jitsuyo Shinan Koho	1971-2010	Toroku Jitsuyo Shinan Koho	1994-2010

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2007-258256 A (Kobe Steel, Ltd.), 04 October 2007 (04.10.2007), paragraphs [0014] to [0052]; table 1; fig. 1 to 2 & US 2007/0218690 A1	1
Y	JP 2008-021807 A (Kobe Steel, Ltd.), 31 January 2008 (31.01.2008), paragraphs [0013] to [0073]; tables 1 to 5; fig. 1 to 2 & US 2008/0014743 A1 & KR 10-2008-0006479 A & TW 200818394 A	2

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
09 February, 2010 (09.02.10)

Date of mailing of the international search report
23 February, 2010 (23.02.10)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2010/050514

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	ITO Kazuhiro, TSUKIMOTO Susumu, and MURAKAMI Masanori, Self-Formation of Ti-rich Interfacial Layers in Cu(Ti) Alloy Films, Japanese Journal of Applied Physics, 2007.04.24, Vol. 46, No. 4B, p. 1942-1946	1-2
A	JP 2005-277390 A (Semiconductor Technology Academic Research Center), 06 October 2005 (06.10.2005), entire text; fig. 7, 9, 12 & US 2005/0218519 A1 & US 2008/0057704 A1 & TW 264046 B & KR 10-2006-0042167 A & CN 1697175 A	1-2
A	JP 2007-221103 A (Fujitsu Ltd.), 30 August 2007 (30.08.2007), paragraphs [0011] to [0023]; fig. 1 to 3 & US 2007/0173055 A1	1-2

A. 発明の属する分野の分類 (国際特許分類 (I P C))

Int.Cl. H01L21/3205 (2006.01) i, C23C14/34 (2006.01) i, C23C14/58 (2006.01) i, H01L21/285 (2006.01) i,
H01L21/768 (2006.01) i, H01L23/52 (2006.01) i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (I P C))

Int.Cl. H01L21/3205, C23C14/34, C23C14/58, H01L21/285, H01L21/768, H01L23/52

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 0 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 0 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 0 年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2007-258256 A (株式会社神戸製鋼所) 2007. 10. 04, 段落番号[0014]-[0052], 表 1, 図 1-2 & US 2007/0218690 A1	1
Y	JP 2008-021807 A (株式会社神戸製鋼所) 2008. 01. 31, 段落番号[0013]-[0073], 表 1-5, 図 1-2 & US 2008/0014743 A1 & KR 10-2008-0006479 A & TW 200818394 A	2

☒ C 欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

0 9 . 0 2 . 2 0 1 0

国際調査報告の発送日

2 3 . 0 2 . 2 0 1 0

国際調査機関の名称及びあて先

日本国特許庁 (I S A / J P)

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目 4 番 3 号

特許庁審査官 (権限のある職員)

早川 朋一

4 L

9 7 3 3

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 4 9 8

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	ITO Kazuhiro, TSUKIMOTO Susumu, and MURAKAMI Masanori, Self-Formation of Ti-rich Interfacial Layers in Cu(Ti) Alloy Films, Japanese Journal of Applied Physics, 2007.04.24, Vol. 46, No. 4B, p. 1942-1946	1-2
A	JP 2005-277390 A (株式会社半導体理工学研究センター) 2005.10.06, 全文, 図 7, 9, 12 & US 2005/0218519 A1 & US 2008/0057704 A1 & TW 264046 B & KR 10-2006-0042167 A & CN 1697175 A	1-2
A	JP 2007-221103 A (富士通株式会社) 2007.08.30, 段落番号[0011]-[0023], 図 1-3 & US 2007/0173055 A1	1-2