

申請日期	89.4.10
案 號	89106633
類 別	H01L 2/60

A4
C4

495803

(以上各欄由本局填註)

發 明 專 利 說 明 書

一、發明名稱	中 文	半導體元件及其製造方法
	英 文	SEMICONDUCTOR DEVICE AND METHOD OF MANUFACTURING THE SAME
二、發明人	姓 名	(1)金澤賢一 (2)橋本浩一 (3)鷹尾義弘 (4)勝部雅樹
	國 籍	日 本
	住、居所	(1)~(4)日本國神奈川縣川崎市中原區上小田中4丁目1番1號
申請人	姓 名 (名稱)	日商・富士通股份有限公司
	國 籍	日 本
	住、居所 (事務所)	日本國神奈川縣川崎市中原區上小田中4丁目1番1號
	代 表 人 姓 名	秋草直之

裝

訂

線

(由本局填寫)

承辦人代碼：
大類：
I P C 分類：

A6

B6

本案已向：

日本 國(地區) 申請專利，申請日期：

案號：

，☒有 ☐無主張優先權

1999,07,12

特願平11-198058

2000,02,25

特願 2000-049869



有關微生物已寄存於：

，寄存日期：

，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部智慧財產局員工消費合作社印製

五、發明說明(1)

發明背景

[發明領域]

本發明係關於一種適合用於高度集成之半導體裝置及其製法，特別係關適用於半導體記憶體例如DRAM或快閃記憶體之半導體裝置，有一元件區及一周邊電路區。

[相關技術之說明]

近年來強力傾向於不僅要求高度集成同時也要求增高半導體裝置的附加價值。例如對於有一記憶體晶胞及一邏輯電路(記憶體晶胞之周邊電路)之DRAM混成晶片，已經受到大量注意為新領域的半導體記憶體，形成金屬矽化物俾降低組成邏輯電路之電晶體之源極及汲極電阻值的技術為不可或缺。但應用此種技術時出現基本問題為，由再生特性觀點看來並無任一種金屬矽化物可用於組構DRAM記憶體晶胞之電晶體之源極及汲極。如此用於電晶體之源極及汲極，必須獨立形成記憶體晶胞端及邏輯電路端。

但前述技術有一特徵方面不符合高度集成記憶體晶胞的需求。特別隨著集成程度的升高，接觸孔之對正邊際變嚴格。為了放寬該邊際，藉由蝕刻速率比氧化物膜更低的氮化物膜形成作為被動膜覆蓋電晶體，且使用形成自行對正接觸孔的無邊界接觸技術(BLC)或自行對正接觸技術(SAC)。本例使用前述自行對正技術造成一種問題，容後詳述。

當記憶體晶胞大小藉高度集成縮小時，記憶體晶胞之毗鄰開極電極間距也縮短。此種情況下，如第31A圖所

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明（ 2 ）

示，當閘極電極301之間距縮短時，由於BLC或SAC氮化物膜306故，閘極電極301之元件間隔302變成零。如此使BLC或SAC無法作為形成金屬矽化物之前置形成方法更無庸待言形成金屬矽化物。

作為此種問題的對策，曾經提出一項技術，其中於形成閘極電極301後，循序形成厚度約30毫微米之SAC薄氮化物膜303以及具有預定厚度之氧化物膜，然後藉各向異性蝕刻形成側壁304於結構整體表面上，如第31B圖所示。但此種情況下，由於金屬矽化物僅需於邏輯電路端之電晶體上生成，故邏輯電路端之電晶體之源極/汲極面須藉蝕刻暴露同時罩蓋於記憶體晶胞端的結構。於形成金屬矽化物後，形成BLC氮化物膜305。此時因閘極電極301間的間距小，故側壁304中間間隙以氮化物膜305填補，如第31B圖所示，故氮化物膜305由形成接觸孔之上方觀視時實質上極厚。如此造成記憶體晶胞端之SAC去能。

如前述，於邏輯電路之電晶體降低電阻以及於整體記憶體晶胞部及邏輯電路部提高集成程度之需求具有折衷關係。極為難以同時滿足兩種需求。

發明概述

本發明之目的係提供一種半導體裝置，其中當第一區為記憶體晶胞區及第二區為周邊電路區時，於周邊電路區之電晶體之源極及汲極的矽化以及自行對正技術如BLC或SAC同時用以致能具有金屬矽化物於邏輯電路電晶體上之半導體記憶體性能的改良(操作速度改良)，及半導體裝

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明（ 3 ）

置之製法。

為了達成前述目的，本發明具有下列特徵方面。

根據第一特徵方面，一種製造一半導體裝置之方法，包含下列步驟：形成閘極電極於一半導體基材上之第一區及一閘極電極於半導體基材上之第二區，然後形成第一雜質擴散層於第一及第二區之閘極電極兩邊；形成一第一被動膜於第一及第二區；形成一絕緣膜於第一及第二區；處理於第二區之絕緣膜而形成一側壁於第二區之閘極電極兩邊因而暴露出於側壁兩邊之半導體基材的一面；於暴露於側壁兩邊之半導體基材形成一第二雜質擴散層，其部分重疊於第一雜質擴散層；形成一第二被動膜於第一及第二區；以及形成一第一連結孔用以暴露於第一區之第一雜質擴散層；以及經由使用第一及第二被動膜形成第一連結孔用以暴露於第一區之第一雜質擴散層，以及一第二連結孔用以暴露第二區之第二雜質擴散層。

根據第二特徵方面，一種製造一半導體裝置之方法，包含下列步驟：形成閘極電極於一半導體基材上之第一區及一閘極電極於半導體基材上之第二區，然後形成第一雜質擴散層於第一及第二區之閘極電極兩邊；形成一第一被動膜於第一及第二區；形成一絕緣膜於第一及第二區；處理於第二區之絕緣膜而形成一側壁於第二區之閘極電極兩邊因而暴露出於側壁兩邊之半導體基材的一面；於暴露於側壁兩邊之半導體基材形成一第二雜質擴散層，其部分重疊於第一雜質擴散層，及然後去除第一區之絕緣膜及第

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明（ 4 ）

二區之側壁；形成一第二被動膜於第一及第二區；以及形成一第一連結孔用以暴露於第一區之第一雜質擴散層；以及經由使用第一及第二被動膜形成第一連結孔用以暴露於第一區之第一雜質擴散層，以及一第二連結孔用以暴露第二區之第二雜質擴散層。

根據第三特徵方面，一種半導體裝置具有第一及第二區，其中形成具有閘極電極帶有源極/汲極之元件，一第一被動膜形成至不致於填補第一區之介於閘極電極間的空間之厚度，以及一絕緣膜形成於第一被動膜上而填補於第一區之閘極電極中間的空間，一側壁僅形成於第二區之閘極電極上，一金屬矽化物膜係形成於第二區之源極/汲極上，以及一第二被動膜係形成為覆蓋第二區之閘極電極包括側壁，以及第一及第二連結孔形成為由側面暴露出第一及第二被動膜部分，以及形成互連來電連結於第一區之源極/汲極以及金屬矽化物膜貫穿第一及第二連結孔。

根據第四方面，一種半導體裝置具有第一及第二區，其中形成具有閘極電極帶有源極/汲極之元件，第一及第二被動膜形成於第一及第二區至未填補第一區之閘極電極中間空間的總厚度，第一及第二被動膜係形成為可覆蓋第一區之全體表面，第一被動膜僅形成於第二區之閘極電極上且接近閘極電極之一側面，一金屬矽化物膜係形成於第二區之源極/汲極上，以及第二被動膜係形成為覆蓋全體表面，以及第一及第二連結孔係形成為由側面暴露第一及第二被動膜部分，以及形成互連來電連結於第一區之源

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明（5）

極/汲極以及貫穿第一及第二連結孔之金屬矽化物膜。

根據第五方面，一種製造一半導體裝置之方法，包含下列步驟：形成閘極電極於一半導體基材上之第一區及一閘極電極於半導體基材上之第二區，然後形成第一雜質擴散層於第一及第二區之閘極電極兩邊；形成一第一被動膜於第一及第二區；形成一絕緣膜於第一及第二區；處理於第二區之絕緣膜而形成一側壁於第二區之閘極電極兩邊因而暴露出於側壁兩邊之半導體基材的一面；於暴露於側壁兩邊之半導體基材形成一第二雜質擴散層，其部分重疊於第一雜質擴散層；形成一第二被動膜於第一及第二區；以及形成一第一連結孔用以暴露於第一區之第一雜質擴散層；以及經由使用第一及第二被動膜形成第一連結孔用以暴露於第一區之第一雜質擴散層，以及一第二連結孔用以暴露第二區之第二雜質擴散層。

於本發明之半導體裝置之製造方法中(前述第一方面)，SAC之第一被動膜形成於全體表面上。側壁僅形成於第二區之閘極電極上(例如周邊電路區)。於金屬矽化物形成於第二雜質擴散層後，形成BLC的第二被動膜。即使於第一區(例如記憶體晶胞區)之閘極電極間的元件間隔極小，對應元件間隔之空間以絕緣膜經由薄的第一被動膜填補。特別SAC之第一被動膜有效形成於第一區之閘極電極上，以及BLC之第二被動膜有效形成於第二區之閘極電極(及側壁)上。如此使用此等被動膜可形成預定的第一及第二連結孔，故第一雜質擴散層於第一區介於閘極電極間部分

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明(6)

暴露出，以及金屬矽化物於第二區部分暴露出。

於本發明之半導體裝置之製造方法(前述第二方面)，因具有足夠厚度的側壁可形成用於第二區(例如周邊電路區)之電晶體，故可組構具有穩定特性的電晶體。此外，當第一區之絕緣膜以及第二區之側壁於第二被動膜形成之前被去除，第一及第二被動膜形成於第一及第二區之閘極電極側面上。因此理由故，不僅SAC之第一被動膜同時BLC之第二被動膜皆可用作SAC被動膜。如此可進一步改良形成於第一及第二區之連結孔之崩潰電壓。

根據本發明，例如有關第一及第二區之關係。當第一區為記憶體晶胞區，及第二區為周邊電路區時，於周邊電路區之電晶體源極/汲極之矽化以及自行對正技術例如BLC或SAC可同時應用於提高集成程度以及改良具有金屬矽化物於邏輯電路之電晶體上之半導體裝置性能(改良操作速度)。

圖式之簡單說明

第1A至1C圖為示意剖面圖顯示根據本發明之第一具體實施例製造半導體裝置之方法；

第2A及2B圖為示意剖面圖顯示根據第一具體實施例之半導體裝置之製法；

第3A至3C圖為示意剖面圖顯示根據第一具體實施例之半導體裝置之製法的第一修改例；

第4A至4C圖為示意剖面圖顯示根據第一具體實施例之半導體裝置之製法的第二修改例；

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明（ 7 ）

第5A至5C圖為示意剖面圖顯示根據第一具體實施例之半導體裝置之製法的第三修改例；

第6圖為示意平面圖顯示根據本發明之第二具體實施例之DRAM；

第7A至7C圖為示意剖面圖顯示根據第二具體實施例製造DRAM之步驟：

第8A至8C圖為示意剖面圖顯示根據第二具體實施例製造DRAM之步驟：

第9A至9C圖為示意剖面圖顯示根據第二具體實施例製造DRAM之步驟：

第10A至10B圖為示意剖面圖顯示根據第二具體實施例製造DRAM之步驟：

第11A至11B圖為示意剖面圖顯示根據第二具體實施例製造DRAM之步驟：

第12圖為示意剖面圖顯示根據第二具體實施例製造DRAM之步驟：

第13圖為示意剖面圖顯示根據第二具體實施例製造DRAM之步驟：

第14A至14B圖為示意剖面圖顯示根據第二具體實施例之半導體裝置之製法的第一修改例；

第15A至15B圖為示意剖面圖顯示根據第二具體實施例之半導體裝置之製法的第二修改例；

第16A至16B圖為示意剖面圖顯示根據第二具體實施例之半導體裝置之製法的第三修改例；

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明（ 8 ）

第17A至17B圖為示意剖面圖顯示根據第二具體實施例之半導體裝置之製法的第三修改例；

第18A至18C圖為示意剖面圖顯示根據本發明之第三具體實施例之製造半導體裝置之方法；

第19A至19C圖為示意剖面圖顯示根據第三具體實施例製造半導體裝置之方法；

第20A至20B圖為示意剖面圖顯示根據第三具體實施例製造半導體裝置之方法；

第21A至21C圖為示意剖面圖顯示根據第三具體實施例製造半導體裝置之方法；

第22圖為示意平面圖顯示根據本發明之第四具體實施例之DRAM；

第23A至23C圖為示意剖面圖顯示根據第四具體實施例製造DRAM之步驟；

第24A至24C圖為示意剖面圖顯示根據第四具體實施例製造DRAM之步驟；

第25A至25C圖為示意剖面圖顯示根據第四具體實施例製造DRAM之步驟；

第26A至26B圖為示意剖面圖顯示根據第四具體實施例製造DRAM之步驟；

第27A至27B圖為示意剖面圖顯示根據第四具體實施例製造DRAM之步驟；

第28圖為示意剖面圖顯示根據第四具體實施例製造DRAM之步驟；

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明（ 9 ）

第29圖為示意剖面圖顯示根據第四具體實施例製造DRAM之步驟；

第30A至30B圖為示意剖面圖顯示根據第四具體實施例之製造半導體裝置之方法之一修改例；以及

第31A至31B圖為示意剖面圖顯示習知DRAM製造方法之各步驟用以說明其問題。

較佳具體實施例之詳細說明

現在於後文參照附圖說明可應用本發明之具體實施例。

(第一具體實施例)

至於本發明之原理之說明，將說明一種製造具有第一及第二區之半導體裝置之方法，以及於此等區之不同類型的半導體元件。為求方便說明，半導體裝置之結構及其製法將一起說明。

第1A至2B圖為示意剖面圖顯示根據本第一具體實施例製造半導體裝置之方法。

首先如第1A圖所示，例如p型半導體基材1之元件隔離區經各向異性蝕刻形成凹溝。凹溝以氧化矽膜填補而形成元件隔離結構2。於閘極絕緣膜5形成於由元件隔離結構2界定第一區3及4後，閘極絕緣膜5上之閘極電極6及7以及閘極電極上的SAC厚氮化矽膜31藉圖樣化形成。

離子使用閘極電極6及7作為罩蓋形成LDD擴散層8及9(第一雜質擴散層)被植入半導體基材1。於第一區3形成電晶體，具有閘極電極6及LDD擴散層8作為源極及汲極。

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明 (10)

如第1B圖所示，具有厚度約30毫微米之氮化矽膜10沉積於全體表面上作為SAC被動膜(第一被動膜)，未填補第一區3之閘極電極6中間空間。

其次厚約50毫微米之氧化矽膜11沉積作為透視側壁而填補閘極電極6中間空間。使用此種膜厚度，第一區3之毗鄰閘極電極6中間空間以氧化物矽膜11填補，如第1B圖所示，此時閘極電極6中間間距為150毫微米或以下。

如第1C圖所示，抗蝕劑罩蓋12形成而僅覆蓋第一區3。氧化矽膜11及氮化矽膜10於其全體表面上接受各向異性蝕刻直到第二區4之LDD擴散層9暴露為止。使用此種方法，LDD擴散層已暴露出，氧化矽膜11形成於側壁13係形成於閘極電極7之側面上。

離子使用閘極電極7及側壁13作為罩蓋植入基材內部，部分含括LDD擴散層9，藉此形成含括LDD擴散層9之源極/汲極14(第一及第二雜質擴散層)。於第二區4，形成電晶體Tr2，其具有閘極電極7及源極/汲極14附有LDD結構。用於離子植入之罩蓋較佳常用於形成側壁13。當僅一罩蓋用於離子植入及形成側壁13時，罩蓋數目及步驟數目可減少因而有效製造半導體裝置。

隨後如第2A圖所示，抗蝕劑罩蓋12藉灰化去除。隨後作為金屬矽化物21之矽化鈷藉已知矽化物方法選擇性生長於源極/汲極14表面上至約10毫微米厚度。

至於BLC之被動膜(第二被動膜)，厚約30毫微米之氮化矽膜15藉CVD沉積於全體表面上，故第二區4之閘極電

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明 (11)

極7中間空間未以氮化矽膜15及側壁13之整個厚度填補。厚約600毫微米之氧化矽膜藉CVD沉積形成絕緣中間層16填補閘極電極6與7中間空間。絕緣中間層16藉CMP(化學機械拋光)拋光達約400毫微米而平面化其表面。

抗光蝕劑17施用於絕緣中間層16完整表面上。開口17a藉光刻術形成於抗光蝕劑17。

使用抗光蝕劑17作為罩蓋，絕緣中間層16及於第一區3側邊之氮化矽膜15接受各向異性蝕刻(第一蝕刻)。此第一蝕刻係使用具有氮化物膜對氧化物膜之選擇性比低的蝕刻氣體進行至氮化矽膜15被充分蝕刻為止。因此理由故，如第2A圖所示，蝕刻之進行速率於第一區3側及第二區4側幾乎相等。

如第2B圖所示，絕緣中間層16，氮化矽膜10及15以及閘極絕緣膜5使用具有氮化物膜對氧化物膜之高選擇性比(第二蝕刻)之蝕刻氣體蝕刻。即使第一區3之閘極電極6間距小，或第二區4之閘極電極7之接觸區小，閘極電極6及7由氮化矽膜10，15及31保護不受蝕刻。使用此種方法，接觸孔18及19形成而暴露LDD擴散層8表面分別於第一區3作為源極/汲極以及於第二區4作為金屬矽化物21之表面。

特別，形成接觸孔18時，當由上方觀視時，遮蓋閘極電極6之氮化矽膜10實質上比覆蓋LDD擴散層8之氮化矽膜更厚。因此理由故，覆蓋LDD擴散層8之氮化矽膜10於覆蓋閘極電極6之氮化矽膜10被蝕刻前經蝕刻去除。接觸

五、發明說明 (12)

孔19亦同，當由上方觀視時，遮蓋閘極電極7之氮化矽膜15實質上比遮蓋金屬矽化物21之氮化矽膜15更厚。因此理由故，遮蓋金屬矽化物21之氮化矽膜15經蝕刻且於覆蓋於閘極電極7之氮化矽膜15被蝕刻前被去除。

隨後，形成一互連層填補接觸孔18及19且伸展於絕緣中間層16，如此完成一具半導體裝置。

如前述，根據第一具體實施例之半導體裝置之製法，於第二區之電晶體源極及汲極之矽化以及自行對正技術，因此可同時使用BLC或SAC來致使集成程度增高以及具有金屬氮化物21於第二區4之電晶體上的半導體裝置性能改良(作業速度改良)。此項技術特佳用於下述半導體記憶體，其具有一記憶體晶胞區作為第一區3及一周邊電路區(邏輯電路區)作為第二區4。

-修改例-

現在說明第一具體實施例之修改例。如第一具體實施例之半導體裝置的相同參考編號表示於此等修改例之相同構件，且免除其細節說明。

(第一修改例)

於第一修改例中，於第二區4形成n及p型電晶體時，可連續形成側壁13及源極及汲極14。

特別於第1A及1B圖所示步驟後，形成抗蝕劑罩蓋22，其具有開口僅對應閘極電極7，作為第二區4之有展望的n型電晶體，如第3A圖所示。於根據第1C圖所示相同程序形成側壁13後，n型雜質經離子植入而形成n型源極及汲極

五、發明說明 (13)

14。

其次如第3B圖所示，於藉灰化去除抗光蝕劑罩蓋22後形成抗光蝕劑罩蓋23，其有一開口僅對應閘極電極7作為第二區4之有展望的p型電晶體。側壁13係以類似方式形成，然後p型雜質經離子植入而形成p型源極及汲極14。n型電晶體及p型電晶體之處理(側壁形成及離子植入)可於相反順序進行。

於抗蝕劑罩蓋23藉灰化去除後，如第3C圖所示，作為金屬矽化物21之矽化鈷藉已知矽化物方法如第2A圖所示，被選擇性生長於源極及汲極14表面至約10毫微米厚度。

隨後執行第2A圖之其餘步驟及第2C圖之步驟而形成接觸孔18及19。

除第一具體例所述效果外，根據第一修改，當一罩蓋共用於具有相反導電類型的各電晶體之離子植入及側壁13形成時，罩蓋數目及步驟數目可減少俾有效製造半導體裝置。

(第二修改例)

第二修改例中，於第一具體例以二步驟形成的接觸孔18及19係於單一步驟形成。

特別於第1A至1C圖之步驟後，具有厚度約30毫微米之氮化矽膜15形成於整體表面上作為BLC之被動膜(第二被動膜)，以及厚度約400毫微米之絕緣中間層16形成用以填補閘極電極6與7間之空間，如第4A圖所示。

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明（14）

如第4B圖所示，使用於第二區4之閘極電極7上表面作為擋止層，絕緣中間層16藉CMP拋光至閘極電極7上表面之氮化矽膜10表面出現為止。此時沉積於閘極電極6之第一區3側上的氮化矽膜10藉拋光去除。

如第4C圖所示，抗光蝕劑17施於絕緣中間層16之全體表面上，開口17a係藉光刻術於抗光蝕劑17形成。使用抗光蝕劑17作為罩蓋，絕緣中間層16及下方氮化矽膜10及15及閘極絕緣膜5使用具有氮化物對氧化物膜之高選擇性比的蝕刻氣體作各向異性蝕刻。使用此種方法，形成接觸孔18及19分別暴露出於第一區3作為源極/汲極之LDD擴散層8表面以及金屬矽化物21於第二區4之表面。

根據第二修改例，除了第一具體實施例所述效果外，第一區3側之氮化矽膜15被去除而形成接觸孔18及19。因此理由故，接觸孔18及19可於單一步驟藉各向異性蝕刻同時形成。如此縮短處理時間及簡化製程。

(第三修改例)

於第三修改例中，如同第二修改例，於第一具體實施例以二步驟形成的接觸孔18及19係以單一步驟形成。

特別於第1A至1C圖之步驟後，厚度約30毫微米之氮化矽膜15沉積於全體表面上作為BLC之被動膜(第二被動膜)，如第5A圖所示。

如第5B圖所示，抗蝕劑罩蓋24形成而罩蓋第二區4側上的結構，以及使用預定濕蝕刻劑如氫氟酸進行各向同性蝕刻，藉此去除罩蓋第一區3側結構之氮化矽膜15。

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明（15）

如第5C圖所示，形成絕緣中間層16而填補閘極電極6與7中間空間。使用抗光蝕劑17作為罩蓋，絕緣中間層16及下方氮化矽膜10及15及閘極絕緣膜5使用具有高氮化物膜對氧化物膜選擇比之蝕刻氣體進行各向異性蝕刻。使用此種方法形成接觸孔18及19而暴露出於第一區3作為源極/汲極之LDD擴散層8表面以及於第二區4之金屬矽化物21表面。

根據第三修改例，除第一具體實施例所述效果外，於第一區3側之氮化矽膜15被去除而形成接觸孔18及19。因此理由故，接觸孔18及19可藉各向異性蝕刻於單一步驟同時形成。如此縮短處理時間且簡化製程。

（第二具體實施例）

本發明之第二具體實施例中，將說明第一具體實施例應用至具有周邊電路（邏輯電路）區之DRAM之例。本具體實施例中，為方便說明，將共同說明DRAM結構及其製造。

第6圖為示意平面圖顯示根據第二具體實施例之DRAM。第7A至13圖為示意剖面圖（沿第6圖之線I-I'所取）顯示根據第二具體實施例製造DRAM之步驟。

首先如第7A圖所示，為了定義於p型矽半導體基材101表面上之元件主動區，厚約10毫微米之初步氧化物膜102藉由於約850℃熱氧化形成於半導體基材101上。其次藉CVD沉積厚約150毫微米之氮化矽膜103。形成有一孔對應元件隔離區之抗蝕劑罩蓋（圖中未顯示）。氮化矽膜103

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明 (16)

及初氧化物膜102以及然後半導體基材101根據元件隔離區被各向異型蝕刻約300毫微米而形成凹溝104。

如第7B圖所示，厚約600毫微米之氧化矽膜藉CVD沉積而填補凹溝104。隨後氧化矽膜藉CMP拋光達約150毫微米，使用氮化矽膜103作為擋止層，去除氮化矽膜103。厚約10毫微米之保護性氧化物膜105經由於約850°C藉熱氧化形成於半導體基材101表面上，如此形成凹溝型元件隔離結構106，凹溝104係以氧化矽膜填補。此時元件隔離結構106界定一元件主動區，因此形成作為第一區之記憶體晶胞區107以及作為第二區之周邊電路區(邏輯電路區)108。

如第7C圖所示，p型雜質(B：硼)及n型雜質(P：磷)分別於加速能200千電子伏特及800千電子伏特及劑量 1×10^{13} /平方厘米及 1×10^{13} /平方厘米經由保護性氧化物膜105離子植入記憶體晶胞區107及周邊電路區108而形成p井區111及n井區112。

其次進行電晶體閾值(V_{th})控制之離子植入。例如於記憶體晶胞區107，硼離子係於加速能20千電子伏特及劑量 1×10^{13} /平方厘米植入。

於保護性氧化物膜105被去除後，厚度約10毫微米之閘極絕緣膜109藉由於約850°C熱氧化形成於記憶體晶胞區107及周邊電路區108之表面上。

厚70毫微米之DASI(攪雜非晶形矽)膜113，厚30毫微米之遮蔽金屬膜114，厚40毫微米之金屬膜115，厚40毫微米

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明（17）

米之氧氮化矽膜116作為抗反射膜以及厚120毫微米之SAC氮化矽膜117循序形成。此等膜接受光刻術以及隨後蝕刻而藉濺鍍形成閘極電極118及119。閘極電極118係於記憶體晶胞區107形成，閘極電極119係於周邊電路區108形成。第7C圖顯示跨元件隔離結構106之閘極電極118及119。此等閘極電極係由元件主動區形成至元件隔離區，且於此剖面圖僅顯示形成於元件隔離結構106上。

其次離子植入p井區111及n井區112而形成LDD擴散層121a及121b(第一雜質擴散層)。於記憶體晶胞區107中，作為源極及汲極之閘極電極118及LDD擴散層121a組構一電晶體Tr1。

如第8A圖所示，於厚約30毫微米之氮化矽膜122藉CVD形成於全體表面上作為SAC被動膜後，厚度約50毫微米之氧化矽膜123形成用以形成側壁。記憶體晶胞區107之毗鄰閘極電極118間間隔(間距：0.15微米或以下)以氧化矽膜123填補。

如第8B圖所示，外加抗光蝕刻，藉光刻術形成抗蝕劑罩蓋124而遮蓋記憶體晶胞區107。整個結構表面經各向異性蝕刻至於周邊電路區108之LDD擴散層121表面暴露為止，如此形成氧化矽膜123製成的側壁125於周邊電路區108之閘極電極119側面上。

如第8C圖所示，抗蝕劑罩蓋124藉灰化去除。n型及p型雜質藉離子植入周邊電路區108之n及p通道側而形成源極及汲極126(n')及127(p')(第一及第二雜質擴散層)分別接

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (18)

合至LDD擴散層121a及121b。於周邊電路區108中，形成包含閘極電極119及源極及汲極126(n')之n型電晶體Tr2(n)以及包含閘極電極119及源極及汲極127(p')之p型電晶體Tr2(p)。

作為金屬矽化物128之矽化鈷藉已知矽化物方法生長於周邊電路區108之源極/汲極126(n')及源極/汲極127(p')之暴露面至約10毫微米厚度。

至於BLC被動膜，厚約30毫微米之氮化矽膜129藉CVD沉積於全體表面上，故周邊電路區108之閘極電極119中間空間未以氮化矽膜129及側壁125的總厚度填補。氧化矽膜之厚度為約600毫微米，沉積而形成一絕緣中間層131填補閘極電極181與119中間空間之絕緣中間層131藉CMP(化學機械拋光)拋光達約400毫微米而平面化表面。

隨後形成DRAM之記憶體電容器之接觸孔(儲存電極接觸孔)。

如第9A圖所示，抗光蝕劑132施用至絕緣中間層131之全體表面上，形成汲極接觸之開口132a藉光刻術形成於抗光蝕劑132。

使用抗光蝕劑132作為罩蓋，於記憶體晶胞區107之絕緣中間層131及氮化矽膜129經各向異性蝕刻(第一蝕刻)。使用具有氮化物膜對氧化物膜之低選擇性比之蝕刻氣體，進行第一蝕刻至氮化矽膜129被充分蝕刻之深度(約300毫微米)。

如第9B圖所示，絕緣中間層131及閘極絕緣膜109使

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明 (19)

用具有氮化物膜對氧化物膜之高選擇比之蝕刻氣體蝕刻(第二蝕刻)。即使記憶體晶胞區107之閘極電極118中間間隔小，閘極電極118被保護不受氮化矽膜129蝕刻。使用此種方法，接觸孔133形成於記憶體晶胞區107而暴露出作為源極及汲極的LDD擴散層121a表面。

於抗光蝕劑132藉灰化去除後，DASI沉積至約150毫微米厚度，故接觸孔133被充分填補，如第9C圖所示。DASI膜藉CMP拋光至絕緣中間層131表面暴露為止，如此形成接觸插塞134其將以DASI填補接觸孔133。

隨後電晶體Tr1之位元接觸孔形成於記憶體晶胞區107，電晶體Tr2(n)及Tr2(p)之源極/汲極接觸孔形成於周邊電路區108。

如第10A圖所示，抗光蝕劑135應用至絕緣中間層131全體表面，形成位元接觸之開口135a及形成源極/汲極接觸之開口135b係藉光刻術形成於抗光蝕劑135。

使用抗光蝕劑135作為罩蓋，於記憶體晶胞區107之絕緣中間層131及氮化矽膜129以及於周邊電路區108之絕緣中間層131經各向異性蝕刻(第一蝕刻)。使用具有低氮化物膜對氧化物膜選擇比之蝕刻氣體，進行第一蝕刻至氮化矽膜129被充分蝕刻之深度(約300毫微米)。

如第20B圖所示，絕緣中間層131及閘極絕緣膜109使用具有高氮化物膜對氧化物膜選擇比之蝕刻氣體蝕刻(第二蝕刻)。即使當記憶體晶胞區107之閘極電極118中間間隔小，或周邊電路區108之閘極電極119中間間隔小時，閘

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明（20）

極電極118及119藉氮化矽膜122及129被保護不進行蝕刻。使用此種方法，接觸孔(位元接觸孔)136形成於電晶體晶胞區107而暴露作為源極/汲極的LDD擴散層121表面，以及形成接觸孔(源極/汲極接觸孔)137於周邊電路區108而暴露金屬矽化物128表面。

於抗光蝕劑135藉灰化去除後，厚約30毫微米之遮蔽金屬膜138形成而遮蓋接觸孔136及137內表面，如第11A圖所示。金屬膜形成至充分填補接觸孔136及137，然後藉CMP拋光至暴露絕緣中間層131表面為止，因而形成接觸插塞151及152，其分別以金屬膜填補接觸孔136及137。

其次厚30毫微米之遮蔽金屬膜153，厚80毫微米之金屬膜154，厚50毫微米之氧氮化矽膜155且作為抗反射膜及厚130毫微米之氮化矽膜156循序形成於絕緣中間層131上。此等膜藉光刻術圖樣化以及隨後蝕刻形成位元線157連結至接觸插塞151以及互連層158連結至接觸插塞152。

厚約30毫微米之氮化矽膜沉積於全體表面上。隨後全體表面經各向異性蝕刻而形成側壁159與位元線157及互連層158各自之側面上。

其次形成記憶體電容器171經由接觸插塞134連結至記憶體晶胞區107之電晶體141之LDD擴散層121。如第11B圖所示，厚約600毫微米之氧化矽膜沉積而內嵌位元線157及互連層158形成絕緣中間層161。該層表面經拋光且藉CMP平面化。

為了連結接觸插塞134，於絕緣中間層161藉光刻術

五、發明說明 (21)

形成開口以及隨後蝕刻形成接觸孔162。

DASI沉積至約150毫微米厚度而充分填補接觸孔162，及藉CMP拋光至絕緣中間層表面161暴露為止，如此形成接觸插塞163其以DASI填補接觸孔162且連結至接觸插塞134。

如第12圖所示，DASI沉積於絕緣中間層161上至約700毫微米厚度，以及藉光刻術圖樣化及隨後蝕刻形成儲存節點電極164連結至接觸插塞163。

氧化鈮、氮化矽或氧氮化矽藉CVD沉積至約5毫微米厚度而形成介電膜165其遮蓋儲存節點電極164。隨後DASI沉積至約100毫微米厚度。DASI及下方介電膜165藉光刻術圖樣化，隨後蝕刻形成晶胞板電極166。完成記憶體電容器171其中儲存電極164及晶胞板電極166係透過介電膜165電容耦合。

上互連層181係藉圖樣化形成。

如第13圖所示，厚約1,000毫微米之氧化矽膜沉積而形成絕緣中間層161其內嵌記憶體電容器171。表面藉CMP拋光及平面化。

第13圖所示連結至位元線157及158之接觸孔形成於絕緣中間層167及161，形成金屬膜(金屬膜、接觸孔及遮蔽金屬膜於圖中未顯示)經由遮蔽金屬填補接觸孔，如接觸插塞151及152。

厚30毫微米之遮蔽金屬膜172及厚400毫微米之金屬膜173循序形成及藉光刻術圖樣化以及隨後蝕刻形成上互

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明 (22)

連層181。隨後形成被動膜174而遮蓋全體表面，如此完成DRAM。

本發明非僅限於前述具體實施例。例如雖然上互連層181係由單層形成，但也可形成具有二或多層之多層結構的互連層。本發明不僅可應用於DRAM，同時也可應用於非依電性半導體記憶體如快閃記憶體。

如前述，根據本具體實施例之DRAM製法，於周邊電路區108之電晶體Tr2(n)及Tr2(p)之源極及汲極之矽化以及自行對正技術例如BLC或SAC可同時用來提高集成程度以及改良DRAM性能(改良操作速度)，該DRAM具有金屬矽化物21於周邊電路區108之電晶體Tr2(n)及Tr2(p)上。

-修改例-

後文將說明第二具體實施例之修改例。與第二具體實施例之半導體裝置相同的參考編號表示於參考例之相同構件而免除其細節說明。

(第一修改例)

第一修改例中，用於周邊電路區108形成n及p型電晶體Tr2(n)及Tr2(p)，連續形成側壁125及源極/汲極126(n')及源極/汲極127(p')。

特別於第7A至7C及第8A圖所示步驟後，形成抗蝕劑罩蓋201，其有一開口僅對應於周邊電路區108作為與其n型電晶體Tr2(n)之閘極電極119的開口，如第14A圖所示。於側壁125根據第8B圖所示相同程序形成後，n型雜質經離子植入而形成n型源極/汲極126(n')。

五、發明說明 (23)

其次如第14B圖所示，藉灰化去除抗蝕劑罩蓋201後形成抗蝕劑罩蓋202，其有一開口僅對應於周邊電路區108作為預期p型電晶體Tr2(p')之閘極電極119。側壁125係以相同方式形成，然後p型雜質經離子植入形成p型源極/汲極127(p')。可以相反順序進行n型電晶體及p型電晶體的製程(側壁形成及離子植入)。

藉灰化去除抗蝕劑罩蓋202後，作為金屬矽化物128之矽化鈷藉已知矽化物方法，如第8C圖所示，選擇性生長於源極及汲極126(n')及127(p')表面至約10毫微米厚度。隨後，形成絕緣中間層131，及表面經平面化。

隨後執行第9A至13圖之步驟而完成DRAM。

根據第一修改例，除第二具體實施例所述效果外，當一罩蓋共同用於具有相反導電類型之各電晶體Tr2(n)及Tr2(p)進行離子植入及形成側壁125時，罩蓋數目及步驟數目可減少因而有效製造DRAM。

(第二修改例)

第二修改例中，於第二具體實施例以二步驟形成之記憶體電容器之接觸孔133係以單一步驟形成。

特別於第7A至7C、8A及8B圖之步驟後，厚約30毫微米之氮化矽膜129形成於全體表面上作為BLC之被動膜，形成厚約600毫微米之絕緣中間層131而填補閘極電極118及119中間空間，如第8C圖所述。

如第15A圖所示，使用於周邊電路區108之閘極電極118及119之上表面作為擋止層，絕緣中間層131藉CMP拋

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明（ 24 ）

光至閘極電極118及119上表面上的氮化矽膜122表面出現為止。此時，沉積於閘極電極118上於記憶體晶胞區107側之氮化矽膜129藉拋光去除。

如第15B圖所示，抗光蝕劑203外加至絕緣中間層131全體表面，開口203a藉光刻術形成於抗光蝕劑203。使用抗光蝕劑203作為罩蓋，絕緣中間層131及下方氮化矽膜122及129以及閘極絕緣膜109使用具有高氮化物膜對氧化物膜選擇比之蝕刻氣體進行各向異性蝕刻。使用此種方法，於記憶體晶胞區107形成接觸孔133而暴露出作為源極及汲極的LDD擴散層121表面。

接觸孔136及137也可於單一步驟使用具有高氮化物膜對氧化物膜選擇比之蝕刻氣體藉各向異性蝕刻形成。

隨後執行第11A至13圖之步驟而完成DRAM。

根據第二修改例，除第二具體實施例所述效果外，於記憶體晶胞區107側之氮化矽膜129於形成接觸孔133時被去除。因此理由故，接觸孔133可於單一步驟藉各向異性蝕刻同時形成，接觸孔136及137也可於單一步驟藉各向異性蝕刻同時形成。如此縮短處理時間且簡化製程。

(第三修改例)

第三修改例中，如同第二修改例，於第二具體實施例以二步驟形成的接觸孔133係於單一步驟形成。

特別於第7A至7C、8A及8B圖步驟後，厚度約30毫微米之氮化矽膜129沉積於全體表面上作為BLC之被動膜，如第16A圖所示。

(請先閱讀背面之注意事項再填寫本頁)

裝 · 訂 · 線

五、發明說明 (25)

如第16B圖所示，抗蝕劑罩蓋204形成而遮蓋周邊電路區108側上結構，以及使用預定濕蝕刻劑例如氫氟酸進行各向同性蝕刻，藉此去除遮蓋記憶體晶胞區107側上結構的氮化矽膜129。

如第17A圖所示，形成絕緣中間層131而填補閘極電極118與119中間空間。於絕緣中間層131表面被去除後，使用抗光蝕劑作為罩蓋，絕緣中間層131及下方氮化矽膜122及閘極絕緣膜109使用具有高氮化物膜對氧化物膜選擇比之蝕刻氣體進行各向異性蝕刻。使用此種方法，接觸孔133形成於記憶體晶胞區107而暴露出作為源極及汲極的LDD擴散層121表面。

其次DASI沉積至約150毫微米厚度，因此接觸孔133經充分填補，以及藉CMP拋光至絕緣中間層131表面暴露為止，如此形成接觸插塞134其係以DASI填補接觸孔133。

如第17B所示，使用抗光蝕劑作為罩蓋，絕緣中間層131及下方氮化矽膜122及閘極絕緣膜109使用具有高氮化物膜對氧化物膜選擇比之蝕刻氣體進行各向異性蝕刻。使用此種方法，接觸孔(位元接觸孔)136形成於記憶體晶胞區107而暴露出作為源極/汲極的LDD擴散層121表面，以及接觸孔(源極/汲極接觸孔)137形成於周邊電路區108而暴露出金屬矽化物128表面。

其次厚約30毫微米之遮蔽金屬膜138形成而遮蓋接觸孔136及137內面。形成金屬膜而充分填補接觸孔136及137

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明（26）

，然後藉CMP拋光至絕緣中間層131表面暴露出為止，如此形成接觸插塞151與152其分別以金屬膜填補接觸孔136及137。

隨後執行第11A至13圖步驟而完成DRAM。

根據第三修改例，除第二具體例所述效果外，於記憶體晶胞區107側上之氮化矽膜129於形成接觸孔133時被去除。因此理由故，接觸孔133可於單一步驟藉各向異性蝕刻同時形成，接觸孔136及137也可於單一步驟藉各向異性蝕刻形成。如此縮短處理時間且簡化製程。

（第三具體實施例）

本發明之第三具體實施例舉例說明第一具體實施例之相同半導體裝置及其製法。但第三具體實施例之結構及製法上略與第一具體實施例不同。為了方便說明，如第一具體實施例之相同參考編號表示第三具體實施例的相同構件。

第18A至20B圖為示意剖面圖顯示根據第三具體實施例製造半導體裝置之方法。

首先如第18A圖所示，例如p型半導體基材1之元件隔離區經各向異性蝕刻而形成一凹溝。凹溝以氧化矽膜填補而形成元件隔離結構2。於由元件隔離結構2界定的第一區3及4形成閘極絕緣膜5後，閘極絕緣膜5上之閘極電極6及7以及閘極電極上的SAC後氮化矽膜31藉濺鍍形成。

離子使用閘極電極6及7作為罩蓋植入半導體基材1而形成LDD擴散層8及9（第一雜質擴散層）。於第一區3，形

（請先閱讀背面之注意事項再填寫本頁）

裝
訂
線

五、發明說明 (27)

成具有閘極電極6及LDD擴散層8作為源極及汲極之電晶體。

如第18B圖所示，厚約30毫微米之氮化矽膜10沉積於全體表面上作為SAC被動膜(第一被動膜)但未填補第一區3之介於閘極電極6中間空間。

其次，厚約50毫微米之氧化矽膜11沉積作為預期側壁而填補閘極電極6中間空間。使用此種膜厚度，與第一區3之毗鄰閘極電極6中間空間以氧化矽膜11填補，如第18B圖所示，此時閘極電極6間距為150毫微米或以下。

如第18C圖所示，抗蝕劑罩蓋12形成而僅遮蓋第一區3。氧化矽膜11及氮化矽膜10於其全體表面上接受各向異性蝕刻直到第二區4的LDD擴散層9暴露出為止。使用此種方法，LDD擴散層9暴露出，氧化矽膜11製成之側壁13形成於閘極電極7側面上。

離子使用閘極電極7及側壁13作為罩蓋植入基材內部，部分含括LDD擴散層9，如此形成包括LDD擴散層9之源極及汲極14(第一及第二雜質擴散層)。於第二區4，形成具有閘極電極7及源極/汲極14帶有LDD結構之電晶體Tr2。用於離子植入之罩蓋較佳共通用以形成側壁13。當一罩蓋共通用於離子植入及形成側壁13時，罩蓋數目及步驟數目可減少俾有效製造半導體裝置。

隨後如第19A圖所示，藉灰化去除抗蝕劑罩蓋12。隨後於第一區3之氧化矽膜11及於第二區4之側壁13使用例如稀氟化氫溶液去除。作為金屬矽化物21之矽化鈷藉已知矽

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明（ 28 ）

化物方法選擇性生長於源極/汲極14表面至約10毫微米厚度。

如第19B圖所示，作為BLC之被動膜(第二被動膜)，厚約30毫微米之氮化矽膜15藉CVD沉積於全體表面上，故第一區3之閘極電極6中間空間未以氮化矽膜10及15之全體厚度填補。

厚約600毫微米之氧化矽膜藉CVD沉積形成絕緣中間層16填補閘極電極6及7中間空間。絕緣中間層16藉CMP(化學機械拋光)拋光達約400毫微米而平面化表面。

如第20A圖所示，抗光蝕劑17外加於絕緣中間層16之全體表面。開口17a藉光刻術形成於抗光蝕劑17。

使用抗光蝕劑17作為罩蓋，絕緣中間層16及閘極絕緣膜5接受各向異性乾蝕刻。

即使第一區3之閘極電極6中間間隔小，或第二區4之閘極電極7接觸區小，閘極電極6及7藉氮化矽膜10，15及31被保護不被蝕刻。使用此種方法，形成接觸孔18及19而暴露出於第一區3作為源極/汲極的LDD擴散層8表面以及於第二區4之金屬矽化物21表面。

特別形成接觸孔18，當由上方觀視時，遮蓋閘極電極6之氮化矽膜10實質上比遮蓋LDD擴散層8之氮化矽膜10更厚。因此理由故，遮蓋LDD擴散層8之氮化矽膜10於遮蓋閘極電極6之氮化矽膜10被蝕刻前被蝕刻且被去除。對接觸孔19而言，當由上方觀視時，遮蓋閘極電極7之氮化矽膜15也實質上比遮蓋金屬矽化物21之氮化矽膜15更厚。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (29)

因此理由故，遮蓋金屬矽化物21之氮化矽膜15於遮蓋閘極電極7之氮化矽膜15被蝕刻前已經被蝕刻去除。

如第20B圖所示，抗光蝕劑17藉灰化去除。

隨後形成填補接觸孔18及19且伸展於絕緣中間層16上的互連層，以及遮蓋全體表面之被動膜，如此完成一半導體裝置。

如前文討論，根據第三具體實施例之製造半導體裝置之方法，矽化於第二區4之電晶體之源極及汲極以及自行對正技術例如BLC或SAC可同時用於使集成程度增高且改良具有金屬矽化物21於第二區4之電晶體上的半導體裝置性能(改良操作速度)。

此外因具有一足夠厚度之側壁13可對第二區4之電晶體形成，故可組構具有穩定特徵之電晶體。此外，當於作為第二被動膜之氮化矽膜15形成前去除於第一區3之絕緣膜11以及於第二區4之側壁13時，作為第一及第二被動膜之氮化矽膜10及15形成於第一及第二區3及4之間極電極6及7之側面上。因此理由故，不僅SAC之氮化矽膜10同時BLC之氮化矽膜15也可用作SAC之被動膜。如此可進一步改良形成於第一及第二區3及4之接觸孔(連結孔)18及19之崩潰電壓。

此種技術於具有記憶體晶胞區作為第一區3及周邊電路區(邏輯電路區)作為第二區4之半導體記憶體為特佳。

-修改-

第三具體實施例之修改將說明如後。如第三具體實

五、發明說明（ 30 ）

施例之半導體裝置之相同參考編號表示於本修改例之相同構件且將刪除其細節說明。

本修改例中，當形成第二區4之n及p型電晶體時，連續形成側壁13及源極及汲極14。

特別於第18A及18B圖所示步驟後形成抗蝕劑罩蓋22，其有一開口僅對應閘極電極7，作為第二區4之預期n型電晶體的開口，如第21A圖所示。於根據第18C圖所述相同程序形成側壁13後，n型雜質經離子植入而形成n型源極/汲極14。

其次如第21B圖所示，於藉灰化去除抗光蝕劑罩蓋22後形成抗光蝕劑罩蓋23，其有一開口僅對應閘極電極7作為第二區4之預期p型電晶體。側壁13係以類似方式形成，然後p型雜質經離子植入而形成p型源極/汲極14。n型電晶體及p型電晶體之處理(側壁形成及離子植入)可以相反順序進行。

於藉灰化去除抗蝕劑罩蓋23後，如第21C圖所述，作為金屬矽化物21之矽化鈷藉已知矽化物方法選擇性生長於源極/汲極14表面至約10毫微米厚度，如第19A及19B圖所示。

隨後可執行第19C，20A及20B圖之步驟而形成接觸孔18及19。

除第三具體例所述效果外，根據此項修改，當一罩蓋共通用於具有相反導電類型的各電晶體之離子植入及側壁13形成時，罩蓋數目及步驟數目可減少俾有效製造半導體

五、發明說明 (31)

體裝置。

(第四具體實施例)

本發明之第四具體實施例中說明其中第三具體實施例應用至具有周邊電路(邏輯電路)區之DRAM之例。本具體實施例中為求方便說明，將一起說明DRAM結構及其製法，如同第二具體實施例之DRAM之相同參考編號表示相同構件。

第22圖為示意平面圖顯示第四具體實施例之DRAM。第23A至29圖為示意剖面圖(沿第22圖之線I-I'所取)顯示根據第四具體實施例製造DRAM之各步驟。

首先，如第23A圖所示，為了界定一元件主動區於p型矽半導體基材101表面上，厚約10毫微米之初氧化物膜102經由於約850℃藉熱氧化形成於半導體基材101上。其次厚度約150毫微米厚度之氮化矽膜103藉CVD沉積。形成具有開口對應元件隔離區之抗蝕劑罩蓋(圖中未顯示)。氮化矽膜103及初氧化物膜102，以及然後半導體基材101被各向異性蝕刻達約300毫微米而形成根據元件隔離區之凹溝104。

如第23B圖所示，厚度約600毫微米之氧化矽膜藉CVD沉積而填補凹溝104。於氧化矽膜藉CMP使用氮化矽膜103作為擋止層拋光達約150毫微米後，去除氮化矽膜103。厚約10毫微米之保護性氧化物膜105經由於約850℃藉熱氧化形成於半導體基材101表面上，如此形成一凹溝型元件隔離結構106，具有凹溝104以氧化矽膜填補。此時元件隔離

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明 (32)

結構106界定一元件主動區，故形成作為第一區之記憶體晶胞107及作為第二區之周邊電路區(選極電路區)108。

如第23C圖所示，p型雜質(B：硼)及n型雜質(P：磷)於加速能200千電子伏特及800千電子伏特以及劑量分別為 1×10^{13} /平方厘米及 1×10^{13} /平方厘米通過保護性氧化物膜105離子植入記憶體晶胞區107及周邊電路區108因而形成p井區111及n井區112。

其次進行電晶體閾值(V_{th})控制之離子植入。例如於記憶體晶胞區107，硼離子係於加速能20千電子伏特及劑量 1×10^{13} /平方厘米植入。

於去除保護性氧化物膜105後，經由於約850°C藉熱氧化而於記憶體晶胞區107及周邊電路區108表面上形成厚約10毫微米之間極絕緣膜109。

循序形成厚70毫微米之DASI(攪雜非晶形矽)膜113，厚30毫微米之遮蔽金屬膜114，厚40毫微米之金屬膜115，厚40毫微米之氮化矽膜116作為抗反射膜，以及厚120毫微米之SAC氮化矽膜117。此等膜接受光刻術，以及隨後藉圖樣化蝕刻形成閘極電極118及119。閘極電極118係於記憶體晶胞區107形成，及閘極電極119係於周邊電路區108形成。第23C圖顯示跨元件隔離結構106之間極電極118及119。此等閘極電極係由元件主動區形成至元件隔離區，且於此剖面觀視僅形成於元件隔離結構106上。

其次離子植入p井區111及n井區112而形成LDD擴散層121a及121b(第一雜質擴散層)。於記憶體晶胞區107中，

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明 (33)

作為源極及汲極功能之閘極電極118及LDD擴散層121a組構一電晶體Tr1。

如第24A圖所示，於厚約30毫微米之氮化矽膜122藉CVD形成於全體表面上作為SAC被動膜後，厚約50毫微米之氧化矽膜123形成用以形成側壁。

如第24B圖所示，施用抗光蝕劑，抗蝕劑罩蓋124藉光刻術形成而遮蓋記憶體晶胞區107。整體表面藉各向異性蝕刻至周邊電路區108之LDD擴散層121表面暴露為止，如此形成氧化矽膜123製成之側壁125於周邊電路區108之閘極電極119之側面上。

如第24C圖所示，抗蝕劑罩蓋124藉灰化去除。n及p型雜質藉離子植入周邊電路區108之n及p通道側而形成源極/汲極126(n')及源極/汲極127(p')(第一及第二雜質擴散層)分別接合至LDD擴散層121a及121b。於周邊電路區108，形成包含閘極電極119及源極/汲極126(n')之n型電晶體Tr2(n)以及包含閘極電極119及源極/汲極127(p')之p型電晶體Tr2(p)。

氧化矽膜123及側壁125使用例如稀氫氟酸溶液去除。作為金屬矽化物128之矽化鈷藉已知矽化物方法選擇性生長於周邊電路區108之源極/汲極126(n')及源極/汲極127(p')暴露面上至約10毫微米厚度。

作為BLC被動膜，厚約30毫微米之氮化矽膜129藉CVD沉積於全體表面上，故於記憶體晶胞區107之閘極電極118中間空間未以氮化矽膜129及氮化矽膜122總厚度填補。厚

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明（ 34 ）

約600毫微米之氧化矽膜沉積而形成絕緣中間層131，填補閘極電極118及119中間空間。絕緣中間層131藉CMP(化學機械拋光)被拋光至約400毫微米而平面化表面。

隨後形成DRAM記憶體電容器之接觸孔(儲存電極接觸孔)。

如第25A圖所示，抗光蝕劑132施用於絕緣中間層131全體表面上，形成汲極接觸之開口132a係藉光刻術形成於抗光蝕劑132。

如第25B圖所示，使用抗光蝕劑132作為罩蓋，絕緣中間層131、氮化矽膜129、及記憶體晶胞區107之閘極絕緣膜109經各向異性蝕刻。即使於記憶體晶胞區107之閘極電極118中間間隔小，閘極電極118仍可藉氮化矽膜122及129保護不被蝕刻。使用此種方法，接觸孔133形成於記憶體晶胞區107而暴露出作為源極及汲極功能的LDD擴散層121a之表面。

於抗光蝕劑132藉灰化去除後，DASI沉積至約150毫微米厚度，故如第25C圖所示，接觸孔133被充分填補。DASI膜藉CMP拋光至絕緣中間層131表面暴露為止，如此形成接觸插塞134，其以DASI填補接觸孔133。

隨後，電晶體Tr1之位元接觸孔形成於記憶體晶胞區107，以及電晶體Tr2(n)及Tr2(p)之源極/汲極接觸孔形成於周邊電路區108。

如第26A圖所示，抗光蝕劑135施用於絕緣中間層131之全體表面上，以及位元接觸形成用之開口135a以及源極

五、發明說明（35）

/汲極接觸形成用之開口135b藉光刻術形成於光蝕劑135。

如第26B圖所示，使用抗光蝕劑135作為罩蓋、絕緣中間層131、氮化矽膜122及129、以及於記憶體晶胞區107及周邊電路區108之閘極絕緣膜109接受各向異性蝕刻。即使當記憶體晶胞區107之閘極電極118中間間隔小或周邊電路區108之閘極電極119中間間隔小時，閘極電極118及119藉氮化矽膜122及129保護不被蝕刻。使用此種方法，接觸孔(位元接觸孔)136形成於記憶體晶胞區107而暴露出作為源極/汲極之LDD擴散層121表面，以及形成接觸孔(源極/汲極接觸孔)137於周邊電路區108而暴露出金屬矽化物128表面。

於藉灰化去除抗光蝕劑135後，厚約30毫微米之遮蔽金屬膜138形成而遮蓋接觸孔136及137之內面，如第27A圖所示。形成金屬膜充分填補接觸孔136及137，然後藉CMP拋光至絕緣中間層131表面暴露為止，如此形成接觸插塞151及152及分別以金屬膜填補接觸孔136及137。

其次於絕緣中間層131上循序形成厚30毫微米之遮蔽金屬膜153，厚80毫微米之金屬膜154，厚50毫微米之氧氮化矽膜155且作為抗反射膜，以及厚130毫微米之氮化矽膜156。此等膜藉光刻術圖樣化，隨後蝕刻形成連結至接觸插塞151之位元線157及連結至接觸插塞152之互連層158。

厚約30毫微米之氮化矽膜沉積於全體表面上。隨後全體表面經各向異性蝕刻而形成側壁159於位元線157及互連層158之各自之側面上。

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明（ 36 ）

其次形成記憶體電容器171經由插塞134連結至電晶體141於記憶體晶胞區107之LDD擴散層121。如27B圖所示，厚約600毫微米之氧化矽膜沉積而內嵌位元線157及互連層158形成絕緣中間層161。表面藉CMP拋光及平面化。

為了連結接觸插塞134，藉光刻術於絕緣中間層161形成開口以及隨後蝕刻形成接觸孔162。

DASI被沉積至約150毫微米厚度而充分填補接觸孔162以及藉CMP拋光至絕緣中間層161表面暴露為止，藉此形成接觸插塞163，其以DASI填補接觸孔162以及連結至接觸插塞134。

如第28圖所示，DASI沉積於絕緣中間層161至約700毫微米厚度，以及藉光刻術圖樣化及隨後蝕刻形成儲存節點電極164連結至接觸插塞163。

氧化鈮、氮化矽或氧氮化矽藉CVD沉積至約5毫微米厚度形成介電膜165，遮蓋儲存節點電極164。隨後DASI沉積至約100毫微米厚度。DASI及下方之介電膜165藉光刻術圖樣化以及隨後蝕刻形成晶胞板電極166。完成記憶體電容器171，其中儲存節點電極164及晶胞板電極166係經由電介質膜165電容耦合。

上互連層181藉圖樣化形成。

如第29圖所示，厚約1,000毫微米之氧化矽膜沉積而形成絕緣中間層167其嵌置記憶體電容器171。表面藉CMP拋光及平面化。

（請先閱讀背面之注意事項再填寫本頁）

裝 · 訂 · 線

五、發明說明 (37)

第28圖顯示連結至位元線157及158之接觸孔形成於絕緣中間層167及161，以及形成金屬膜(金屬膜、接觸孔及遮蔽金屬膜於圖中未顯示)經由遮蔽金屬填補接觸孔，如接觸插塞151及152。

厚約30毫微米之遮蔽金屬膜172以及厚約400毫微米之金屬膜173循序形成且藉光刻術圖樣化以及隨後蝕刻形成上互連層181。隨後形成被動膜174遮蓋整個表面，如此完成DRAM。

本發明非僅限於前述具體實施例。例如雖然上互連層181係由單層形成，但可形成具有二或多層之多層結構的互連層。本發明不僅可應用於DRAM同時也可應用於非依電性半導體記憶體如快閃記憶體。

如前述，根據本具體實施例之DRAM製法，於周邊電路區108之電晶體Tr2(n)及Tr2(p)之源極及汲極的矽化反應以及自行對正技術例如BLC或SAC可同時用來提高集成程度以及改良DRAM性能(改良操作速度)，該DRAM具有金屬矽化物21於電晶體Tr2(n)及Tr2(p)之周邊電路區108。

此外由於具有足夠厚度之側壁125可於周邊電路區108對電晶體形成，故可組構具有穩定特性之電晶體。此外，當於作為第二被動膜之氮化矽膜122及129形成前，於記憶體晶胞區107之絕緣膜121及於周邊電路區108之側壁125被去除時，作為第一及第二被動膜之氮化矽膜122及129形成於閘極電極118及119於記憶體晶胞區107及周邊電路區108之側面上。因此理由故，不僅SAC之氮化矽膜122同

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明 (38)

時BLC之氮化矽膜129也可用作為SAC被動膜。如此可進一步改良形成於記憶體晶胞區107及周邊電路區108之接觸孔(連結孔)133, 136及137之崩潰電壓。

-修改-

後文說明第四具體實施例之修改。具有與第四具體實施例之半導體裝置相同的參考編號表示本修改例中相同的構件, 且將刪除其細節說明。

本修改例中於周邊電路區108形成n及p型電晶體Tr2(n)及Tr2(p)時, 側壁125及源極/汲極126(n')及源極/汲極127(p')係連續形成。

特別, 於第23A至23C及24A圖所示步驟後, 形成抗蝕劑罩蓋201, 其有一開口僅對應於周邊電路區108預期作為n型電晶體Tr2(n)之閘極電極119, 如第30A圖所示。於根據第24B圖之相同程序形成側壁125後, n型雜質經離子植入而形成n型源極/汲極126(n')。

其次如第30B圖所示, 於藉灰化去除抗蝕劑罩蓋201後形成抗蝕劑罩蓋202, 其有一開口僅對應於周邊電路區108預期作為p型電晶體Tr2(p')之閘極電極119。側壁125係以類似方式形成, 然後p型雜質經離子植入而形成p型源極/汲極127(p')。n型電晶體及p型電晶體的處理(側壁形成及離子植入)可以相反順序進行。

於抗蝕劑罩蓋202藉灰化去除後, 作為金屬矽化物208之矽化鈷藉已知矽化物方法如第24C圖所示, 選擇性生長於源極/汲極126(n')及源極/汲極127(p')表面至約10毫微米

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明（ 39 ）

厚度。隨後形成絕緣中間層131及其表面經平面化。

隨後執行第25A至29圖步驟而完成DRAM。

除第四具體例所述效果外，根據本修改例，當一罩蓋共通用於具有相反導電類型之電晶體Tr2(n)及Tr2(p)之離子植入以及形成側壁125時，罩蓋數目及步驟數目可減少俾有效製造DRAM。

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明（ 40 ）

元件標號對照

1...p型半導體基材	2...元件隔離結構
3-4...區	5...閘極絕緣膜
6-7...閘極電極	8-9...LDD擴散層
10...氮化矽膜	11...氧化矽膜
12...抗蝕劑罩蓋	13...側壁
14...源極/汲極	15...氮化矽膜
16...絕緣中間層	17...抗光蝕劑
17a...開口	18-9...接觸孔
21...金屬矽化物	22-3...抗蝕劑罩蓋
31...氮化矽膜	101...p型半導體基材
102...初氧化物膜	103...氮化矽膜
104...凹溝	105...保護性氧化物膜
106...凹溝型元件隔離結構	107...記憶體晶胞區
108...周邊電路區	109...閘極絕緣膜
111...p井區	112...n井區
113...DASI膜	114...遮蔽金屬膜
115...金屬膜	116...氧氮化矽膜
117...SAC氮化矽膜	118-9...閘極電極
121a-b...LDD擴散層	122...氮化矽膜
123...氧化矽膜	124...抗蝕劑罩蓋
125...側壁	126-7...源極和汲極
128...金屬矽化物	129...氮化矽膜

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明 (41)

- | | |
|----------------|---------------|
| 131...絕緣中間層 | 132...抗光蝕劑 |
| 132a...開口 | 133...接觸孔 |
| 134...接觸插塞 | 135...抗光蝕劑 |
| 135a-b...開口 | 136...位元接觸孔 |
| 137...源極/汲極接觸孔 | 138...遮蔽金屬膜 |
| 151-2...接觸插塞 | 153...遮蔽金屬膜 |
| 154...金屬膜 | 155...氮化矽膜 |
| 156...氮化矽膜 | 157...位元線 |
| 158...互連層 | 159...側壁 |
| 141...電晶體 | 161...絕緣中間層 |
| 162...接觸孔 | 163...接觸插塞 |
| 164...儲存節點電極 | 165...電介質膜 |
| 166...晶胞板電極 | 167...絕緣中間層 |
| 171...記憶體電容器 | 172...遮蔽金屬膜 |
| 173...金屬膜 | 174...被動膜 |
| 181...上互連層 | 201-2...抗蝕劑罩蓋 |
| 203...抗光蝕劑 | 203a...開口 |
| 204...抗蝕劑罩蓋 | 301...閘極電極 |
| 302...元件間隔 | 303...氮化物膜 |
| 304...側壁 | 305...BLC氮化物膜 |

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

四、中文發明摘要 (發明之名稱： 半導體元件及其製造方法)

於SAC膜形成至未填補記憶體晶胞區之閘極電極間空間厚度後，氧化矽膜形成至可填補該空間的厚度。氧化矽膜製成的側壁形成於僅周邊電路區之閘極電極側面上，金屬矽化物形成於基材暴露面上。BLC膜形成於全體表面上。接觸孔形成為使用SAC膜及BLC膜自行對正。此種方法中，於周邊電路區電晶體之源極/汲極矽化，以及自行對正技術例如BLC或SAC可同時用於致能集成程度的增高以及改良具有金屬矽化物於邏輯電路電晶體上之半導體裝置的性能。

英文發明摘要 (發明之名稱： SEMICONDUCTOR DEVICE AND METHOD OF MANUFACTURING THE SAME)

After an SAC film is formed to a thickness not to fill the spaces between gate electrodes in a memory cell region, a silicon oxide film is formed to a thickness to fill the spaces. A side wall made of a silicon oxide film is formed on the side surface of only a gate electrode in a peripheral circuit region, and a metal silicide is formed on the exposed substrate surface. A BLC film is formed on the entire surface. A contact hole is formed in self alignment using the SAC film and the BLC film. In this method, silicidation of the source/drain of a transistor in the peripheral circuit region and the self-alignment technique such as BLC or SAC can be simultaneously used to enable an increase in the degree of integration and improvement of performance of a semiconductor device having a metal silicide on the transistor in the logic circuit.

經濟部智慧財產局員工消費合作社印製

(請先閱讀背面之注意事項再填寫本頁各欄)

裝
訂
線

六、申請專利範圍

1. 一種製造一半導體裝置之方法，包含下列步驟：形成閘極電極於一半導體基材上之第一區及一閘極電極於半導體基材上之第二區，然後形成第一雜質擴散層於第一及第二區之閘極電極兩邊；

形成一第一被動膜於第一及第二區；

形成一絕緣膜於第一及第二區；

處理於第二區之絕緣膜而形成一側壁於第二區之閘極電極兩邊因而暴露出於側壁兩邊之半導體基材的一面；

於暴露於側壁兩邊之半導體基材形成一第二雜質擴散層，其部分重疊於第一雜質擴散層；

形成一第二被動膜於第一及第二區；以及

形成一第一連結孔用以暴露於第一區之第一雜質擴散層，以及經由使用第一及第二被動膜形成第一連結孔用以暴露於第一區之第一雜質擴散層，以及一第二連結孔用以暴露第二區之第二雜質擴散層。

2. 如申請專利範圍第1項之方法，進一步包含於形成第二雜質擴散層後形成一金屬矽化物膜於第二雜質擴散層之步驟，

當形成第二連結孔時，金屬矽化物膜暴露於第二區。

3. 如申請專利範圍第1項之方法，其中第一及第二被動膜係由具有相同蝕刻特性之材料製成，以及形成第一及第二連結孔之步驟包括下述步驟，各向異性蝕刻一絕

六、申請專利範圍

緣中間層，該絕緣中間層形成為具有厚度可嵌置閘極電極於第一及第二區，以及於對第一及第二被動膜材料具有低選擇性之條件下形成第二被動膜於第一區側上，因而穿孔中間層及第二被動膜，以及然後於對第一及第二被動膜材料具有高選擇性之條件下各向異性蝕刻絕緣膜。

4. 如申請專利範圍第3項之方法，進一步包含下述步驟，於絕緣中間層形成後，藉化學機械拋光平面化絕緣中間層表面，

絕緣中間層經拋光至於第一區側上於閘極電極上之第二被動膜於化學機械拋光被去除為止。

5. 如申請專利範圍第1項之方法，其中形成一罩蓋，具有一開口於第一區以及於第二被動膜形成後遮蓋第二區，以及使用該罩蓋去除於第一區側上之第二被動膜。
6. 一種製造一半導體裝置之方法，包含下列步驟：

形成閘極電極於一半導體基材上之第一區及一閘極電極於半導體基材上之第二區，然後形成第一雜質擴散層於第一及第二區之閘極電極兩邊；

形成一第一被動膜於第一及第二區；

形成一絕緣膜於第一及第二區；

處理於第二區之絕緣膜而形成一側壁於第二區之閘極電極兩邊因而暴露出於側壁兩邊之半導體基材的一面；

於暴露於側壁兩邊之半導體基材形成一第二雜質

六、申請專利範圍

擴散層，其部分重疊於第一雜質擴散層，及然後去除第一區之絕緣膜及第二區之側壁；形成一第二被動膜於第一及第二區；

以及形成一第一連結孔用以暴露於第一區之第一雜質擴散層；以及

經由使用第一及第二被動膜形成第一連結孔用以暴露於第一區之第一雜質擴散層，以及一第二連結孔用以暴露第二區之第二雜質擴散層。

7. 如申請專利範圍第6項之方法，進一步包含於形成第二雜質擴散層後形成一金屬矽化物膜於第二雜質擴散層之步驟，

當形成第二連結孔時，金屬矽化物膜暴露於第二區。

8. 一種半導體裝置具有第一及第二區，其中形成具有閘極電極帶有源極/汲極之元件，其中

一第一被動膜形成至不致於填補第一區之介於閘極電極間的空間之厚度，以及一絕緣膜形成於第一被動膜上而填補於第一區之閘極電極中間的空間，

一側壁僅形成於第二區之閘極電極上，一金屬矽化物膜係形成於第二區之源極/汲極上，以及一第二被動膜係形成為覆蓋第二區之閘極電極包括側壁，以及

第一及第二連結孔形成為由側面暴露出第一及第二被動膜部分，以及形成互連來電連結於第一區之源極/汲極以及金屬矽化物膜貫穿第一及第二連結孔。

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

六、申請專利範圍

9. 一種半導體裝置具有第一及第二區，其中形成具有閘極電極帶有源極/汲極之元件，其中

第一及第二被動膜形成於第一及第二區至未填補第一區之閘極電極中間空間的總厚度，

第一及第二被動膜係形成為可覆蓋第一區之全體表面，

第一被動膜僅形成於第二區之閘極電極上且接近閘極電極之一側面，一金屬矽化物膜係形成於第二區之源極/汲極上，以及第二被動膜係形成為覆蓋全體表面，以及

第一及第二連結孔係形成為由側面暴露第一及第二被動膜部分，以及形成互連來電連結於第一區之源極/汲極以及貫穿第一及第二連結孔之金屬矽化物膜。

10. 一種製造一半導體裝置之方法，包含下列步驟：形成閘極電極於一半導體基材上之第一區及一閘極電極於半導體基材上之第二區，然後形成第一雜質擴散層於第一及第二區之閘極電極兩邊；

形成一第一被動膜於第一及第二區；

形成一絕緣膜於第一及第二區；

處理於第二區之絕緣膜而形成一側壁於第二區之閘極電極兩邊因而暴露出於側壁兩邊之半導體基材的一面；

於暴露於側壁兩邊之半導體基材形成一第二雜質擴散層，其部分重疊於第一雜質擴散層；

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

六、申請專利範圍

形成一第二被動膜於第一及第二區；以及

形成一第一連結孔用以暴露於第一區之第一雜質擴散層，以及經由使用第一及第二被動膜形成第一連結孔用以暴露於第一區之第一雜質擴散層，以及一第二連結孔用以暴露第二區之第二雜質擴散層。

11. 如申請專利範圍第10項之方法，進一步包含於形成第二雜質擴散層後形成一金屬矽化物膜於第二雜質擴散層之步驟，

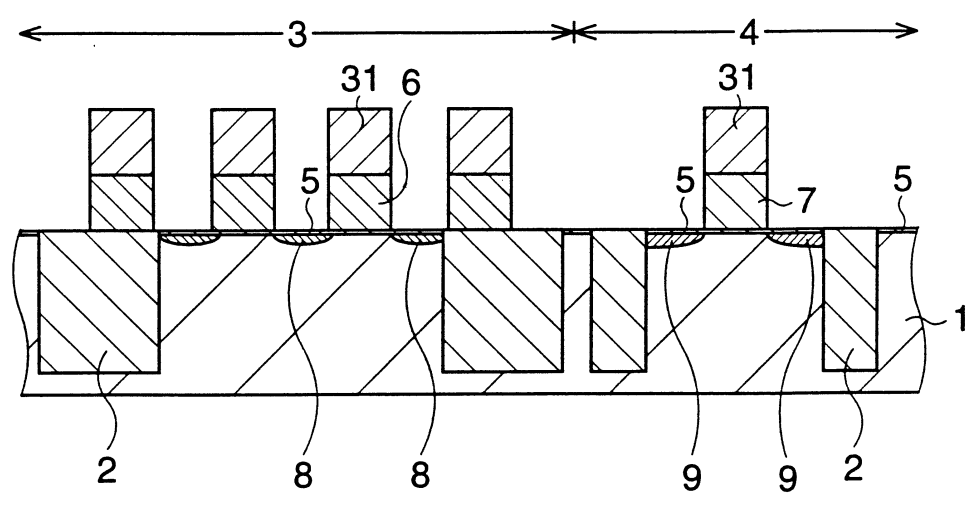
當形成第二連結孔時，金屬矽化物膜暴露於第二區。

12. 如申請專利範圍第10項之方法，其中該第二被動膜係形成至不會填補第二區之閘極電極中間空間之厚度，同時於第二雜質擴散層形成後，留下於第一區之絕緣膜及於第二區之側壁。

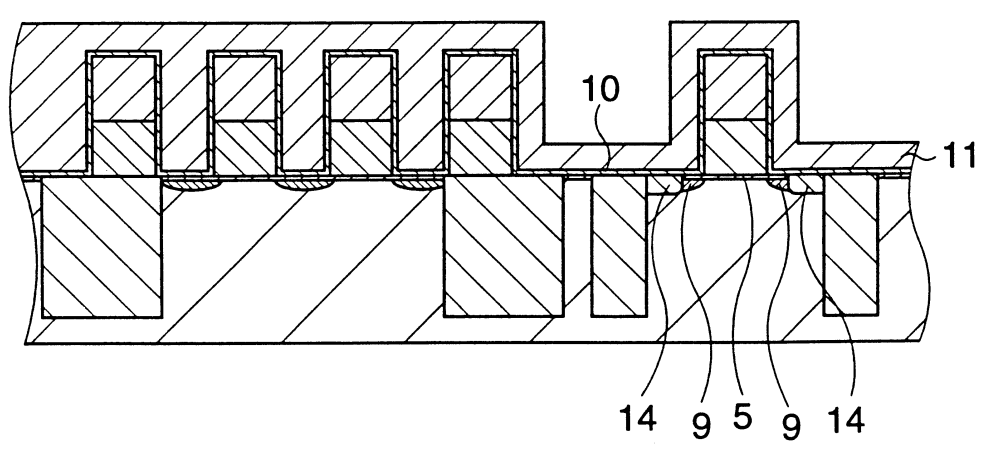
13. 如申請專利範圍第10項之方法，其中於形成第二雜質擴散層後，形成於第一區之絕緣膜及於第二區之側壁，以及第二被動膜被形成至不會填補第一區之閘極電極中間空間之厚度。

89106633

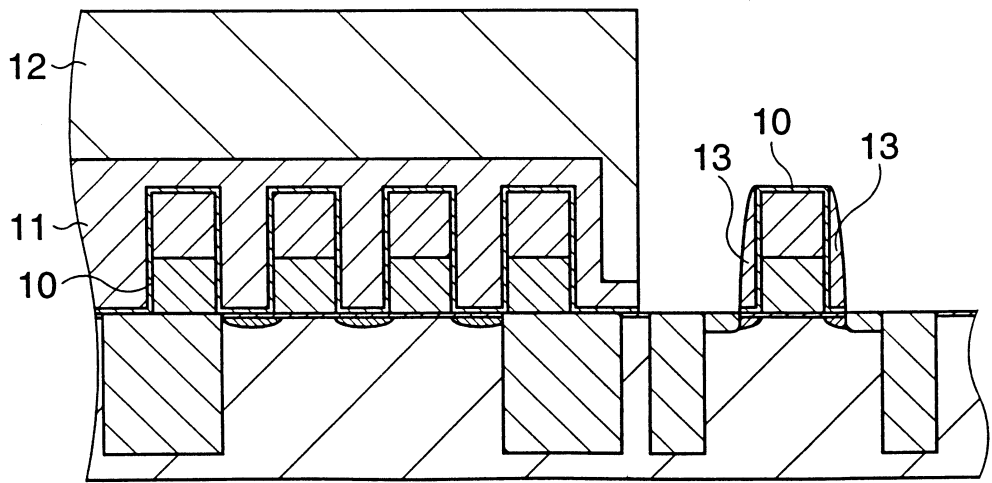
第 1A 圖



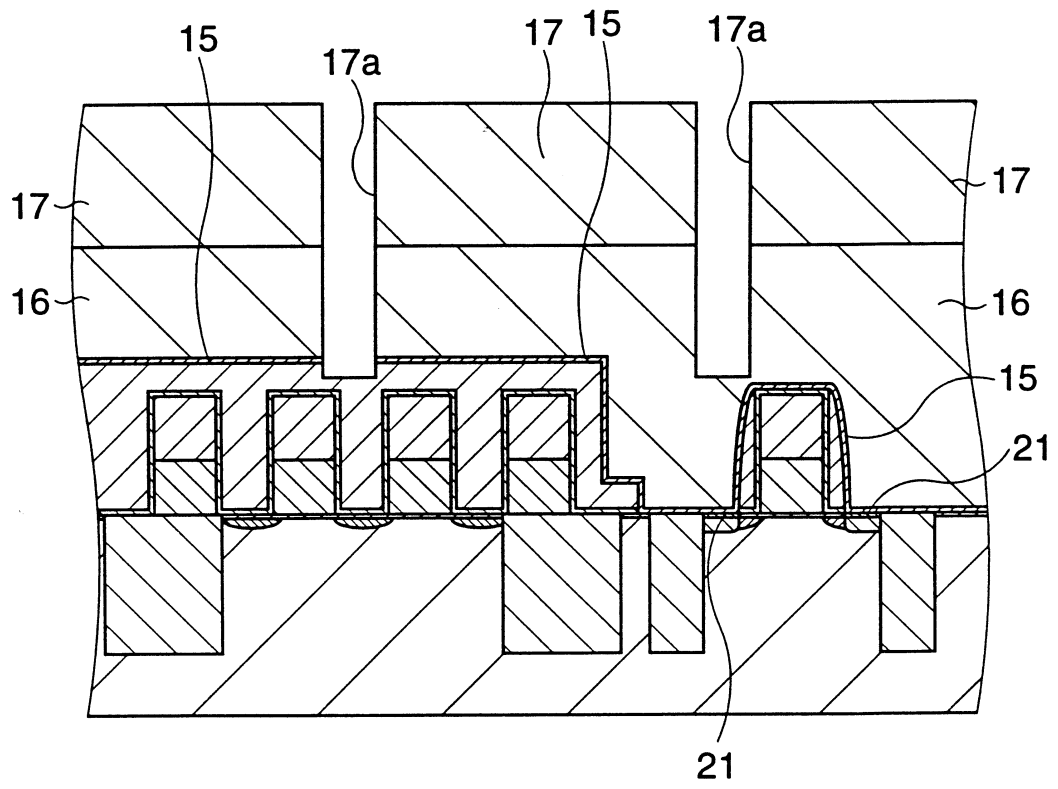
第 1B 圖



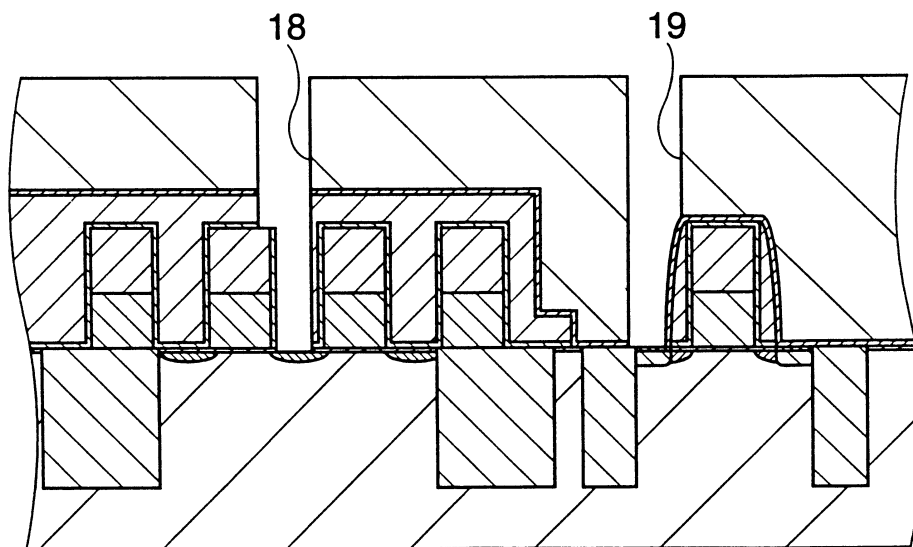
第 1C 圖



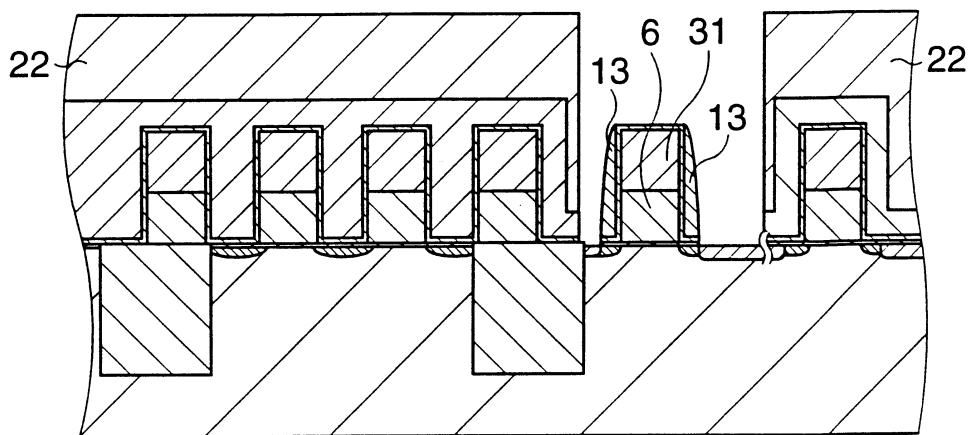
第 2A 圖



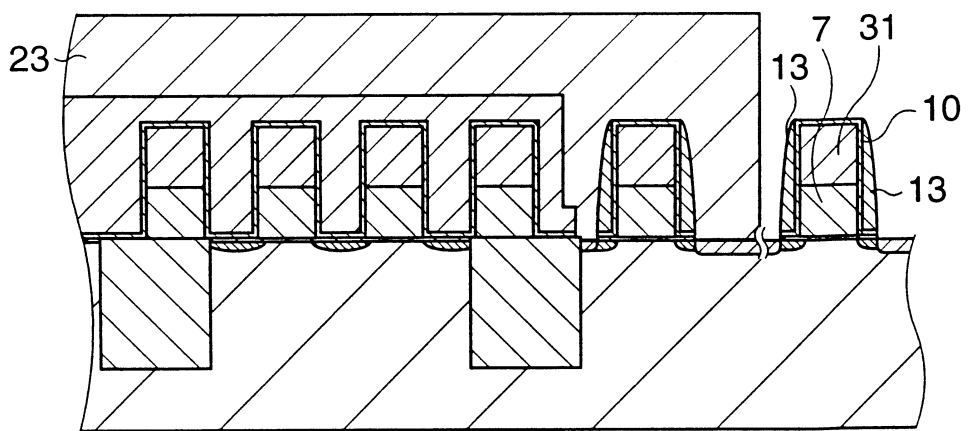
第 2B 圖



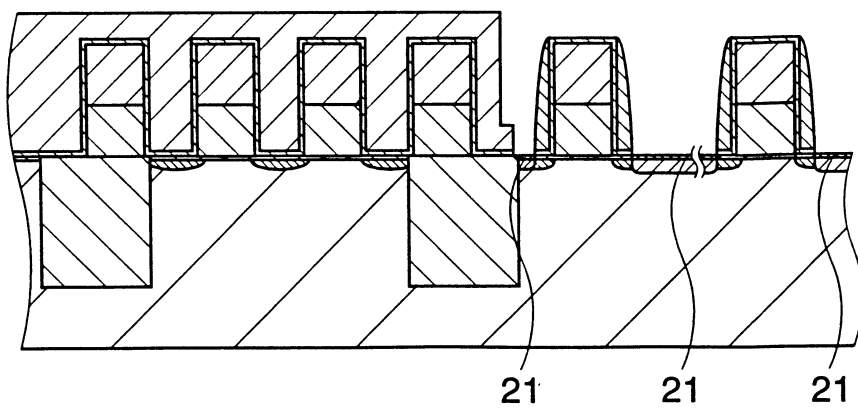
第 3A 圖



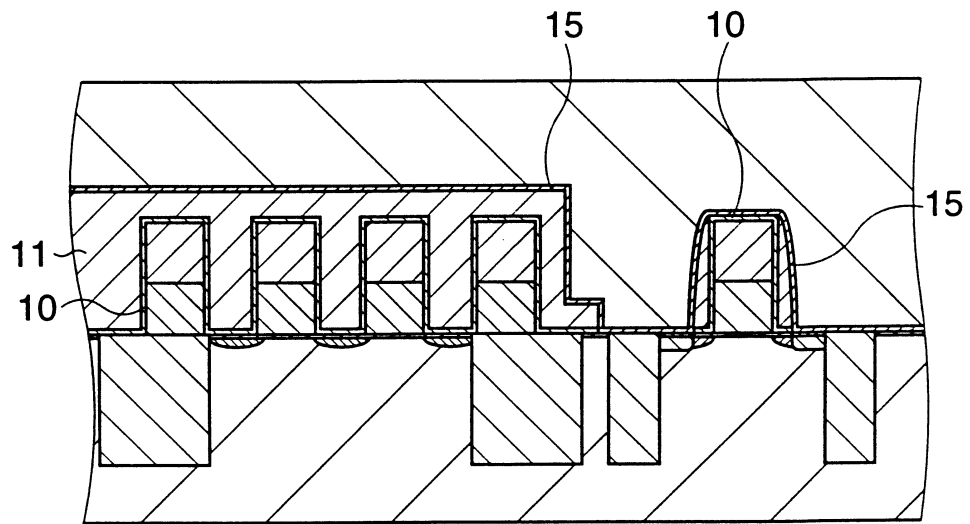
第 3B 圖



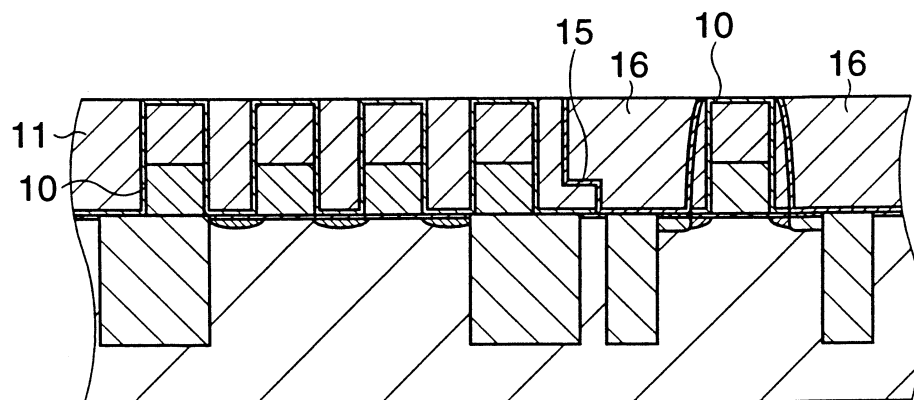
第 3C 圖



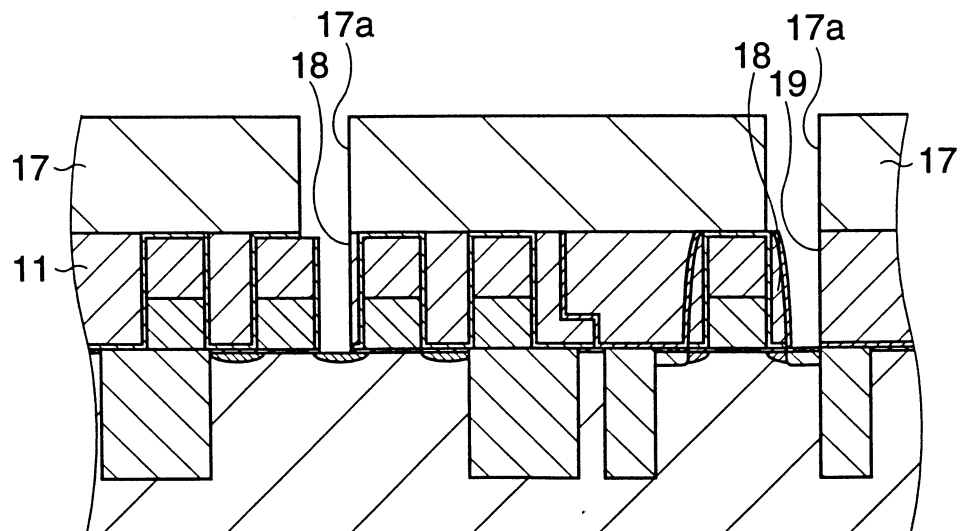
第 4A 圖



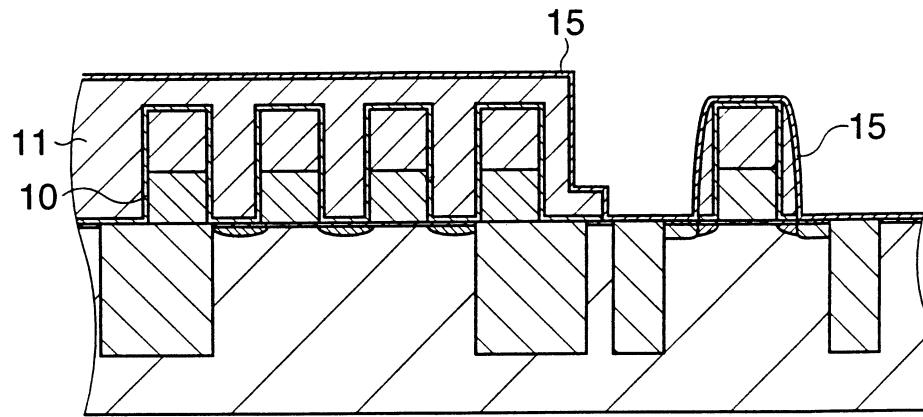
第 4B 圖



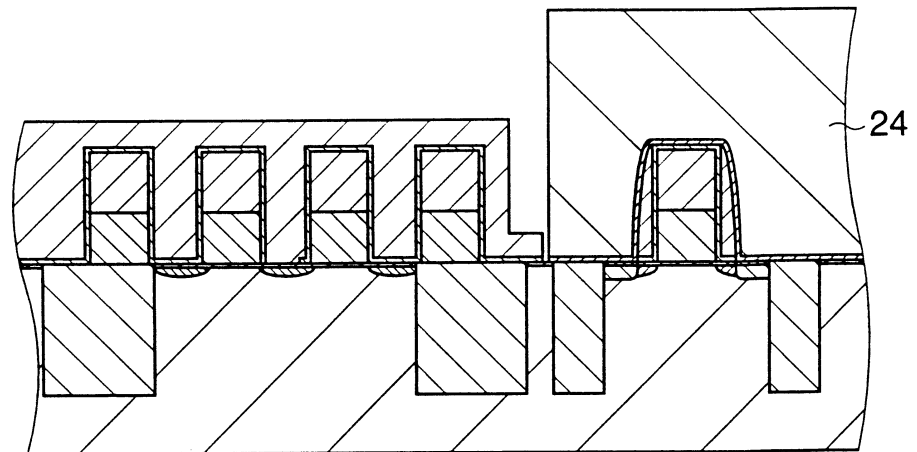
第 4C 圖



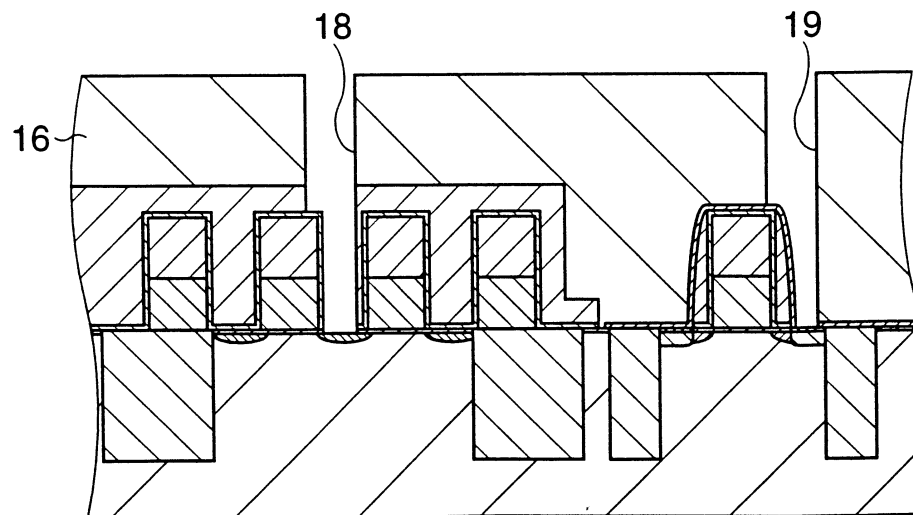
第 5A 圖



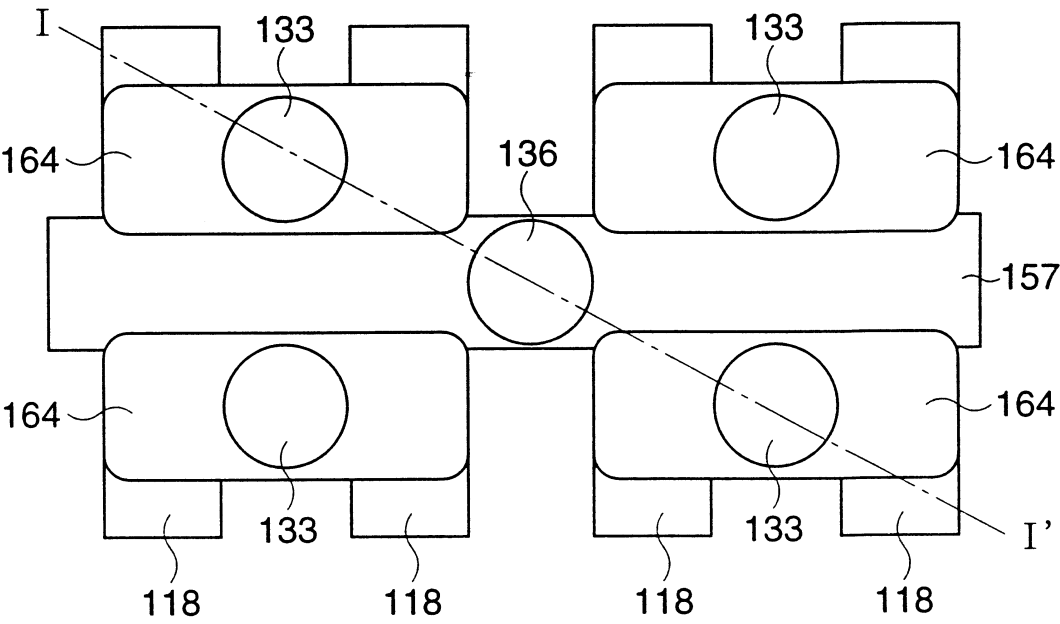
第 5B 圖



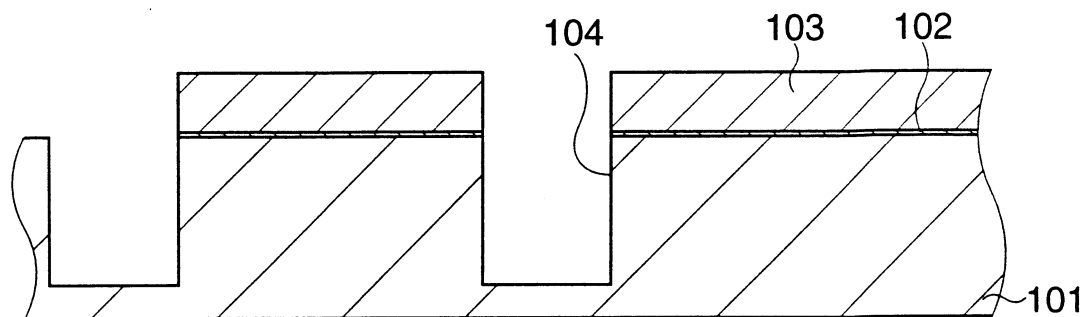
第 5C 圖



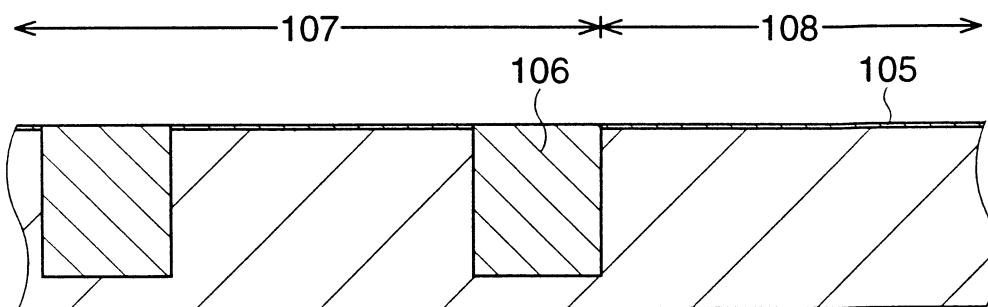
第 6 圖



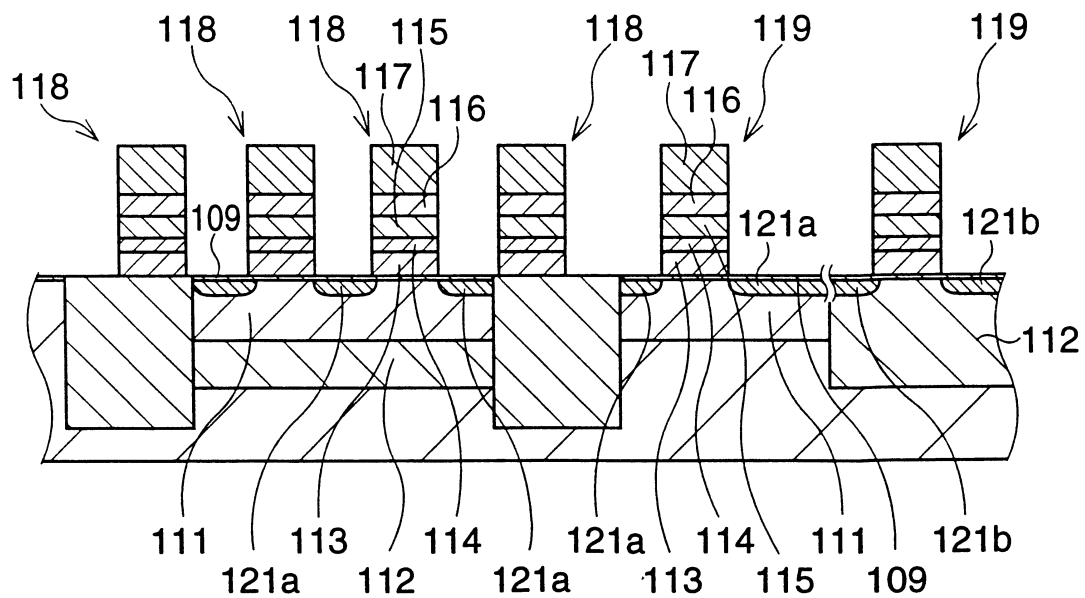
第 7A 圖



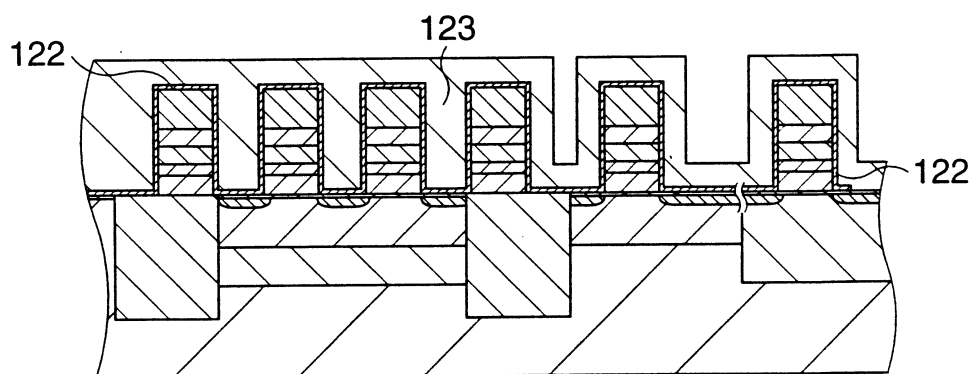
第 7B 圖



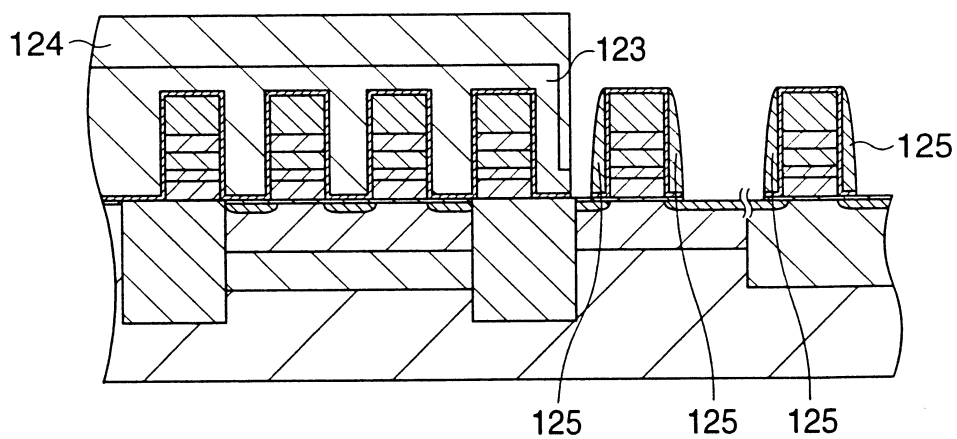
第 7C 圖



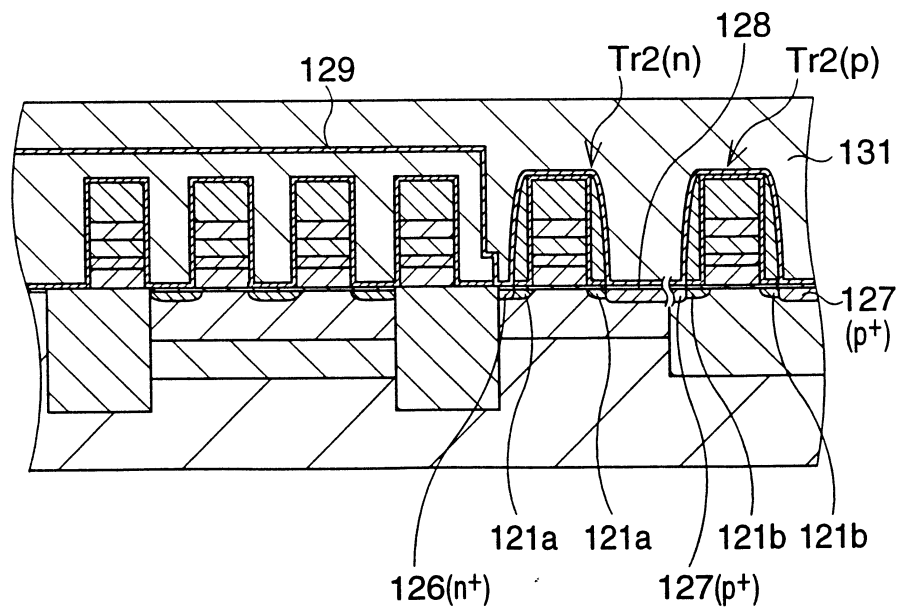
第 8A 圖



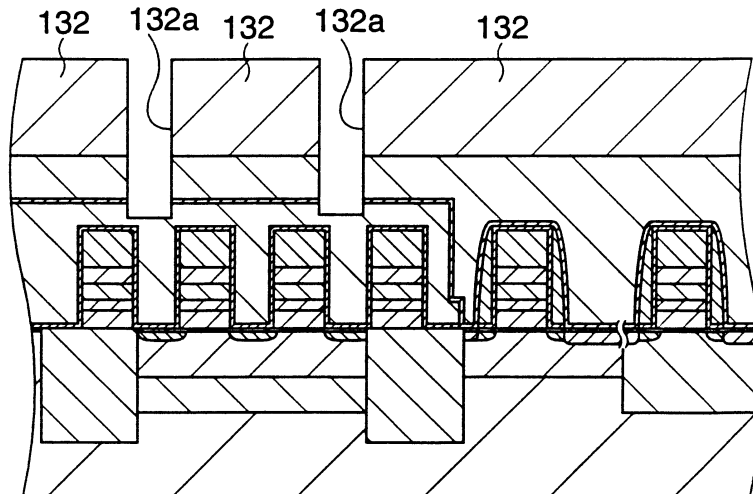
第 8B 圖



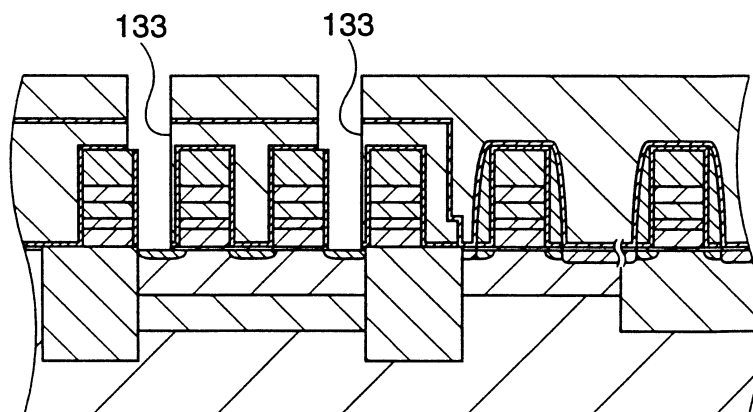
第 8C 圖



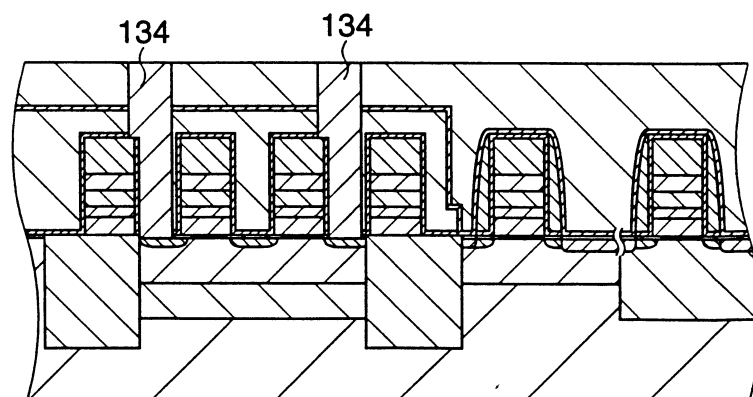
第 9A 圖



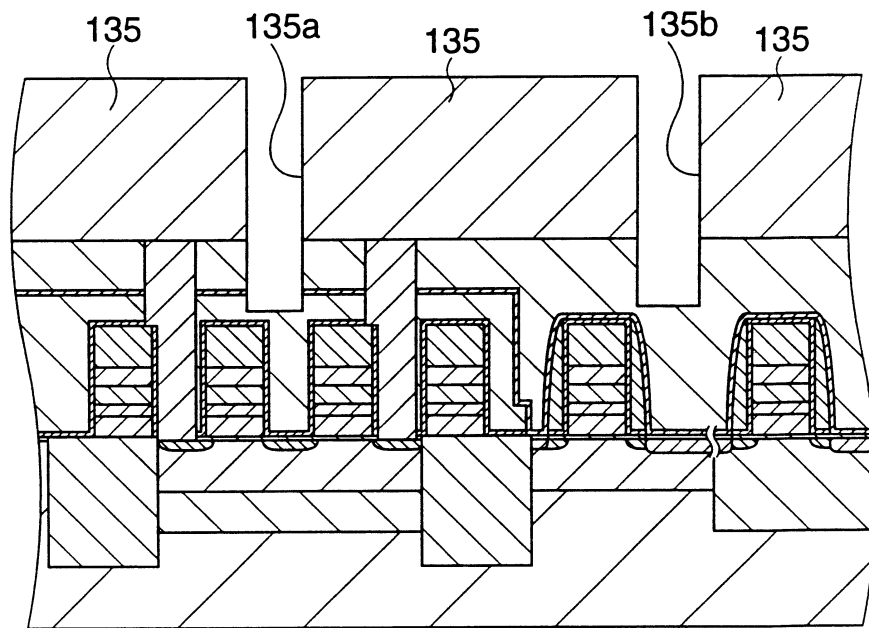
第 9B 圖



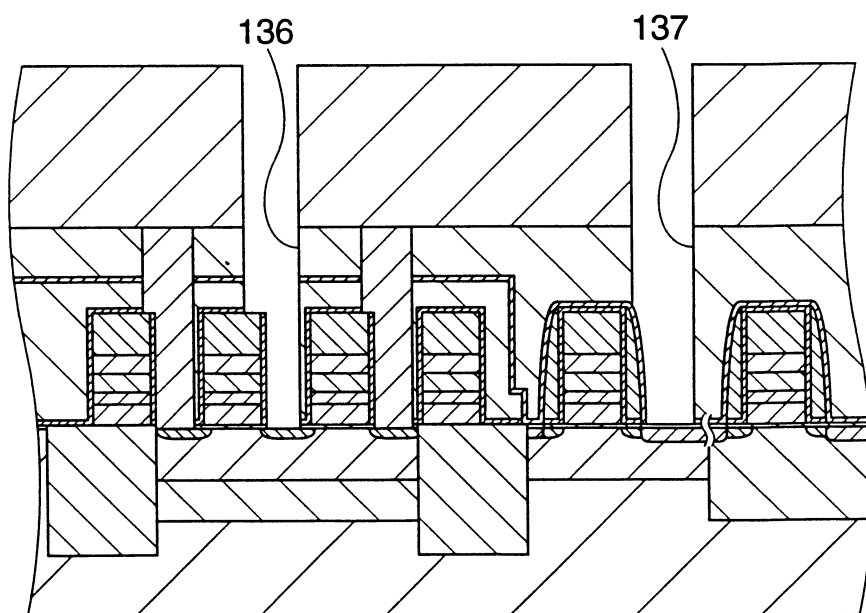
第 9C 圖



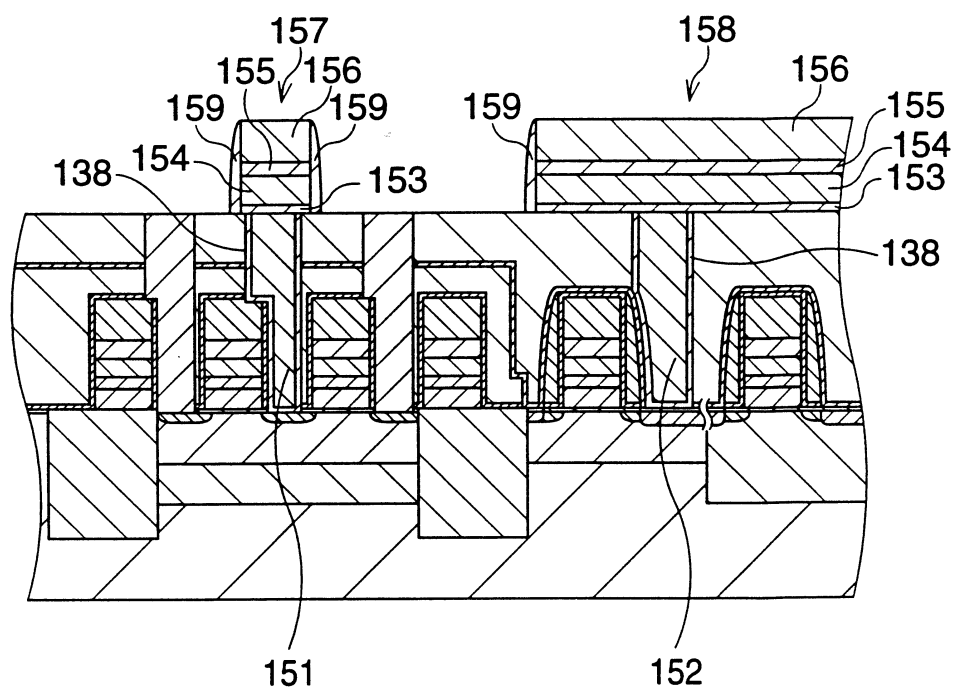
第 10A 圖



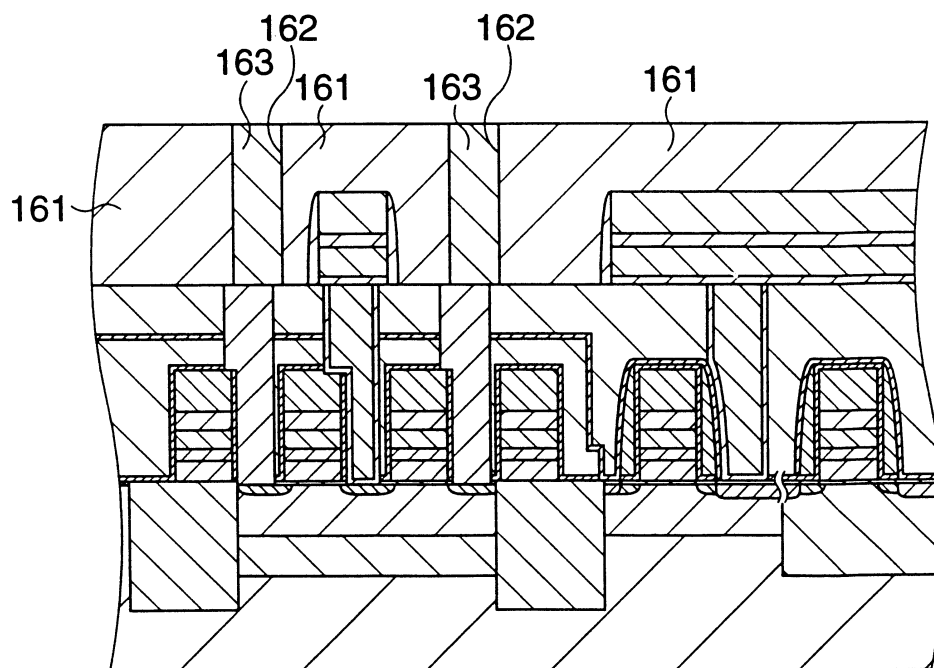
第 10B 圖



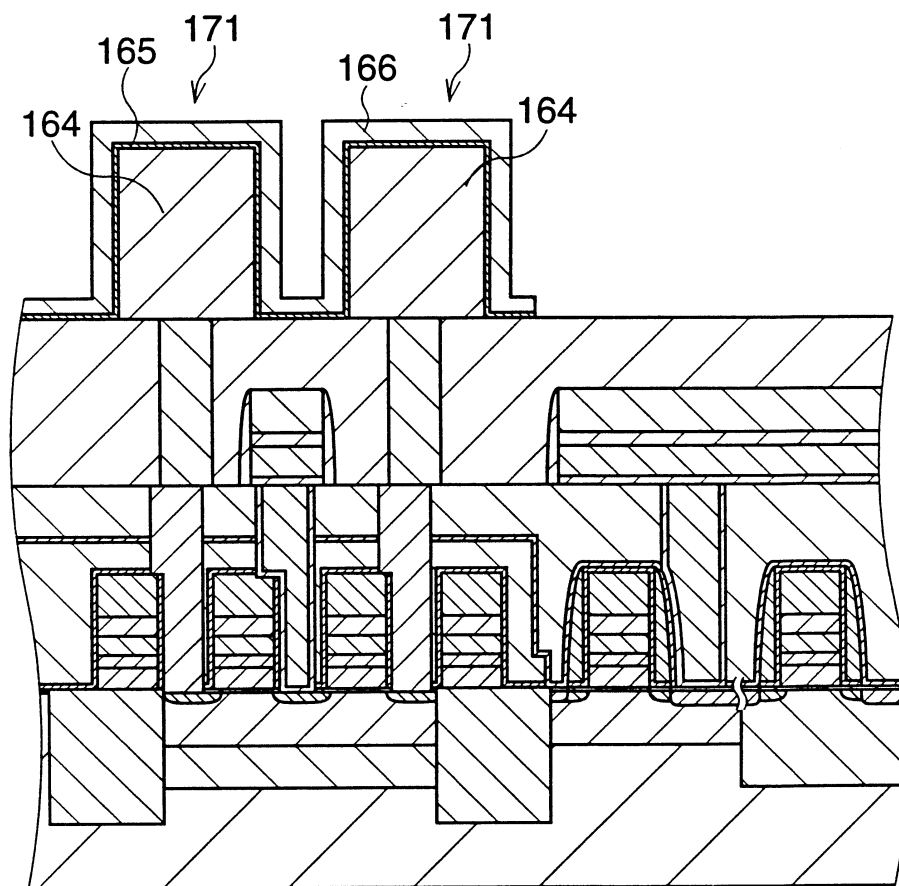
第 11A 圖



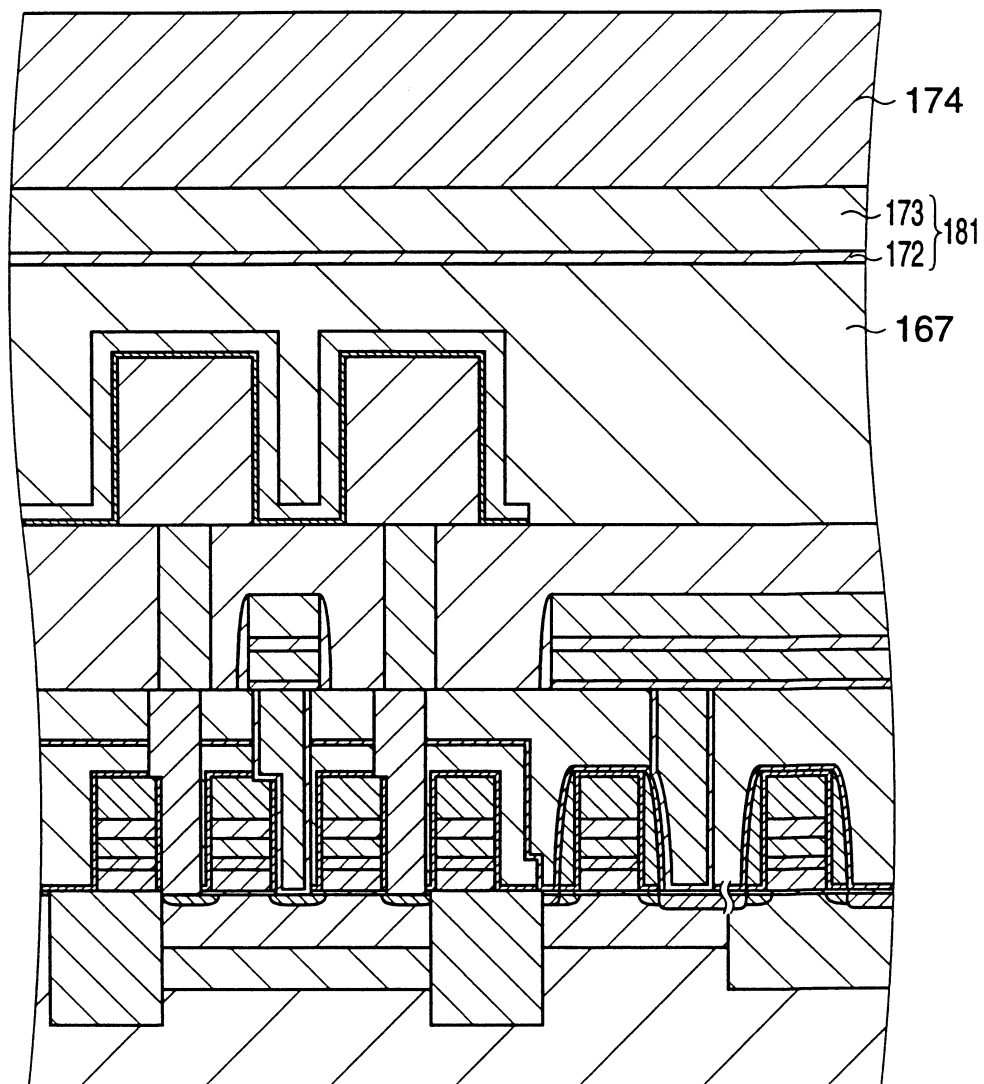
第 11B 圖



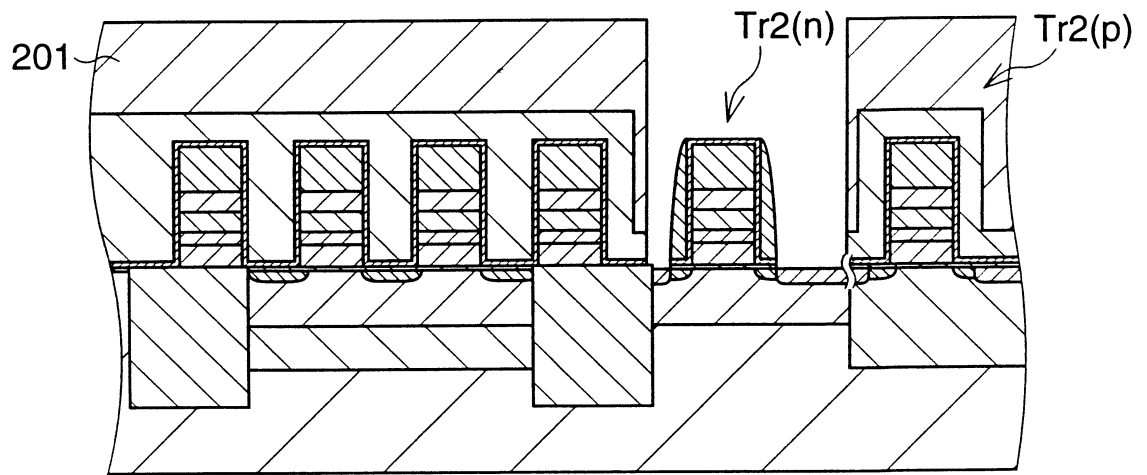
第 12 圖



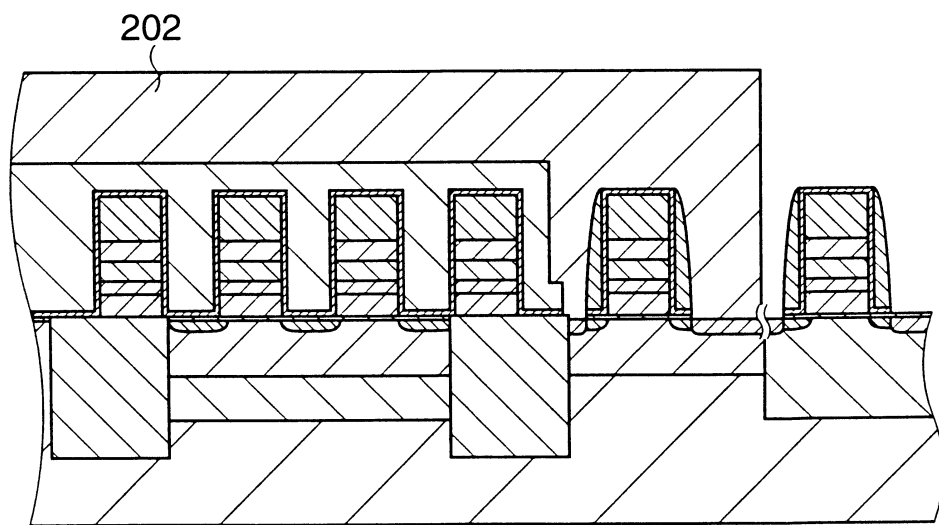
第 13 圖



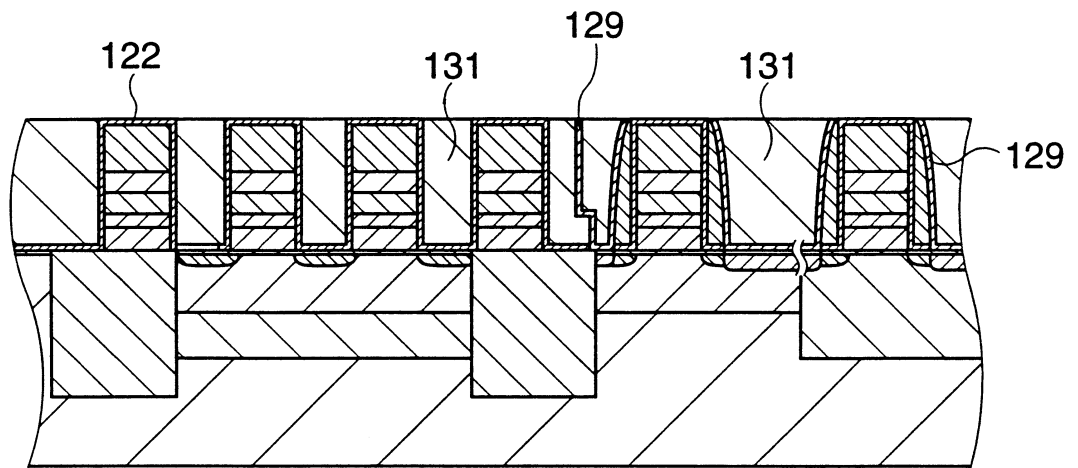
第 14A 圖



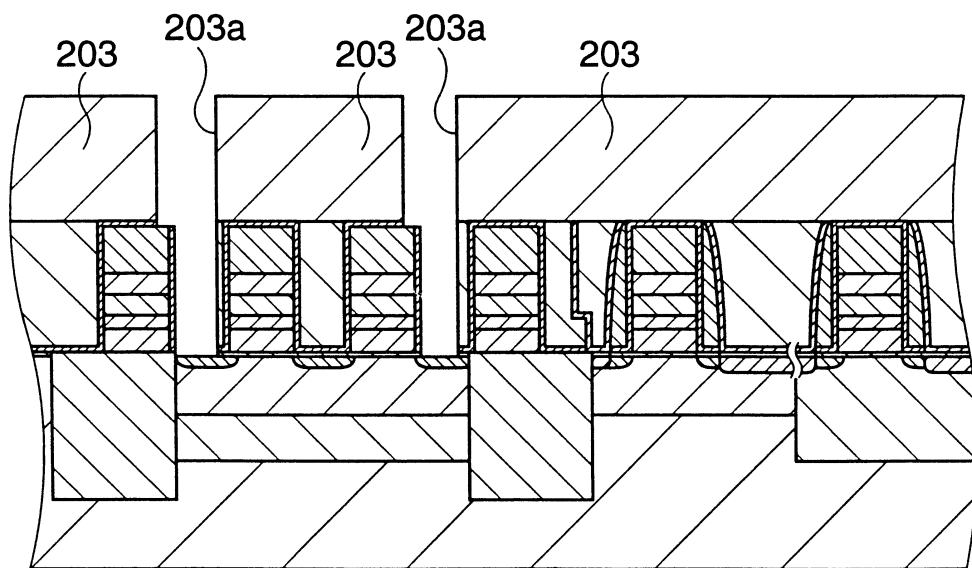
第 14B 圖



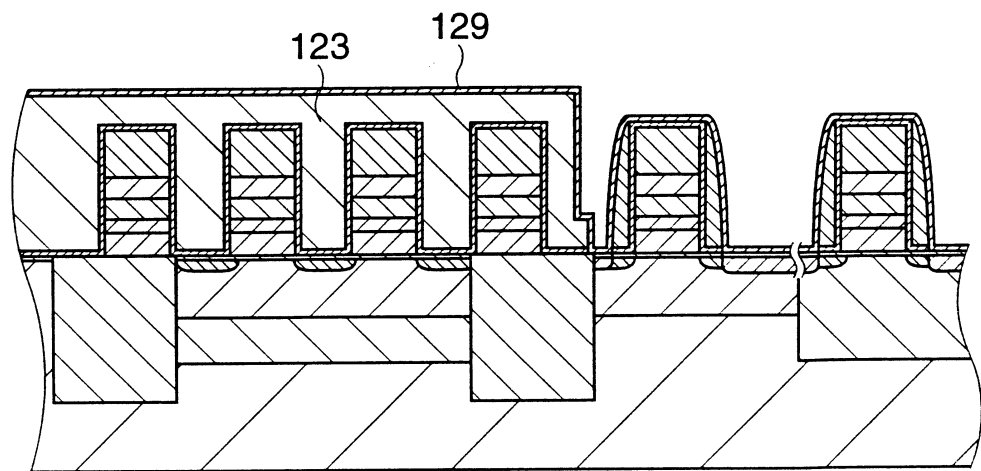
第 15A 圖



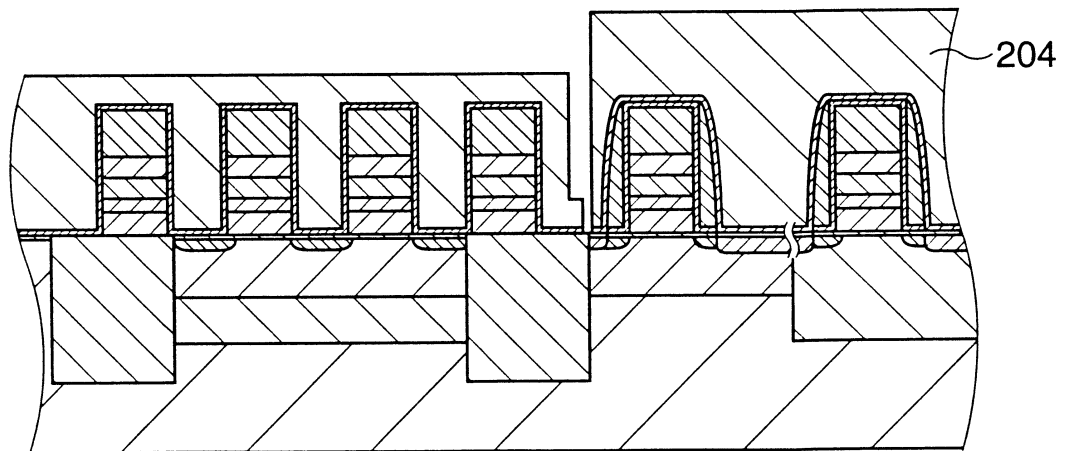
第 15B 圖



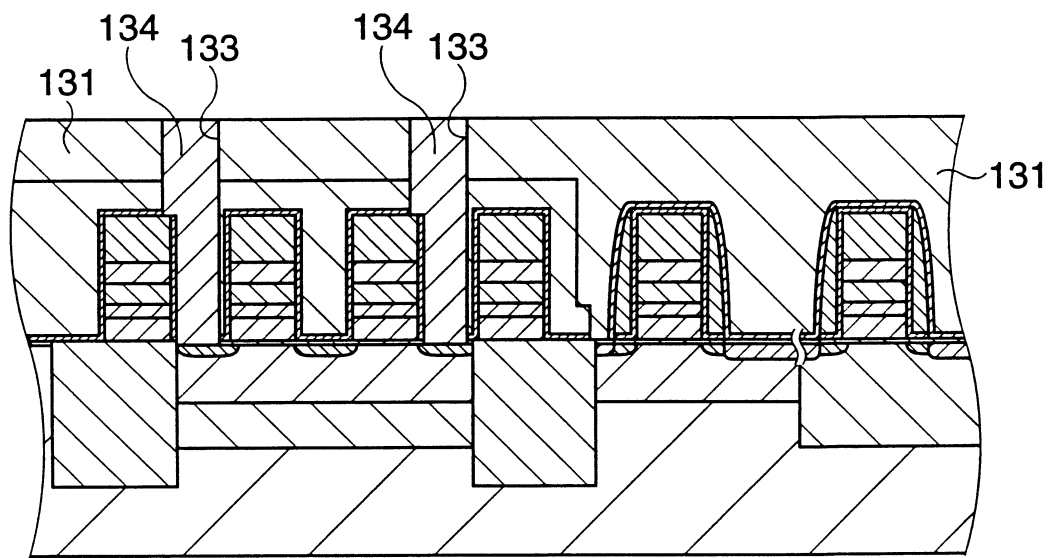
第 16A 圖



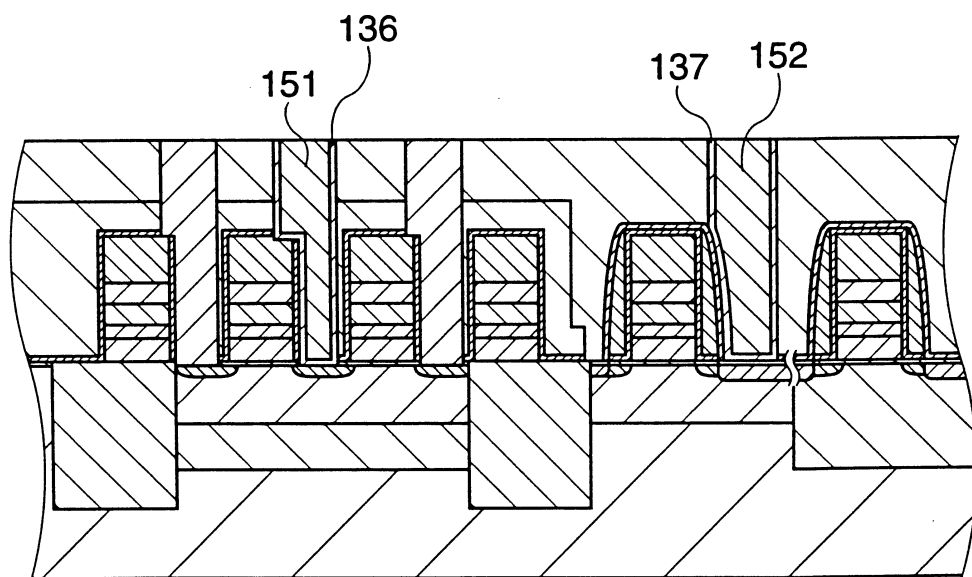
第 16B 圖



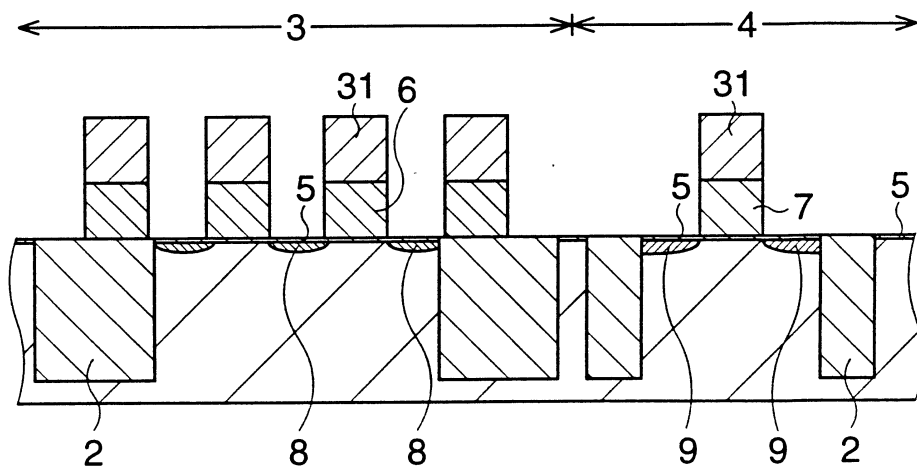
第 17A 圖



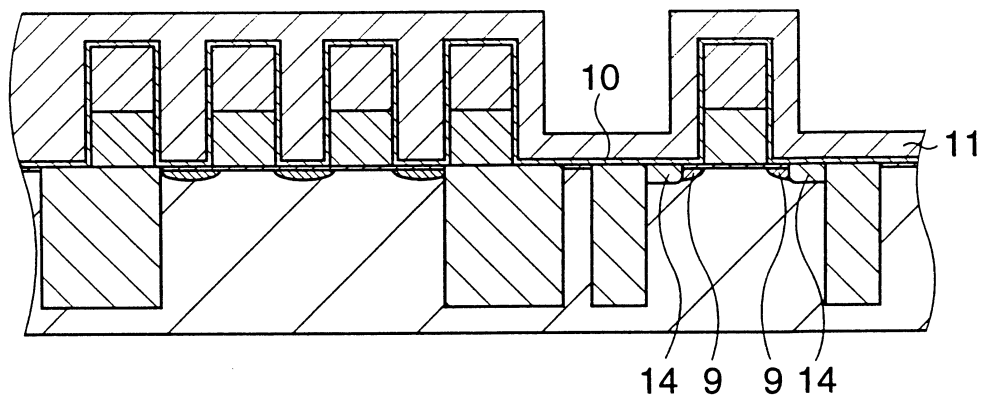
第 17B 圖



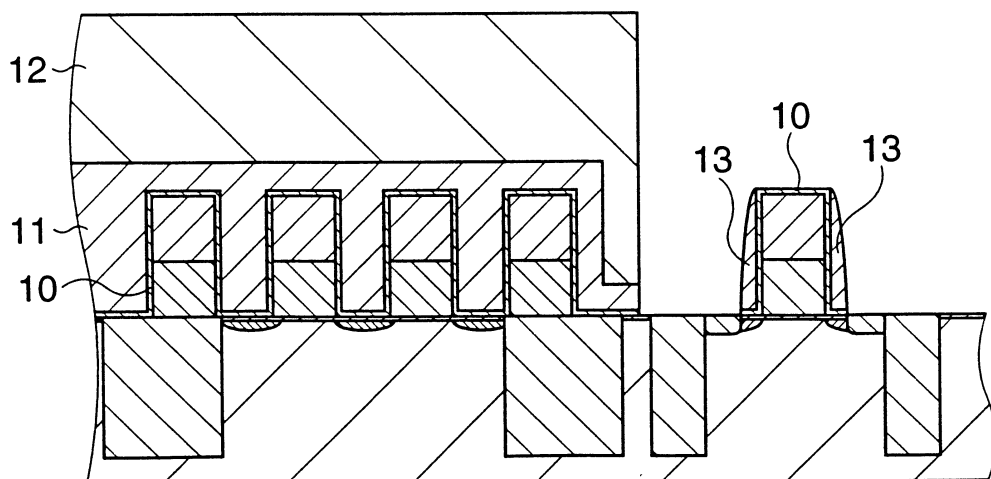
第 18A 圖



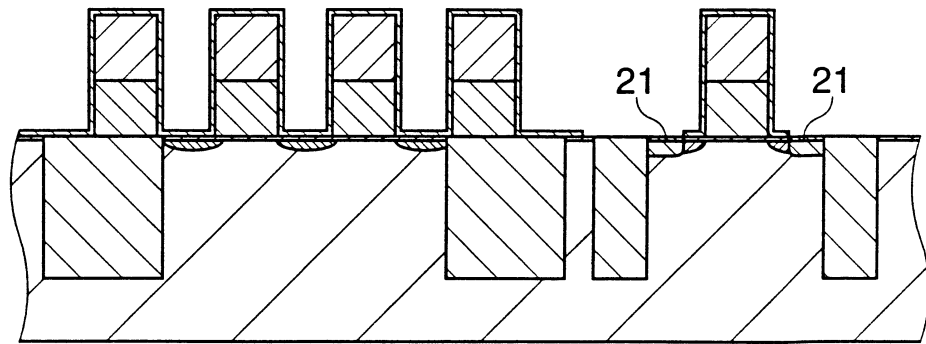
第 18B 圖



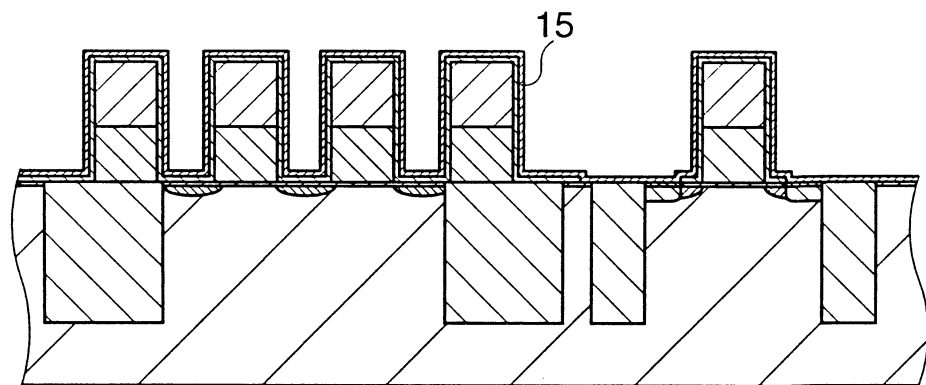
第 18C 圖



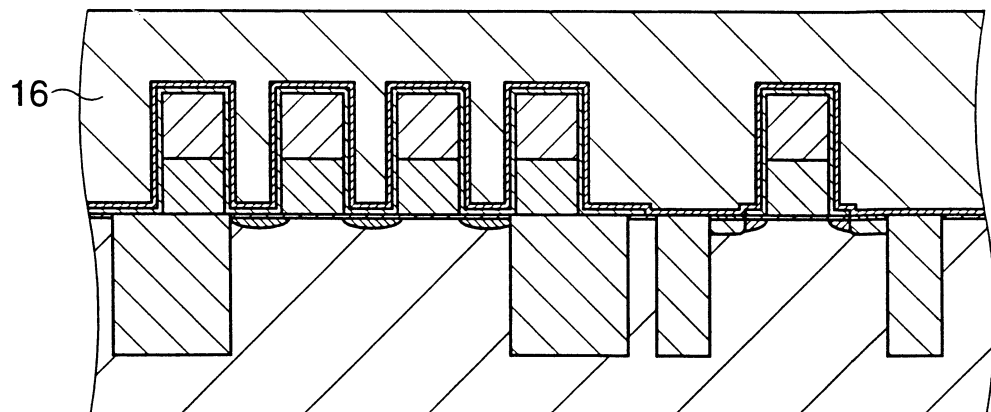
第 19A 圖



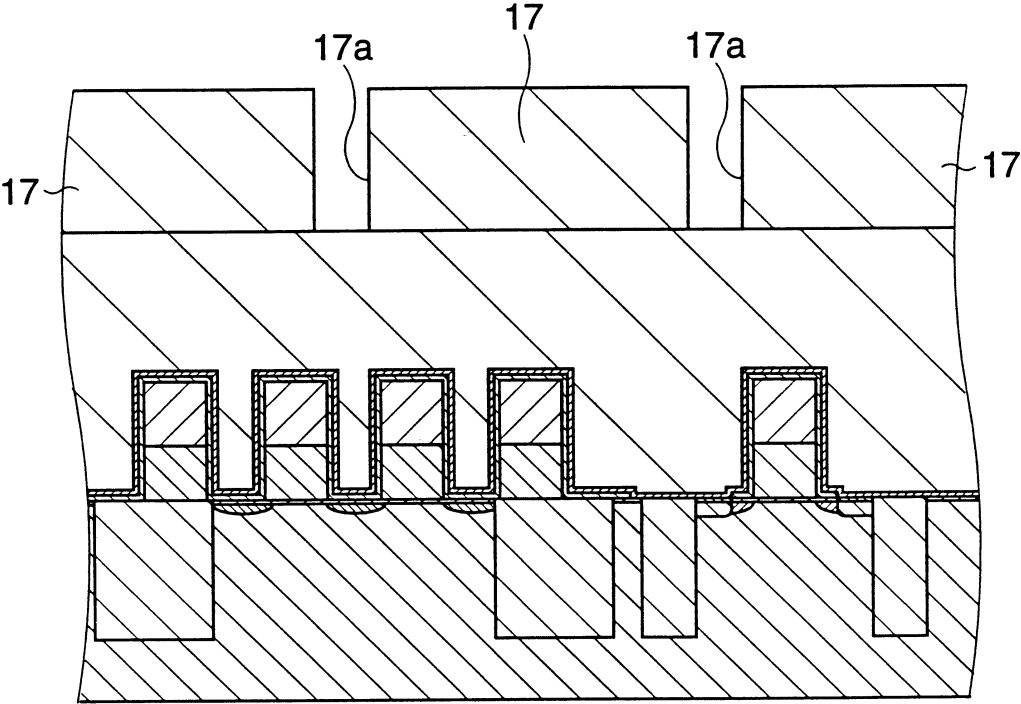
第 19B 圖



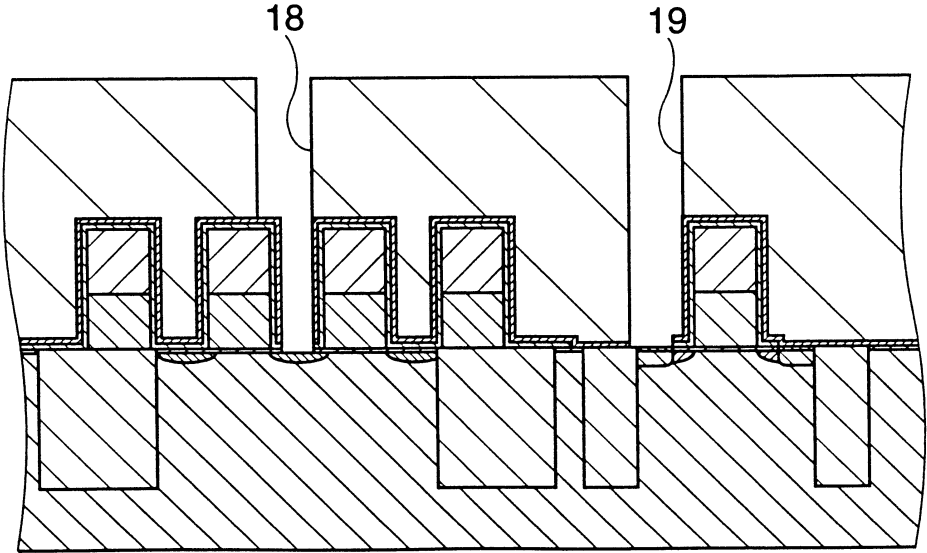
第 19C 圖



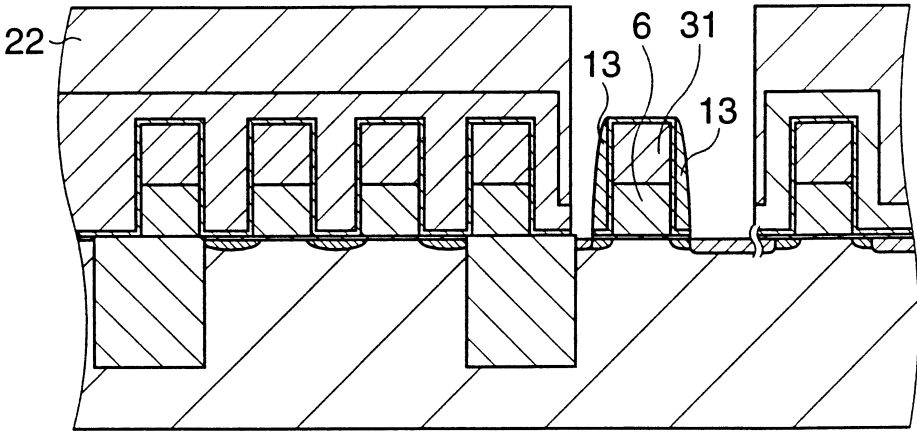
第 20A 圖



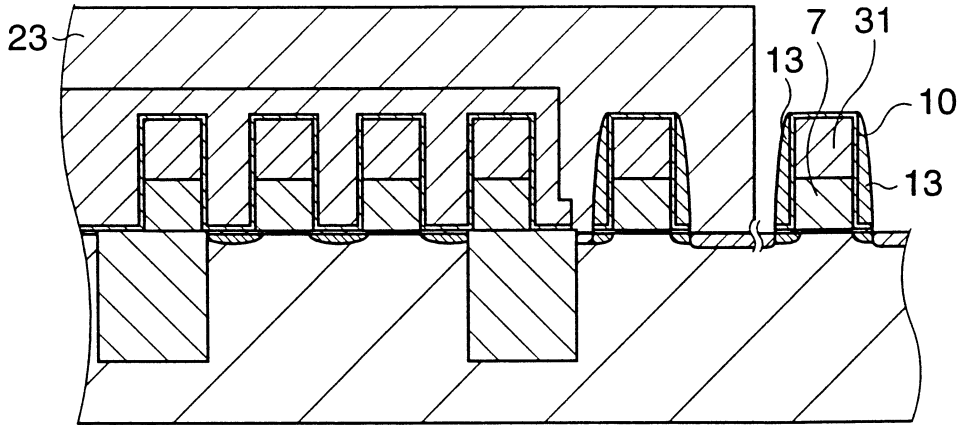
第 20B 圖



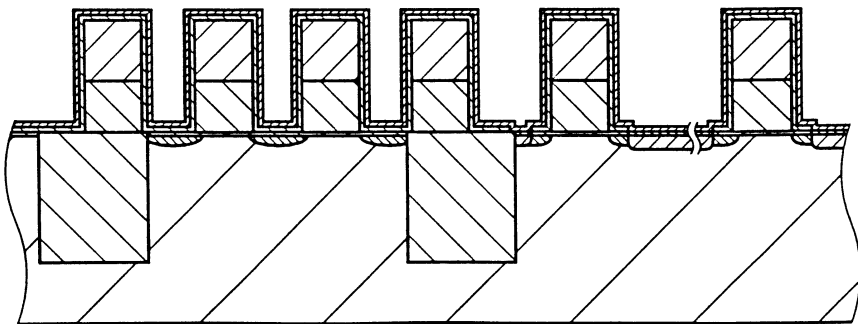
第 21A 圖



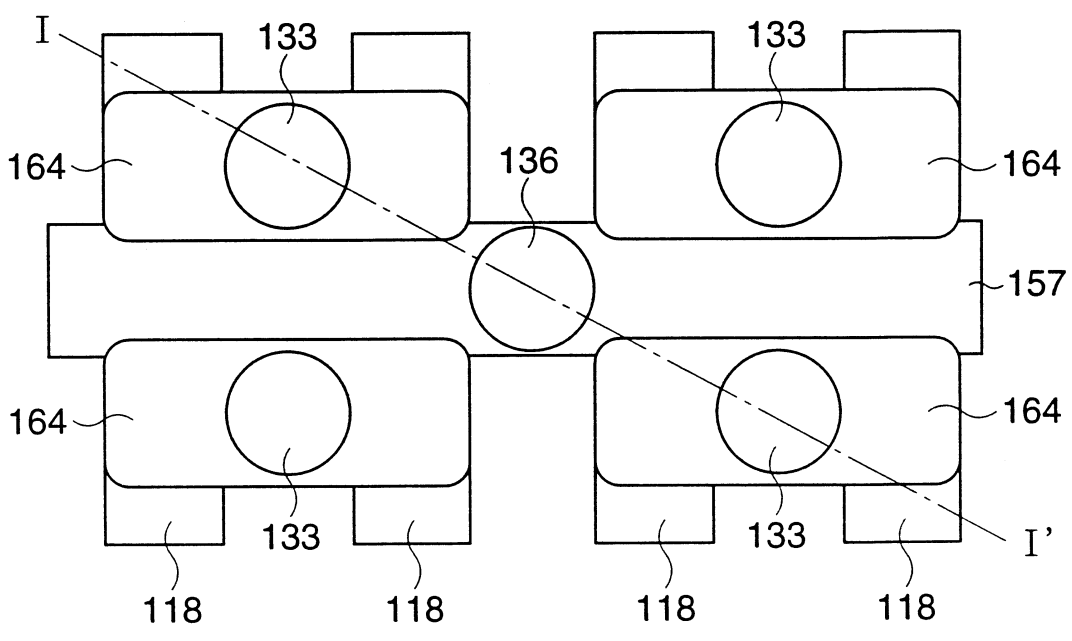
第 21B 圖



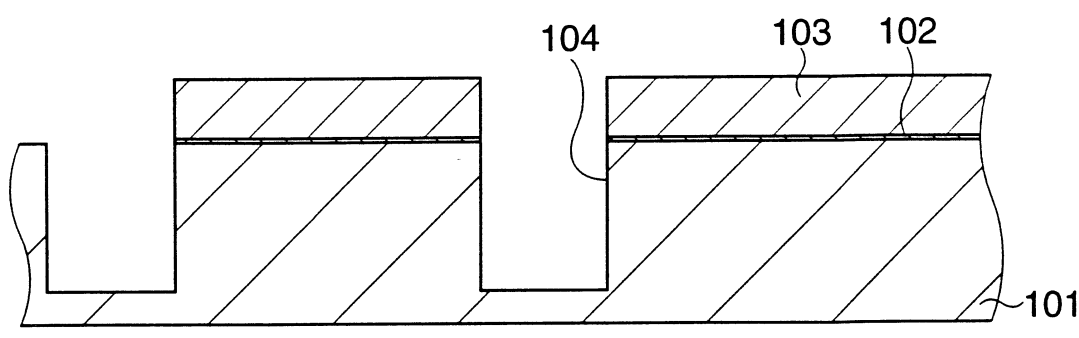
第 21C 圖



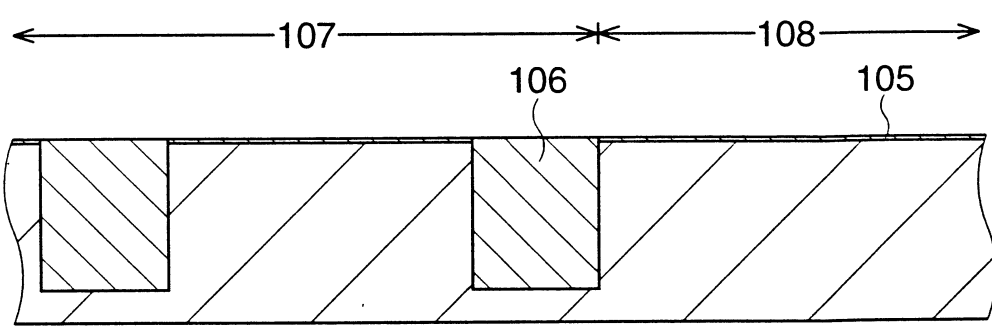
第 22 圖



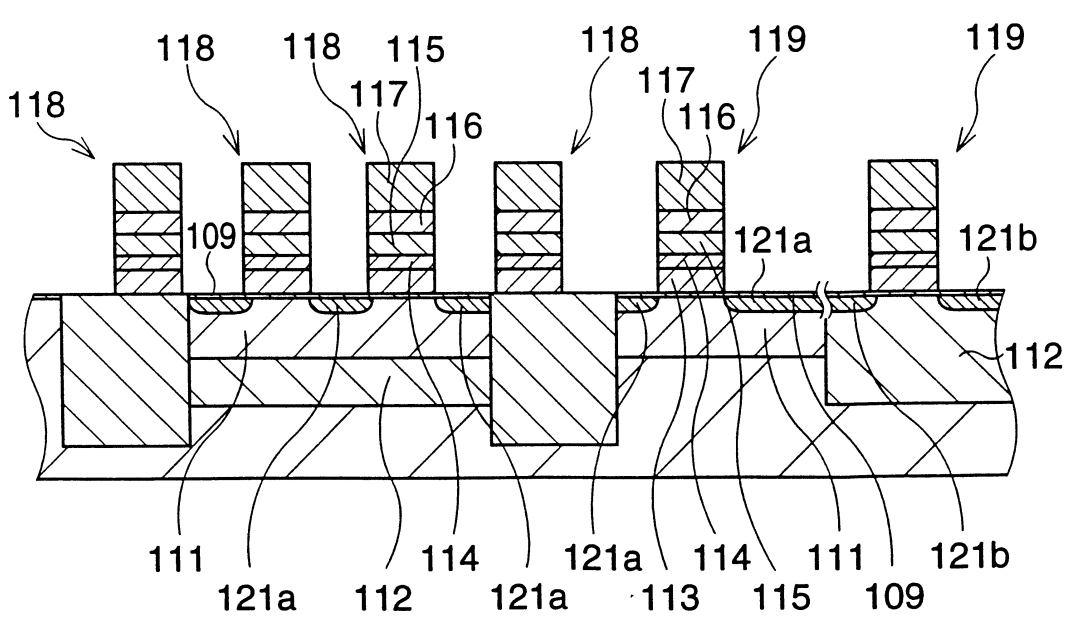
第 23A 圖



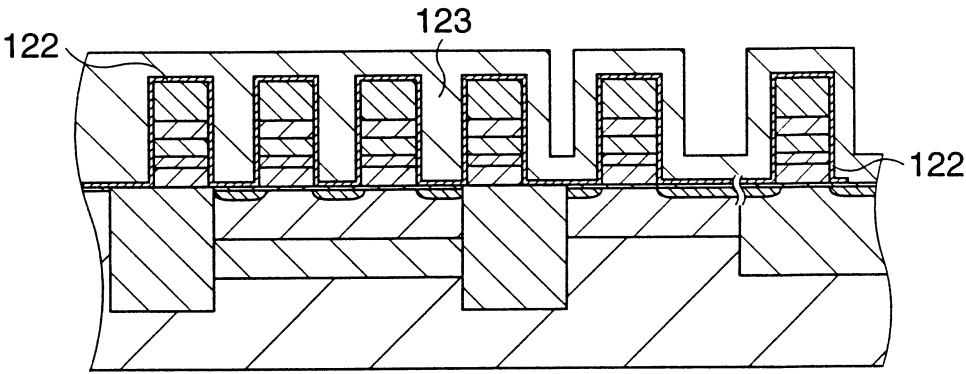
第 23B 圖



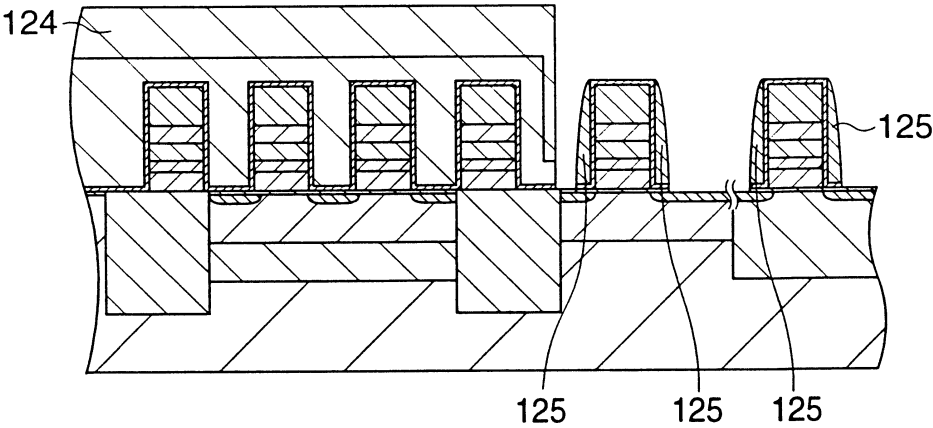
第 23C 圖



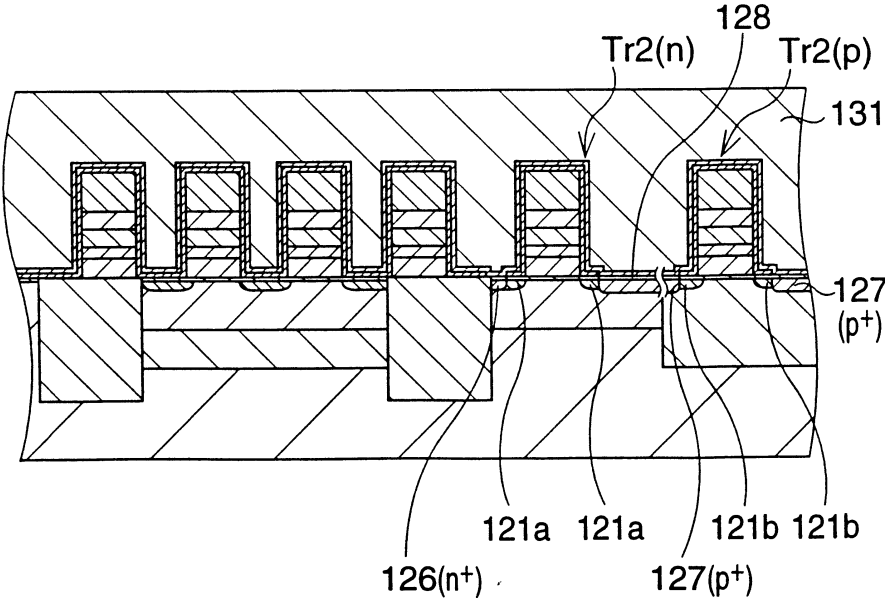
第 24A 圖



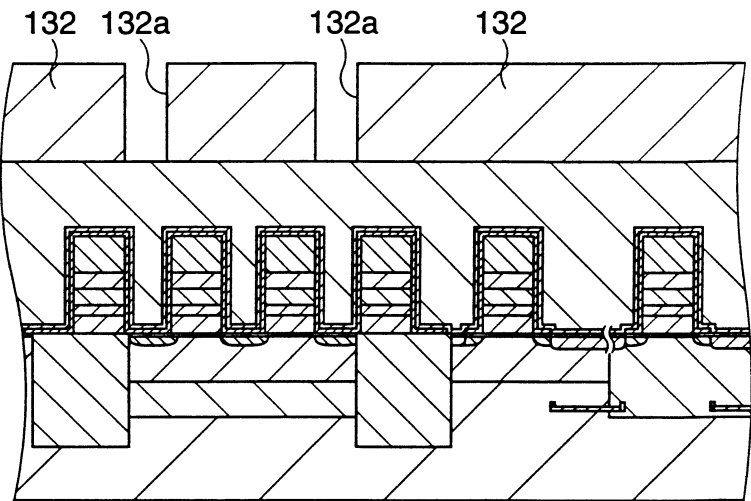
第 24B 圖



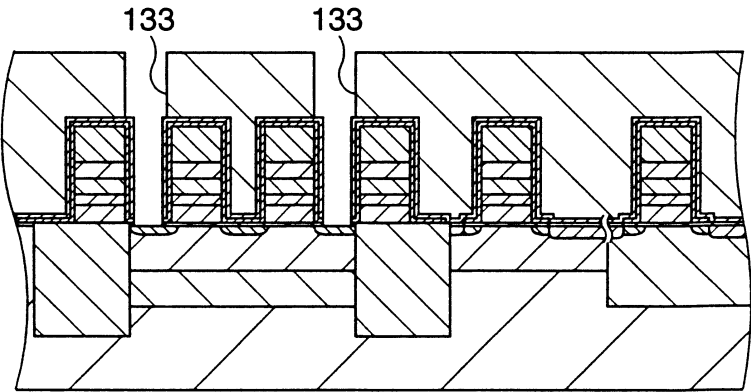
第 24C 圖



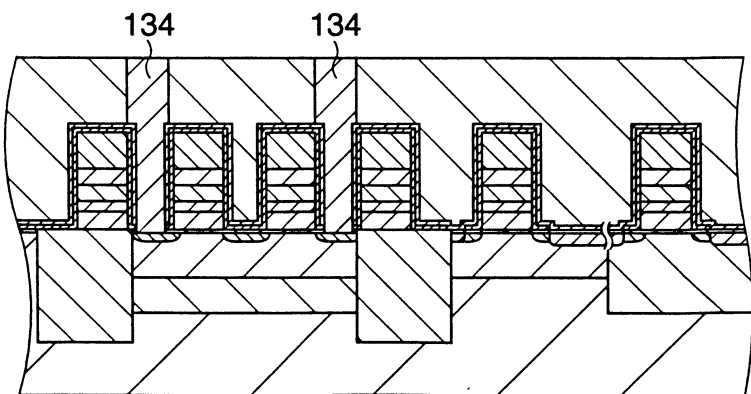
第 25A 圖



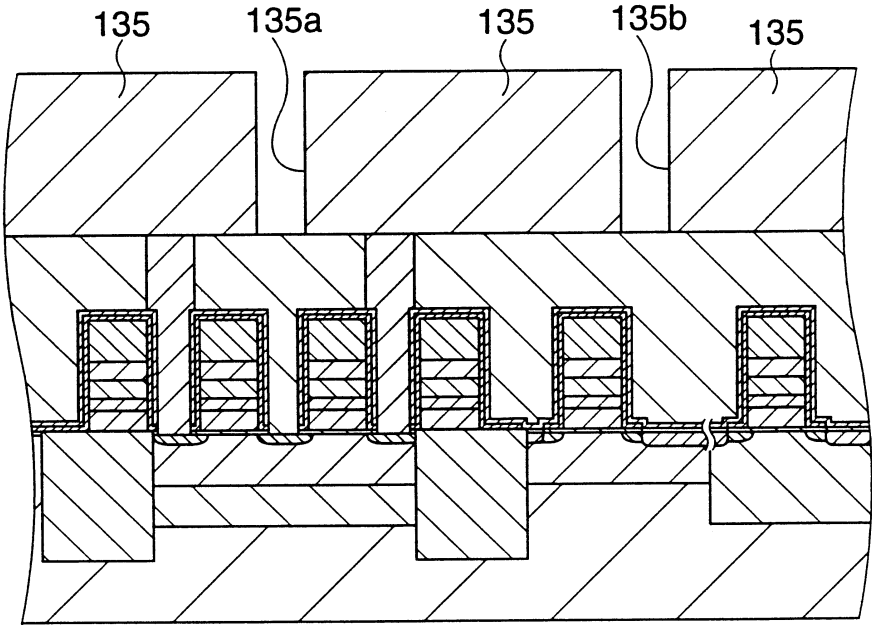
第 25B 圖



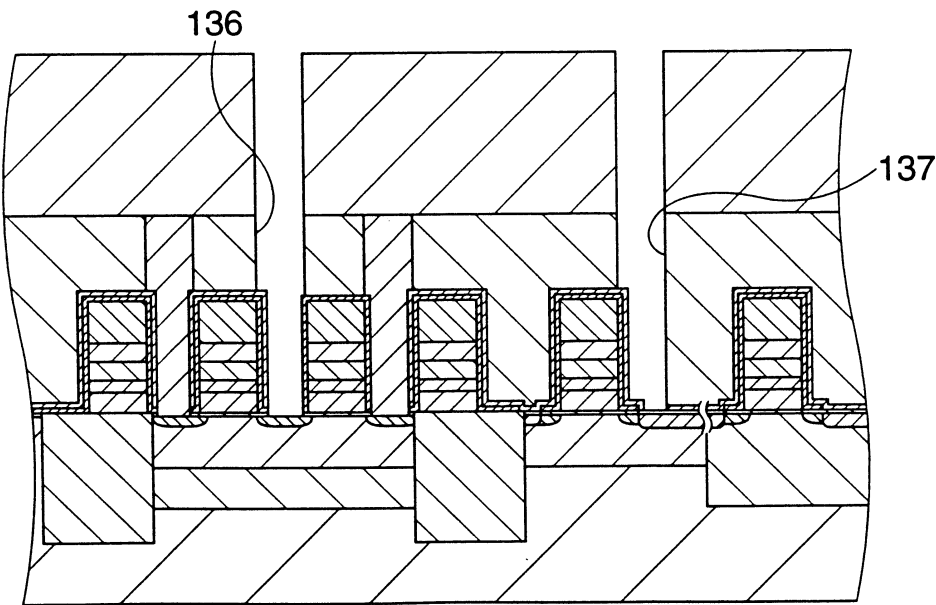
第 25C 圖



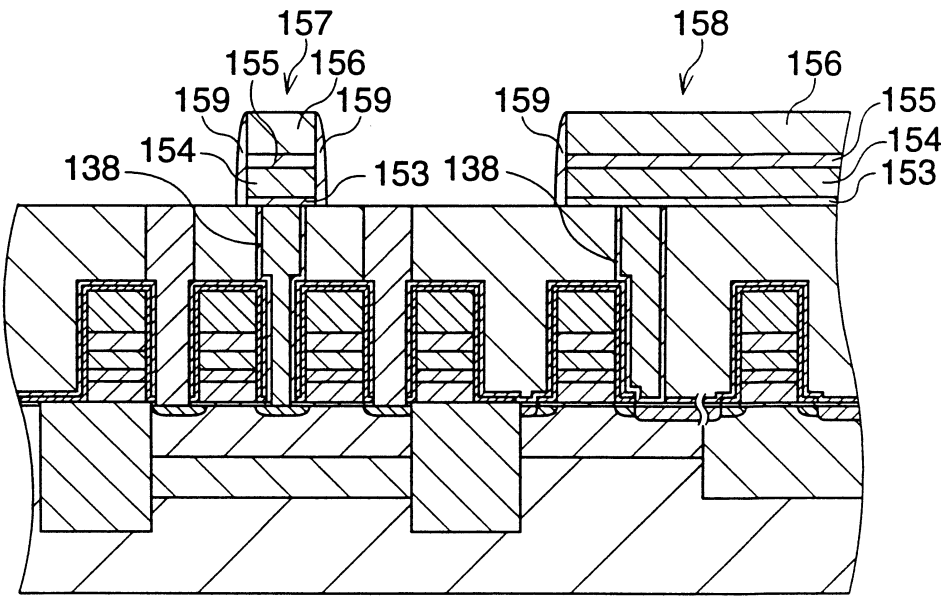
第 26A 圖



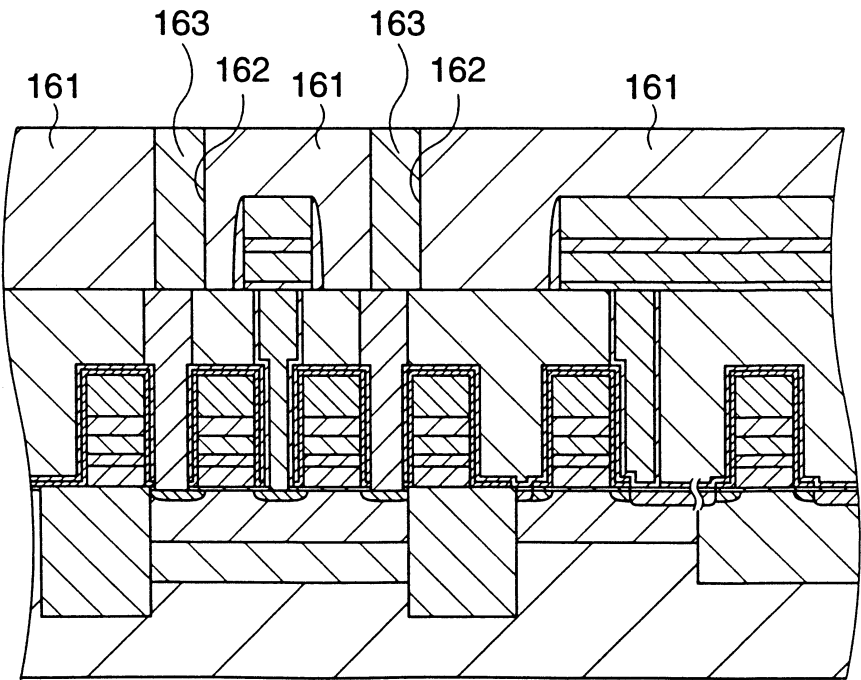
第 26B 圖



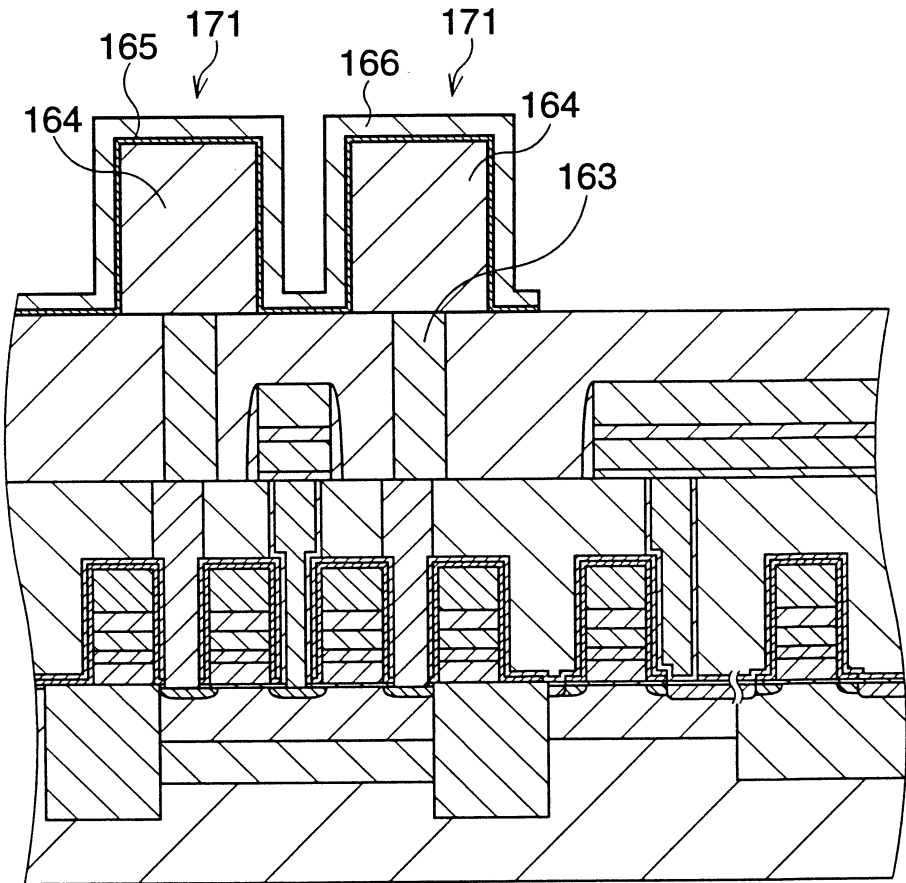
第 27A 圖



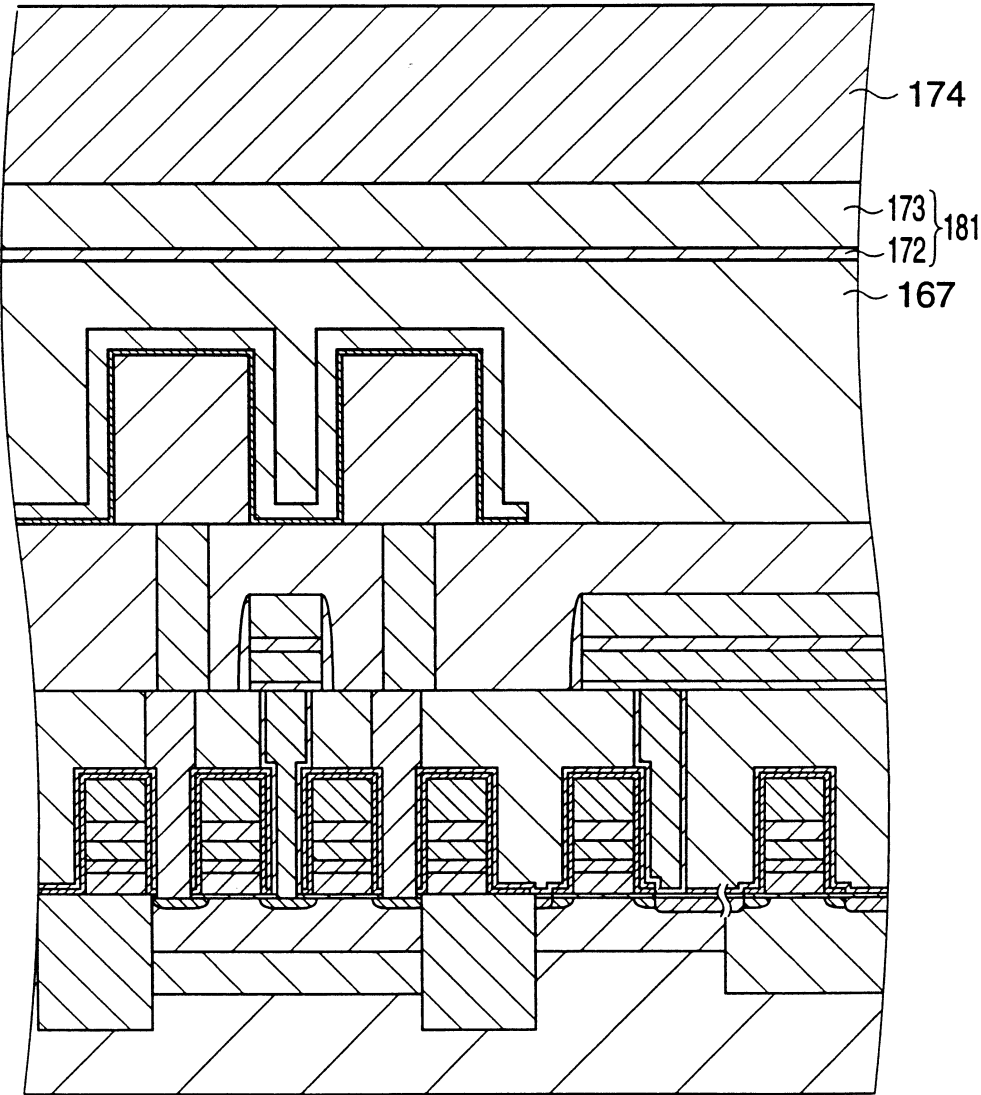
第 27B 圖



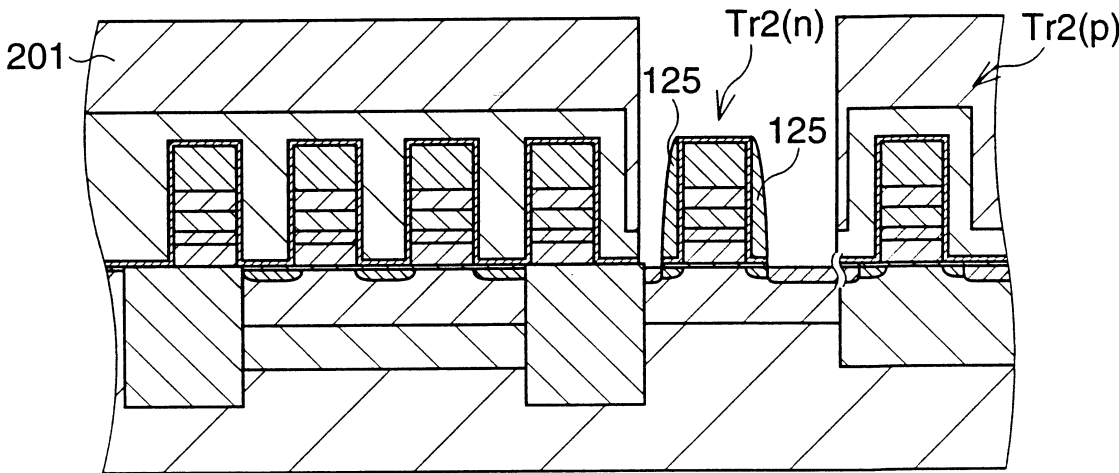
第 28 圖



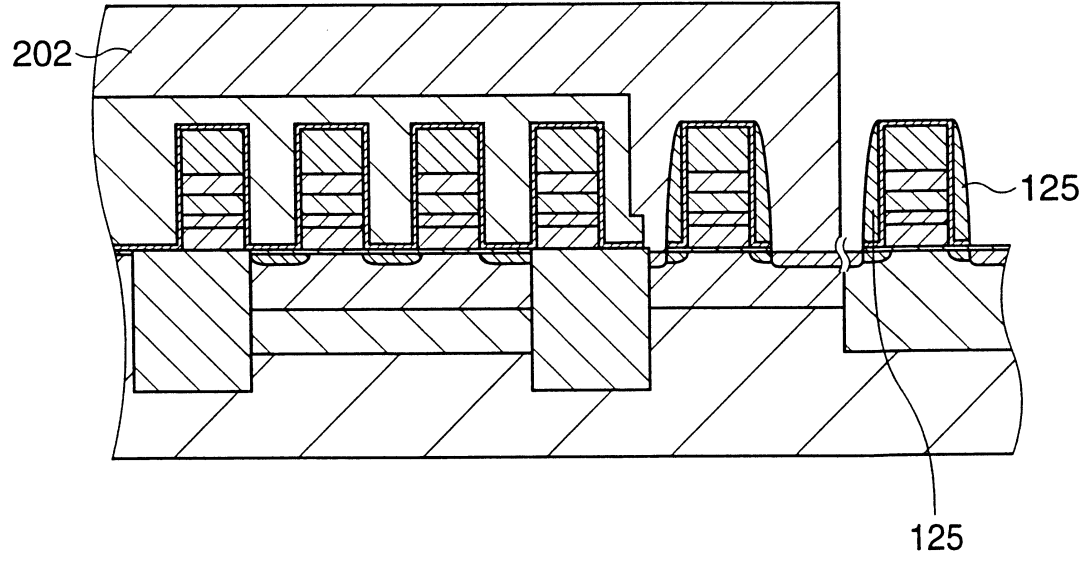
第 29 圖



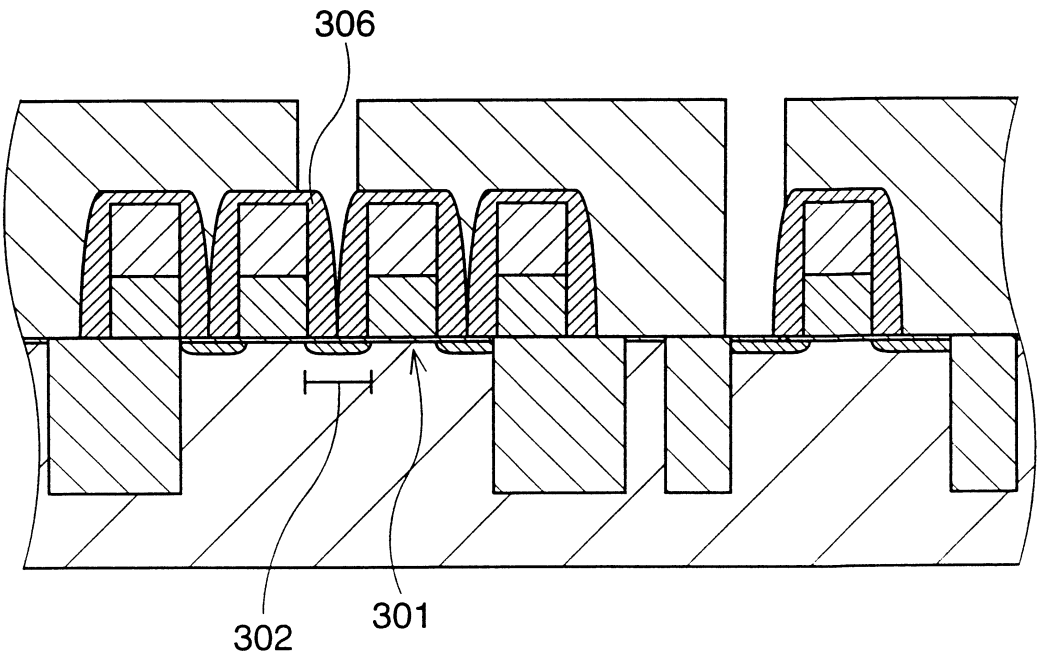
第 30A 圖



第 30B 圖



第 31A 圖



第 31B 圖

