

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2023年6月8日(08.06.2023)



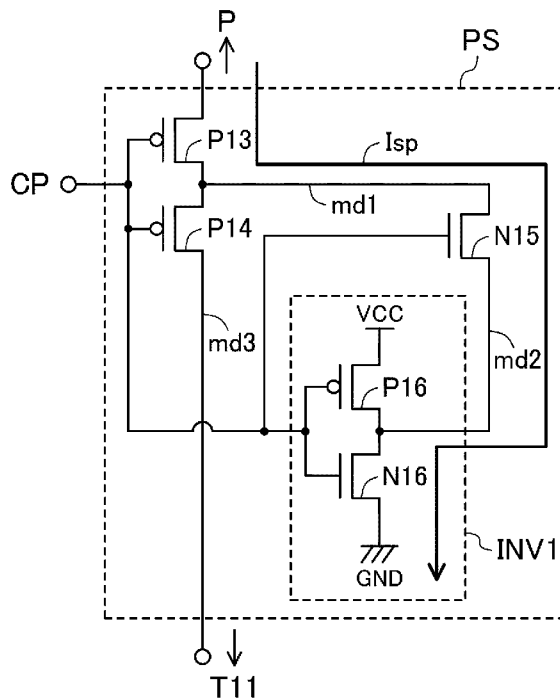
(10) 国際公開番号

WO 2023/100368 A1

- (51) 国際特許分類:
G05F 3/26 (2006.01) *H03K 17/687* (2006.01)
H03K 17/16 (2006.01) *H03F 3/343* (2006.01)
- (21) 国際出願番号: PCT/JP2021/044525
- (22) 国際出願日: 2021年12月3日(03.12.2021)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人: 株式会社ソシオネクスト(**SOCIONEXT INC.**) [JP/JP]; 〒2220033 神奈川県横浜市港北区新横浜二丁目10番23 Kanagawa (JP).
- (72) 発明者: 胡 憶申(**HU Yishen**); 〒2220033 神奈川県横浜市港北区新横浜二丁目10番23 株式会社ソシオネクスト内 Kanagawa (JP).
- (74) 代理人: 弁理士法人前田特許事務所(**MAEDA & PARTNERS**); 〒5300004 大阪府大阪市北区堂島浜1丁目2番1号 新ダイビル23階 Osaka (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY,

(54) **Title:** CURRENT MIRROR CIRCUIT

(54) 発明の名称: カレントミラー回路



(57) **Abstract:** A current mirror circuit 10 comprises: a plurality of first transistors P that are connected to a first power supply VCC at sources and to an input terminal Pi1 at gates and drains; and a second transistor P0 that is connected to the first power supply VCC at a source, to the input terminal Pi1 at a gate, and to an output terminal Po1 at a drain. A switch circuit PS is provided between the first transistors P and the input terminal Pi1. The switch circuit PS comprises: third and fourth transistors P13, P14 that are connected in series between the first transistors P and the input terminal Pi1;

MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,
NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

一 国際調査報告(条約第21条(3))

an inverter circuit INV1; and a fifth transistor N15 that is connected between an intermediate node md1 of the third and fourth transistors P13, P14 and an output terminal of the inverter circuit INV1. A switch control signal is applied to gates of the third through fifth transistors P13, P14, N15 and to an input of the inverter circuit INV1.

(57) 要約：カレントミラー回路10は、ソースが第1電源VCCに、ゲートおよびドレインが入力端子Pi1に接続される複数の第1トランジスタPと、ソースが第1電源VCCに、ゲートが入力端子Pi1に、ドレインが出力端子Po1に接続される第2トランジスタP0とを備える。第1トランジスタPと入力端子Pi1との間には、スイッチ回路PSが設けられる。スイッチ回路PSは、第1トランジスタPと入力端子Pi1との間に直列接続された第3および第4トランジスタP13, P14と、インバータ回路INV1と、第3および第4トランジスタP13, P14の中間ノードmd1とインバータ回路INV1の出力端子の間に接続された第5トランジスタN15とを備える。第3～第5トランジスタP13, P14, N15のゲートとインバータ回路INV1の入力には、スイッチ制御信号が与えられる。

明 細 書

発明の名称： カレントミラー回路

技術分野

[0001] 本開示は、カレントミラー回路に関する。

背景技術

[0002] カレントミラー回路を用いた電流通倍回路が一般的に広く使用されている。例えば、特許文献1には、電流比が可変の電流可変型のカレントミラー回路が開示されている。

[0003] 例えば、特許文献1には、複数のトランジスタを備えたバイナリ・ウエイト方式の電流源が開示されている。特許文献1では、それぞれのトランジスタと直列にスイッチを設け、このスイッチをオンオフ制御することで電流ゲインを制御する。

先行技術文献

特許文献

[0004] 特許文献1：特開平11-340760号公報

発明の概要

発明が解決しようとする課題

[0005] 一般的に、電流可変型のカレントミラー回路では、電流をオンオフするスイッチとして、電流源と同じ導電型のトランジスタ（P型またはN型のトランジスタ）が用いられる。

[0006] 近年の半導体集積回路の微細化にともないトランジスタのゲート長が短くなり、トランジスタのオフ時のリーク電流が増大する問題が広く知られている。電流可変型のカレントミラー回路においては、スイッチをオフしているにも関わらずスイッチを介して流れるオフリーク電流による誤差が無視できなくなっている。特に、バイナリ・ウエイト方式のカレントミラー回路において、オフされたスイッチが多い場合、もしくは通倍数が大きい2次側の電流ブランチがオフとなった場合に、設計値に対する電流誤差が大きくなる。

[0007] 本開示は、上記課題に鑑みてなされたものであり、電流可変型のカレントミラー回路において、トランジスタのオフリーク電流による誤差を抑えることを目的とする。

課題を解決するための手段

[0008] 本開示の第1態様におけるカレントミラー回路は、入力電流を受ける入力端子と、出力電流が出力される出力端子と、それぞれのソースが第1電源に接続され、それぞれのゲートおよびドレインが前記入力端子に接続される複数の第1導電型の第1トランジスタと、ソースが前記第1電源に接続され、ゲートが前記入力端子に接続され、ドレインが前記出力端子に接続される前記第1導電型の第2トランジスタとを備え、前記複数の第1トランジスタのうちの少なくとも1つと、前記入力端子との間には、スイッチ回路が設けられており、前記スイッチ回路は、前記第1トランジスタのドレインと前記入力端子との間において直列に接続されており、それぞれのゲートに前記スイッチ回路をオンオフ制御するスイッチ制御信号を受ける前記第1導電型の第3トランジスタおよび第4トランジスタと、入力端子に前記スイッチ制御信号を受けるインバータ回路と、ドレインまたはソースの一方が前記インバータ回路の出力端子に、他方が前記第3トランジスタと前記第4トランジスタの中間ノードに接続され、ゲートに前記スイッチ制御信号を受ける第2導電型の第5トランジスタとを備える。

[0009] 本開示の第2態様におけるカレントミラー回路は、入力電流を受ける入力端子と、出力電流が出力される出力端子と、ソースが第1電源に接続され、ゲートおよびドレインが前記入力端子に接続される第1導電型の第1トランジスタと、それぞれのソースが前記第1電源に接続され、それぞれのゲートが前記入力端子に接続され、それぞれのドレインが前記出力端子に接続される複数の第1導電型の第2トランジスタとを備え、前記複数の第2トランジスタのうちの少なくとも1つと、前記出力端子との間には、スイッチ回路が設けられており、前記スイッチ回路は、前記第2トランジスタのドレインと前記出力端子との間において直列に接続され、それぞれのゲートに前記スイ

ッチ回路をオンオフ制御するスイッチ制御信号を受ける前記第1導電型の第3トランジスタおよび第4トランジスタと、入力端子に前記スイッチ制御信号を受けるインバータ回路と、ドレインまたはソースの一方が前記第3トランジスタと前記第4トランジスタの中間ノードに、他方が前記インバータ回路の出力端子に接続され、ゲートに前記スイッチ制御信号を受ける第2導電型の第5トランジスタとを備える。

[0010] 上記の第1および第2態様のカレントミラー回路では、スイッチ制御信号によりスイッチ回路がオン制御された場合、第5トランジスタが深い反転オフ状態となるように構成されているので、第5トランジスタのオフリーク電流を低く抑えることができる。

[0011] また、スイッチ制御信号によりスイッチ回路がオフ制御された場合、第4トランジスタが深い反転オフ状態となるように構成されているので、第4トランジスタのオフリーク電流を低く抑えることができる。さらに、第3トランジスタのオフリーク電流が入力電流の流れる経路とは異なる経路に流れるように構成されているので、入力電流と出力電流との電流比に対してリーク電流による誤差が生じることを抑制できる。

発明の効果

[0012] 本開示では、電流可変型のカレントミラー回路において、オフリーク電流による誤差を抑えることができる。

図面の簡単な説明

[0013] [図1]実施形態に係るカレントミラー回路の構成例を示す回路図

[図2]第1カレントミラー回路の第1スイッチ回路の構成例を示す回路図

[図3]第2カレントミラー回路の第2スイッチ回路の構成の一例を示す回路図

発明を実施するための形態

[0014] 以下、実施の形態について説明する。なお、以下の実施形態において示される具体的な数値等は、発明の理解を容易にするための例示にすぎず、発明の範囲を限定する意図はない。なお、以下の説明において、回路のノードと、そのノードを通る信号や電流に同じ符号を付して説明する場合がある。ま

た、電源名と電源電圧に同じ符号を付して説明する場合がある。

[0015] <カレントミラー回路>

図1では、2段構成のカレントミラー回路1を例示している。具体的に、カレントミラー回路1は、入力電流 I_{in} から中間電流 I_{md} を生成する1段目の第1カレントミラー回路10と、中間電流 I_{md} から出力電流 I_{out} を生成する2段目の第2カレントミラー回路20とを備える。入力電流 I_{in} は、例えば、電流源 I_{in} から供給される。

[0016] なお、カレントミラー回路1は、2段構成に限定されない。例えば、カレントミラー回路1として、第1カレントミラー回路10または第2カレントミラー回路20の一方のみで構成される1段構成としてもよい。また、例えば、カレントミラー回路1として、第1カレントミラー回路10の前段または第2カレントミラー回路20の後段に追加のカレントミラー回路（図示省略）を設けて3段以上の構成としてもよい。

[0017] ー第1カレントミラー回路ー

第1カレントミラー回路10は、入力電流 I_{in} を受ける入力端子T11と、出力電流としての中間電流 I_{md} が出力される出力端子T12と、複数のP型の第1トランジスタPと、P型の第2トランジスタP0とを備える。なお、第1カレントミラー回路10では、P型が第1導電型に相当し、N型が第2導電型に相当する。

[0018] また、第1カレントミラー回路10において、複数の第1トランジスタPのうちの少なくとも1つと入力端子T11との間に、スイッチ回路PSが設けられている。なお、本開示において、端子とは、電気回路の接続をするための電流の出入口を指すものとし、具体的な形態・構成は、特に限定されない。例えば、端子として端子専用のパッドが設けられてもよいし、素子間を接続する接続ノードが端子として機能してもよい。

[0019] 図1の例では、第1トランジスタPが第1トランジスタP1～P4の4つであり、そのうち3つの第1トランジスタP2～P4と入力端子T11との間に、それぞれスイッチ回路PS2～PS4が設けられている。

[0020] 具体的に、この例では、第1トランジスタP1は、ソースが電源VCCに接続され、ゲートおよびドレインが入力端子T11に接続される。第1トランジスタP2は、ソースが電源VCCに接続され、ゲートが入力端子T11に接続され、ドレインがスイッチ回路PS2を介して入力端子T11に接続される。第1トランジスタP3は、ソースが電源VCCに接続され、ゲートが入力端子T11に接続され、ドレインがスイッチ回路PS3を介して入力端子T11に接続される。第1トランジスタP4は、ソースが電源VCCに接続され、ゲートが入力端子T11に接続され、ドレインがスイッチ回路PS4を介して入力端子T11に接続される。なお、第1トランジスタPの数とスイッチ回路PSの数は、図1のように互いに異なってもよいし、両方が同数であってもよい。言い換えると、スイッチ回路PSは、複数の第1トランジスタPのうちの1つ以上に対してオンオフ制御ができるように設けられていればよい。なお、第1カレントミラー回路10では、電源VCCが第1電源に相当する。

[0021] 第2トランジスタP0は、ソースが電源VCCに接続され、ゲートが入力端子T11に接続され、ドレインが出力端子T12に接続される。

[0022] 第1トランジスタP1～P4のそれぞれのサイズは、例えば、バイナリ・ウエイトにしたがって設定されている。例えば、第2トランジスタP0のゲート幅Pg0と、第1トランジスタP1のゲート幅Pg1と、第1トランジスタP2のゲート幅Pg2と、第1トランジスタP3のゲート幅Pg3と、第1トランジスタP4のゲート幅Pg4とのサイズ比が、以下の式(1)になるように設定されている。

[0023] [数1]

$$Pg0 : Pg1 : Pg2 : Pg3 : Pg4 = 1 : 1 : 2 : 4 : 8 \quad \cdots (1)$$

[0024] このように、第1トランジスタP1～P4のサイズ（例えば、ゲート幅）をバイナリ・ウエイトにしたがって設定することで、スイッチ制御信号CPのオンオフ制御により第1カレントミラー回路10の入力側と出力側のトランジスタのゲート幅の比を変化させることができる。すなわち、第1カレン

トミラー回路 10 において、スイッチ制御信号 CP のオンオフ制御により等ピッチかつ多段階の階段状の電流設定が可能になる。

[0025] 具体的に、第 1 カレントミラー回路 10 から出力される中間電流 I_{md} は、以下の式 (2) で表される。

[0026] [数2]

$$I_{md} = I_{in} \times \frac{1}{(1 + \sum_{i=2}^4 (PS_i \times 2^{i-1}))} \quad \cdots (2)$$

[0027] 上記の式 (2) において、 PS_i は、各スイッチ回路 $PS_2 \sim PS_4$ がオンの場合には "1"、オフの場合には "0" である。なお、第 1 トランジスタ $P_1 \sim P_4$ のゲート幅の比率は、上記式 (1) に限定されず、他の任意の比率であってもよい。

[0028] (スイッチ回路)

図 2 は、スイッチ回路 PS の構成例を示す回路図であり、図 1 のスイッチ回路 $PS_2 \sim PS_4$ に用いることができる。それぞれのスイッチ回路 PS には、そのスイッチ回路 PS をオンオフ制御するスイッチ制御信号 CP が与えられる。

[0029] 具体的には、図 1 に示すように、スイッチ回路 PS_2 には、スイッチ回路 PS_2 をオンオフ制御するスイッチ制御信号 CP_2 が与えられる。同様に、スイッチ回路 PS_3 には、スイッチ回路 PS_3 をオンオフ制御するスイッチ制御信号 CP_3 が与えられる。スイッチ回路 PS_4 には、スイッチ回路 PS_4 をオンオフ制御するスイッチ制御信号 CP_4 が与えられる。なお、以下の図 2 の説明では、便宜上、スイッチ回路に共通の符号 PS 、第 1 トランジスタに共通の符号 P 、スイッチ制御信号に共通の符号 CP を用いて説明する。

[0030] 図 2 に示すように、スイッチ回路 PS は、P 型の第 3 トランジスタ P_{13} および P 型の第 4 トランジスタ P_{14} と、インバータ回路 INV_1 と、N 型の第 5 トランジスタ N_{15} とを備える。

[0031] 第 3 トランジスタ P_{13} と第 4 トランジスタ P_{14} は、第 1 トランジスタ P のドレインと入力端子 T_{11} との間において直列に接続される。具体的に

、第3トランジスタP13は、ソースまたはドレインの一方が第1トランジスタPに、他方が中間ノードmd1に接続される。第4トランジスタP14は、ソースまたはドレインの一方が中間ノードmd1に、他方が入力端子T11に接続される。そして、第3トランジスタP13のゲートおよび第4トランジスタP14のゲートには、スイッチ制御信号CPが与えられる。

[0032] インバータ回路INV1は、電源VCCとグラウンドGNDとの間に、P型のトランジスタP16とN型のトランジスタN16とが直列接続された構成を有する。インバータ回路INV1の入力端子には、スイッチ制御信号CPが与えられる。言い換えると、トランジスタP16のゲートおよびトランジスタN16のゲートには、スイッチ制御信号CPが与えられる。

[0033] 第5トランジスタN15は、ドレインまたはソースの一方がインバータ回路INV1の出力端子に、他方が中間ノードmd1に接続される。言い換えると、第5トランジスタN15のドレインまたはソースの一方は、トランジスタP16のドレインおよびトランジスタN16のドレインに接続される。第5トランジスタN15のゲートには、スイッチ制御信号CPが与えられる。

[0034] ー第2カレントミラー回路ー

図1に戻り、第2カレントミラー回路20は、入力電流としての中間電流Imdを受ける入力端子T21と、出力電流Ioutが出力される出力端子T22と、N型の第1トランジスタN0と、複数のN型の第2トランジスタNとを備える。また、第2カレントミラー回路20において、複数の第2トランジスタNのうちの少なくとも1つと出力端子T22との間には、スイッチ回路NSが設けられている。なお、第2カレントミラー回路20では、N型が第1導電型に相当し、P型が第2導電型に相当する。

[0035] 第1トランジスタN0は、ソースがグラウンドGNDに接続され、ゲートおよびドレインが入力端子T21に接続される。なお、第2カレントミラー回路20では、グラウンドGNDが第1電源に相当する。

[0036] 図1の例では、第2トランジスタNが第2トランジスタN1～N4の4つ

であり、すべての第2トランジスタN1～N4と出力端子T22との間に、それぞれスイッチ回路NS1～NS4が設けられている。

[0037] 具体的に、この例では、第2トランジスタN1は、ソースがグランドGNDに接続され、ゲートが入力端子T21に接続され、ドレインがスイッチ回路NS1を介して出力端子T22に接続される。第2トランジスタN2は、ソースがグランドGNDに接続され、ゲートが入力端子T21に接続され、ドレインがスイッチ回路NS2を介して出力端子T22に接続される。第2トランジスタN3は、ソースがグランドGNDに接続され、ゲートが入力端子T21に接続され、ドレインがスイッチ回路NS3を介して出力端子T22に接続される。第2トランジスタN4は、ソースがグランドGNDに接続され、ゲートが入力端子T21に接続され、ドレインがスイッチ回路NS4を介して出力端子T22に接続される。なお、第2トランジスタNの数とスイッチ回路NSの数は、図1のように両方が同数であってもよいし、互いに異なってもよい。言い換えると、スイッチ回路NSは、複数の第2トランジスタNのうちの1つ以上に対してオンオフ制御ができるように設けられていればよい。

[0038] 第2トランジスタN1～N4のそれぞれのサイズは、例えば、バイナリ・ウエイトにしたがって設定されている。例えば、第1トランジスタN0のゲート幅Ng0と、第2トランジスタN1のゲート幅Ng1と、第2トランジスタN2のゲート幅Ng2と、第2トランジスタN3のゲート幅Ng3と、第2トランジスタN4のゲート幅Ng4とのサイズ比が、以下の式(3)になるように設定されている。

[0039] [数3]

$$Ng0 : Ng1 : Ng2 : Ng3 : Ng4 = 1 : 1 : 2 : 4 : 8 \quad \cdots (3)$$

[0040] このように、第2トランジスタN1～N4のサイズ（例えば、ゲート幅）をバイナリ・ウエイトにしたがって設定することで、スイッチ制御信号CNのオンオフ制御により第2カレントミラー回路20の入力側と出力側のトラ

ンジスタのゲート幅の比を変化させることができる。すなわち、第2カレントミラー回路20において、スイッチ制御信号CNのオンオフ制御により等ピッチかつ多段階の階段状の電流設定が可能になる。

[0041] 具体的には、第2カレントミラー回路20から出力される出力電流 I_{out} は、以下の式(4)で表される。

[0042] [数4]

$$I_{out} = I_{md} \times \sum_{j=1}^4 (NS_j \times 2^{j-1}) \quad \cdot \cdot \cdot (4)$$

[0043] 式(4)において、 NS_j は、各スイッチ回路 $NS_1 \sim NS_4$ がオンの場合には“1”、オフの場合には“0”である。なお、第2トランジスタ $N_1 \sim N_4$ のゲート幅の比率は、上記式(3)に限定されず、他の任意の比率であってもよい。

[0044] (スイッチ回路)

図3は、スイッチ回路NSの構成例を示す回路図であり、図1のスイッチ回路 $NS_1 \sim NS_4$ に用いることができる。それぞれのスイッチ回路NSには、そのスイッチ回路NSをオンオフ制御するスイッチ制御信号CNが与えられる。

[0045] 具体的には、図1に示すように、スイッチ回路 NS_1 には、スイッチ回路 NS_1 をオンオフ制御するスイッチ制御信号CN1が与えられる。同様に、スイッチ回路 NS_2 には、スイッチ回路 NS_2 をオンオフ制御するスイッチ制御信号CN2が与えられる。スイッチ回路 NS_3 には、スイッチ回路 NS_3 をオンオフ制御するスイッチ制御信号CN3が与えられる。スイッチ回路 NS_4 には、スイッチ回路 NS_4 をオンオフ制御するスイッチ制御信号CN4が与えられる。なお、以下の図3の説明では、便宜上、スイッチ回路に共通の符号NS、第1トランジスタに共通の符号N、スイッチ制御信号に共通の符号CNを用いて説明する。

[0046] 図3に示すように、スイッチ回路NSは、N型の第3トランジスタ N_{23} およびN型の第4トランジスタ N_{24} と、インバータ回路INV2と、P型

の第5トランジスタP 2 5とを備える。

[0047] 第3トランジスタN 2 3と第4トランジスタN 2 4は、第2トランジスタNのドレインと出力端子T 2 2との間において直列に接続される。具体的に、第3トランジスタN 2 3は、ソースまたはドレインの一方が第2トランジスタNに、他方が中間ノードm d 5に接続される。第4トランジスタN 2 4は、ソースまたはドレインの一方が中間ノードm d 5に接続され、他方が出力端子T 2 2に接続される。そして、第3トランジスタN 2 3のゲートおよび第4トランジスタN 2 4のゲートには、スイッチ制御信号C Nが与えられる。

[0048] インバータ回路I N V 2は、電源V C CとグラウンドG N Dとの間に、P型のトランジスタP 2 6とN型のトランジスタN 2 6とが直列接続された構成を有する。インバータ回路I N V 2の入力端子には、スイッチ制御信号C Nが与えられる。言い換えると、トランジスタP 2 6のゲートおよびトランジスタN 2 6のゲートには、スイッチ制御信号C Nが与えられる。

[0049] 第5トランジスタP 2 5は、ドレインまたはソースの一方がインバータ回路I N V 2の出力端子に接続され、他方が中間ノードm d 5に接続される。言い換えると、第5トランジスタP 2 5のドレインまたはソースの一方は、トランジスタP 2 6のドレインおよびトランジスタN 2 6のドレインに接続される。第5トランジスタP 2 5のゲートには、スイッチ制御信号C Nが与えられる。

[0050] 以上のように第1カレントミラー回路1 0および第2カレントミラー回路2 0を構成することにより、カレントミラー回路1の入力電流I i nに対する出力電流I o u tは、以下の式(5)で表される。

[0051] [数5]

$$I_{out} = I_{in} \times \frac{\sum_{j=1}^4 (NS_j \times 2^{j-1})}{(1 + \sum_{i=2}^4 (PS_i \times 2^{i-1}))} \quad \cdot \cdot \cdot (5)$$

[0052] 式(5)において、P S iは、各スイッチ回路P S 2～P S 4がオンの場合には“1”、オフの場合には“0”である。また、N S jは、各スイッチ

回路NS1～NS4がオンの場合には“1”、オフの場合には“0”である。

[0053] スイッチ回路の動作(1) –

次に、図2を参照しつつ、スイッチ回路PSの動作について説明する。

[0054] (スイッチ回路がオン制御された場合)

まず、スイッチ回路PSがオン制御される場合の動作について説明する。

[0055] スイッチ制御信号CPとして“L”が入力されると、第3トランジスタP13および第4トランジスタP14はオンとなる。これにより、スイッチ回路PSを介して、第1トランジスタPから入力端子T11に、第2トランジスタP0と第1トランジスタPとのサイズ比に応じた所望の電流が流れる。

[0056] 例えば、スイッチ制御信号CP2として“L”が入力されて、スイッチ回路PS2がオン制御されると、スイッチ回路PS2を介して、第1トランジスタP2から入力端子T11に、第2トランジスタP0と第1トランジスタP2とのサイズ比に応じた所望の電流が流れる(図1参照)。スイッチ回路PS3、PS4についても同様である。

[0057] このとき、第5トランジスタN15のゲートに“L”が入力されるので、第5トランジスタN15はオフとなる。また、インバータ回路INV1の出力は、“H”となる。すなわち、第5トランジスタN15とインバータ回路INV1の出力端子との間の中間ノードmd2の電位はVCCであり、前述の中間ノードmd1の電位はVCCとGNDとの中間電位となる。

[0058] そうすると、第5トランジスタN15では、中間ノードmd1側がソース、中間ノードmd2側がドレインとして働く。このときの第5トランジスタN15のゲートソース電圧Vgsは、中間ノードmd1の電位をVmd1とすると“ $V_{gs} = -V_{md1}$ ”となる。上記のとおり、中間ノードmd1の電位はVCCとGNDとの中間電位なので、 $V_{gs} \ll 0$ となる。これにより、第5トランジスタN15は、深い反転オフ状態となる。したがって、第5トランジスタN15のリーク電流を低く抑えることができる。すなわち、第1トランジスタPから入力端子T11に流れる電流に対して第5トラン

ジスタN15のリーク電流の影響を低く抑えることができる。

[0059] (スイッチ回路がオフ制御された場合)

次に、スイッチ回路PSがオフ制御される場合の動作について説明する。

[0060] スイッチ制御信号CPとして“H”が入力されると、第3トランジスタP13および第4トランジスタP14はオフとなる。第5トランジスタN15は、ゲートに“H”が入力されるのでオンとなる。また、インバータ回路INV1の入力端子には“H”が入力されるので、トランジスタN16がオンとなる。そうすると、中間ノードmd1の電位 V_{md1} が“ $V_{md1} \div GND$ ”となる。第4トランジスタP14と入力端子T11とを接続するノードmd3の電位は、VCCとGNDとの中間電位となるので、第4トランジスタP14では、中間ノードmd1側がドレイン、ノードmd3側がソースとして働く。このときの第4トランジスタP14のゲートソース電圧 V_{gs} は、ノードmd3の電位を V_{md3} とすると“ $V_{gs} = VCC - V_{md3}$ ”となる。上記のとおり、電位 V_{md3} はVCCとGNDとの中間電位なので、 $V_{gs} \gg 0$ となる。これにより、第4トランジスタP14は、深い反転オフ状態となる。したがって、第4トランジスタP14のリーク電流を低く抑えることができる。

[0061] さらに、第3トランジスタP13を介して流れるリーク電流 I_{sp} は、第5トランジスタN15およびトランジスタN16を介してグラウンドGNDに流れる(図2の矢印参照)。これにより、入力端子T11に流れる入力電流 I_{in} の経路に対するリーク電流 I_{sp} の影響を回避することができる。言い換えると、入力電流 I_{in} と出力電流としての中間電流 I_{md} との電流比に対してのリーク電流 I_{sp} に起因する誤差を抑制することができる。

[0062] ースイッチ回路の動作(2)ー

次に、図3を参照しつつ、スイッチ回路NSの動作について説明する。

[0063] (スイッチ回路がオン制御された場合)

まず、スイッチ回路NSがオン制御される場合の動作について説明する。

[0064] スイッチ制御信号CNとして“H”が入力されると、第3トランジスタN

23および第4トランジスタN24はオンとなる。これにより、スイッチ回路NSを介して、第2トランジスタNから出力端子T22に、第1トランジスタN0と第2トランジスタNとのサイズ比に応じた所望の電流が流れる。例えば、スイッチ制御信号CN1として“H”が入力されて、スイッチ回路NS1がオン制御されると、スイッチ回路NS1を介して、第2トランジスタN1から出力端子T22に、第1トランジスタN0と第2トランジスタN1とのサイズ比に応じた所望の電流が流れる（図1参照）。スイッチ制御回路NS2～NS4についても同様である。

[0065] このとき、第5トランジスタP25のゲートに“H”が入力されるので、第5トランジスタP25はオフとなる。また、インバータ回路INV2の出力は、“L”となる。すなわち、第5トランジスタP25とインバータ回路INV2の出力端子との間の中間ノードmd6の電位はGNDであり、前述のノードmd5の電位はVCCとGNDとの中間電位となる。そうすると、第5トランジスタP25では、中間ノードmd5側がソース、中間ノードmd6側がドレインとして働く。このときの第5トランジスタP25のゲートソース電圧 V_{gs} は、中間ノードmd5の電位を V_{md5} とすると“ $V_{gs} = V_{CC} - V_{md5}$ ”となる。上記のとおり、中間ノードmd5の電位はVCCとGNDとの中間電位なので、 $V_{gs} \gg 0$ となる。これにより、第5トランジスタP25は、深い反転オフ状態となる。したがって、第5トランジスタP25のリーク電流を低く抑えることができる。すなわち、第2トランジスタNから入力端子T22に流れる電流に対して第5トランジスタP25のリーク電流の影響を低く抑えることができる。

[0066] （スイッチ回路がオフ制御された場合）

次に、スイッチ回路NSがオフ制御される場合の動作について説明する。

[0067] スイッチ制御信号CNとして“L”が入力されると、第3トランジスタN23および第4トランジスタN24はオフとなる。第5トランジスタP25は、ゲートに“L”が入力されるのでオンとなる。また、インバータ回路INV2の入力端子には“L”が入力されるので、トランジスタP26がオン

となる。そうすると、中間ノードm d 5の電位 V_{md5} が“ $V_{md5} \div V_{CC}$ ”となる。第4トランジスタN 2 4と出力端子T 2 2とを接続するノードm d 7の電位は、 V_{CC} とGNDとの中間電位となるので、第4トランジスタN 2 4では、中間ノードm d 5側がドレイン、ノードm d 7側がソースとして働く。このときの第4トランジスタN 2 4のゲートソース電圧 V_{gs} は、ノードm d 7の電位を V_{md7} とすると“ $V_{gs} = -V_{md7}$ ”となる。上記のとおり、電位 V_{md7} は V_{CC} とGNDとの中間電位なので、 $V_{gs} \ll 0$ となる。これにより、第4トランジスタN 2 4は、深い反転オフ状態となる。したがって、第4トランジスタN 2 4のリーク電流を低く抑えることができる。

[0068] さらに、第3トランジスタN 2 3を介して流れるリーク電流 I_{sn} は、電源 V_{CC} から第5トランジスタP 2 5およびトランジスタP 2 6を介して第2トランジスタNに向かって流れる（図3の矢印参照）。これにより、出力端子T 2 2に流れる出力電流 I_{out} の経路に対するリーク電流 I_{sn} の影響を回避することができる。言い換えると、入力電流としての中間電流 I_{md} と出力電流 I_{out} との電流比に対してのリーク電流 I_{sn} に起因する誤差を抑制することができる。

産業上の利用可能性

[0069] 本開示のカレントミラー回路は、オフリーク電流による誤差を抑えることができるので極めて有用である。

符号の説明

- [0070] 1 カレントミラー回路
- T 1 1 入力端子
 - T 1 2 出力端子
 - P 1 ～P 4 第1トランジスタ
 - P 0 第2トランジスタ
 - P S 2 ～P S 4 第1スイッチ回路（スイッチ回路）
 - P 1 3 第3トランジスタ

P 1 4 第4トランジスタ
N 1 5 第5トランジスタ
I N V 1 インバータ回路
I i n 入力電流
I o u t 出力電流
T 2 1 入力端子
T 2 2 出力端子
V C C 電源（第1電源）
N 0 第1トランジスタ
N 1 ～ N 4 第2トランジスタ
N S 1 ～ N S 4 第2スイッチ回路（スイッチ回路）
N 2 3 第3トランジスタ
N 2 4 第4トランジスタ
P 2 5 第5トランジスタ
I N V 2 インバータ回路
G N D グランド（第1電源）

請求の範囲

[請求項1]

入力電流を受ける入力端子と、

出力電流が出力される出力端子と、

それぞれのソースが第1電源に接続され、それぞれのゲートおよびドレインが前記入力端子に接続される複数の第1導電型の第1トランジスタと、

ソースが前記第1電源に接続され、ゲートが前記入力端子に接続され、ドレインが前記出力端子に接続される前記第1導電型の第2トランジスタとを備え、

前記複数の第1トランジスタのうちの少なくとも1つと、前記入力端子との間には、スイッチ回路が設けられており、

前記スイッチ回路は、

前記第1トランジスタのドレインと前記入力端子との間において直列に接続されており、それぞれのゲートに前記スイッチ回路をオンオフ制御するスイッチ制御信号を受ける前記第1導電型の第3トランジスタおよび第4トランジスタと、

入力端子に前記スイッチ制御信号を受けるインバータ回路と、

ドレインまたはソースの一方が前記インバータ回路の出力端子に、他方が前記第3トランジスタと前記第4トランジスタの中間ノードに接続され、ゲートに前記スイッチ制御信号を受ける第2導電型の第5トランジスタとを備える、カレントミラー回路。

[請求項2]

請求項1に記載のカレントミラー回路において、

前記複数の第1トランジスタのそれぞれのサイズは、バイナリ・ウエイトにしたがって設定されている、カレントミラー回路。

[請求項3]

入力電流を受ける入力端子と、

出力電流が出力される出力端子と、

ソースが第1電源に接続され、ゲートおよびドレインが前記入力端子に接続される第1導電型の第1トランジスタと、

それぞれのソースが前記第 1 電源に接続され、それぞれのゲートが前記入力端子に接続され、それぞれのドレインが前記出力端子に接続される複数の第 1 導電型の第 2 トランジスタとを備え、

前記複数の第 2 トランジスタのうちの少なくとも 1 つと、前記出力端子との間には、スイッチ回路が設けられており、

前記スイッチ回路は、

前記第 2 トランジスタのドレインと前記出力端子との間において直列に接続され、それぞれのゲートに前記スイッチ回路をオンオフ制御するスイッチ制御信号を受ける前記第 1 導電型の第 3 トランジスタおよび第 4 トランジスタと、

入力端子に前記スイッチ制御信号を受けるインバータ回路と、

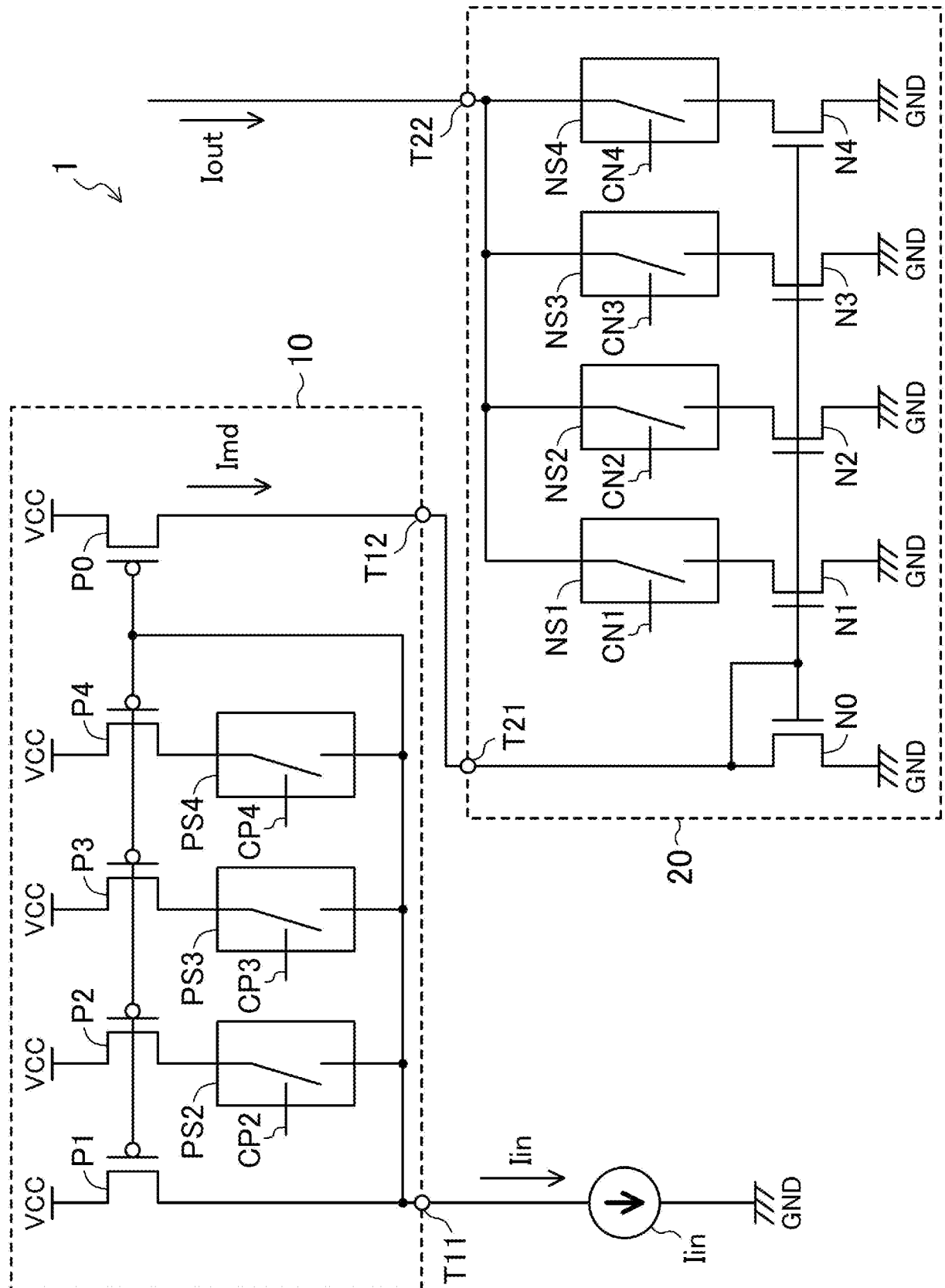
ドレインまたはソースの一方が前記第 3 トランジスタと前記第 4 トランジスタの中間ノードに、他方が前記インバータ回路の出力端子に接続され、ゲートに前記スイッチ制御信号を受ける第 2 導電型の第 5 トランジスタとを備える、カレントミラー回路。

[請求項 4]

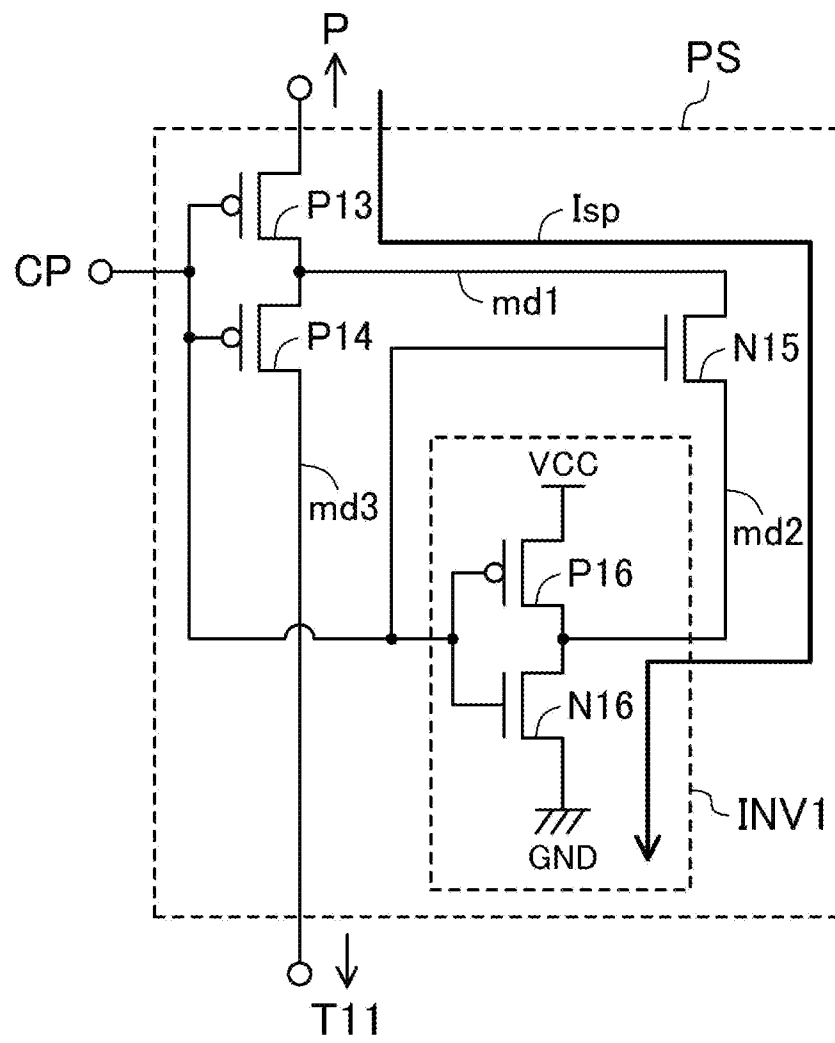
請求項 3 に記載のカレントミラー回路において、

前記複数の第 2 トランジスタのそれぞれのサイズは、バイナリ・ウエイトにしたがって設定されている、カレントミラー回路。

[図1]



[図2]



[illegible]

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2021/044525

A. CLASSIFICATION OF SUBJECT MATTER**G05F 3/26**(2006.01)i; **H03K 17/16**(2006.01)i; **H03K 17/687**(2006.01)i; **H03F 3/343**(2006.01)i

FI: H03F3/343 210; H03K17/687 G; H03K17/16 Z; G05F3/26

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G05F3/26; H03K17/16; H03K17/687; H03F3/343

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996

Published unexamined utility model applications of Japan 1971-2022

Registered utility model specifications of Japan 1996-2022

Published registered utility model applications of Japan 1994-2022

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2003-323145 A (TOSHIBA MATSUSHITA DISPLAY TECHNOLOGY CO LTD) 14 November 2003 (2003-11-14) fig. 1	1-4
A	JP 2006-20098 A (TOSHIBA CORP) 19 January 2006 (2006-01-19) fig. 1	1-4
A	JP 8-65116 A (TOSHIBA CORP) 08 March 1996 (1996-03-08) fig. 1	1-4

☐ Further documents are listed in the continuation of Box C.☒ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

17 January 2022

Date of mailing of the international search report

25 January 2022

Name and mailing address of the ISA/JP

Japan Patent Office (ISA/JP)
3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915
Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2021/044525

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP	2003-323145	A	14 November 2003	(Family: none)	
JP	2006-20098	A	19 January 2006	US 2006/0001481 A1 fig. 1	
JP	8-65116	A	08 March 1996	US 5708606 A fig. 3B	

A. 発明の属する分野の分類（国際特許分類（IPC）） G05F 3/26(2006.01)i; H03K 17/16(2006.01)i; H03K 17/687(2006.01)i; H03F 3/343(2006.01)i FI: H03F3/343 210; H03K17/687 G; H03K17/16 Z; G05F3/26														
B. 調査を行った分野														
調査を行った最小限資料（国際特許分類（IPC）） G05F3/26; H03K17/16; H03K17/687; H03F3/343														
最小限資料以外の資料で調査を行った分野に含まれるもの														
<table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922-1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971-2022年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996-2022年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994-2022年</td> </tr> </table>			日本国実用新案公報	1922-1996年	日本国公開実用新案公報	1971-2022年	日本国実用新案登録公報	1996-2022年	日本国登録実用新案公報	1994-2022年				
日本国実用新案公報	1922-1996年													
日本国公開実用新案公報	1971-2022年													
日本国実用新案登録公報	1996-2022年													
日本国登録実用新案公報	1994-2022年													
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）														
C. 関連すると認められる文献														
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号												
A	JP 2003-323145 A（東芝松下ディスプレイテクノロジー株式会社）14.11.2003 (2003-11-14) 図1	1-4												
A	JP 2006-20098 A（株式会社東芝）19.01.2006（2006-01-19） 図1	1-4												
A	JP 8-65116 A（株式会社東芝）08.03.1996（1996-03-08） 図1	1-4												
☐ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。														
<table border="0"> <tr> <td>* 引用文献のカテゴリー</td> <td>“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの</td> </tr> <tr> <td>“A” 特に関連のある文献ではなく、一般的な技術水準を示すもの</td> <td>“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの</td> </tr> <tr> <td>“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの</td> <td>“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの</td> </tr> <tr> <td>“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）</td> <td>“&” 同一パテントファミリー文献</td> </tr> <tr> <td>“O” 口頭による開示、使用、展示等に言及する文献</td> <td></td> </tr> <tr> <td>“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献</td> <td></td> </tr> </table>			* 引用文献のカテゴリー	“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの	“A” 特に関連のある文献ではなく、一般的な技術水準を示すもの	“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの	“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの	“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	“&” 同一パテントファミリー文献	“O” 口頭による開示、使用、展示等に言及する文献		“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献	
* 引用文献のカテゴリー	“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの													
“A” 特に関連のある文献ではなく、一般的な技術水準を示すもの	“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの													
“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの													
“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	“&” 同一パテントファミリー文献													
“O” 口頭による開示、使用、展示等に言及する文献														
“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献														
国際調査を完了した日 17.01.2022	国際調査報告の発送日 25.01.2022													
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号	権限のある職員（特許庁審査官） 小林 正明 5W 4241 電話番号 03-3581-1101 内線 3576													

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2021/044525

引用文献			公表日	パテントファミリー文献	公表日
JP	2003-323145	A	14.11.2003	(ファミリーなし)	
JP	2006-20098	A	19.01.2006	US 2006/0001481	A1
				FIG. 1	
JP	8-65116	A	08.03.1996	US 5708606	A
				FIG. 3B	