(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第3854720号
(P3854720)
(45)発行日　平成18年12月6日(2006.12.6)　(24)登録日　平成18年9月15日(2006.9.15)

(51)Int.Cl.		F I		
H04N 5/335	(2006.01)	H04N	5/335	V
H01L 27/146	(2006.01)	H01L	27/14	A

請求項の数 24　(全 21 頁)

(21)出願番号　特願平10-138253
(22)出願日　平成10年5月20日(1998.5.20)
(65)公開番号　特開平11-331713
(43)公開日　平成11年11月30日(1999.11.30)
審査請求日　平成12年6月9日(2000.6.9)
審判番号　不服2004-11943(P2004-11943/J1)
審判請求日　平成16年6月10日(2004.6.10)

(73)特許権者　000001007
キヤノン株式会社
東京都大田区下丸子３丁目３０番２号
(74)代理人　100090538
弁理士　西山　恵三
(74)代理人　100096965
弁理士　内尾　裕一
(72)発明者　橋本　誠二
東京都大田区下丸子３丁目３０番２号キヤノン株式会社内
(72)発明者　星　淳一
東京都大田区下丸子３丁目３０番２号キヤノン株式会社内

最終頁に続く

(54)【発明の名称】撮像装置及びそれを用いた撮像システム

(57)【特許請求の範囲】

【請求項１】

複数の光電変換部と前記複数の光電変換部からの信号を処理する共通回路を配置してなる単位セルが複数配列された撮像装置において、

少なくとも前記撮像装置の中心部分には、各々の前記光電変換部内の光を受光する受光部の受光部間のピッチを、少なくとも垂直方向又は水平方向の１方向で等ピッチに調整するための調整手段が設けられており、

前記単位セル内の前記複数の光電変換部の各々は、他の光電変換部を介さずに前記共通回路に隣接するように、前記単位セル内の光電変換部を前記共通回路を挟んで両側に配置したことを特徴とする撮像装置。

【請求項２】

請求項１において、前記調整手段は、前記共通回路により生じる、少なくとも撮像装置の中心部分の受光部の水平方向又は垂直方向の少なくとも１方向での不等ピッチをキャンセルするための光学的部材であることを特徴とする撮像装置。

【請求項３】

請求項２において、前記光学的部材は遮光膜であることを特徴とする撮像装置。

【請求項４】

請求項３において、前記共通回路は単位セルの中心部に配置したことを特徴とする撮像装置。

【請求項５】

請求項４において、前記遮光膜は隣り合う単位セル間に配置したことを特徴とする撮像装置。

【請求項６】

請求項５において、前記遮光膜は少なくとも前記単位セルの水平方向又は垂直方向の中心線に対して線対称となる位置に配置したことを特徴とする撮像装置。

【請求項７】

請求項２において、前記光学的部材はオンチップレンズであることを特徴とする撮像装置。

【請求項８】

請求項１乃至請求項７のいずれか１項において、各光電変換部における前記受光部の重心と各光電変換部の重心は一致していることを特徴とする撮像装置。

【請求項９】

請求項１乃至請求項８のいずれか１項において、前記共通回路はアンプであることを特徴とする撮像装置。

【請求項１０】

請求項９において、前記アンプは前記単位セル中の複数の光電変換部からの信号を増幅する増幅手段と前記単位セル中をリセットするリセット手段を有することを特徴とする撮像装置。

【請求項１１】

請求項９又は請求項１０において、前記単位セル内で各光電変換部における受光部の重心と光電変換部の重心が一致するように、シフトレジスタから駆動パルスを共通回路に加えるための制御線を設けたことを特徴とする撮像装置。

【請求項１２】

請求項９又は請求項１０において、前記単位セル内は水平方向に貫通する、シフトレジスタから駆動パルスを共通回路に加えるための制御線を有し、前記制御線は光を透過する透明な導体であることを特徴とする撮像装置。

【請求項１３】

請求項９又は請求項１０において、前記単位セル内は水平方向に貫通する、シフトレジスタから駆動パルスを共通回路に加えるための制御線を有し、前記制御線は前記光電変換部の中心部を横切ることを特徴とする撮像装置。

【請求項１４】

請求項９又は請求項１０において、前記単位セル内は水平方向に貫通する、シフトレジスタから駆動パルスを共通回路に加えるための制御線を有し、前記単位セルを構成する共通回路は、前記制御線の下方に配置したことを特徴とする撮像装置。

【請求項１５】

請求項９又は請求項１０において、前記単位セル内は水平方向に貫通する、シフトレジスタから駆動パルスを共通回路に加えるための制御線を有し、前記制御線は２つの群に分かれており、それぞれ前記各画素の周辺部分を同本数で貫通することを特徴とする撮像装置。

【請求項１６】

請求項１５において、前記単位セルは、少なくとも増幅手段及びリセット手段を有し、前記増幅手段と前記リセット手段は別々の群の前記制御線の下方に配置されたことを特徴とする撮像装置。

【請求項１７】

請求項１において、前記調整手段は、少なくとも前記撮像装置の中心部分の各同じ色毎の受光部間のピッチを少なくとも垂直方向又は水平方向の１方向で等ピッチに調整することを特徴とする撮像装置。

【請求項１８】

請求項１７において、輝度を主に決める色フィルタが取り付けられている光電変換部の受光部を、それ以外の色フィルタが取り付けられている光電変換部の受光部よりも大きく

することを特徴とする撮像装置。
【請求項１９】
請求項１８において、輝度を主に決める色はグリーン（Ｇ）であることを特徴とする撮像装置。
【請求項２０】
請求項１７において、前記調整手段は遮光膜であり、前記遮光膜は前記単位セルの中心に対して中心対称であることを特徴とする撮像装置。
【請求項２１】
請求項１７乃至請求項２０のいずれか１項において、前記共通回路はアンプであることを特徴とする撮像装置。
【請求項２２】
請求項２１において、前記アンプは複数の光電変換部からの信号を増幅する増幅手段と前記増幅手段の入力部をリセットするリセット手段を有することを特徴とする撮像装置。
【請求項２３】
請求項１乃至請求項８及び請求項１７乃至請求項２０のいずれか１項において、前記共通回路は、複数の光電変換部からの信号をディジタル信号に変換するディジタル信号変換手段を有することを特徴とする撮像装置。
【請求項２４】
請求項１乃至請求項１５のいずれか１項に記載の前記撮像装置と、前記撮像装置へ光を結像するレンズと、前記撮像装置からの出力信号を処理する信号処理回路とを有することを特徴とする撮像システム。
【発明の詳細な説明】
【０００１】
【発明の属する技術分野】
本発明は画像を撮像する撮像装置及びそれを用いた撮像システムに関するものである。
【０００２】
【従来の技術】
従来、ゲインセル、あるいはＡＰＳを有する撮像装置には、画素アンプにＢＪＴ，ＭＯＳＦＥＴ，ＪＦＥＴ，などを用いたものがある。
【０００３】
これらは光電変換素子であるホトダイオードに蓄積された信号電荷を各々の方式によって増幅、画像情報として読出すものである。信号電荷を増幅する手段は各々の画素中に存在するため、ゲインセルあるいはＡＰＳと呼ばれている。
【０００４】
ＡＰＳは画素中に増幅手段（アンプ）やその制御手段を有するため、光電変換部の画素に占める割合（面積率）あるいは光が入射する領域の画素に占める割合（開口率）は小さくなりがちである。従って撮像装置のダイナミックレンジ、感度、Ｓ／Ｎ比等は低下する恐れがある。
【０００５】
図２２－ｂのように１画素に１つのアンプを設けると開口率が低下する。増幅手段による面積率、開口率の低下を防ぐ方法として例えば特開昭６３－１００８７９号公報あるいは特開平９－４６５９６号公報に見られるように、複数画素で１つの増幅手段を共有する方法が提案されている。
【０００６】
図２４はその画素構成を示す図である。図２４に於て、ＰＤ１，～ＰＤ４は光電変換部となるホトダイオード、ＭＴＸ１～ＭＴＸ４はホトダイオードＰＤ１～ＰＤ４に蓄積された信号電荷を転送する転送用ＭＯＳトランジスタ、ＭＲＥＳはリセット用ＭＯＳトランジスタ、ＭＳＦ，ＭＳＥＬは増幅手段（ソースフォロワ）を構成するＭＯＳトランジスタであり、ＭＳＥＬは画素を選択する選択用スイッチとなっている。
【０００７】

【発明が解決しようとする課題】
しかしながら、上記特開昭６３－１００８７９号公報又は特開平９－４６５９６号公報には、複数の画素で１つの増幅手段を共有する場合での具体的な配置は開示されていなかった。
【０００８】
また、共有する部分が上記の増幅手段ではなく、他の処理をするものであっても具体的開示はなかった。
【０００９】
そのため、本発明では複数の画素で１つの増幅手段等の共通回路を共有する場合においても解像度を低下することなく、良好な性能を得ることができる撮像装置を提供することを目的とする。
【００１０】
また、本発明は上記の撮像装置に好適に用いられるノイズ除去手段を有する撮像装置を提供することを目的とする。
【００１１】
さらにまた、上記の撮像装置をセンサ部に用いた撮像システムを提供することを目的とする。
【００１２】
【課題を解決するための手段】
本発明は、上記のような課題を解決するためになされたものである。
【００１３】
複数の光電変換部と前記複数の光電変換部からの信号を処理する共通回路を配置してなる単位セルが複数配列された撮像装置において、少なくとも前記撮像装置の中心部分には、各々の前記光電変換部内の光を受光する受光部の受光部間のピッチを、少なくとも垂直方向又は水平方向の１方向で等ピッチに調整するための調整手段が設けられており、前記単位セル内の前記複数の光電変換部の各々は、他の光電変換部を介さずに前記共通回路に隣接するように、前記単位セル内の光電変換部を前記共通回路を挟んで両側に配置したことを特徴とする撮像装置を提供する。
【００１５】
さらに、また上記に示した撮像装置と、前記撮像装置へ光を結像するレンズと、前記撮像装置からの出力信号を処理する信号処理回路とを有することを特徴とする撮像システムを提供する。
【００１６】
【発明の実施の形態】
本発明の実施形態の説明に先だって本発明にいたる技術的背景について説明する。
【００１７】
本発明者らは、前述した、特開昭６３－１００８７９号公報あるいは特開平９－４６５９６号公報に見られるような、複数画素で１つの増幅手段（アンプ）等の共通回路を共有する撮像装置に於ける、画素レイアウトを検討した。
【００１８】
図２２（ａ）に共通回路に対して画素数が４である場合の撮像装置の一例の画素レイアウト図を示す。
【００１９】
本例は画素の２行２列毎に増幅手段を共有する例であり、４つのホトダイオード１７３（ａ１１，ａ１２，ａ２１，ａ２２）の間に増幅手段１７４が配置されている。ここで１７１は２行分の繰返し単位セル、１７２は２列分の繰返し単位セルを示す。
【００２０】
図２３により具体的な画素のパターンレイアウト図を示す。
【００２１】
撮像装置はＣＭＯＳセンサーである。

【００２２】
図２３に於て、１８１は前述の繰返しの単位セル（図中の点線領域）であり、４画素分の大きさで、行、列方向に繰返し配置されている。ホトダイオード１８２ａ，１８２ｂ，１８２ｃ，１８２ｄに入射された光は蓄積電荷である電子に変換され、ホトダイオード１８２ａ～１８２ｄ中に蓄積される。蓄積された電荷は転送ゲート１８３ａ～ｄによってフローティングディフュージョン１８５に転送され、増幅手段であるＭＯＳ型アンプの入力ゲート１８６に運ばれる。この蓄積電荷によってＭＯＳ型アンプを流れる電流は変調を受け、その出力電流は垂直信号線１８７によって画素アレーから取出される。
【００２３】
上記撮像装置（２次元画素アレー）のＸ－Ｙアドレッシングは、垂直信号線１８７と、走査線１８８ａ～ｄ，行選択線１９０によって行われている。また、これらの配線の他に電源ＶＤＤの配線１９１が垂直方向に、フローティングディフュージョン１８５と、入力ゲート１８６を所定の電圧にリセットするためのリセット線１９２が水平方向に配線されている。
【００２４】
配線１８８～１９２はセル内の配線よりも上方に配置されており、従ってその分基本寸法はためである。この６本の不透明な配線１８８～１９２は光学的に不感領域となるため、分散配置された増幅手段はこれらの配線１８８～１９２の下に置かれる。そこで、ホトダイオードの位置を前記単位セル１８１の四角の方向に偏在して配置する事が考えられる。
【００２５】
しかし、このような配置は図２２（ａ）から明らかなように、光電変換部の配列が等ピッチとはならないために、それぞれの画素内の光を関知する領域（受光部）の間隔が等しくならず、次のような問題が生じる。
【００２６】
すなわち、同色の等ピッチでない配列は、部分的に空間周波数、解像度が等しくないために、解像度の低下、モアレ縞等の不良を発生させる。また、モアレ縞の発生は非常に重大な問題であり、そのような撮像装置は、事実上製品として成り立ち得ない。これは前記単位セルを構成する画素数が４以外の場合にも同様に成り立つ。
【００２７】
本発明者らは上記の点に鑑み、さらに検討を進めた結果、複数画素中に分散された増幅手段を有するＡＰＳに於ても、光電変換部のピッチを一定とすることによってそれぞれの受光部の間隔は等しくなり、解像度の低下とモアレ縞の発生を防止し、開口率等を向上させ、良好な性能を得ることができる撮像装置を見出した。
【００２８】
以下、本発明の実施形態について図面を用いて説明する。
【００２９】
図１は２行２列の画素が増幅手段１２を共有する例を示す図である。
【００３０】
図１では、前記共有する増幅手段１２が前記４つの画素の中心に配置され、４つの光電変換部（ａ１１，ａ１２，ａ２１，ａ２２）が前記増幅手段１２を取囲むように配置されている。
【００３１】
しかも、前記増幅手段１２の占める各画素に於ける領域と中心対称な位置に遮光部１５が存在している。従って、各画素に於ける前記光電変換部１１の重心は前記各画素の中心に存在する。これにより前記４つの光電変換部（ａ１１～ａ２２）は縦方向、横方向に等間隔ａで配置出来ている。
【００３２】
また図２では、前記共有する増幅手段２２が前記４つの画素の横方向の中心部に配置され、４つの光電変換部２１（ａ１１，ａ１２，ａ２１，ａ２２）が前記増幅手段２２をはさむように配置されている。

【００３３】
しかも、前記増幅手段１２の占める各画素に於ける領域と中心対称な位置に遮光部２５が存在している。従って各画素に於ける前記光電変換部１１の重心は前記各画素の中心に存在する。これにより前記４つの光電変換部（ａ１１～ａ２２）は縦方向、横方向に等間隔ａで配置出来ている。
【００３４】
上述した図２の実施形態は、横方向と縦方向を入れ換えても全く同様に成立する。
【００３５】
また図３では、４画素から成る繰返し単位セル３０のうち、左上と右下に、解像度に最も効くＧ画素が配置されている。前記Ｇ画素に於ては前記セル３０の中心に配置されている前記増幅手段３２の占める領域と中心対称な位置に遮光部３５が存在している。従って、Ｇ画素に於ける光電変換部３１の重心は、前記Ｇ画素の中心に存在する。これにより前記Ｇ画素の光電変換部ａ１１，ａ２２は、縦方向、横方向に等間隔ａで配置出来ている。
【００３６】
Ｒ画素は前記セル３０の右上に、Ｂ画素は前記セル３０の左下に配置されている。これらは前記Ｇ画素のように特に考慮された遮光部は有しないものの、その単位セル３０に於ける配置数が１のため、前記単位セルの間隔２ａで等間隔に配置出来ている。
【００３７】
図４は、前記図３に示した実施形態のバリエーションであり、前記Ｇ画素に於ける増幅手段と遮光部の占める領域が小さくなるように工夫したものである。
【００３８】
また本発明者らは上記のような複数画素で１つの増幅手段を共有する撮像装置に有効なノイズ除去に用いられる信号読出回路も見出した。
【００３９】
以上に述べた実施形態においては、複数の画素で共有する部分として増幅手段を開示したが、共有する部分は増幅手段に限るものではない。
【００４０】
【実施例】
以下、本発明の実施例について図面を用いて詳細に説明する。
【００４１】
最初に、図６に本発明における撮像装置を用いた撮像システムのブロック図を示す。同図に示すように、光学系７１を通って入射した画像光はＣＭＯＳセンサー７２上に結像する。ＣＭＯＳセンサー７２上に配置されている画素アレーによって光情報は電気信号へと変換される。その電気信号は信号処理回路７３によって予め決められた方法によって信号変換処理され、出力される。信号処理された信号は、記録系、通信系７４により情報記録装置により記録、あるいは情報転送される。記録、あるいは転送された信号は再生系７７により再生される。ＣＭＯＳセンサー７２、信号処理回路７３はタイミング制御回路７５により制御され、光学系７１、タイミング制御回路７５、記録系・通信系７４、再生系７７はシステムコントロール回路７６により制御される。
【００４２】
（実施例１）
まず、実施例１について説明する。
【００４３】
図５に上記ＣＭＯＳセンサーの一画素分の回路構成図を示す。
【００４４】
図５に於てａ１１～ａ２２は光電変換部となるホトダイオード、ＭＴＸ１～４はホトダイオードａ１１～ａ２２に蓄積された信号電荷をフローティングディフュージョン（以下ＦＤと記す。）に転送する転送用ＭＯＳトランジスタ、ＭＲＥＳはＦＤをリセットするリセット用ＭＯＳトランジスタ、ＭＳＦ，ＭＳＥＬはソースフォロワ回路を構成するＭＯＳトランジスタであり、ＭＳＥＬは画素を選択する選択スイッチとなっている。

【００４５】
図７に本実施例のＣＭＯＳセンサーの画素アレー部の具体的なパターンレイアウト図を示す。
【００４６】
図８に示すＣＭＯＳセンサーは端結晶シリュー基板上にレイアウトルール０．４μｍによって形成されており、画素の大きさは８μｍ角であり、増幅手段であるソースフォロワアンプは２行２列の４画素で共有されている。従って、図中点線領域で示した繰返し単位セル８１の大きさは１６μｍ×１６μｍ角であり、２次元アレーが形成されている。
【００４７】
光電変換部であるホトダイオード８２ａ，８２ｂ，８２ｃ，８２ｄは各画素の中央に斜めに形成されており、その形状は上下左右でほぼ回転対称、鏡像対称である。また前記ホトダイオードの重心ｇは各画素に対して同一になるように設計されている。また９５は遮光部である。
【００４８】
８８－ａは左上の転送ゲート８３－ａを制御する走査線、９０は行選択線、９２はＭＯＳゲート９３を制御するリセット線である。
【００４９】
ホトダイオード８２ａ～ｄ中に蓄積された信号電荷は転送ゲート８３ａ～ｄを通ってＦＤ８５に導かれる。ゲート８３ａ～ｄのＭＯＳサイズはＬ＝０．４μｍ，Ｗ＝１．０μｍ（Ｌはチャネル長、Ｗはチャネル巾を示す。）である。
【００５０】
ＦＤ８５は巾０．４μｍのＡｌ配線によってソースフォロワの入力ゲート８６に接続されており、ＦＤ８５に転送された信号電荷は入力ゲート８５の電圧を変調させる。入力ゲート８６のＭＯＳの大きさはＬ＝０．８μｍ，Ｗ＝１．０μｍであり、ＦＤ８５と入力ゲート８６の容量の和は５ｆＦ程度である。Ｑ＝ＣＶであるから、10^5個の電子の蓄積によって入力ゲート８６の電圧は、３．２Ｖ変化することになる。
【００５１】
V_{DD}端子９１から流れ込む電流は入力ゲート８６によって変調され、垂直信号線８７に流出する。垂直信号線８７に流出する電流は図示しない信号処理回路によって信号処理され、最終的には画像情報となる。
【００５２】
その後、ホトダイオード８２ａ～ｄ，ＦＤ８５，入力ゲート８６の電位を所定の値のV_{DD}とするために、リセット線８２に接続されたＭＯＳゲート８３を開くことで、（このとき転送ゲート８３ａ～ｄも開く）ホトダイオード８２ａ～ｄ，ＦＤ８５，入力ゲート８６はV_{DD}端子とショートされる。
【００５３】
その後、転送ゲート８３ａ～ｄを閉じる事でホトダイオード８２ａ～ｄの電荷蓄積が再び始まる。
【００５４】
ここで注目すべきは、水平方向に貫通する配線８８ａ～ｄ，９０，９２全ては透明な導体である厚さ１５００ÅのＩＴＯ（Ｉｎｄｉｕｍ　Ｔｉｎ　Ｏｘｉｄｅ）で形成されているために、前記配線部分のうち、ホトダイオード８２ａ～ｄ上では光が透過するため、前記ホトダイオードの重心ｇは光を感知する領域（受光部）の重心と一致する事である。
【００５５】
本実施例によれば画素ピッチが等しい比較的高面積率、高開口率なＣＭＯＳセンサーを提供する事が出来る。
【００５６】
（実施例２）
第２の実施例について説明する。
【００５７】

本発明の第２の実施例である撮像装置の具体的なパターンレイアウト図を図８に示す。
【００５８】
図９に於て、１０２ａ～ｄはホトダイオード、１０３ａ～ｄは転送ゲート、１０５はＦＤ、１０６はソースフォロワの入力ゲート、１０７は垂直信号線、１０８ａ～ｄは走査線、１１０は行選択線、１１２はＭＯＳゲート１１３を制御するリセット線である。
【００５９】
本実施例に於ては水平方向に走る配線１０８ａ～ｄ，１１０，１１２が３本づつ各画素の中心を横切るように走っているために、前記ホトダイオード１０２ａ～ｄに入射する光を妨げるような金属配線であっても、光を感知する領域の重心ｇの移動は生じず、従って前記画素の中心と一致する。
【００６０】
本実施例によれば電気抵抗が小さな通常の（不透明な）金属を使用できるため、前記横方向の配線の時定数が改善され、更に高速な撮像装置を提供する事が出来る。
【００６１】
以上の実施例では、遮光膜の下の部分が有効利用されているため、図９に示すように遮光膜の下の部分にまで光電変換部であるホトダイオードを形成し、電荷蓄積部として機能させることも可能である。
【００６２】
（実施例３）
第３の実施例について説明する。
【００６３】
上述の第２実施例に於ては、最も光集光効率が良い画素の中心を横切るために、撮像装置の感度の低下が懸念される。そこで更に改善された実施例を図１０に示す。
【００６４】
本実施例に於ては転送ゲート１２３ａ～ｄ、ＦＤ１２５、ソースフォロワの入力ゲート１２６、リセット用のＭＯＳゲート１３３全てが横方向を走る配線（走査線１２８ａ～ｄ，行選択線１３０，リセット線１３２）下に形成されているため、ホトダイオード１２２ａ～ｄ、及びその開口を最大とする事が出来る。しかも、その開口部は各画素の中心に連続して存在する。また遮光部は水平、垂直配線部分に形成されている。
【００６５】
また本実施例に於ては前記増幅手段であるソースフォロワとリセット用のＭＯＳトランジスタを各画素の周辺の水平方向に分割して配置したためにコンパクトに前記水平方向の配線下に配置可能となっている。
【００６６】
また右上の画素の配線下には未使用のスペースが未だ存在するため、例えばスマートセンサー等、新規の構成を追加する事も可能である。
【００６７】
本実施例によれば、ホトダイオードの面積、及び開口率が大きく取れる事から、広ダイナミックレンジ、高感度な撮像装置を提供する事が出来る。また、将来微細化が進み、前記ホトダイオードの開口部分の寸法が光の波長程度になっても光が入射しなくなるといった恐れは生じにくく、永らくその性能を発揮する事が出来る。
【００６８】
また、以上の実施例では、増幅手段は単位セルの中心部に配置し、光を感知する領域の重心と、画素の中心は一致したものであるが、これらに限られず、図１１に示したような開口部が並進対称となっている構成のものでもよい。
【００６９】
つまり、開口部が並進対称となっていることにより、光を感知する領域は、等ピッチとなるためである。
【００７０】
（実施例４）

第４の実施例について説明する。
【００７１】
図１２に第４の実施例である、撮像装置の具体的なパターンレイアウト図を示す。
【００７２】
本実施例は使用する色の位置が決っており、左上と右下が輝度に最も影響を与えるＧ画素であり、右上がＲ画素、左下がＢ画素である。
【００７３】
本実施例に於てはＧ画素のホトダイオード１４２ａ，ｄが面積及び開口率が最大となるように増幅手段及びその他が配置されている。
【００７４】
またＧ画素に於ける光を感知する領域の重心ｇは各画素中心と一致しているため、Ｇ画素の等ピッチ性は確保されている。
【００７５】
本実施例によれば高感度な撮像装置を提供する事が出来る。
【００７６】
また人間の目に於ては、輝度の解像度の方が色の解像度よりも高く、また暗所では色が消失し、被写体の明暗のみ見えるという状態に類似した特性をも実現する事が出来る。
【００７７】
（実施例５）
第５の実施例について説明する。
【００７８】
本発明の第４の実施例を示す図を図１３に示す。
【００７９】
図１３において、単位セル２０１のそれぞれの画素には、オンチップレンズ２０２が形成されている。そして外界からの光は、このオンチップレンズで集光されて開口部２０３内に入射する。ここで２０４は、オンチップレンズによって集光された受光部である。
【００８０】
ここで、オンチップレンズを調整することにより、受光部の位置は自由度をもたせることが可能である。
【００８１】
このため、複数の画素で共有の増幅手段とした場合に、光電変換部であるフォトダイオードを等ピッチに形成することが出来なくとも、オンチップレンズを調整することによってそれぞれの受光部間は等ピッチとすることが可能となる。
【００８２】
また、撮像装置に使用している撮像レンズがテレセントリックでない場合には、センサチップに入射する光は、チップ中央と外周では入射角度（光軸）が異なる。このため、実施例１又は実施例２において、外周部分のみ開口部を不等ピッチにすることにより、センサチップ全体にわたって光を感知する領域は、等ピッチにすることも可能である。
【００８３】
以上に述べたように、実施例１から実施例４までは、光学的部材である遮光部を調整することにより、光を感知する領域（受光部）を等ピッチにしている。また実施例５では、光学的部材であるレンズを調整することにより、光を感知する領域（受光部）を等ピッチにしている。
【００８４】
（実施例６）
第６の実施例について説明する。
【００８５】
本実施例では信号処理回路部を含む本発明に係わる撮像装置について説明する。図１４に本実施例の信号処理回路部を含む撮像装置の等価回路図を示す。
【００８６】

又、図１５にタイミングチャートを示す。

【００８７】

垂直ブランキング期間を表わすクロックφＶ（ｎ）によって垂直走査が開始される。まず１行目のリセット線ϕTX_{R0}が水平ブランキング期間（φＨＢＬハイ）中に活性化し、次いで２行目、３行目が同様に行われる。これにより、各行の画素がリセット電位であるV_{DD}にリセットされる。（図６）

【００８８】

各水平期間中には図１５に示したように、期間T_1ではφＲｖハイによって前記垂直信号線１５７に接続するリセット用Ｔｒ１６０がオンし、前記垂直信号線１５７がリセットされる。それと共にφＴＮ，φＴＳ１，φＴＳ２ハイによって各ゲートＴｒ１６２がオンし、信号読出用Ｔｒ１６４以前までの配線と蓄積容量１６３が前記垂直信号線と導通し、同様にリセットされる。これにより、前記蓄積容量１６３等に蓄積していた電荷が除去される。次いで期間T_2で前記リセット線ϕTX_{R0}ハイによって画素中のソースフォロワーアンプの入力ゲートであるフローティングゲートがV_{DD}にリセットされる。次いで期間T_3で、φＬハイにより、前記信号線１５７に接続する接地用Ｔｒ１６１がオンし、前記信号線１５７が接地される。それと共にノイズ成分を蓄積するための蓄積容量ＣＴＮ１６３を前記信号線５７に接続するために、φＴＮハイとし、前記ゲートＴｒ１６２をオンさせる。その時には行選択線φＳＯはハイとなっており、前記フローティングゲートの電位（～V_{DD}）に応じた電流がV_{DD}端子から前記ＣＴＮへ向かって流れ込む事によって、前記蓄積容量ＣＴＮはノイズ成分の電荷を保持するようになる。

【００８９】

次に期間T_4で奇数列走査線ϕTX_{000}ハイによって前記画素中にある奇数列転送ゲートがオンし、ホトダイオードａ１１中の画像光に対応する蓄積電荷が前記フローティングゲートに転送される。その時は前記信号線１５７にぶら下る容量はノイズ用のＣＴＮではなく、ＣＴＳ１となっており、同様にして前記ａ１１に相当する奇数列の信号１成分の電荷が前記蓄積容量ＣＴＳ１に保持される。

【００９０】

次に期間T_5ではφＲＶハイによって信号線１５７のみがリセットされる。他の回路はφＳＯ，φＴＮ～φＴＳ２がロウであるのでリセットの影響は受けず、その状態は保持されたままである。

【００９１】

次に、期間T_5と期間T_6の間でリセット線６２に印加される信号ϕTX_{Ro}がハイレベルとなって画素中の入力ゲートがV_{DD}にリセットされる。

【００９２】

期間T_6では今度は走査線ϕTX_{oeo}ハイによってホトダイオードa_{12}の蓄積電荷が転送され、同様にして信号電荷が蓄積容量ＣＴＳ２に保持される。

【００９３】

このようにして、１行分のノイズ成分、ホトダイオードa_{11}信号成分、ホトダイオードa_{12}信号成分の電荷がＣＴＮ，ＣＴＳ１，ＣＴＳ２に各列毎に蓄積される。

【００９４】

期間T_7に於ては、各列のＣＴＮ～ＣＴＳ２に蓄積された電荷を各々順次増幅アンプ１６６に転送するため、水平走査パルスφＨｃを各列毎に順次ハイとする事によって各列毎に配置されたゲートＴｒ１６４をオンし、前記各列毎に蓄積容量ＣＴＮ～ＣＴＳ２と前記増幅アンプを導通させる。前記増幅アンプを通過したノイズ成分と、ホトダイオードa_{11}の信号、ホトダイオードa_{12}の信号成分は、差動アンプ１６７によって前記ホトダイオードa_{11}の信号成分からノイズ成分が光れた成分Ｓ１と、前記ホトダイオードa_{12}の信号成分からノイズ成分が引かれた成分Ｓ２とが最終的に出力される。

【００９５】

また期間７は、前記ホトダイオードの光電荷蓄積が行われる期間でもある。

【００９６】

さらに、ホトダイオードa$_{21}$，a$_{22}$からの信号成分からノイズ成分を引いた成分を得る場合においても、今回は、φTX$_{ooo}$，φTX$_{oeo}$の変わりにφTX$_{ooe}$，φTX$_{oee}$をハイにすることを除けば、上述に述べたのと同様の動作で行うことができる。

【００９７】

（実施例７）

実施例７について説明する。

【００９８】

本実施例の信号処理回路部を含む撮像装置の等価回路図を図１６に示す。

【００９９】

本実施例に於ては前記信号蓄積用の蓄積容量ＣＴＳ１～ＣＴＳ４　６３が４個設けられており、各々の容量６３に対して異った信号情報を記憶する事が可能である。より具体的にはＣＴＳ１には画素ａ１１の、ＣＴＳ４には画素２２の信号電荷を蓄積する事が出来る。従って増幅アンプ６６以降の信号処理が半分の速度で良くなり、その分、前記増幅アンプ６６及び差動アンプ６７、及び図示しない後板の信号処理系の信号処理が実施例６に比べて半分の速度で良くなる。その分回路に使用する素子の速度を低下させる事が出来、より低下、低性能安価な素子及び回路を使用可能となり、システム系全体のコストダウンを見込む事が出来る。

【０１００】

また、前記蓄積容量に蓄積する電荷は何も各ホトダイオードからの直接の出力である必要はなく、各画素に付随する転送ゲート、及びリセットゲートのクロックを工夫する事で、公知のように前記各ホトダイオードの信号電荷の加算が可能である。例えばＣＴＳ１には画素ａ１１のＧの光情報、ＣＴＳ２には画素ａ２２のＧの光情報、ＣＴ３には画素ａ１２＋ａ２１のＲ＋Ｂの光情報といった信号の取出方も可能となっている。本実施例に於ては、各画素をよりインテリジェントに使用するスマートセンサーに於ても充分に力を発揮出来る構成となっている。

【０１０１】

以上述べた実施例６、実施例７では、それぞれの単位セル毎の増幅手段の特性のばらつきによるノイズを除去することが可能となる。

【０１０２】

（実施例８）

実施例８について説明する。

【０１０３】

図１７で、本実施例をノンインタレースで駆動した時のタイミングを説明する。

【０１０４】

水平ブランキング期間（ＨＢＬＫ）に、画素で光電変換された信号の転送と、光電変換の初期状態へのリセット動作を行う。

【０１０５】

期間Ｔ$_1$では、パルスφＶで垂直信号線をリセットし、信号線上の残留電荷の除去を行うとともに、パルスφＴＮ１，φＴＮ２，φＴＳ１，φＴＳ２で一時蓄積用メモリＣＴＮ１，ＣＴＮ２，ＣＴＳ１，ＣＴＳ２上の残留電荷の除去を行う。

【０１０６】

期間Ｔ$_2$では１行目の画素行（ａ$_{11}$，ａ$_{12}$，・・・ａ$_{1n}$）のなかで、まず奇数番目の光電変換信号を転送する前段階として、共通アンプのゲート部をパルスφＴＸ$_{R0}$でリセットし残留電荷を除去する。除去した後ゲート部にはリセットノイズが残る。

【０１０７】

期間Ｔ$_3$では、Ｔ$_2$期間でのリセットノイズと共通アンプのオフセット電圧をメモリＣＴＵ１へ転送する期間である。パルスφＳＯで共通アンプの出力部を垂直信号線へ接続し、また共通アンプを動作状態にするためにパルスφＬで負荷ＭＯＳ　Ｔｒを導通させ、パルスφＴＮ１で垂直信号線とメモリを接続させる。メモリにはノイズ（Ｎ）として蓄積される。

【０１０８】
期間T_4では、奇数番目（a_{11}，a_{13}，・・・a_{1n}）の光電変換信号をメモリＣＴＳ１へ転送する期間である。パルスφＬ，φＴＳ１，φＳＯにより共通アンプからメモリまでが導通状態となる。
【０１０９】
パルスφTX_{oo}で光電変換信号は、受光部から共通アンプのゲート部へ転送される。この時点でゲートにはT_2期間でのリセットノイズに上記光電変換信号が加算されることになる。このゲート電圧は、共通アンプのオフセット電圧に重畳し、メモリ上では信号（Ｓ＋Ｎ）として蓄積される。
【０１１０】
期間T_5～T_8では、この期間は偶数番目（a_{12}，$a_{14,}$，・・・a_{1n-1}）の光電変換信号をメモリT_{S2}へ転送する駆動を行う。基本動作は前述のT_1～T_4期間と同じである。異なるのはφTX_{oo}→φTX_{oe}，φT_{N1}→φT_{N2}，φT_{S1}→φT_{S2}のパルス制御である。
【０１１１】
期間T_9では、垂直信号線と共通アンプと転送ＭＯＳ間の残留電荷を除去させることによりリセットノイズと光電変換信号の転送の基本動作を終了させる。
【０１１２】
上述の駆動で各メモリ上にはノイズＮ１，Ｎ２，信号Ｓ１＋Ｎ１，Ｓ２＋Ｎ２が蓄積されている。これらのノイズと信号はT_{10}期間に水平シフトレジスタからのパルスφＨ１，φＨ２で水平出力線の転送される。出力アンプＡ１で（Ｓ１＋Ｎ１）－Ｎ１の減算が行なわれ、信号Ｓ１が出力され、また出力アンプＡ２で（Ｓ２＋Ｎ２）－Ｎ２の減算が行なわれ信号Ｓ２が出力される。
【０１１３】
これで画素行（a_{11}・・・a_{1n}）の光電変換信号のみが得られたことになる。画素行の蓄積はT_4，T_8期間で光電変換信号をゲート部へ転送した時点で光電変換を開始している。
【０１１４】
次の水平ブランキング期間では２行目の画素行の動作が１行目と同様に行なわれる。２行目の画素行の動作終了により４画素を単位とした共通アンプは、次の動作が行なわれる一垂直期間後まで非導通状態になる。
【０１１５】
図１８で、２行同時駆動を行う場合は、メモリ（CT_{N1}，CT_{S1}，CT_{S2}）と出力差動アンプ（Ａ１，Ａ２）をもう一系列増すことで容易に出来る。即ちノンインタレース駆動で、１Ｈ毎に画素行へ１行分の駆動を行っていたが、これを１Ｈ期間内に２画素行分行なえば良い。
【０１１６】
図６に垂直タイミングの概略図を示す。
【０１１７】
一垂直期間に上述水平期間の動作が、垂直方向画素分の駆動が順次行なわれる。垂直シフトレジスタは１Ｈ毎に駆動パルスφTX_{oo}，φTX_{oe}，φTX_{R0}，φＳｏパルスを行毎に出力する。
【０１１８】
以上のように、実施例８では、上述した実施例６、実施例７のような、増幅手段の特性のばらつきによるノイズを除去するのみでなく、さらにリセットノイズも除去することが可能となる。
【０１１９】
（実施例９）
実施例９について説明する。
【０１２０】
本発明は何も図２４に示したような一般的なＣＭＯＳセンサーに使用するだけでなく、図２５に示したＩＳＳＣＣ９８／ＳＥＳＳ：ＯＮ１１／ＩＭＡＧＥＳＥＭＳＯＲＳ／ＰＡＰ

ＥＲ　ＦＡ１１．８ｐｐ１８２に開示されているイメージセンサーその他にも応用する事が出来る。

【０１２１】

その際の４つの画素に共有するアンプの構成としては例えば図２０のような回路が考えられる。

【０１２２】

（実施例１０）

実施例１０について説明する。

【０１２３】

本実施例では画素の共通アンプに付加機能を設けた共通回路について述べる。

【０１２４】

図２１に共通回路実施例図を示す。

【０１２５】

共通アンプの後段にはメモリ回路、差動アンプ、コンパレータがある。メモリに前記実施例で述べたノイズを一時蓄積し、アンプの（＋）側に信号（Ｓ－Ｎ）を転送し、両者の差動をとれば信号のみ（Ｓ）が得られる。この信号を垂直信号線に出力する。あるいは目的によっては、後段のコンパレータで２値化することが出来る。

【０１２６】

また、コンパレータをＡＤコンバータにすれば、ＡＤ出力を得ることができる。ＡＤ出力はシリアル出力、パラレル出力のどちらでも良く、目的によって回路構成を変えれば良い。

【０１２７】

【発明の効果】

以上説明したように、本発明によれば、解像度の低下、モアレ縞の発生といった性能低下を生じることがなく、開口率が大きく感度が高く、多機能を内蔵可能な高歩留な撮像装置を実現することが出来る。

【図面の簡単な説明】

【図１】本発明の画素部レイアウトを示す図である。

【図２】本発明の画素部レイアウトを示す図である。

【図３】本発明の画素部レイアウトを示す図である。

【図４】本発明の画素部レイアウトを示す図である。

【図５】ＣＭＯＳセンサーの単位セルの回路構成図を示す。

【図６】本発明の撮像装置を用いた撮像システムのブロック図である。

【図７】本発明の一実施例のパターンレイアウト図である。

【図８】本発明の一実施例のパターンレイアウト図である。

【図９】本発明の一実施例を表す図である。

【図１０】本発明の一実施例のパターンレイアウト図である。

【図１１】本発明の一実施例を表す図である。

【図１２】本発明の一実施例のパターンレイアウト図である。

【図１３】本発明の一実施例を表す図である。

【図１４】本発明の一実施例の信号処理回路図である。

【図１５】本発明の一実施例のタイミングチャートである。

【図１６】本発明の一実施例の信号処理回路図である。

【図１７】本発明の一実施例の信号処理回路図である。

【図１８】本発明の一実施例のタイミングチャートである。

【図１９】本発明の一実施例のタイミングチャートである。

【図２０】本発明の一実施例を表す図である。

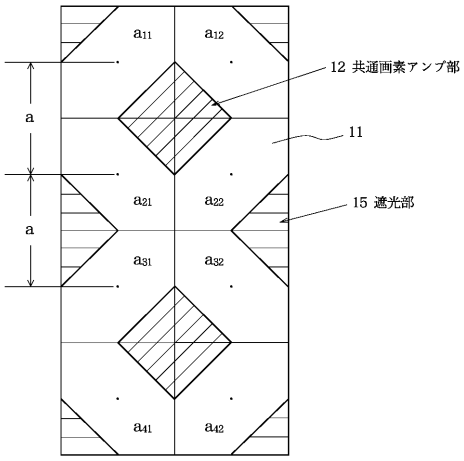
【図２１】本発明の一実施例を表す図である。

【図２２】撮像装置の画素部のレイアウト図である。

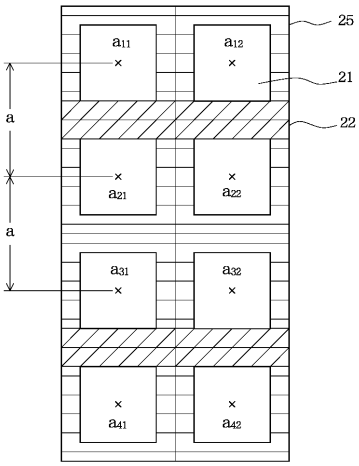
【図２３】図２２の撮像装置のパターンレイアウト図である。

【図２４】ＣＭＯＳセンサーの単位セルの回路構成図を示す。
【図２５】従来のＣＭＯＳセンサーの画素部の回路構成図である。
【符号の説明】
１１　光電変換部
１２　共通画素アンプ部
１５　遮光部
２１　光電変換部
２２　共通画素アンプ部
２５　遮光部
３１　光電変換部
３２　共通画素アンプ部
３５　遮光部
２０２　オンチップレンズ

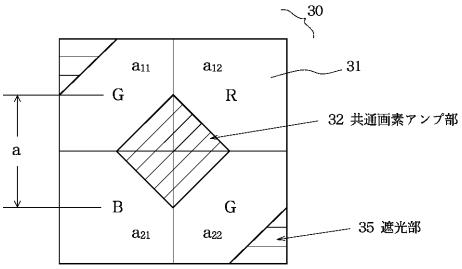
【図１】



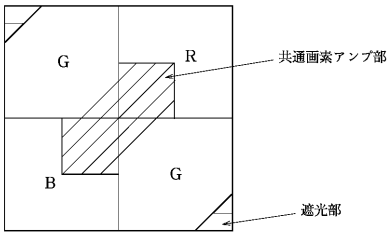
【図２】



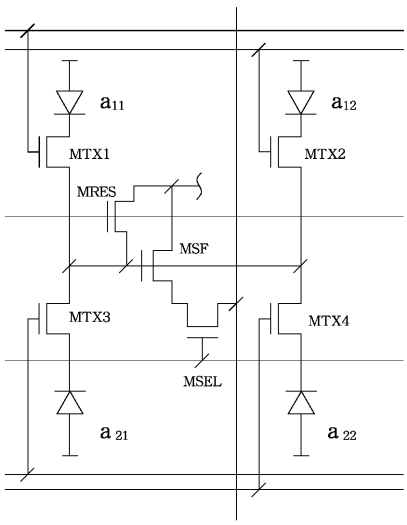
【図３】


30
a11
a12
31
G
R
32 共通画素アンプ部
a
B
G
a21
a22
35 遮光部

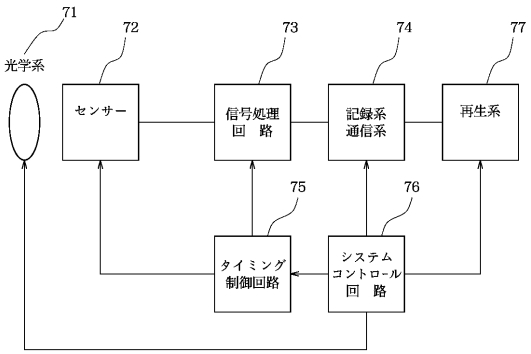
【図４】


G
R
共通画素アンプ部
B
G
遮光部

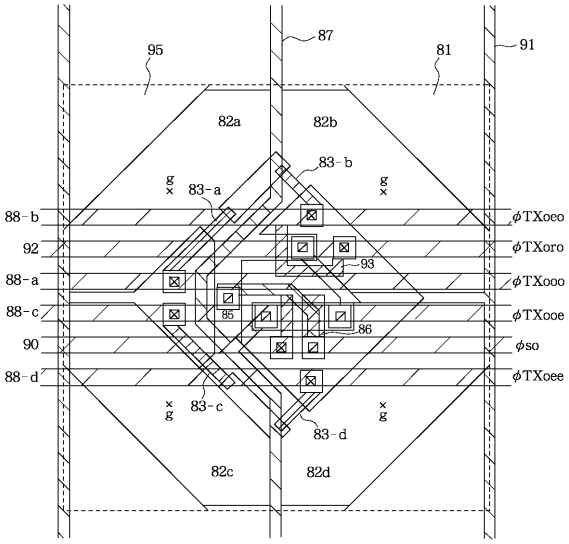
【図５】


a11
a12
MTX1
MTX2
MRES
MSF
MTX3
MTX4
MSEL
a 21
a 22

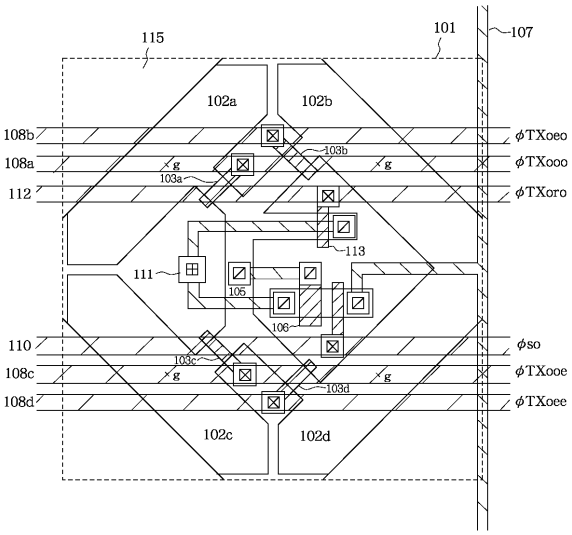
【図６】


71
72
73
74
77
光学系
センサー
信号処理
回　路
記録系
通信系
再生系
75
76
タイミング
制御回路
システム
コントロール
回　路

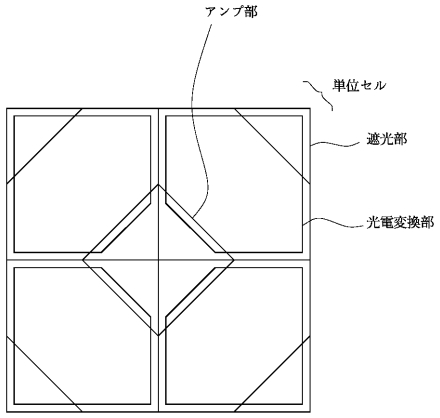
【図７】


95
87
81
91
82a
82b
83-b
83-a
88-b
92
88-a
88-c
90
88-d
φTXoeo
φTXoro
φTXooo
φTXooe
φso
φTXoee
93
85
86
83-c
83-d
82c
82d

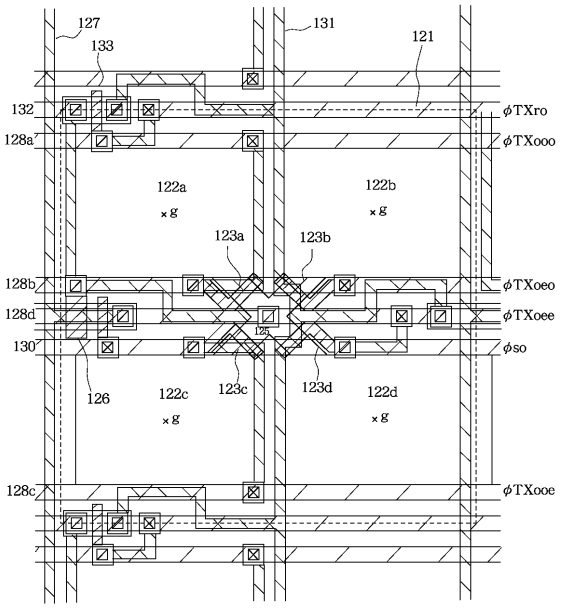
【図８】


115
101
107
102a
102b
108b
108a
112
φTXoeo
φTXooo
φTXoro
103b
103a
113
111
105
106
110
108c
108d
φso
φTXooe
φTXoee
103c
103d
102c
102d

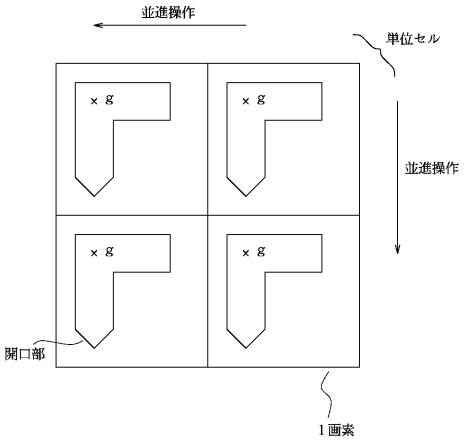
【図９】


アンプ部
単位セル
遮光部
光電変換部

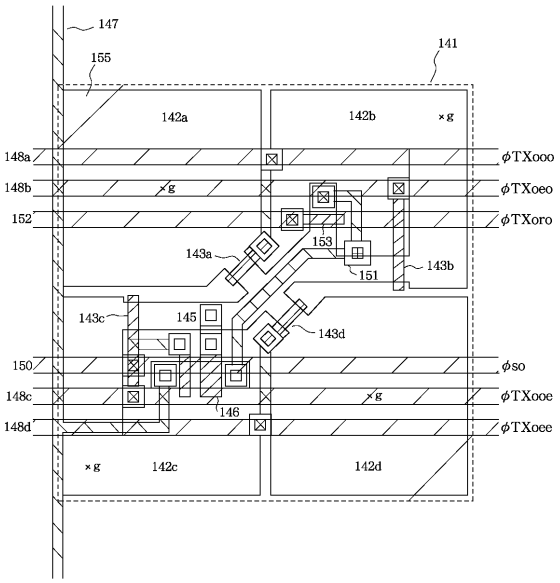
【図１０】


127
133
131
121
132
128a
φTXro
φTXooo
122a
122b
123a
123b
128b
128d
130
φTXoeo
φTXoee
φso
125
126
122c
123c
123d
122d
128c
φTXooe

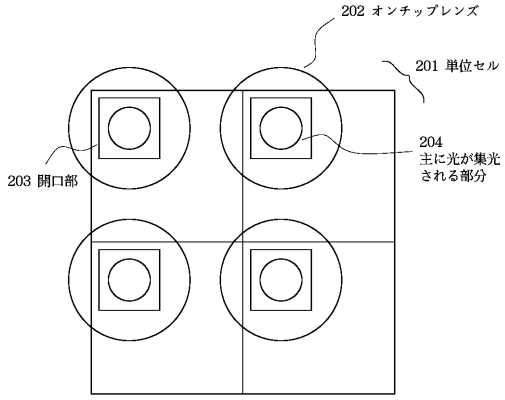
【図１１】



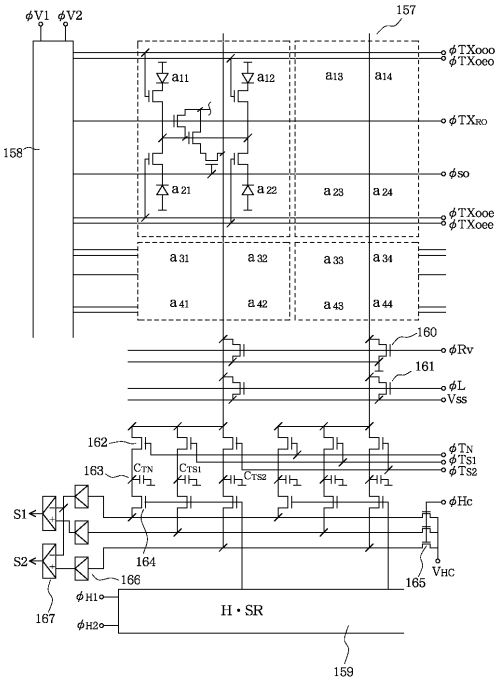
【図１２】



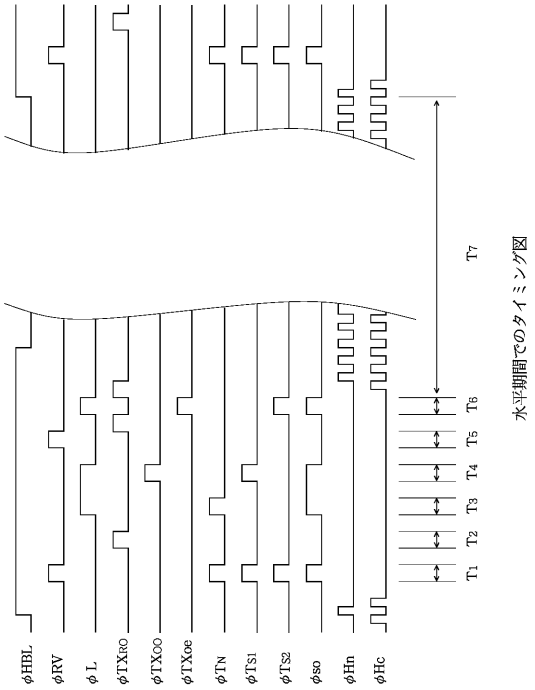
【図１３】



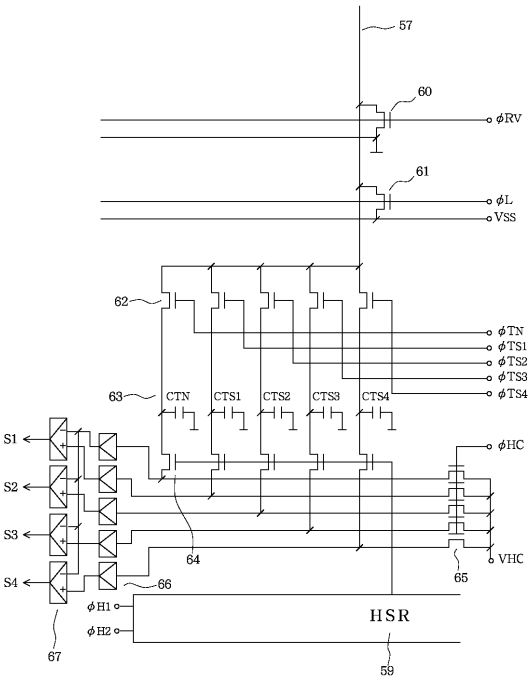
【図１４】



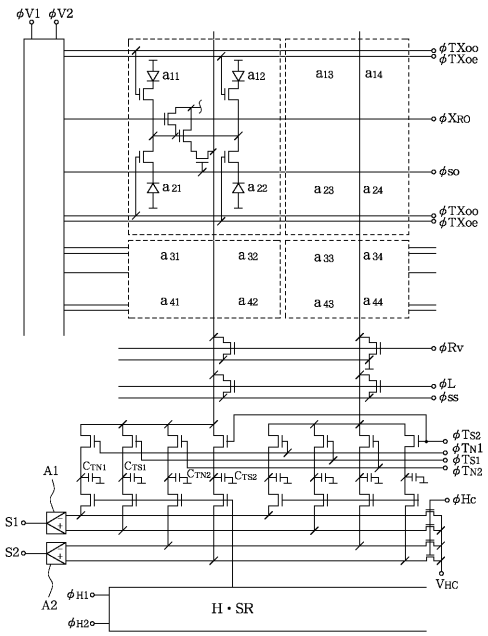
【図１５】



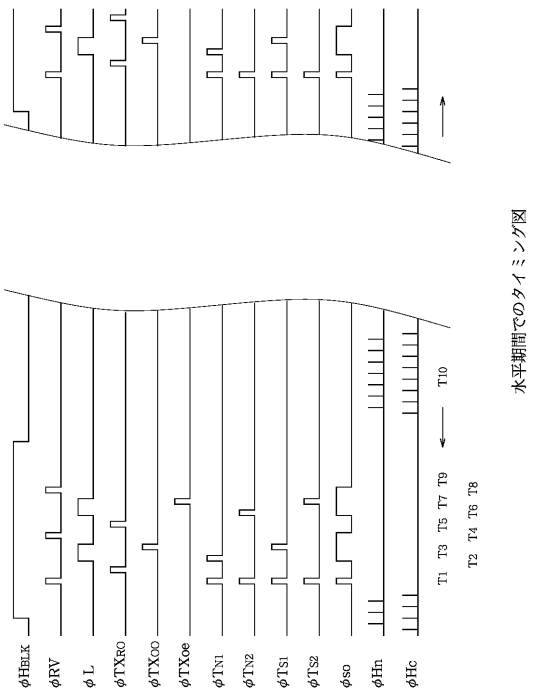
【図１６】



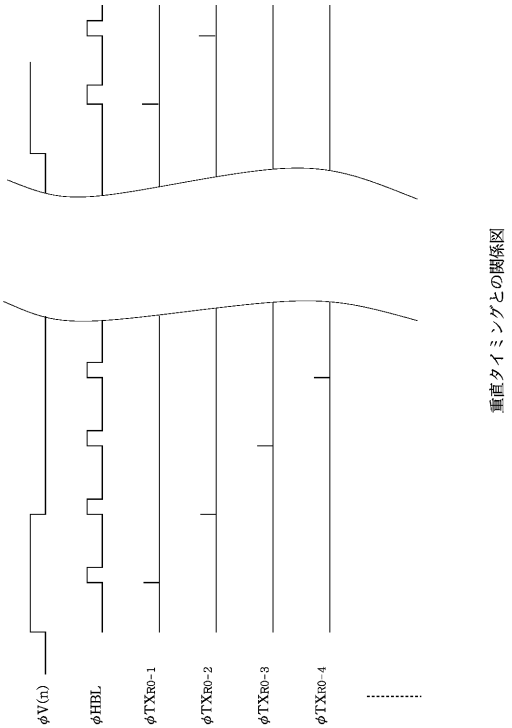
【図１７】



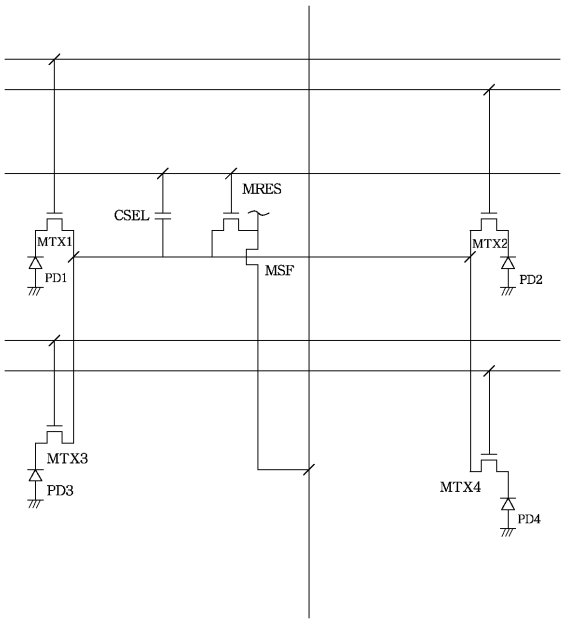
【図１８】



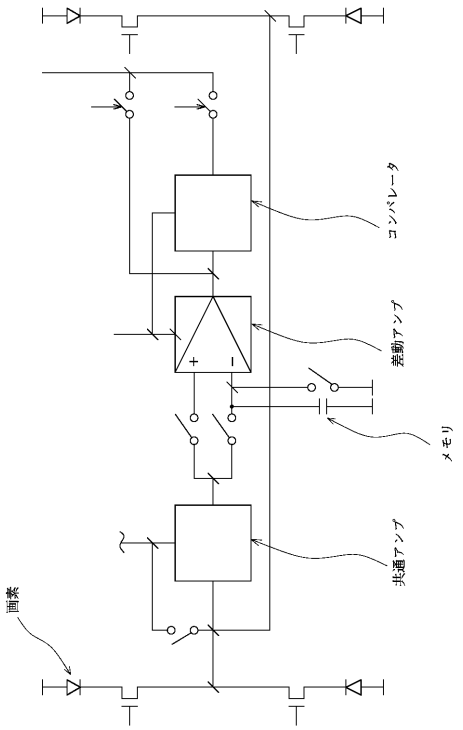
【図１９】



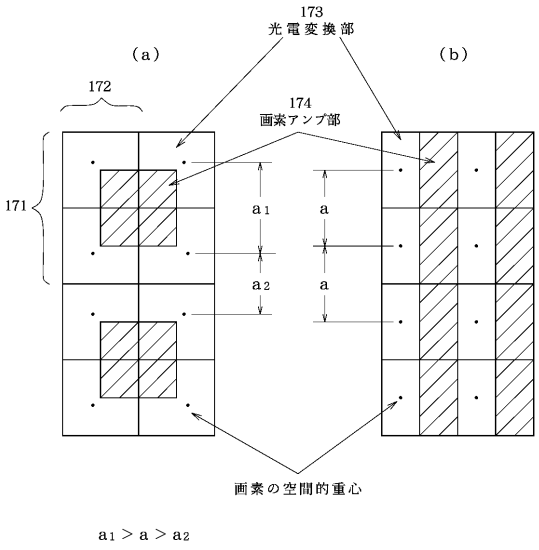
【図２０】



【図２１】

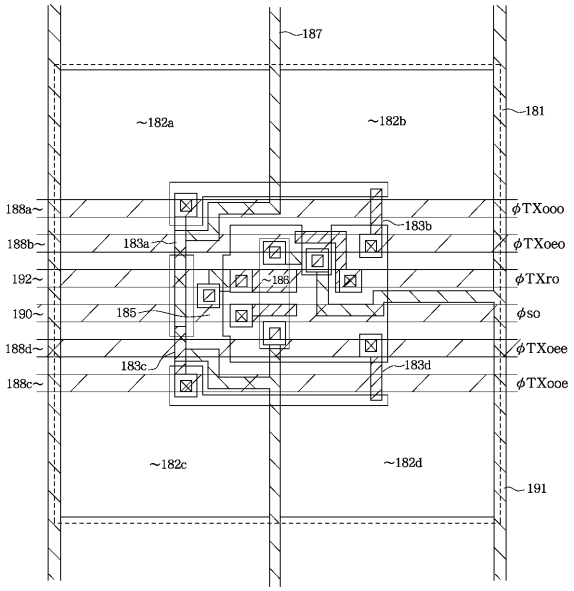


【図２２】

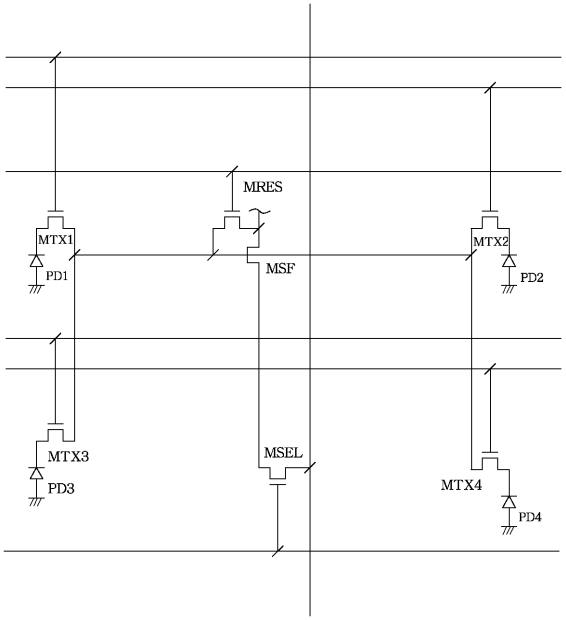


$a_1 > a > a_2$

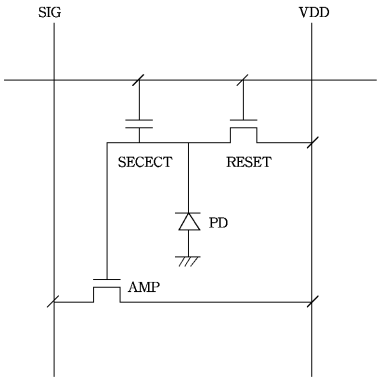
【図２３】


187
181
～182a
～182b
188a～
188b～
192～
190～
188d～
188c～
183a
183b
183c
183d
185
186
φTXooo
φTXoeo
φTXro
φso
φTXoee
φTXooe
～182c
～182d
191

【図２４】


MRES
MTX1
PD1
MSF
MTX2
PD2
MTX3
PD3
MSEL
MTX4
PD4

【図２５】


SIG
VDD
SECECT
RESET
PD
AMP

フロントページの続き

合議体
審判長　原　光明
審判官　堀井　啓明
審判官　松永　隆志

(56)参考文献　国際公開第９７／０７６３１（WO，Ａ１）
特開平６－２０４４５０（ＪＰ，Ａ）
特開平７－３００８４（ＪＰ，Ａ）
特開平９－６４３２４（ＪＰ，Ａ）
特開平１０－３２７６２（ＪＰ，Ａ）
特開平５－２４３５４６（ＪＰ，Ａ）