



(19) 中華民國智慧財產局

(12) 發明說明書公開本

(11) 公開編號：TW 202141505 A

(43) 公開日：中華民國 110 (2021) 年 11 月 01 日

(21) 申請案號：110126528

(22) 申請日：中華民國 109 (2020) 年 02 月 04 日

(51) Int. Cl. :

*G11C16/10 (2006.01)**G11C16/24 (2006.01)**G06F9/312 (2006.01)*

(30) 優先權：2019/02/22

美國

16/282,749

(71) 申請人：美商美光科技公司 (美國) MICRON TECHNOLOGY, INC. (US)

美國

(72) 發明人：費肯薩爾 李察 E FACKENTHAL, RICHARD E. (US)

(74) 代理人：陳長文

申請實體審查：有 申請專利範圍項數：20 項 圖式數：10 共 71 頁

(54) 名稱

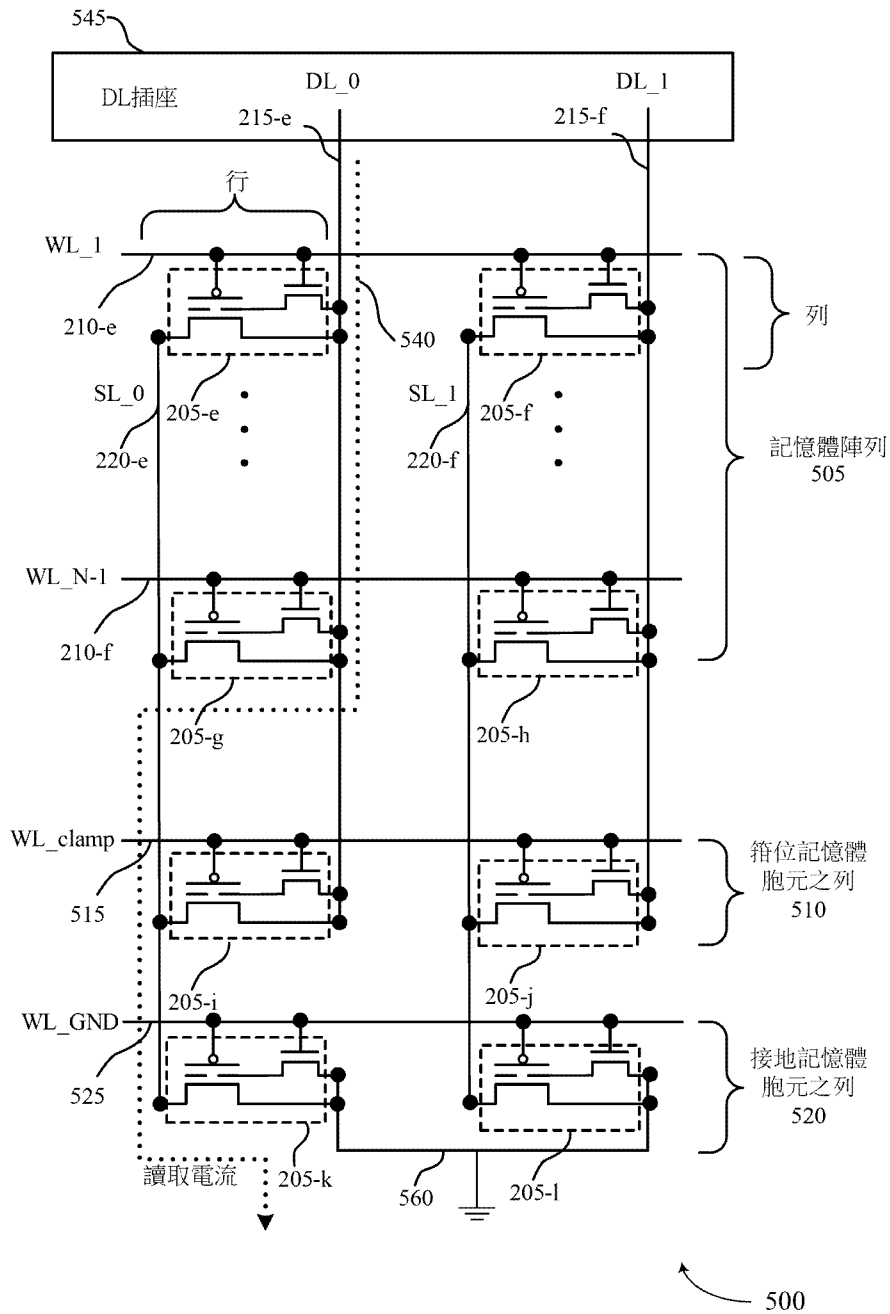
用於記憶體裝置之源極線組態

(57) 摘要

本發明描述用於一記憶體裝置之源極線組態之方法、系統及裝置。在一些情況中，該記憶體裝置之一記憶體胞元可包含具有用於儲存該記憶體胞元之一邏輯狀態之一浮動閘極之一第一電晶體及與該第一電晶體之該浮動閘極耦合之一第二電晶體。該記憶體胞元可與一字線、一數位線及一源極線耦合。在一寫入操作期間，可使用該記憶體裝置中之一或多個記憶體胞元將該源極線箝位至該數位線。在一讀取操作期間，可使用該記憶體裝置中之一或多個記憶體胞元使該源極線接地。

Methods, systems, and devices for source line configurations for a memory device are described. In some cases, a memory cell of the memory device may include a first transistor having a floating gate for storing a logic state of the memory cell and a second transistor coupled with the floating gate of the first transistor. The memory cell may be coupled with a word line, a digit line, and a source line. During a write operation, the source line may be clamped to the digit line using one or more memory cells in the memory device. During a read operation, the source line may be grounded using one or more memory cells in the memory device.

指定代表圖：



【圖5】

符號簡單說明：

- 205-e:浮動閘極記憶體胞元
- 205-f:浮動閘極記憶體胞元
- 205-g:浮動閘極記憶體胞元
- 205-h:浮動閘極記憶體胞元
- 205-i:箝位記憶體胞元
- 205-j:箝位記憶體胞元
- 205-k:接地記憶體胞元
- 205-l:接地記憶體胞元
- 210-e:字線
- 210-f:字線
- 215-e:數位線
- 215-f:數位線
- 220-e:源極線
- 220-f:源極線
- 500:記憶體裝置
- 505:記憶體陣列
- 510:箝位記憶體胞元
- 515:箝位線
- 520:接地記憶體胞元
- 525:接地線
- 540:電流路徑
- 545:數位線插座
- 560:接地節點

## 【發明摘要】

### 【中文發明名稱】

用於記憶體裝置之源極線組態

### 【英文發明名稱】

SOURCE LINE CONFIGURATIONS FOR A MEMORY DEVICE

### 【中文】

本發明描述用於一記憶體裝置之源極線組態之方法、系統及裝置。在一些情況中，該記憶體裝置之一記憶體胞元可包含具有用於儲存該記憶體胞元之一邏輯狀態之一浮動閘極之一第一電晶體及與該第一電晶體之該浮動閘極耦合之一第二電晶體。該記憶體胞元可與一字線、一數位線及一源極線耦合。在一寫入操作期間，可使用該記憶體裝置中之一或多個記憶體胞元將該源極線箝位至該數位線。在一讀取操作期間，可使用該記憶體裝置中之一或多個記憶體胞元使該源極線接地。

### 【英文】

Methods, systems, and devices for source line configurations for a memory device are described. In some cases, a memory cell of the memory device may include a first transistor having a floating gate for storing a logic state of the memory cell and a second transistor coupled with the floating gate of the first transistor. The memory cell may be coupled with a word line, a digit line, and a source line. During a write operation, the source line may be clamped to the digit line using one or more memory cells in the memory device. During a read operation, the source line may be grounded using one or more memory cells in the

memory device.

【指定代表圖】

圖5

【代表圖之符號簡單說明】

205-e: 浮動閘極記憶體胞元

205-f: 浮動閘極記憶體胞元

205-g: 浮動閘極記憶體胞元

205-h: 浮動閘極記憶體胞元

205-i: 箝位記憶體胞元

205-j: 箝位記憶體胞元

205-k: 接地記憶體胞元

205-l: 接地記憶體胞元

210-e: 字線

210-f: 字線

215-e: 數位線

215-f: 數位線

220-e: 源極線

220-f: 源極線

500: 記憶體裝置

505: 記憶體陣列

510: 箝位記憶體胞元

515: 箝位線

520: 接地記憶體胞元

525: 接地線

540: 電流路徑

545: 數位線插座

560: 接地節點

## 【發明說明書】

### 【中文發明名稱】

用於記憶體裝置之源極線組態

### 【英文發明名稱】

SOURCE LINE CONFIGURATIONS FOR A MEMORY DEVICE

### 【技術領域】

【0001】 技術領域係關於用於一記憶體裝置之源極線組態。

### 【先前技術】

【0002】 下文大體上係關於一種包含至少一個記憶體裝置之系統且更特定言之係關於用於具有浮動閘極之記憶體胞元之源極線組態及其使用技術。

【0003】 記憶體裝置廣泛用於將資訊儲存於各種電子裝置中，諸如電腦、無線通信裝置、相機、數位顯示器及類似物。藉由程式化一記憶體裝置之不同狀態來儲存資訊。例如，二進位裝置最通常儲存兩個狀態之一者，通常由一邏輯1或一邏輯0表示。在其他裝置中，可儲存兩個以上狀態。為存取所儲存之資訊，裝置之一組件可讀取或感測記憶體裝置中之至少一個經儲存狀態。為儲存資訊，裝置之一組件可將狀態寫入或程式化於記憶體裝置中。

【0004】 一些類型之記憶體裝置可在一記憶體胞元之讀取及寫入操作期間加偏壓於(例如，將一電壓施加至)各種存取線。此等存取線可包含字線、數位線及/或可與記憶體胞元耦合之其他類型之導電線。

### 【發明內容】

### 【圖式簡單說明】

**【0005】** 圖1繪示根據如本文中揭示之實例之支援用於一記憶體裝置之源極線組態之一系統之一實例。

**【0006】** 圖2繪示根據如本文中揭示之實例之支援用於一記憶體裝置之源極線組態之一記憶體晶粒之一實例。

**【0007】** 圖3A及圖3B繪示根據如本文中揭示之實例之支援用於一記憶體裝置之源極線組態之一記憶體裝置之存取線偏壓之實例。

**【0008】** 圖4繪示根據如本文中揭示之實例之支援用於一記憶體裝置之源極線組態之一記憶體裝置之存取線偏壓之一實例。

**【0009】** 圖5繪示根據如本文中揭示之實例之支援用於一記憶體裝置之源極線組態之一記憶體裝置之一實例。

**【0010】** 圖6繪示根據如本文中揭示之實例之支援用於一記憶體裝置之源極線組態之一時序圖之一實例。

**【0011】** 圖7繪示根據如本文中揭示之實例之支援用於一記憶體裝置之源極線組態之一時序圖之一實例。

**【0012】** 圖8展示根據如本文中揭示之實例之支援用於一記憶體裝置之源極線組態之一記憶體裝置之一方塊圖。

**【0013】** 圖9及圖10展示繪示根據如本文中揭示之實例之支援用於一記憶體裝置之源極線組態之一方法或若干方法之流程圖。

#### **【實施方式】**

**【0014】** 本專利申請案主張由Richard E. Fackenthal在2019年2月22日申請之標題為「SOURCE LINE CONFIGURATIONS FOR A MEMORY DEVICE」之美國專利申請案第16/282,749號之優先權，該案被讓渡給本文之受讓人且其全部內容清楚地以引用的方式併入本文中。

【0015】一記憶體裝置可包含可程式化以儲存不同邏輯狀態之一或多個記憶體胞元。例如，一記憶體胞元可在操作期間儲存數位邏輯之一個位元(例如，一邏輯1狀態及邏輯0狀態)。

【0016】一記憶體胞元可使用兩個電晶體儲存一邏輯狀態，該兩個電晶體之一者可與一浮動閘極相關聯。浮動閘極可為緊密接近於電晶體之一控制閘極但藉由一介電材料與控制閘極分離之一電節點。儲存於浮動閘極上之一電壓或電荷可影響與浮動閘極相關聯之電晶體之一臨限值電壓且因此亦可影響在將一電壓施加至控制閘極時流動通過電晶體之電流之一量。流動通過電晶體之電流之量可經「感測」以判定由記憶體胞元儲存之邏輯狀態。此類型之記憶體胞元(其可被稱為一浮動閘極記憶體胞元)可不使用一電容器來儲存邏輯狀態。代替地，具有一浮動閘極之一記憶體胞元可基於浮動閘極之一電壓儲存邏輯狀態。

【0017】一浮動閘極記憶體胞元可包含兩個電晶體，用於儲存一邏輯狀態之一第一電晶體及用於選擇性地存取第一電晶體之浮動閘極之一第二電晶體。本文中之描述將與浮動閘極相關聯之第一電晶體稱為一讀取電晶體，此係因為此電晶體可在一讀取操作期間啟動以讀取記憶體胞元之狀態。記憶體胞元中之第二電晶體可被稱為一寫入電晶體，此係因為第二電晶體可在一寫入操作期間啟動以將一電壓施加至第一電晶體之浮動閘極。

【0018】一浮動閘極記憶體胞元可與各種存取線耦合。此等存取線可包含一字線及一數位線，諸如與其他類型之記憶體胞元一起使用之字線及數位線。一浮動閘極記憶體胞元亦可與稱為一源極線之一存取線耦合。

【0019】可藉由加偏壓於(例如，將一電壓施加至)與記憶體胞元相關聯之存取線(諸如一字線、數位線及源極線)而讀取或寫入一浮動閘極記

憶體胞元。例如，一字線可與讀取電晶體及寫入電晶體之控制閘極耦合且可經偏壓以在一讀取或寫入操作期間選擇一目標記憶體胞元。一數位線可與讀取電晶體及寫入電晶體之汲極耦合，且可經偏壓以在一寫入操作期間(經由寫入電晶體)將一電壓施加至浮動閘極或在一讀取操作期間(經由讀取電晶體)引起一電流在數位線與一源極線之間流動。源極線可在一讀取操作期間偏壓至一相對低電壓(例如，一接地電壓)以使電流能夠經由讀取電晶體從數位線流動至源極線。

**【0020】** 在一些情況中，若源極線在一寫入操作期間偏壓至一低電壓而數位線經偏壓至一較高電壓以將一邏輯狀態寫入至一選定記憶體胞元，則數位線與源極線之間的電壓差可引起電流流動通過與相同數位線及源極線耦合之未選定記憶體胞元。累積洩漏電流可引起記憶體裝置中之非所要效應。因此，可期望在一寫入操作期間將源極線偏壓至數位線電壓以消除或緩和通過未選定記憶體胞元之非所要電流。即，源極線可需要取決於其是否用於一讀取操作或一寫入操作而以不同方式偏壓。

**【0021】** 在一些情況中，可藉由耦合一源極線與一控制器或電壓調節器而加偏壓於源極線，該控制器或電壓調節器取決於存取操作而將源極線驅動至一適當電壓。然而，使用此方法，可從與記憶體裝置相關聯之一記憶體胞元區塊引出(例如，從記憶體胞元之一圖塊或一磚引出)源極線，此可為昂貴的。

**【0022】** 為避免將源極線自對應記憶體胞元區塊引出，在一些情況中，可使用製造於相同於記憶體胞元陣列之晶粒上之其他浮動閘極記憶體胞元加偏壓於源極線。此等其他浮動閘極記憶體胞元可與陣列中之記憶體胞元之源極線耦合且可經組態以取決於操作(讀取或寫入)而將源極線偏壓

至適當電壓。

【0023】 例如，在一些情況中，一記憶體晶粒可包含與源極線及數位線耦合且經組態以在一寫入操作期間箝位(例如，耦合)源極線與對應數位線之記憶體胞元。在一些情況中，一記憶體晶粒可包含與源極線及一接地節點耦合且用於在一讀取操作期間使源極線接地之記憶體胞元。以此方式，可使用存在於記憶體胞元區塊上之記憶體胞元而非藉由將源極線自記憶體胞元區塊引出來適當地加偏壓於源極線。

【0024】 最初在如參考圖1及圖2描述之一記憶體系統及記憶體晶粒之內容脈絡中描述本發明之特徵。在如參考圖3至圖7描述之記憶體裝置及時序圖之內容脈絡中描述本發明之特徵。藉由且參考關於如參考圖8至圖10描述之源極線管理之使用之一裝置圖及流程圖進一步繪示且描述本發明之此等及其他特徵。

【0025】 圖1繪示根據如本文中揭示之實例之利用一或多個記憶體裝置之一系統100之一實例。系統100可包含一外部記憶體控制器105、一記憶體裝置110及耦合外部記憶體控制器105與記憶體裝置110之複數個通道115。系統100可包含一或多個記憶體裝置，但為易於描述，一或多個記憶體裝置可被描述為一單一記憶體裝置110。

【0026】 系統100可包含一電子裝置之態樣，諸如一運算裝置、一行動運算裝置、一無線裝置或一圖形處理裝置。系統100可為一可攜式電子裝置之一實例。系統100可為一電腦、一膝上型電腦、一平板電腦、一智慧型電話、一蜂巢式電話、一穿戴式裝置、一網際網路連接裝置或類似物。記憶體裝置110可為系統之組件，其經組態以儲存系統100之一或多個其他組件之資料。在一些實例中，系統100經組態以使用一基地台或存

取點與其他系統或裝置進行雙向無線通信。在一些實例中，系統100能夠進行機器型通信(MTC)、機器對機器(M2M)通信或裝置對裝置(D2D)通信。

**【0027】** 系統100之至少部分可為一主機裝置之實例。此一主機裝置可為使用記憶體來執执行程序之一裝置之一實例，諸如一運算裝置、一行動運算裝置、一无線裝置、一圖形處理裝置、一電腦、一膝上型電腦、一平板電腦、一智慧型電話、一蜂巢式電話、一穿戴式裝置、一網際網路連接裝置、某其他固定或可攜式電子裝置或類似物。在一些情況中，主機裝置可指實施外部記憶體控制器105之功能之硬體、韌體、軟體或其等之一組合。在一些情況中，外部記憶體控制器105可被稱為一主機或主機裝置。在一些情況中，主機裝置可為一圖形處理單元(GPU)之一實例。

**【0028】** 在一些情況中，一記憶體裝置110可為一獨立裝置或組件，其經組態以與系統100之其他組件通信且提供實體記憶體位址/空間以潛在地由系統100使用或參考。在一些實例中，一記憶體裝置110可經組態以與至少一個或複數個不同類型之系統100一起工作。系統100之組件與記憶體裝置110之間的發信可操作以支援用於調變信號之調變方案、用於傳遞信號之不同接針設計、系統100及記憶體裝置110之相異封裝、系統100與記憶體裝置110之間的時脈發信及同步、時序慣例及/或其他因素。

**【0029】** 記憶體裝置110可經組態以儲存系統100之組件之資料。在一些情況中，記憶體裝置110可充當系統100之一從屬型裝置(例如，透過外部記憶體控制器105作出回應且執行由系統100提供之命令)。此等命令可包含用於一存取操作之一存取命令，諸如用於一寫入操作之一寫入命

令、用於一讀取操作之一讀取命令、用於一再新操作之一再新命令或其他命令。記憶體裝置110可包含兩個或兩個以上記憶體晶粒160 (例如，記憶體晶片)以支援所要或指定資料儲存容量。包含兩個或兩個以上記憶體晶粒之記憶體裝置110可被稱為一多晶粒記憶體或封裝(亦被稱為多晶片記憶體或封裝置)。

**【0030】** 系統100可進一步包含一處理器120、一基本輸入/輸出系統(BIOS)組件125、一或多個周邊組件130及一輸入/輸出(I/O)控制器135。系統100之組件可使用一匯流排140彼此電子通信。

**【0031】** 處理器120可經組態以控制系統100之至少部分。處理器120可為一通用處理器、一數位信號處理器(DSP)、一特定應用積體電路(ASIC)、一場可程式化閘陣列(FPGA)或其他可程式化邏輯裝置、離散閘或電晶體邏輯、離散硬體組件，或其可為此等類型之組件之一組合。在此等情況中，處理器120可為一中央處理單元(CPU)、一GPU、一通用圖形處理單元(GPGPU)或一系統單晶片(SoC)以及其他實例之一實例。

**【0032】** BIOS組件125可為包含作為韌體操作之一BIOS之一軟體組件，其可初始化且運行系統100之各種硬體組件。BIOS組件125亦可管理處理器120與系統100之各種組件(例如，周邊組件130、I/O組件135等)之間的資料流。BIOS組件125可包含儲存於唯讀記憶體(ROM)、快閃記憶體或任何其他非揮發性記憶體中之一程式或軟體。

**【0033】** (若干)周邊組件130可為可整合至系統100中或與系統100整合之任何輸入或輸出裝置或此等裝置之一介面。實例可包含磁碟控制器、聲音控制器、圖形控制器、乙太網路控制器、數據機、通用串列匯流排(USB)控制器、一串列或並列埠或周邊卡槽(諸如周邊組件互連件(PCI))

或專用圖形埠)。(若干)周邊組件130可為熟習此項技術者理解為周邊裝置之其他組件。

**【0034】** I/O控制器135可管理處理器120與(若干)周邊組件130、輸入裝置145或輸出裝置150之間的資料通信。I/O控制器135可管理未整合至系統100中或未與系統100整合之周邊裝置。在一些情況中，I/O控制器135可表示至外部周邊組件之一實體連接或埠。

**【0035】** 輸入145可表示系統100外部之一裝置或信號，其將資訊、信號或資料提供至系統100或其組件。此可包含一使用者介面或與其他裝置介接或在其他裝置之間介接。在一些情況中，輸入145可為經由一或多個周邊組件130與系統100介接或可藉由I/O控制器135管理之一周邊裝置。

**【0036】** 輸出150可表示系統100外部之一裝置或信號，其經組態以從系統100或其組件之任一者接收一輸出。輸出150之實例可包含一顯示器、音訊揚聲器、一列印裝置或印刷電路板上之另一處理器等。在一些情況中，輸出150可為經由一或多個周邊組件130與系統100介接或可藉由I/O控制器135管理之一周邊裝置。

**【0037】** 系統100之組件可由經設計以實行其等功能之通用或專用電路組成。此可包含經組態以實行本文中描述之功能之各種電路元件，例如導電線、電晶體、電容器、電感器、電阻器、放大器或其他主動或被動元件。

**【0038】** 記憶體裝置110可包含一裝置記憶體控制器155及一或多個記憶體晶粒160。各記憶體晶粒160可包含一局部記憶體控制器165(例如，局部記憶體控制器165-a、局部記憶體控制器165-b及/或局部記憶體

控制器165-*N*)及一記憶體陣列170 (例如, 記憶體陣列170-a、記憶體陣列170-b及/或記憶體陣列170-*N*)。一記憶體陣列170可為記憶體胞元之一集合(例如, 一格柵), 其中各記憶體胞元經組態以儲存數位資料之至少一個位元。參考圖2更詳細描述記憶體陣列170及/或記憶體胞元之特徵。

**【0039】** 記憶體裝置110可為一二維(2D)記憶體胞元陣列之一實例或可為一三維(3D)記憶體胞元陣列之一實例。例如, 一2D記憶體裝置可包含一單一記憶體晶粒160。一3D記憶體裝置可包含兩個或兩個以上記憶體晶粒160 (例如, 記憶體晶粒160-a、記憶體晶粒160-b及/或任何數量之記憶體晶粒160-*N*)。在一3D記憶體裝置中, 複數個記憶體晶粒160-*N*可堆疊於彼此之頂部上或彼此相鄰。在一些情況中, 一3D記憶體裝置中之記憶體晶粒160-*N*可被稱為疊層、層級、層或晶粒。一3D記憶體裝置可包含任何數量之堆疊記憶體晶粒160-*N* (例如, 高至兩個、高至三個、高至四個、高至五個、高至六個、高至七個、高至八個)。與一單一2D記憶體裝置相比, 此可增加可定位於一基板上之記憶體胞元之數量, 此繼而可減少生產成本或增加記憶體陣列之效能或兩者。在某一3D記憶體裝置中, 不同疊層可共用至少一個共同存取線, 使得一些疊層可共用一字線、一數位線及/或一板極線之至少一者。

**【0040】** 裝置記憶體控制器155可包含經組態以控制記憶體裝置110之操作之電路或組件。因而, 裝置記憶體控制器155可包含使記憶體裝置110能夠執行命令之硬體、韌體及軟體且可經組態以接收、傳輸或執行與記憶體裝置110相關之命令、資料或控制資訊。裝置記憶體控制器155可經組態以與外部記憶體控制器105、一或多個記憶體晶粒160或處理器120通信。在一些情況中, 記憶體裝置110可從外部記憶體控制器105接收資

料及/或命令。例如，記憶體裝置110可接收指示記憶體裝置110將代表系統100之一組件(例如，處理器120)儲存某些資料之一寫入命令或指示記憶體裝置110欲將儲存於一記憶體晶粒160中之某些資料提供至系統100之一組件(例如，處理器120)之一讀取命令。在一些情況中，裝置記憶體控制器155可結合記憶體晶粒160之局部記憶體控制器165控制本文中描述之記憶體裝置110之操作。包含於裝置記憶體控制器155及/或局部記憶體控制器165中之組件之實例可包含用於解調變從外部記憶體控制器105接收之信號之接收器、用於調變且傳輸信號至外部記憶體控制器105之解碼器、邏輯、解碼器、放大器、濾波器或類似物。

**【0041】** 局部記憶體控制器165 (例如，在一記憶體晶粒160本端)可經組態以控制記憶體晶粒160之操作。而且，局部記憶體控制器165可經組態以與裝置記憶體控制器155通信(例如，接收及傳輸資料及/或命令)。局部記憶體控制器165可支援裝置記憶體控制器155以控制如本文中描述之記憶體裝置110之操作。在一些情況中，記憶體裝置110不包含裝置記憶體控制器155，且局部記憶體控制器165或外部記憶體控制器105可執行本文中描述之各種功能。因而，局部記憶體控制器165可經組態以與裝置記憶體控制器155、與其他局部記憶體控制器165或直接與外部記憶體控制器105或處理器120通信。

**【0042】** 外部記憶體控制器105可經組態以實現系統100之組件(例如，處理器120)與記憶體裝置110之間的資訊、資料及/或命令之通信。外部記憶體控制器105可充當系統100之組件與記憶體裝置110之間的一聯絡者，使得系統100之組件可無需知道記憶體裝置之操作之細節。系統100之組件可將請求呈現至外部記憶體控制器105滿意之外部記憶體控制器

105 (例如，讀取命令或寫入命令)。外部記憶體控制器105可轉換或轉譯在系統100之組件與記憶體裝置110之間交換之通信。在一些情況中，外部記憶體控制器105可包含產生一共同(源極)系統時脈信號之一系統時脈。在一些情況中，外部記憶體控制器105可包含產生一共同(源極)資料時脈信號之一共同資料時脈。

**【0043】** 在一些情況中，外部記憶體控制器105或系統100之其他組件或本文中描述之其功能可藉由處理器120實施。例如，外部記憶體控制器105可為硬體、韌體或軟體或藉由處理器120或系統100之其他組件實施之其等之某一組合。雖然外部記憶體控制器105被描繪為在記憶體裝置110外部，但在一些情況中，外部記憶體控制器105或本文中描述之其功能可藉由一記憶體裝置110實施。例如，外部記憶體控制器105可為硬體、韌體或軟體或藉由裝置記憶體控制器155或一或多個局部記憶體控制器165實施之其等之某一組合。在一些情況中，外部記憶體控制器105可跨處理器120及記憶體裝置110分佈，使得外部記憶體控制器105之部分藉由處理器120實施且其他部分藉由一裝置記憶體控制器155或一局部記憶體控制器165實施。同樣地，在一些情況中，在本文中歸屬於裝置記憶體控制器155或局部記憶體控制器165之一或多個功能可在一些情況中藉由外部記憶體控制器105 (與處理器120分離或包含於處理器120中)執行。

**【0044】** 在一些情況中，記憶體裝置110可接收一命令以對一記憶體胞元執行一寫入操作，該記憶體胞元具有擁有用於儲存記憶體胞元之一邏輯狀態之一浮動閘極之一第一電晶體及與浮動閘極耦合之一第二電晶體。在一些情況中，外部記憶體控制器105、裝置記憶體控制器155及/或局部記憶體控制器165可經組態以引起記憶體裝置：基於接收命令而耦合

一源極線與一數位線，源極線與第一電晶體耦合且數位線與第二電晶體耦合；將一第一電壓施加至數位線；藉由啟動第二電晶體而將一第二電壓施加至第一電晶體之浮動閘極，第二電壓至少部分基於第一電壓；及藉由撤銷啟動第二電晶體而將邏輯狀態儲存至記憶體胞元。在一些情況中，邏輯狀態係基於第二電壓。

**【0045】** 在一些情況中，記憶體裝置110可接收一命令以對一記憶體胞元執行一讀取操作，該記憶體胞元具有擁有用於儲存記憶體胞元之一邏輯狀態之一浮動閘極之一第一電晶體及與浮動閘極耦合之一第二電晶體。在一些情況中，外部記憶體控制器105、裝置記憶體控制器155及/或局部記憶體控制器165可經組態以：使與第一電晶體耦合之一源極線接地；將一第一電壓施加至與記憶體胞元之第二電晶體耦合之一數位線；及基於將第一電壓施加至數位線且使源極線接地而判定儲存於記憶體胞元上之邏輯狀態。

**【0046】** 系統100之組件可使用複數個通道115與記憶體裝置110交換資訊。在一些實例中，通道115可實現外部記憶體控制器105與記憶體裝置110之間的通信。各通道115可包含與系統100之組件相關聯之終端之間的一或多個信號路徑或傳輸媒體(例如，導體)。例如，一通道115可包含在外部記憶體控制器105處包含一或多個接針或襯墊且在記憶體裝置110處包含一或多個接針或襯墊之一第一終端。一接針可為系統100之一裝置之一導電輸入或輸出點之一實例，且一接針可經組態以充當一通道之部分。在一些情況中，一終端之一接針或襯墊可為通道115之一信號路徑之部分。額外信號路徑可與一通道之一終端耦合以在系統100之一組件內路由信號。例如，記憶體裝置110可包含將一信號從一通道115之一終端

路由至記憶體裝置110之各種組件(例如，一裝置記憶體控制器155、記憶體晶粒160、局部記憶體控制器165、記憶體陣列170)之信號路徑(例如，在記憶體裝置110或其組件內部(諸如在一記憶體晶粒160內部)之信號路徑)。

**【0047】** 通道115 (及相關聯信號路徑及終端)可專用於傳遞特定類型之資訊。在一些情況中，一通道115可為一彙總通道且因此可包含多個個別通道。例如，一資料通道190可為x4 (例如，包含四個信號路徑)、x8 (例如，包含八個信號路徑)、x16 (包含十六個信號路徑)等。透過通道傳遞之信號可使用一雙倍資料速率 (DDR)時序方案。例如，一信號之一些符號可暫存在一時脈信號之一上升邊緣上且信號之其他符號可暫存在時脈信號之一下降邊緣上。透過通道傳遞之信號可使用單倍資料速率(SDR)發信。例如，可針對各時脈循環暫存信號之一個符號。

**【0048】** 在一些情況中，通道115可包含一或多個命令及位址(CA)通道186。CA通道186可經組態以在外部記憶體控制器105與記憶體裝置110之間傳遞命令，包含與命令相關聯之控制資訊(例如，位址資訊)。例如，CA通道186可包含具有所要資料之一位址之一讀取命令。在一些情況中，CA通道186可暫存在一上升時脈信號邊緣及/或一下降時脈信號邊緣上。在一些情況中，一CA通道186可包含任何數量之信號路徑以解碼位址及命令資料(例如，八個或九個信號路徑)。

**【0049】** 在一些情況中，通道115可包含一或多個時脈信號(CK)通道188。CK通道188可經組態以在外部記憶體控制器105與記憶體裝置110之間傳遞一或多個共同時脈信號。各時脈信號可經組態以在一高狀態與一低狀態之間振盪且協調外部記憶體控制器105及記憶體裝置110之動作。

在一些情況中，時脈信號可為一差分輸出(例如，一CK<sub>t</sub>信號及一CK<sub>c</sub>信號)且CK通道188之信號路徑可相應地組態。在一些情況中，時脈信號可為單端型。一CK通道188可包含任何數量之信號路徑。在一些情況中，時脈信號CK (例如，一CK<sub>t</sub>信號及一CK<sub>c</sub>信號)可為命令提供一時序參考且為記憶體裝置110提供定址操作或為記憶體裝置110提供其他全系統操作。時脈信號CK可因此不同地稱為一控制時脈信號CK、一命令時脈信號CK或一系統時脈信號CK。系統時脈信號CK可由一系統時脈產生，其可包含一或多個硬體組件(例如，振盪器、晶體、邏輯閘、電晶體或類似物)。

**【0050】** 在一些情況中，通道115可包含一或多個資料(DQ)通道190。資料通道190可經組態以在外部記憶體控制器105與記憶體裝置110之間傳遞資料及/或控制資訊。例如，資料通道190可傳遞待寫入至記憶體裝置110之資訊(例如，雙向)或從記憶體裝置110讀取之資訊。

**【0051】** 在一些情況中，通道115可包含可專用於其他目的之一或多個其他通道192。此等其他通道192可包含任何數量之信號路徑。

**【0052】** 通道115可使用各種不同架構耦合外部記憶體控制器105與記憶體裝置110。各種架構之實例可包含一匯流排、一點對點連接、一交叉桿、一高密度中介層(諸如矽中介層)或形成於一有機基板中之通道或其等之某一組合。例如，在一些情況中，信號路徑可至少部分包含一高密度中介層，諸如矽中介層或玻璃中介層。

**【0053】** 可使用各種不同調變方案調變透過通道115傳遞之信號。在一些情況中，一二進位符號(或二進位層級)調變方案可用於調變在外部記憶體控制器105與記憶體裝置110之間傳遞之信號。一二進位符號調變

方案可為其中M等於2之一調變方案之一實例。一二進位符號調變方案之各符號可經組態以表示數位資料之一個位元(例如，一符號可表示一邏輯1或一邏輯0)。二進位符號調變方案之實例包含(但不限於)不歸零(NRZ)、單極編碼、雙極編碼、曼徹斯特(Manchester)編碼、具有兩個符號(例如，PAM2)之脈衝振幅調變(PAM)及/或其他。

【0054】 在一些情況中，一多符號(或多層級)調變方案可用於調變在外部記憶體控制器105與記憶體裝置110之間傳遞之信號。一多符號調變方案可為其中M大於或等於3之一調變方案之一實例。一多符號調變方案之各符號可經組態以表示數位資料之一個以上位元(例如，一符號可表示一邏輯00、一邏輯01、一邏輯10或一邏輯11)。多符號調變方案之實例包含(但不限於) PAM4、PAM8等、正交振幅調變(QAM)、正交相移鍵控(QPSK)及/或其他。一多符號信號或一PAM4信號可為使用一調變方案調變之一信號，該調變方案包含至少三個層級以編碼資訊之一個以上位元。多符號調變方案及符號可替代地被稱為非二進位、多位元或較高階調變方案及符號。

【0055】 圖2繪示根據如本文中揭示之實例之一記憶體晶粒200之一實例。記憶體晶粒200可為參考圖1描述之記憶體晶粒160之一實例。在一些情況中，記憶體晶粒200可被稱為一記憶體晶片、一記憶體裝置或一電子記憶體設備。記憶體晶粒200可包含可程式化以儲存不同邏輯狀態之一或多個記憶體胞元205。各記憶體胞元205可程式化以儲存兩個或兩個以上狀態。例如，記憶體胞元205可經組態以一次儲存數位邏輯之一個位元(例如，一邏輯0及一邏輯1)。在一些情況中，一單一記憶體胞元205(例如，一多層級記憶體胞元)可經組態以一次儲存數位邏輯之一個以上位元

(例如，一邏輯00、邏輯01、邏輯10或一邏輯11)。

**【0056】** 一記憶體胞元205可儲存表示數位資料之一狀態。在動態隨機存取記憶體(DRAM)架構或鐵電隨機存取記憶體(FeRAM)架構中，記憶體胞元205可包含一電容器，該電容器包含一介電材料以儲存表示可程式化狀態之一電荷。在浮動閘極記憶體架構中，記憶體胞元205可包含兩個電晶體，其等之一者與一浮動閘極相關聯。浮動閘極可經組態以儲存表示可程式化狀態之一電荷。

**【0057】** 可藉由啟動、選擇或加偏壓於諸如一字線210、一數位線215及/或一源極線220之存取線而對浮動閘極記憶體胞元205執行諸如讀取及寫入之操作。在一些情況中，數位線215亦可被稱為位元線。在不損失理解或操作的情況下，對存取線、字線、數位線、源極線或其類似物之參考可互換。啟動、選擇或加偏壓於一字線210、一數位線215或一源極線220可包含將一電壓施加至各自線。

**【0058】** 記憶體晶粒200可包含配置成一格柵狀圖案之存取線(例如，字線210、數位線215及源極線220)。記憶體胞元205可定位於字線210、數位線215及/或源極線220之交叉點處。藉由加偏壓於一字線210、一數位線215及一源極線220(例如，將一電壓施加至字線210、數位線215或源極線220)，可在其等之交叉點處存取一單一記憶體胞元205。

**【0059】** 可透過一列解碼器225及一行解碼器230控制存取記憶體胞元205。例如，一列解碼器225可從局部記憶體控制器265接收一列位址且基於所接收之列位址啟動一字線210。一行解碼器230從局部記憶體控制器265接收一行位址且基於所接收之行位址啟動一數位線215。

**【0060】** 例如，記憶體晶粒200可包含多個字線210(標記為WL<sub>1</sub>)

至WL<sub>M</sub>)、多個數位線215 (標記為DL<sub>1</sub>至DL<sub>N</sub>)及多個源極線(標記為SL<sub>1</sub>至SL<sub>N</sub>)，其中M及N取決於記憶體陣列之大小。在一些情況中，源極線之數量N對應於數位線之數量N，使得各數位線215具有與相同於數位線215之記憶體胞元205相關聯之一對應源極線220。因此，藉由啟動或加偏壓於一字線210、一數位線215及一源極線220 (例如，WL<sub>1</sub>、DL<sub>2</sub>及SL<sub>2</sub>)，可存取其等交叉點處之記憶體胞元205。一字線210及一數位線215之交叉點(在一二維或三維組態中)可被稱為一記憶體胞元205之一位址。在一些情況中，一字線210、一數位線215及一源極線220之交叉點可被稱為記憶體胞元205之一位址。

**【0061】** 記憶體胞元205可包含與一浮動閘極240相關聯之一讀取電晶體235及一寫入電晶體245。讀取電晶體235及寫入電晶體245可一起用於將邏輯狀態讀取及寫入至記憶體胞元205。

**【0062】** 浮動閘極240可用於儲存表示記憶體胞元205之一邏輯狀態之一電荷或電壓。浮動閘極240可為定位於讀取電晶體235之一控制閘極275附近之一電節點，使得浮動閘極240上之一電荷或電壓可影響與讀取電晶體235相關聯之一臨限值電壓。例如，一控制閘極275可為一電晶體之一閘極，其用於啟動或撤銷啟動電晶體。讀取電晶體235可與浮動閘極240相關聯，此係至少因為讀取電晶體235之一臨限值電壓可受浮動閘極240上之一電荷或電壓之影響。一臨限值電壓可為必須施加至一電晶體之一控制閘極以完全啟動電晶體且耦合電晶體之源極節點與電晶體之汲極節點之一最小電壓。

**【0063】** 在一些情況中，讀取電晶體235可包含浮動閘極240。即，讀取電晶體235可為包含浮動閘極240之一浮動閘極電晶體。在一些情況

中，讀取電晶體235可為不包含浮動閘極240之一電晶體(例如，並非一浮動閘極電晶體)。在此情況中，浮動閘極240可為緊密接近於讀取電晶體235之一控制閘極製造但不包含於讀取電晶體235內之一電節點。浮動閘極240可與寫入電晶體245之一汲極節點295耦合。

**【0064】** 在一些情況中，讀取電晶體235可為一第一類型之電晶體(p型、n型)且寫入電晶體245可為一第二類型之電晶體(n型、p型)。例如，讀取電晶體235可為一p型電晶體且寫入電晶體可為一n型電晶體或相反。為簡單起見，在本文中之揭示內容中，讀取電晶體235被假定為一p型電晶體且寫入電晶體245被假定為一n型電晶體，但亦可使用相反情況。類似地，對讀取電晶體235及寫入電晶體245之源極節點及汲極節點之引用可顛倒。在一些情況中，讀取電晶體235及寫入電晶體245可為相同類型之電晶體(例如，皆為p型或皆為n型)。

**【0065】** 一字線210可為與一記憶體胞元205耦合之一導電線，其用於對記憶體胞元205執行存取操作。在一些架構中，字線210可與讀取電晶體235之一控制閘極275且與寫入電晶體245之一控制閘極270耦合。在一些情況中，字線210可經組態以藉由將一電壓施加至控制閘極275及控制閘極270而在記憶體胞元存取期間控制讀取電晶體235及寫入電晶體245之啟動。在一些情況中，由於讀取電晶體235及寫入電晶體245係不同類型電晶體，所以將一電壓施加至字線210可啟動讀取電晶體235或寫入電晶體245但不可同時啟動兩個電晶體。在一些情況中，字線210可在一讀取操作期間偏壓至啟動讀取電晶體235但不啟動寫入電晶體245之一電壓。在一些情況中，字線210可在一寫入操作期間偏壓至啟動寫入電晶體245但不啟動讀取電晶體235之一電壓。

【0066】 一數位線215可為連接記憶體胞元205與一感測組件250且用於對記憶體胞元205執行存取操作之一導電線。數位線215可與寫入電晶體245之一源極節點280且與讀取電晶體235之一汲極節點290連接。

【0067】 一源極線220可為與一記憶體胞元205耦合之一導電線，其用於對記憶體胞元205執行存取操作。源極線220可與讀取電晶體235之一源極節點285耦合。在一些記憶體裝置中，一共同源極線(例如，一源極板)可與每一記憶體胞元耦合。在此等記憶體裝置中，存取操作(例如，讀取操作或寫入操作)可引起對其他列或行之干擾。在一些記憶體裝置中可不包含一共同源極線或源極板，但可代替地包含與數位線相關聯之源極線。在此等實例中，一單一源極線可與一單一數位線相關聯。此一架構可減少或緩和存取操作期間之干擾，但可增加與源極線相關聯之組件(例如，驅動器等)。本文中描述包含與一數位線相關聯之一源極線之源極線組態。

【0068】 在一寫入操作期間，字線210可經偏壓至啟動寫入電晶體245之一寫入電壓，且數位線215可經偏壓至基於待由記憶體胞元205儲存之邏輯狀態之一狀態電壓。例如，數位線215可經偏壓至一較高電壓以儲存一邏輯狀態「1」及偏壓至一較低電壓以儲存一邏輯狀態「0」。啟動寫入電晶體245可耦合寫入電晶體245之源極節點280與寫入電晶體245之汲極節點295，藉此引起基於數位線215之電壓之一電壓施加至浮動閘極240。在電壓已施加至浮動閘極240之後，字線210可經偏壓至撤銷啟動寫入電晶體245之一電壓，藉此隔離浮動閘極240且將所施加電壓儲存於浮動閘極240上。在一些情況中，讀取電晶體235可在寫入操作期間保持於非作用中。

【0069】 在一讀取操作期間，字線210可經偏壓至可啟動讀取電晶體235之一讀取電壓，且寫入電晶體245可保持於非作用中。啟動讀取電晶體235可耦合讀取電晶體235之一汲極節點290與讀取電晶體235之一源極節點285，藉此耦合數位線215與源極線220。在讀取操作期間，數位線215可經偏壓至一小正電壓且源極線220可經接地，使得在啟動讀取電晶體235時，一電流可從數位線215流動至源極線220。從數位線215流動至源極線220之電流之量可受由記憶體胞元205儲存之狀態之影響。即，儲存於浮動閘極240上之電壓或電荷可影響與讀取電晶體235相關聯之臨限值電壓，藉此影響讀取電晶體235回應於讀取電壓之啟動位準。讀取電晶體235之啟動位準可繼而影響在數位線215與源極線220之間流動之電流之量。

【0070】 感測組件250可經組態以偵測儲存於記憶體胞元205之浮動閘極240上之一狀態(例如，一電荷或電壓)且基於所偵測狀態判定記憶體胞元205之一邏輯狀態。在一些情況中，感測組件250可藉由在一讀取操作期間偵測在數位線215與源極線220之間流動之電流之一量(其可被視為由記憶體胞元205輸出之一信號)而偵測狀態。

【0071】 在一些情況中，感測組件250可包含一或多個感測放大器以放大記憶體胞元205之信號輸出。感測放大器可在一讀取操作期間偵測沿一數位線215之電流之微小改變且可基於所偵測電流產生對應於一邏輯0或一邏輯1之信號。

【0072】 感測組件250可經組態以比較跨數位線215從記憶體胞元205接收之信號與一參考信號255(例如，一參考電壓或電流)。感測組件250可基於比較判定記憶體胞元205之所儲存狀態。例如，在二進位發信

中，若數位線215具有高於參考信號255之一電壓或電流，則感測組件250可判定記憶體胞元205之所儲存狀態係一邏輯1，且若數位線215具有低於參考信號255之一電壓或電流，則感測組件250可判定記憶體胞元205之所儲存狀態係一邏輯0。感測組件250可包含各種電晶體或放大器以偵測及放大信號之一差異。記憶體胞元205之所偵測邏輯狀態可透過行解碼器230輸出為輸出260。在一些情況中，感測組件250可為另一組件(例如，一行解碼器230、列解碼器225)之部分。在一些情況中，感測組件250可與列解碼器255及/或行解碼器230電子通信。

**【0073】** 局部記憶體控制器265可透過各種組件(例如，列解碼器225、行解碼器230及感測組件250)控制記憶體胞元205之操作。局部記憶體控制器265可為參考圖1描述之局部記憶體控制器165之一實例。在一些情況中，列解碼器225、行解碼器230及感測組件250之一或多者可與局部記憶體控制器265共置。局部記憶體控制器265可經組態以：從一外部記憶體控制器105 (或參考圖1描述之一裝置記憶體控制器155)接收一或多個命令及/或資料；將命令及/或資料轉譯為可由記憶體晶粒200使用之資訊；對記憶體晶粒200執行一或多個操作；及回應於執行一或多個操作而將資料從記憶體晶粒200傳遞至外部記憶體控制器105 (或裝置記憶體控制器155)。局部記憶體控制器265可產生列、行及/或源極線位址信號以加偏壓於或啟動目標字線210、目標數位線215及目標源極線220。局部記憶體控制器265亦可產生及控制在記憶體晶粒200之操作期間使用之各種電壓或電流。一般言之，本文中描述之一所施加電壓或電流之振幅、形狀或持續時間可經調整或變化且可針對在操作記憶體晶粒200中描述之各種操作而不同。

【0074】 在一些情況中，局部記憶體控制器265可經組態以對記憶體晶粒200執行一預充電操作。一預充電操作可包括將記憶體晶粒200之一或多個組件及/或存取線預充電至一或多個預定電壓位準。在一些例項中，記憶體胞元205及/或記憶體晶粒200之部分可在不同存取操作之間預充電。在一些例項中，數位線215及/或其他組件可在一讀取操作之前預充電。

【0075】 在一些情況中，局部記憶體控制器265可經組態以對記憶體晶粒200之一或多個記憶體胞元205執行一寫入操作(例如，一程式化操作)。在一寫入操作期間，記憶體晶粒200之一記憶體胞元205可經程式化以儲存一所要邏輯狀態。在一些情況中，可在一單一寫入操作期間程式化複數個記憶體胞元205。局部記憶體控制器265可識別對其執行寫入操作之一目標記憶體胞元205。局部記憶體控制器265可識別與目標記憶體胞元205耦合之一目標字線210、一目標數位線215及/或一目標源極線220(例如，目標記憶體胞元205之位址)。局部記憶體控制器265可啟動目標字線210、目標數位線215及/或目標源極線220(例如，將一電壓施加至字線210、數位線215或源極線220)以存取目標記憶體胞元205。局部記憶體控制器265可在寫入操作期間將一特定信號(例如，電壓)施加至數位線215以將一特定狀態儲存於記憶體胞元205之浮動閘極240上，特定狀態指示一所要邏輯狀態。

【0076】 在一些情況中，局部記憶體控制器265可經組態以對記憶體晶粒200之一或多個記憶體胞元205執行一讀取操作(例如，一感測操作)。在一讀取操作期間，可判定儲存於記憶體晶粒200之一記憶體胞元205中之邏輯狀態。在一些情況中，可在一單一讀取操作期間感測複數個

記憶體胞元205。局部記憶體控制器265可識別對其執行讀取操作之一目標記憶體胞元205。局部記憶體控制器265可識別與目標記憶體胞元205耦合之一目標字線210、一目標數位線215及/或一目標源極線220 (例如，目標記憶體胞元205之位址)。局部記憶體控制器265可啟動目標字線210、目標數位線215及/或一目標源極線220 (例如，將一電壓施加至字線210、數位線215或源極線220)以存取目標記憶體胞元205。目標記憶體胞元205可回應於加偏壓於存取線而將一信號傳送至感測組件250。感測組件250可放大信號。局部記憶體控制器265可觸發感測組件250 (例如，鎖存感測組件)且藉此比較從記憶體胞元205接收之信號與參考信號255。基於該比較，感測組件250可判定儲存於記憶體胞元205上之一邏輯狀態。作為讀取操作之部分，局部記憶體控制器265可將儲存於記憶體胞元205上之邏輯狀態傳遞至外部記憶體控制器105 (或裝置記憶體控制器)。

**【0077】** 在一些記憶體架構中，存取記憶體單元205可使儲存於一記憶體胞元205中之邏輯狀態降級或損毀。例如，對一浮動閘極記憶體胞元執行之一讀取操作可損毀儲存於浮動閘極上之邏輯狀態。局部記憶體控制器265可執行一重寫操作或一再新操作以使記憶體胞元205返回至其原始邏輯狀態。局部記憶體控制器265可在一讀取操作之後將邏輯狀態重寫至目標記憶體胞元。在一些情況中，重寫操作可被視為讀取操作之部分。另外，啟動一單一存取線(諸如一字線210)可干擾儲存於與該存取線耦合之一些記憶體胞元中之狀態。因此，可對尚未被存取之一或多個記憶體胞元執行一重寫操作或再新操作。

**【0078】** 圖3A及圖3B繪示根據如本文中揭示之實例之支援用於一記憶體裝置之源極線組態之一記憶體裝置300分別在寫入操作及讀取操作

期間之存取線偏壓之實例。

**【0079】** 記憶體裝置300包含多個記憶體胞元，包含目標記憶體胞元205-a。目標記憶體胞元205-a可為參考圖2描述之一浮動閘極記憶體胞元205之一實例。目標記憶體胞元205-a包含與一浮動閘極240-a相關聯之一讀取電晶體235-a及一寫入電晶體245-a。在此實例中，讀取電晶體235-a係一p型電晶體且寫入電晶體245-a係一n型電晶體。在一些情況中，記憶體裝置300中之寫入電晶體245可在將一第一電壓施加至其等控制閘極時啟動，且記憶體裝置300中之讀取電晶體235可在將一第二(不同)電壓施加至其等控制閘極時啟動。在此實例中，寫入電晶體245-a可在將三(3)伏特之一電壓施加至其等控制閘極時啟動，且讀取電晶體235可在將負一(-1)伏特之一電壓施加至其等控制閘極時啟動。圖3A及圖3B中描述之電壓之值被視為實例。電壓可為執行本文中描述之功能之任何值或值組合。

**【0080】** 圖3A描繪一記憶體裝置300在一寫入操作期間之存取線偏壓之一實例。在對目標記憶體胞元205-a之一寫入操作期間，與目標記憶體胞元205-a相關聯之一字線210-a可經偏壓至啟動寫入電晶體245-a但不啟動讀取電晶體235-a之一寫入電壓。例如，寫入電壓可經由字線210-a施加至寫入電晶體245-a之一控制閘極且可為超過與寫入電晶體245-a相關聯之一臨限值電壓之一電壓。在此實例中，寫入電壓可為三(3)伏特。記憶體裝置300中與未選定記憶體胞元相關聯之其他字線(諸如字線210-b)可經偏壓至零(0)伏特(例如，一接地電壓)。

**【0081】** 在寫入操作期間，與目標記憶體胞元205-a相關聯之一數位線215-a可經偏壓至基於待寫入至目標記憶體胞元205-a之邏輯狀態之一狀態電壓。例如，為寫入一邏輯狀態「1」，數位線215-a可經偏壓至兩(2)

伏特。為寫入一邏輯狀態「0」，數位線215-a可經偏壓至零(0)伏特。記憶體裝置300中與未選定記憶體胞元相關聯之其他數位線(諸如數位線215-b)可經偏壓至零(0)伏特(例如，一接地電壓)。

**【0082】** 如參考圖2描述，寫入電晶體245-a之一源極節點可與數位線215-a耦合且寫入電晶體245-a之一汲極節點可與浮動閘極240-a耦合。因此，當藉由將寫入電壓施加至字線210-a而啟動寫入電晶體245-a時，可將基於施加至數位線215-a之狀態電壓之一電壓施加至浮動閘極240-a。在一些情況中，施加至浮動閘極240-a之電壓可實質上相同於數位線215-a上之狀態電壓減去跨寫入電晶體245-a之任何電壓降。

**【0083】** 在將電壓施加至浮動閘極240-a之後，可將字線210-a設定至零(0)伏特以撤銷啟動寫入電晶體245-a，藉此使浮動閘極240-a與數位線215-a解耦合。浮動閘極240-a可為浮動的(例如，從任何電壓源或電壓軌解耦合)且可因此儲存表示邏輯狀態之電壓。

**【0084】** 在寫入操作期間，與目標記憶體胞元205-a相關聯之源極線220-a可不被使用且可經偏壓至零(0)伏特(例如，一接地電壓)。為簡化製造及源極線偏壓，在此實例中，多個源極線220-a及220-b可與一單一導電源極板310耦合，該單一導電源極板310可經偏壓至零(0)伏特。

**【0085】** 圖3B描繪在目標記憶體胞元205-a之一讀取操作期間記憶體裝置300之存取線偏壓之一實例。在對目標記憶體胞元205-a之一讀取操作期間，與目標記憶體胞元205-a相關聯之一字線210-a可經偏壓至啟動讀取電晶體235-a但不啟動寫入電晶體245-a之一讀取電壓。例如，讀取電壓可經由字線210-a施加至讀取電晶體235-a之一控制閘極且可為超過與讀取電晶體235-a相關聯之一標稱臨限值電壓之一電壓。標稱臨限值電壓可為

在浮動閘極240-a未充電時讀取電晶體235-a之臨限值電壓。在此實例中，讀取電壓可為負一(-1)伏特。記憶體裝置300中與未選定記憶體胞元相關聯之其他字線(諸如字線210-b)可經偏壓至零(0)伏特(例如，一接地電壓)。

**【0086】** 在讀取操作期間，與目標記憶體胞元205-a相關聯之一數位線215-a可經偏壓至一讀取電壓。在此實例中，讀取電壓可為0.5伏特，且可為相同電壓而無關於由目標記憶體胞元205-a儲存之邏輯狀態。記憶體裝置300中與未選定記憶體胞元相關聯之其他數位線(諸如數位線215-b)可經偏壓至零(0)伏特。

**【0087】** 如參考圖2描述，讀取電晶體235-a之一汲極節點可與數位線215-a耦合且讀取電晶體235-a之一源極節點可與源極線220-a耦合。在讀取操作期間，數位線215-a經偏壓至高於源極線220-a之一電壓(例如，0.5 V)。因此，當藉由將讀取電壓施加至字線210-a而啟動讀取電晶體235-a時，一電流可經由讀取電晶體235-a在數位線215-a與源極線220-a之間流動。由讀取電晶體235-a傳導之電流之量可取決於儲存於浮動閘極240-a上之電壓。因此，可由一感測放大器感測從數位線215-a流動至源極線220-a之電流之量以判定由目標記憶體胞元205-a儲存之邏輯狀態。

**【0088】** 在一些情況中，在一邏輯狀態「1」之一寫入操作期間(例如，當施加至數位線215-a之寫入電壓係一相對高電壓(諸如兩(2)伏特)時)，與數位線215-a及源極線220-a相關聯之讀取電晶體235-a、235-b可不啟動但仍可歸因於數位線215-a與源極線220-a之間的電壓差而傳導少量電流(諸如一洩漏電流)。儘管圖3A描繪與數位線215-a及源極線220-a耦合之兩個記憶體胞元，然在實踐中，可存在與此等存取線耦合之數百或數千

個記憶體胞元。因此，可在一寫入操作期間傳導通過讀取電晶體235之累積洩漏電流可為顯著的。

**【0089】** 因此，在一些情況中，可期望在一寫入操作期間將與一目標記憶體胞元205相關聯之源極線220偏壓至相同於與目標記憶體胞元205相關聯之數位線215之電壓以避免數位線215與源極線220之間的一電壓差，且因此減少或消除通過讀取電晶體之洩漏電流。

**【0090】** 圖4繪示根據如本文中揭示之實例之支援用於一記憶體裝置之源極線組態之一記憶體裝置400之存取線偏壓之一實例。圖4描繪記憶體裝置400在一寫入操作期間之存取線偏壓之一實例。圖4中描述之電壓之值被視為實例。電壓可為執行本文中描述之功能之任何值或值組合。

**【0091】** 記憶體裝置400類似於記憶體裝置300，但在此情況中，記憶體裝置400包含可經獨立偏壓而非與一單一源極板(諸如圖3A及圖3B中描繪之源極板310)耦合之多個源極線220-c、220-d。使源極線220-c、220-d彼此隔離可容許一記憶體裝置在一寫入操作期間將與一目標記憶體胞元205-c相關聯之一源極線220-c偏壓至與目標記憶體胞元205相關聯之數位線215-c之電壓，藉此減少或消除通過與源極線220-c及數位線215-c相關聯之讀取電晶體之洩漏電流。例如，若數位線215-c經偏壓至兩(2)伏特(例如，將一邏輯狀態「1」寫入至目標記憶體胞元205-c)，則源極線220-c亦可經偏壓至兩(2)伏特。若數位線215-c經偏壓至零(0)伏特(例如，將一邏輯狀態「0」寫入至目標記憶體胞元205-c)，則源極線220-c亦可經偏壓至零(0)伏特。在一些情況中，一單一源極線(例如，源極線220-c)可與一單一數位線(例如，數位線215-c)相關聯。記憶體裝置400可包含一數位線215-d。

**【0092】** 記憶體裝置400中未與目標記憶體胞元205-c相關聯之源極

線(諸如源極線220-d)可保持偏壓於零(0)伏特以減少功率消耗。

【0093】 在一些情況中，可藉由將各源極線220-c、220-d自對應記憶體胞元區塊引出且將各源極線耦合至一電壓供應器或電壓調節器使得可個別地加偏壓於各源極線而個別地加偏壓於源極線220-c、220-d。然而，此方法可不適用於一些應用。因此，源極線偏壓之替代方法可為有用的。

【0094】 圖5繪示根據如本文中揭示之實例之支援用於一記憶體裝置之源極線組態之一記憶體裝置500之一實例。

【0095】 記憶體裝置500包含一記憶體陣列505，其可為參考圖1描述之記憶體陣列170之一實例。記憶體陣列505包含浮動閘極記憶體胞元205-e、205-f、205-g及205-h。例如，記憶體陣列505中之各記憶體胞元205可與一字線210、數位線215及源極線220耦合，如參考圖2描述。數位線215可與一數位線插座545耦合，數位線插座545可與用於加偏壓於(施加電壓至)數位線215之一數位線驅動器耦合。

【0096】 記憶體陣列505可被組織為記憶體胞元205之列及行。例如，記憶體陣列505具有包含記憶體胞元205-e、205-f之一第一列及包含記憶體胞元205-g、205-h之一第N列。記憶體陣列505具有包含記憶體胞元205-e、205-g之一第一行及包含記憶體胞元205-f、205-h之一第二行。

【0097】 記憶體陣列505包含箝位記憶體胞元之至少一個列，包含箝位記憶體胞元205-i、205-j。箝位記憶體胞元205-i、205-j可為如參考圖2及圖3描述之浮動閘極記憶體胞元之實例，且可與包含一箝位線515、源極線220及數位線215之存取線相關聯。箝位記憶體胞元510之列中之記憶體胞元可與記憶體陣列505之源極線220及數位線215耦合。箝位線515可用作箝位記憶體胞元205-i、205-j之一字線。箝位線515可與字線解碼

器耦合且可由字線解碼器控制。箝位記憶體胞元205-i、205-j可不用於儲存一邏輯狀態；代替地，箝位記憶體胞元205-i、205-j可用於在記憶體陣列505中之一記憶體胞元205之一寫入操作期間加偏壓於記憶體陣列505之源極線220。

**【0098】** 記憶體陣列505包含接地記憶體胞元520之至少一個列，包含接地記憶體胞元205-k、205-l。接地記憶體胞元205-k、205-l可為如參考圖2及圖3描述之浮動閘極記憶體胞元之實例，且可與包含一接地線525及源極線220之存取線相關聯。接地記憶體胞元520之列中之記憶體胞元可與記憶體陣列505之源極線220耦合。接地線525可用作接地記憶體胞元205-k、205-l之一字線。接地線525可與字線解碼器耦合且可由字線解碼器控制。

**【0099】** 不同於記憶體陣列505中之記憶體胞元及箝位記憶體胞元510之列中之箝位記憶體胞元，接地記憶體胞元205-k、205-l可不與數位線215耦合。代替地，接地記憶體胞元205-k、205-l可與偏壓至一接地電壓(例如，零(0)伏特)之一接地節點560耦合。即，各接地記憶體胞元205-k、205-l中之寫入電晶體之源極及讀取電晶體之汲極可與一接地節點560耦合而非與一數位線215耦合。接地記憶體胞元205-k、205-l可不用於儲存一邏輯狀態；代替地，接地記憶體胞元205-k、205-l可用於在記憶體陣列505中之一記憶體胞元205之一讀取操作期間加偏壓於記憶體陣列505之源極線220。

**【0100】** 在記憶體陣列505中之一目標記憶體胞元205之一寫入操作期間，箝位線515可經偏壓至啟動箝位記憶體胞元205-i、205-j中之讀取電晶體之一讀取電壓，且接地線525可經偏壓至使接地記憶體胞元205-k、

205-1中之讀取電晶體及寫入電晶體保持於非作用中之一電壓。例如，箝位線515可經偏壓至負二(-2)伏特，且接地線525可經偏壓至零(0)伏特。

**【0101】** 在一寫入操作期間啟動箝位記憶體胞元205-i、205-j中之讀取電晶體可耦合與目標記憶體胞元205相關聯之一數位線215及與目標記憶體胞元205相關聯之一源極線220，藉此箝位源極線220與數位線215且將源極線220偏壓至數位線215之電壓。如先前描述，在一寫入操作期間將源極線220偏壓至相同於數位線215之電壓可在寫入操作期間減少或消除可在數位線215與源極線220之間流動之洩漏電流。

**【0102】** 在記憶體陣列505中之一目標記憶體胞元205之一讀取操作期間，接地線525可經偏壓至啟動接地記憶體胞元205-k、205-1中之讀取電晶體之一讀取電壓，且箝位線515可經偏壓至使箝位記憶體胞元205-i、205-j中之讀取電晶體及寫入電晶體保持於非作用中之一電壓。例如，接地線525可經偏壓至負二(-2)伏特，且箝位線515可經偏壓至零(0)伏特，此可與一寫入操作期間使用之偏壓相反。

**【0103】** 啟動接地記憶體胞元205-k、205-1中之讀取電晶體可耦合與目標記憶體胞元205相關聯之一源極線220與偏壓至一接地電壓之一接地節點560，藉此將源極線220偏壓至接地電壓。如參考圖2及圖3B描述，與目標記憶體胞元205相關聯之數位線215可經偏壓至一電壓，使得一電流可經由目標記憶體胞元205中之讀取電晶體從數位線215流動至源極線220。

**【0104】** 例如，若記憶體胞元205-g係一讀取操作期間之目標記憶體胞元，則一電流可沿電流路徑540 (未展示)從與數位線插座545相關聯之數位線驅動器流動通過數位線215-e，通過記憶體胞元205-g (例如，通

過記憶體胞元205-g之一讀取電晶體)而至源極線220-e，接著返回通過接地記憶體胞元205-k (例如，通過接地記憶體胞元205-k之一讀取電晶體)至接地節點560。

**【0105】** 如上文描述，箝位記憶體胞元510之一或多個列及接地記憶體胞元520之一或多個列(其等之各者與記憶體陣列505耦合)可使一記憶體裝置能夠使用可以相同於浮動閘極記憶體胞元之方式製造及控制之晶粒上電路加偏壓於與浮動閘極記憶體胞元相關聯之源極線。此技術可減少或消除將源極線自與用於加偏壓於源極線之記憶體裝置相關聯之一記憶體胞元區塊引出(例如，從記憶體胞元之一圖塊或磚引出)之需求。儘管圖5描繪箝位記憶體胞元510之一單一系列及接地記憶體胞元520之一單一系列，然在實踐中，可存在各者之多個列。在一些情況中，箝位記憶體胞元及接地記憶體胞元可各使用並行操作之多個列實施。可針對足夠驅動強度選取列之數量。

**【0106】** 在一些情況中，可期望箝位記憶體胞元及接地記憶體胞元之全部讀取電晶體在一高電流(例如，低臨限值)狀態中操作。在一些情況中，此狀態可藉由在一再新方案中包含(若干)箝位線及(若干)接地線而達成。即，箝位記憶體胞元及接地記憶體胞元可在記憶體裝置之操作期間再新。在對該等列之再新期間，數位線可保持在零(0)伏特且(若干)箝位線及(若干)接地線可升高至一高電壓。此技術可使用箝位記憶體胞元及接地記憶體胞元中之寫入電晶體將此等胞元中之浮動閘極保持在零(0)伏特，此可類似於將零寫入至浮動閘極。在一些情況中，亦可在電力開啟之後以一類似方式初始化一或多個箝位列及一或多個接地列。

**【0107】** 圖6繪示根據如本文中揭示之實例之支援用於一記憶體裝

置之源極線組態之一時序圖600之一實例。時序圖600可描繪在一寫入操作期間之與一目標記憶體胞元相關聯之各種存取線上之電壓。時序圖包含字線電壓 $V_{WL}$  605、數位線電壓 $V_{DL}$  610、源極線電壓 $V_{SL}$  615、箝位線電壓 $V_{CL}$  620及接地線電壓 $V_{GL}$  625。時序圖600亦包含一浮動閘極之一電壓 $V_{FG}$  630。圖6中描述之電壓之值被視為實例。電壓可為執行本文中描述之功能之任何值或值組合。

**【0108】** 在時間 $t_0$ ，目標記憶體胞元及對應存取線可為閒置的，且浮動閘極可儲存一狀態「0」。因此， $V_{WL}$  605、 $V_{DL}$  610、 $V_{SL}$  615、 $V_{CL}$  620及 $V_{GL}$  625皆可經偏壓至零(0)伏特，且 $V_{FG}$  630可儲存零(0)伏特之一電壓。

**【0109】** 在時間 $t_1$ ，可執行一寫入操作。 $V_{WL}$  605可經偏壓至三(3)伏特之一寫入電壓以啟動目標記憶體胞元中之一寫入電晶體。 $V_{DL}$  610可經偏壓至兩(2)伏特以寫入一邏輯狀態「1」或偏壓至零(0)伏特以寫入一邏輯狀態「0」。 $V_{CL}$  620可設定至負一(-1)伏特以啟動箝位記憶體胞元中之讀取電晶體，藉此將與目標記憶體胞元相關聯之源極線箝位至與目標記憶體胞元相關聯之數位線，如參考圖5描述。因此， $V_{SL}$  615可等於 $V_{DL}$  610。由於啟動寫入電晶體，藉此耦合數位線與浮動閘極且將一電壓施加至浮動閘極，所以 $V_{FG}$  630可產生基於 $V_{DL}$  610之電壓之一電壓。例如， $V_{FG}$  630可在 $V_{DL}$  610偏壓至兩(2)伏特時產生一較高電壓(例如，約兩(2)伏特)且在 $V_{DL}$  610偏壓至零(0)伏特時產生一較低電壓(例如，零(0)伏特)。在寫入操作期間， $V_{GL}$  625可在零(0)伏特下保持於非作用中。

**【0110】** 在時間 $t_1$ 之後的某一時間， $V_{WL}$  605可經偏壓至零(0)伏特(未展示)以撤銷啟動讀取電晶體且將邏輯狀態儲存於浮動閘極上。

【0111】 圖7繪示根據如本文中揭示之實例之支援用於一記憶體裝置之源極線組態之一時序圖700之一實例。時序圖700可描繪在一讀取操作期間之與一目標記憶體胞元相關聯之各種存取線之電壓。時序圖包含字線電壓 $V_{WL}$  705、數位線電壓 $V_{DL}$  710、源極線電壓 $V_{SL}$  715、箝位線電壓 $V_{CL}$  720及接地線電壓 $V_{GL}$  725。時序圖700亦包含一浮動閘極之一電壓 $V_{FG}$  730。圖6中描述之電壓之值被視為實例。電壓可為執行本文中描述之功能之任何值或值組合。

【0112】 在時間 $t_0$ ，目標記憶體胞元及對應存取線可為閒置的，且浮動閘極可儲存一狀態「0」或「1」。因此， $V_{WL}$  705、 $V_{DL}$  710、 $V_{SL}$  715、 $V_{CL}$  720及 $V_{GL}$  725皆可經偏壓至零(0)伏特，且 $V_{FG}$  730可儲存約兩(2)伏特或零(0)伏特之一電壓。

【0113】 在時間 $t_1$ ，可執行一讀取操作。 $V_{WL}$  705可經偏壓至負一(-1)伏特之一讀取電壓以啟動目標記憶體胞元中之一讀取電晶體。 $V_{DL}$  710可經偏壓至一小正電壓，諸如0.5伏特。 $V_{GL}$  725可設定至負一(-1)伏特以啟動接地記憶體胞元中之讀取電晶體，藉此使與目標記憶體胞元相關聯之源極線接地，如參考圖5描述。因此，在讀取操作期間， $V_{SL}$  715可保持在零(0)伏特。

【0114】 由於啟動目標記憶體胞元之讀取電晶體以耦合源極線(偏壓至零(0)伏特)與數位線(偏壓至0.5伏特)，所以一電流可從數位線流動通過讀取電晶體而至源極線。可流動通過讀取電晶體之電流之量可受浮動閘極 $V_{FG}$  730之電壓之影響。若 $V_{FG}$  730在讀取操作開始時係約兩(2)伏特(表示一邏輯狀態「1」)，則與 $V_{FG}$  730在讀取操作開始時係零(0)伏特(表示一邏輯狀態「0」)之情況相比，更多之電流可流動。在前一情況中， $V_{FG}$  730

可在讀取操作期間稍微減小。在讀取操作期間， $V_{CL}$  720可在零(0)伏特下保持於非作用中。

**【0115】** 圖8展示根據如本文中揭示之實例之支援用於一記憶體裝置之源極線組態之一記憶體裝置805之一方塊圖800。例如，記憶體裝置805可為參考圖1至圖5描述之記憶體裝置或記憶體陣列之態樣之一實例。記憶體裝置805可包含一命令模組810、一耦合模組815、一偏壓模組820、一電晶體啟動模組825、一再新模組830及一判定模組835。此等模組之各者可彼此直接通信或(例如，經由一或多個匯流排)間接通信。

**【0116】** 命令模組810可接收一命令以對一記憶體胞元執行一寫入操作，該記憶體胞元包含具有用於儲存記憶體胞元之一邏輯狀態之一浮動閘極之一第一電晶體及與第一電晶體之浮動閘極連接之一第二電晶體。

**【0117】** 命令模組810可接收一命令以對一記憶體胞元執行一讀取操作，該記憶體胞元包含具有用於儲存記憶體胞元之一邏輯狀態之一浮動閘極之一第一電晶體及與第一電晶體之浮動閘極連接之一第二電晶體。

**【0118】** 耦合模組815可基於接收命令而耦合連接至第一電晶體之一源極線與連接至第二電晶體之一數位線。在一些實例中，耦合模組815可使源極線與數位線解耦合。

**【0119】** 作為寫入操作之部分，偏壓模組820可將一第一電壓施加至數位線。在一些實例中，偏壓模組820可使與記憶體胞元之第一電晶體耦合之一源極線接地。在一些實例中，作為讀取操作之部分，偏壓模組820可將一第一電壓施加至與記憶體胞元之第二電晶體耦合之一數位線。

**【0120】** 在一些實例中，偏壓模組820可基於接收命令而將一第四電壓施加至與記憶體胞元相關聯之一字線，該字線與第一電晶體之一控制

閘極且與第二電晶體之一閘極連接。

【0121】 在一些實例中，偏壓模組820可將第四電壓施加至字線以啟動第二電晶體而不啟動第一電晶體。

【0122】 在一些實例中，作為讀取操作之部分，偏壓模組820可將一第二電壓施加至與第一電晶體之一控制閘極連接之一字線以啟動第一電晶體。在一些情況中，字線與第二電晶體之一閘極連接，且其中將第二電壓施加至字線並未啟動第二電晶體。

【0123】 電晶體啟動模組825可啟動第二電晶體以將一第二電壓施加至第一電晶體之浮動閘極，第二電壓基於第一電壓。

【0124】 在一些實例中，電晶體啟動模組825可撤銷啟動第二電晶體以引起第一電晶體儲存基於施加至第一電晶體之浮動閘極之第二電壓之一邏輯狀態。在一些實例中，命令模組810可接收一第二命令以在撤銷啟動第二電晶體之後對記憶體胞元執行一讀取操作。在一些實例中，再新模組830可在撤銷啟動第二電晶體之後再新第二記憶體胞元。在一些實例中，再新模組830可藉由將一第三電壓施加至第三電晶體之控制閘極而再新第二記憶體胞元。在一些情況中，第二記憶體胞元之再新在判定由記憶體胞元儲存之邏輯狀態之後發生。

【0125】 在一些實例中，電晶體啟動模組825可啟動一第二記憶體胞元中之一第三電晶體，第三電晶體具有與數位線連接之一第一節點、與源極線連接之一第二節點及一浮動閘極。在一些實例中，啟動第三電晶體包含將一第三電壓施加至第三電晶體之一控制閘極，第三電晶體具有一浮動閘極。

【0126】 在一些實例中，作為讀取操作之部分，電晶體啟動模組

825可啟動一第三記憶體胞元中之一第四電晶體以耦合源極線與一接地電壓。

【0127】 在一些實例中，電晶體啟動模組825可啟動一第二記憶體胞元中之一第三電晶體，第三電晶體具有與源極線連接之一第一節點、與一接地電壓連接之一第二節點及一浮動閘極。在一些實例中，啟動第三電晶體包含將一第二電壓施加至第三電晶體之一控制閘極。

【0128】 判定模組835可在源極線接地之一持續時間之至少一部分期間基於數位線上之一信號判定由記憶體胞元儲存之邏輯狀態。在一些實例中，判定模組835可在源極線與接地電壓耦合時判定記憶體胞元之一第二邏輯狀態。在一些實例中，判定模組835可判定由記憶體胞元儲存之邏輯狀態係基於啟動第一電晶體，數位線上之信號係基於第一電晶體之浮動閘極之一電壓。

【0129】 在一些實例中，判定由第一電晶體之浮動閘極儲存之狀態包含判定與數位線上之信號相關聯之一電流。

【0130】 圖9展示繪示根據本發明之態樣之支援用於一記憶體裝置之源極線組態之一方法或若干方法900之一流程圖。方法900之操作可藉由如本文中描述之一記憶體裝置或其組件實施。例如，方法900之操作可藉由如參考圖8描述之一記憶體裝置執行。在一些實例中，一記憶體裝置可執行一組指令以控制記憶體裝置之功能元件以執行所描述功能。另外或替代地，一記憶體裝置可使用專用硬體來執行所描述功能之態樣。

【0131】 在905，記憶體裝置可接收一命令以對一記憶體胞元執行一寫入操作，該記憶體胞元包含具有用於儲存記憶體胞元之一邏輯狀態之一浮動閘極之一第一電晶體及與第一電晶體之浮動閘極連接之一第二電晶

體。905之操作可根據本文中描述之方法執行。在一些實例中，905之操作之態樣可藉由如參考圖8描述之一命令模組執行。

**【0132】** 在910，記憶體裝置可基於接收命令而耦合連接至第一電晶體之一源極線與連接至第二電晶體之一數位線。910之操作可根據本文中描述之方法執行。在一些實例中，910之操作之態樣可藉由如參考圖8描述之一耦合模組執行。

**【0133】** 作為寫入操作之部分，在915，記憶體裝置可將一第一電壓施加至數位線。915之操作可根據本文中描述之方法執行。在一些實例中，915之操作之態樣可藉由如參考圖8描述之一偏壓模組執行。

**【0134】** 在920，記憶體裝置可啟動第二電晶體以將一第二電壓施加至第一電晶體之浮動閘極，第二電壓基於第一電壓。920之操作可根據本文中描述之方法執行。在一些實例中，920之操作之態樣可藉由如參考圖8描述之一電晶體啟動模組執行。

**【0135】** 在925，記憶體裝置可撤銷啟動第二電晶體以引起第一電晶體儲存基於施加至第一電晶體之浮動閘極之第二電壓之一邏輯狀態。925之操作可根據本文中描述之方法執行。在一些實例中，925之操作之態樣可藉由如參考圖8描述之一電晶體啟動模組執行。

**【0136】** 在一些實例中，如本文中描述之一設備可執行一方法或若干方法，諸如方法900。設備可包含用於以下各者之特徵、構件或指令(例如，儲存可由一處理器執行之指令之一非暫時性電腦可讀媒體)：接收一命令以對一記憶體胞元執行一寫入操作，該記憶體胞元包含具有用於儲存記憶體胞元之一邏輯狀態之一浮動閘極之一第一電晶體及與第一電晶體之浮動閘極連接之一第二電晶體；基於接收命令而耦合連接至第一電晶體之

一源極線與連接至第二電晶體之一數位線；作為寫入操作之部分將一第一電壓施加至數位線；啟動第二電晶體以將一第二電壓施加至第一電晶體之浮動閘極，第二電壓基於第一電壓；及撤銷啟動第二電晶體以引起第一電晶體儲存基於施加至第一電晶體之浮動閘極之第二電壓之一邏輯狀態。

**【0137】** 在方法900及本文中描述之設備之一些實例中，耦合源極線與數位線可包含用於啟動一第二記憶體胞元中之一第三電晶體之操作、特徵、構件或指令，第三電晶體具有與數位線連接之一第一節點、與源極線連接之一第二節點及一浮動閘極。

**【0138】** 在方法900及本文中描述之設備之一些實例中，啟動第三電晶體可包含用於將一第三電壓施加至第三電晶體之一控制閘極之操作、特徵、構件或指令，第三電晶體具有一浮動閘極。

**【0139】** 方法900及本文中描述之設備之一些實例可進一步包含用於在撤銷啟動第二電晶體之後再新第二記憶體胞元之操作、特徵、構件或指令。

**【0140】** 方法900及本文中描述之設備之一些實例可進一步包含用於基於接收命令而將一第四電壓施加至與記憶體胞元相關聯之一字線之操作、特徵、構件或指令，字線與第一電晶體之一控制閘極且與第二電晶體之一閘極連接。

**【0141】** 方法900及本文中描述之設備之一些實例可進一步包含用於將第四電壓施加至字線以啟動第二電晶體而不啟動第一電晶體之操作、特徵、構件或指令。

**【0142】** 方法900及本文中描述之設備之一些實例可進一步包含用於以下各者之操作、特徵、構件或指令：接收一第二命令以在撤銷啟動第

二電晶體之後對記憶體胞元執行一讀取操作；使源極線與數位線解耦合；作為讀取操作之部分啟動一第三記憶體胞元中之一第四電晶體以耦合源極線與一接地電壓；及在源極線可與接地電壓耦合時判定記憶體胞元之一第二邏輯狀態。

**【0143】** 圖10展示繪示根據本發明之態樣之支援用於一記憶體裝置之源極線組態之一方法或若干方法1000之一流程圖。方法1000之操作可藉由如本文中描述之一記憶體裝置或其組件實施。例如，方法1000之操作可藉由如參考圖8描述之一記憶體裝置執行。在一些實例中，一記憶體裝置可執行一組指令以控制記憶體裝置之功能元件以執行所描述功能。另外或替代地，一記憶體裝置可使用專用硬體來執行所描述功能之態樣。

**【0144】** 在1005，記憶體裝置可接收一命令以對一記憶體胞元執行一讀取操作，該記憶體胞元包含具有用於儲存記憶體胞元之一邏輯狀態之一浮動閘極之一第一電晶體及與第一電晶體之浮動閘極耦合之一第二電晶體。1005之操作可根據本文中描述之方法執行。在一些實例中，1005之操作之態樣可藉由如參考圖8描述之一命令模組執行。

**【0145】** 在1010，記憶體裝置可使與記憶體胞元之第一電晶體耦合之一源極線接地。1010之操作可根據本文中描述之方法執行。在一些實例中，1010之操作之態樣可藉由如參考圖8描述之一偏壓模組執行。

**【0146】** 在1015，作為讀取操作之部分，記憶體裝置可將一第一電壓施加至與記憶體胞元之第二電晶體耦合之一數位線。1015之操作可根據本文中描述之方法執行。在一些實例中，1015之操作之態樣可藉由如參考圖8描述之一偏壓模組執行。

**【0147】** 在1020，記憶體裝置可在源極線接地之一持續時間之至少

一部分期間基於數位線上之一信號判定由記憶體胞元儲存之邏輯狀態。1020之操作可根據本文中描述之方法執行。在一些實例中，1020之操作之態樣可藉由如參考圖8描述之一判定模組執行。

**【0148】** 在一些實例中，如本文中描述之一設備可執行一方法或若干方法，諸如方法1000。設備可包含用於以下各者之特徵、構件或指令(例如，儲存可由一處理器執行之指令之一非暫時性電腦可讀媒體)：接收一命令以對一記憶體胞元執行一讀取操作，該記憶體胞元包含具有用於儲存記憶體胞元之一邏輯狀態之一浮動閘極之一第一電晶體及與第一電晶體之浮動閘極耦合之一第二電晶體；使與記憶體胞元之第一電晶體耦合之一源極線接地；作為讀取操作之部分將一第一電壓施加至與記憶體胞元之第二電晶體連接之一數位線；及在源極線接地之一持續時間之至少一部分期間基於數位線上之一信號判定由記憶體胞元儲存之邏輯狀態。

**【0149】** 在方法1000及本文中描述之設備之一些實例中，使源極線接地可包含用於啟動一第二記憶體胞元中之一第三電晶體之操作、特徵、構件或指令，第三電晶體具有與源極線連接之一第一節點、與一接地電壓連接之一第二節點及一浮動閘極。

**【0150】** 在方法1000及本文中描述之設備之一些實例中，啟動第三電晶體可包含用於將一第二電壓施加至第三電晶體之一控制閘極之操作、特徵、構件或指令。

**【0151】** 方法1000及本文中描述之設備之一些實例可進一步包含藉由將一第三電壓施加至第三電晶體之控制閘極而再新第二記憶體胞元之操作、特徵、構件或指令。

**【0152】** 在方法1000及本文中描述之設備之一些實例中，第二記憶

體胞元之再新在判定由記憶體胞元儲存之邏輯狀態之後發生。

**【0153】** 方法1000及本文中描述之設備之一些實例可進一步包含用於作為讀取操作之部分將一第二電壓施加至可與第一電晶體之一控制閘極連接之一字線以啟動第一電晶體之操作、特徵、構件或指令。

**【0154】** 方法1000及本文中描述之設備之一些實例可進一步包含用於判定由記憶體胞元儲存之邏輯狀態可係基於啟動第一電晶體之操作、特徵、構件或指令，數位線上之信號基於第一電晶體之浮動閘極之一電壓。

**【0155】** 在方法1000及本文中描述之設備之一些實例中，字線可與第二電晶體之一閘極連接，且其中將第二電壓施加至字線並未啟動第二電晶體。

**【0156】** 在方法1000及本文中描述之設備之一些實例中，判定由第一電晶體之浮動閘極儲存之狀態可包含用於判定與數位線上之信號相關聯之一電流之操作、特徵、構件或指令。

**【0157】** 應注意，上文描述之方法描述可能實施方案，且操作及步驟可經重新配置或以其他方式修改使得其他實施方案係可行的。此外，可組合來自該等方法之兩者或兩者以上之態樣。

**【0158】** 在一些情況中，如本文中描述之一設備可包含：一記憶體胞元陣列，記憶體胞元陣列之各記憶體胞元包括包含一控制閘極及一浮動閘極之一第一電晶體及與第一電晶體之浮動閘極連接之一第二電晶體，其中各記憶體胞元經組態以使用第一電晶體及第二電晶體儲存一邏輯狀態；複數個字線，各字線與陣列之一列之記憶體胞元之第一電晶體之控制閘極及第二電晶體之閘極連接；複數個數位線，各數位線與陣列之一行之記憶體胞元之第一電晶體之一第一節點及第二電晶體之一第二節點連接；及複

數個源極線，各源極線對應於複數個數位線之一個數位線且與連接於一個數位線之一各自記憶體胞元之第一電晶體之一第二節點連接，各源極線經組態以基於使用一個數位線執行一操作而偏壓。

**【0159】** 在一些實例中，該設備可包含：記憶體胞元之一箝位列，其與記憶體胞元陣列耦合，記憶體胞元之箝位列之各記憶體胞元包括包含一浮動閘極之一第三電晶體及與第三電晶體之浮動閘極連接之一第四電晶體，其中第三電晶體之各者之一第一節點與複數個源極線之一對應源極線連接；及一箝位線，其與第三電晶體之各者之一控制閘極連接且經組態以基於操作係一寫入操作而將對應源極線偏壓至該一個數位線之一電壓。

**【0160】** 在一些實例中，該設備可包含與對應一個數位線連接之第三電晶體之各者之一第二節點。該設備亦可包含一箝位線，其經組態以藉由啟動第三電晶體之各者以耦合對應源極線與一個數位線而將對應源極線偏壓至該一個數位線之電壓。

**【0161】** 在一些實例中，如本文中描述之設備可包含與對應一個數位線連接之第四電晶體之各者之一第三節點及與箝位線連接之第四電晶體之各者之一閘極。

**【0162】** 在一些實例中，該設備可包含：記憶體胞元之一接地列，其與記憶體胞元陣列耦合，記憶體胞元之接地列之各記憶體胞元包含含有一浮動閘極之一第五電晶體及與第五電晶體之浮動閘極連接之一第六電晶體，其中第五電晶體之各者之一第一節點與複數個源極線之一對應源極線連接；及一接地線，其與第五電晶體之各者之一控制閘極連接且經組態以基於操作係一讀取操作而將對應源極線偏壓至一接地電壓。

**【0163】** 在一些情況中，技術方案之設備可包含與接地電壓連接之

第五電晶體之各者之一第二節點。在一些情況中，接地線經組態以藉由啟動第五電晶體之各者以耦合對應源極線與接地電壓而將對應源極線偏壓至接地電壓。

**【0164】** 在一些實例中，該設備可包含各記憶體胞元之一第一電晶體(其係一p型電晶體)及各記憶體胞元之第二電晶體(其係一n型電晶體)。

**【0165】** 本文中描述之資訊及信號可使用各種不同科技及技術之任一者來表示。例如，可貫穿上文描述引用之資料、指令、命令、資訊、信號、位元、符號及晶片可由電壓、電流、電磁波、磁場或磁性粒子、光場或光學粒子或其等之任何組合表示。一些圖式可將信號繪示為一單一信號；然而，一般技術者將理解，信號可表示一信號匯流排，其中匯流排可具有各種位元寬度。

**【0166】** 如本文中使用的，術語「虛擬接地」係指保持在約零伏特(0 V)之一電壓但不直接與接地耦合之一電路之一節點。因此，一虛擬接地之電壓可暫時波動且在穩定狀態下返回至約0 V。一虛擬接地可使用各種電子電路元件(諸如由運算放大器及電阻器組成之一分壓器)實施。其他實施方案亦係可行的。「虛擬接地」或「經虛擬接地」意謂連接至約0 V。

**【0167】** 術語「電子通信」、「導電接觸」、「經連接」及「經耦合」可指組件之間的一關係，其支援組件之間的信息流。若組件之間存在任何導電路徑以可在任何時間支援組件之間的信息流，則組件被視為彼此電子通信(或彼此導電接觸或連接或耦合)。在任何給定時間，彼此電子通信(或彼此導電接觸或連接或耦合)之組件之間的導電路徑可基於包含所連接組件之裝置之操作而係一開路或閉路。所連接組件之間的導電路徑可為組件之間的一直接導電路徑或所連接組件之間的導電路徑可為可包含中間組

件(諸如開關、電晶體或其他組件)之一間接導電路徑。在一些情況中，所連接組件之間的信號流可使用一或多個中間組件(諸如開關或電晶體)中斷一段時間。

**【0168】** 術語「耦合」係指從組件之間的一開路關係(其中信號當前無法透過一導電路徑在組件之間傳遞)移動至組件之間的一閉路關係(其中信號可透過導電路徑在組件之間傳遞)。當一組件(諸如一控制器)與其他組件耦合在一起時，組件起始一改變以容許信號透過先前不容許信號流動之一導電路徑在其他組件之間流動。

**【0169】** 術語「經隔離」係指組件之間的一關係，其中信號當前無法在組件之間流動。若組件之間存在一開路，則組件彼此隔離。例如，由定位於組件之間的一開關分離之兩個組件在開關斷開時彼此隔離。當一控制器使兩個組件彼此隔離時，控制器產生一改變，其防止信號使用先前容許信號流動之一導電路徑在組件之間流動。

**【0170】** 如本文中使用的，術語「實質上」意謂所修飾特性(例如，由術語實質上修飾之一動詞或形容詞)無需係絕對的，但足夠接近以達成特性之優點。

**【0171】** 本文中描述之裝置(包含一記憶體陣列)可形成於一半導體基板(諸如矽、鍺、矽鍺合金、砷化鎵、氮化鎵等)上。在一些情況中，基板係一半導體晶圓。在其他情況中，基板可為一絕緣體上矽(SOI)基板(諸如玻璃上矽(SOG)或藍寶石上矽(SOP))或另一基板上之半導體材料之磊晶層。可透過使用各種化學物種(包含但不限於磷、硼或砷)摻雜來控制基板或基板之子區之導電率。可藉由離子植入或藉由任何其他摻雜方法在基板之初始形成或生長期間執行摻雜。

**【0172】** 本文中描述之一切換組件或一電晶體可表示一場效電晶體(FET)且包括包含一源極、汲極及閘極之三終端裝置。該等終端可透過導電材料(例如,金屬)連接至其他電子元件。源極及汲極可為導電的且可包括一重度摻雜(例如,退化)半導體區。可藉由一輕度摻雜半導體區或通道分離源極及汲極。若通道係n型(即,多數載子係電子),則FET可被稱為一n型FET。若通道係p型(即,多數載子係電洞),則FET可被稱為一p型FET。通道可藉由一絕緣閘極氧化物封端。可藉由將一電壓施加至閘極而控制通道導電率。例如,分別將一正電壓或負電壓施加至一n型FET或一p型FET可引起通道變成導電的。當將大於或等於一電晶體之臨限值電壓之一電壓施加至電晶體閘極時,可「開啟」或「啟動」該電晶體。當將小於電晶體之臨限值電壓之一電壓施加至電晶體閘極時,可「關閉」或「撤消啟動」該電晶體。

**【0173】** 本文中陳述之描述結合隨附圖式描述例示性組態且不表示可實施或在發明申請專利範圍之範疇內之全部實例。本文中使用的術語「例示性」意謂「充當一實例、例項或圖解」且非「較佳」或「優於其他實例」。詳細描述包含特定細節以提供對所描述技術之一理解。然而,可在無此等特定細節的情況下實踐此等技術。在一些例項中,以方塊圖形式展示熟知結構及裝置以避免模糊所描述實例之概念。

**【0174】** 在附圖中,類似組件或特徵可具有相同參考標籤。此外,可藉由在參考標籤後加一破折號及區分類似組件之一第二標籤來區分相同類型之各種組件。當僅在說明書中使用第一參考標籤時,描述可適用於具有相同第一參考標籤之類似組件之任一者,而無關於第二參考標籤。

**【0175】** 本文中描述之資訊及信號可使用各種不同科技及技術之任

一者來表示。例如，可貫穿上文描述引用之資料、指令、命令、資訊、信號、位元、符號及晶片可由電壓、電流、電磁波、磁場或磁性粒子、光場或光學粒子或其等之任何組合表示。

**【0176】** 結合本文中之揭示內容描述之各種闡釋性區塊及模組可使用經設計以執行本文中描述之功能之一通用處理器、一DSP、一ASIC、一FPGA或其他可程式化邏輯裝置、離散閘極或電晶體邏輯、離散硬體組件或其等之任何組合來實施或執行。一通用處理器可為一微處理器，但在替代方案中，處理器可為任何處理器、控制器、微控制器或狀態機。一處理器亦可實施為計算裝置之一組合(例如DSP及微處理器之一組合、多個微處理器、結合DSP核心之一或多個微處理器或任何其他此組態)。

**【0177】** 可在硬體、由一處理器執行之軟體、韌體或其任何組合中實施本文中描述之功能。若在由一處理器執行之軟體中實施，則可將功能作為一或多個指令或碼儲存於一電腦可讀媒體上或經由一電腦可讀媒體傳輸。其他實例及實施方案係在本發明及隨附發明申請專利範圍之範疇內。例如，歸因於軟體之性質，可使用由一處理器執行之軟體、硬體、韌體、硬接線或此等之任意者之組合來實施上文描述之功能。實施功能之特徵亦可實體上定位在各種位置處，包含經分佈使得在不同實體位置處實施功能之部分。而且，如本文中(包含在發明申請專利範圍中)使用，如一物項清單(例如，以諸如「至少一者」或「一或多者」之一片語開始之一物項清單)中使用之「或」指示一包含清單，使得例如 A、B或C之至少一者之一清單意謂A或B或C或AB或AC或BC或ABC (即，A及B及C)。而且，如本文中使用的片語「基於」不應被解釋為對一條件閉集之一參考。例如，在不脫離本發明之範疇的情況下，描述為「基於條件A」之一例示性步驟可

係基於一條件A及一條件B兩者。換言之，如本文中使用，片語「基於」應以相同於片語「至少部分基於」之方式來解釋。

**【0178】** 提供本文中之描述以使熟習此項技術者能夠製成或使用本發明。熟習此項技術者將明白對本發明之各種修改，且在不脫離本發明之範疇的情況下，本文中定義之通用原理可應用於其他變動。因此，本發明不限於本文中描述之實例及設計，而應符合與本文中揭示之原理及新穎特徵一致之最廣範疇。

**【符號說明】**

**【0179】**

100: 系統

105: 外部記憶體控制器

110: 記憶體裝置

115: 通道

120: 處理器

125: 基本輸入/輸出系統(BIOS)組件

130: 周邊組件

135: 輸入/輸出(I/O)控制器

140: 匯流排

145: 輸入裝置/輸入

150: 輸出裝置/輸出

155: 裝置記憶體控制器

160-a至160-N: 記憶體晶粒

165-a至165-N: 局部記憶體控制器

- 170-a至170-N: 記憶體陣列
- 186: 命令及位址(CA)通道
- 188: 時脈信號(CK)通道
- 190: 資料通道
- 192: 通道
- 200: 記憶體晶粒
- 205: 記憶體胞元
- 205-a: 目標記憶體胞元
- 205-c: 目標記憶體胞元
- 205-e: 浮動閘極記憶體胞元
- 205-f: 浮動閘極記憶體胞元
- 205-g: 浮動閘極記憶體胞元
- 205-h: 浮動閘極記憶體胞元
- 205-i: 箝位記憶體胞元
- 205-j: 箝位記憶體胞元
- 205-k: 接地記憶體胞元
- 205-l: 接地記憶體胞元
- 210: 字線
- 210-a: 字線
- 210-b: 字線
- 210-e: 字線
- 210-f: 字線
- 215: 數位線

215-a: 數位線

215-b: 數位線

215-c: 數位線

215-d: 數位線

215-e: 數位線

215-f: 數位線

220-a: 源極線

220-b: 源極線

220-c: 源極線

220-d: 源極線

220-e: 源極線

220-f: 源極線

225: 列解碼器

230: 行解碼器

235: 讀取電晶體

235-a: 讀取電晶體

235-b: 讀取電晶體

240: 浮動閘極

245: 寫入電晶體

245-a: 寫入電晶體

250: 感測組件

255: 參考信號

260: 輸出

- 265: 局部記憶體控制器
- 270: 控制閘極
- 275: 控制閘極
- 280: 源極節點
- 285: 源極節點
- 290: 汲極節點
- 295: 汲極節點
- 300: 記憶體裝置
- 310: 單一導電源極板
- 400: 記憶體裝置
- 500: 記憶體裝置
- 505: 記憶體陣列
- 510: 箝位記憶體胞元
- 515: 箝位線
- 520: 接地記憶體胞元
- 525: 接地線
- 540: 電流路徑
- 545: 數位線插座
- 560: 接地節點
- 600: 時序圖
- 605: 字線電壓 $V_{WL}$
- 610: 數位線電壓 $V_{DL}$
- 615: 源極線電壓 $V_{SL}$

620: 箝位線電壓  $V_{CL}$

625: 接地線電壓  $V_{GL}$

630: 電壓  $V_{FG}$

700: 時序圖

705: 字線電壓  $V_{WL}$

710: 數位線電壓  $V_{DL}$

715: 源極線電壓  $V_{SL}$

720: 箝位線電壓  $V_{CL}$

725: 接地線電壓  $V_{GL}$

730: 電壓  $V_{FG}$

800: 方塊圖

805: 記憶體裝置

810: 命令模組

815: 耦合模組

820: 偏壓模組

825: 電晶體啟動模組

830: 再新模組

835: 判定模組

900: 方法

905: 操作

910: 操作

915: 操作

920: 操作

925: 操作

1000: 方法

1005: 操作

1010: 操作

1015: 操作

1020: 操作

## 【發明申請專利範圍】

### 【請求項1】

一種方法，其包括：

接收一命令以對一記憶體胞元執行一寫入操作，該記憶體胞元包括具有用於儲存該記憶體胞元之一邏輯狀態之一浮動閘極之一第一電晶體及與該第一電晶體之該浮動閘極連接之一第二電晶體；

至少部分基於接收該命令而耦合連接至該第一電晶體之一源極線與連接至該第二電晶體之一數位線；

作為該寫入操作之部分將一第一電壓施加至該數位線；

啟動該第二電晶體以將一第二電壓施加至該第一電晶體之該浮動閘極，該第二電壓至少部分基於該第一電壓；及

撤銷啟動(deactivating)該第二電晶體以引起該第一電晶體儲存至少部分基於施加至該第一電晶體之該浮動閘極之該第二電壓之一邏輯狀態。

### 【請求項2】

如請求項1之方法，其中耦合該源極線與該數位線包括：

啟動一第二記憶體胞元中之一第三電晶體，該第三電晶體具有與該數位線連接之一第一節點、與該源極線連接之一第二節點、及一浮動閘極。

### 【請求項3】

如請求項2之方法，其中：

啟動該第三電晶體包括將一第三電壓施加至該第三電晶體之一控制閘極。

### 【請求項4】

如請求項3之方法，其進一步包括：

在撤銷啟動該第二電晶體之後再新(refresh)該第二記憶體胞元。

**【請求項5】**

如請求項1之方法，其進一步包括：

至少部分基於接收該命令而將一第四電壓施加至與該記憶體胞元相關聯之一字線，該字線與該第一電晶體之一控制閘極且與該第二電晶體之一閘極連接。

**【請求項6】**

如請求項5之方法，其中：

將該第四電壓施加至該字線啟動該第二電晶體而不啟動該第一電晶體。

**【請求項7】**

如請求項1之方法，其進一步包括：

接收一第二命令以在撤銷啟動該第二電晶體之後對該記憶體胞元執行一讀取操作；

使該源極線與該數位線解耦合(decoupling)；

作為該讀取操作之部分啟動一第三記憶體胞元中之一第四電晶體以耦合該源極線與一接地電壓；及

在該源極線與該接地電壓耦合時判定該記憶體胞元之一第二邏輯狀態。

**【請求項8】**

一種記憶體胞元裝置，其包括：

一記憶體胞元；

一第一電晶體，其具有用於儲存該記憶體胞元之一邏輯狀態之一浮動閘極且連接至一源極線；

一第二電晶體，其耦合至該第一電晶體之該浮動閘極且連接至一數位線；

一控制器，其經組態以：

接收一命令以對該記憶體胞元執行一寫入操作；

至少部分基於接收該命令而耦合該源極線與該數位線；

作為該寫入操作之部分將一第一電壓施加至該數位線；

啟動該第二電晶體以將一第二電壓施加至該第一電晶體之該浮動閘極，該第二電壓至少部分基於該第一電壓；及

撤銷啟動該第二電晶體以引起該第一電晶體儲存至少部分基於施加至該第一電晶體之該浮動閘極之該第二電壓之一邏輯狀態。

#### 【請求項9】

如請求項8之記憶體胞元裝置，其進一步包括：

一第二憶體胞元；

一第三電晶體，其具有與該數位線連接之一第一節點、與該源極線連接之一第二節點、及一浮動閘極，其中該控制器進一步經組態以：

在該第二憶體胞元中啟動該第三電晶體。

#### 【請求項10】

如請求項9之記憶體胞元裝置，其中：

該第三電晶體包括一控制閘極；及

該控制器進一步經組態以：

施加一第三電壓至該第三電晶體之該控制閘極。

**【請求項11】**

如請求項10之記憶體胞元裝置，其中該控制器進一步經組態以：

在撤銷啟動該第二電晶體之後再新該第二記憶體胞元。

**【請求項12】**

如請求項8之記憶體胞元裝置，其進一步包括：

一字線，其與該記憶體胞元相關聯且與該第一電晶體之一控制閘極及該第二電晶體之一閘極連接，其中該控制器進一步經組態以：

至少部分基於接收該命令而將一第四電壓施加至與該記憶體胞元相關聯之該字線。

**【請求項13】**

如請求項12之記憶體胞元裝置，其中：

將該第四電壓施加至該字線啟動該第二電晶體而不啟動該第一電晶體。

**【請求項14】**

如請求項8之記憶體胞元裝置，其進一步包括：

一第三記憶體胞元，其中該控制器進一步經組態以：

接收一第二命令以在撤銷啟動該第二電晶體之後對該記憶體胞元執行一讀取操作；

使該源極線與該數位線解耦合；

作為該讀取操作之部分啟動該第三記憶體胞元中之一第四電晶體以耦合該源極線與一接地電壓；及

在該源極線與該接地電壓耦合時判定該記憶體胞元之一第二邏輯狀態。

**【請求項15】**

一種方法，其包括：

接收一命令以對一記憶體胞元執行一寫入操作，該記憶體胞元包括一第一電晶體及與該第一電晶體耦合之一第二電晶體；

至少部分基於接收該命令而耦合該第一電晶體與該第二電晶體；

作為該寫入操作之部分將該第二電晶體偏壓至一第一電壓；

啟動該第二電晶體以將一第二電壓施加至該第一電晶體，該第二電壓至少部分基於該第一電壓；及

撤銷啟動該第二電晶體以引起該第一電晶體儲存至少部分基於該第二電壓之一邏輯狀態。

**【請求項16】**

如請求項15之方法，其中：

撤銷啟動該第二電晶體包括：

在將該第二電壓施加至該第一電晶體之後將該記憶體胞元之一字線耦合至一零電壓，其中該第一電晶體至少部分基於將該字線耦合至該零電壓而儲存該邏輯狀態。

**【請求項17】**

如請求項15之方法，其中該第二電壓之一第一值對應於一第一邏輯狀態，及該第二電壓之一第二值對應於一第二邏輯狀態。

**【請求項18】**

如請求項15之方法，其中：

該第一電壓係一寫入電壓，該寫入電壓超過與該第一電晶體相關聯之一臨限值；及

該第二電壓。

**【請求項19】**

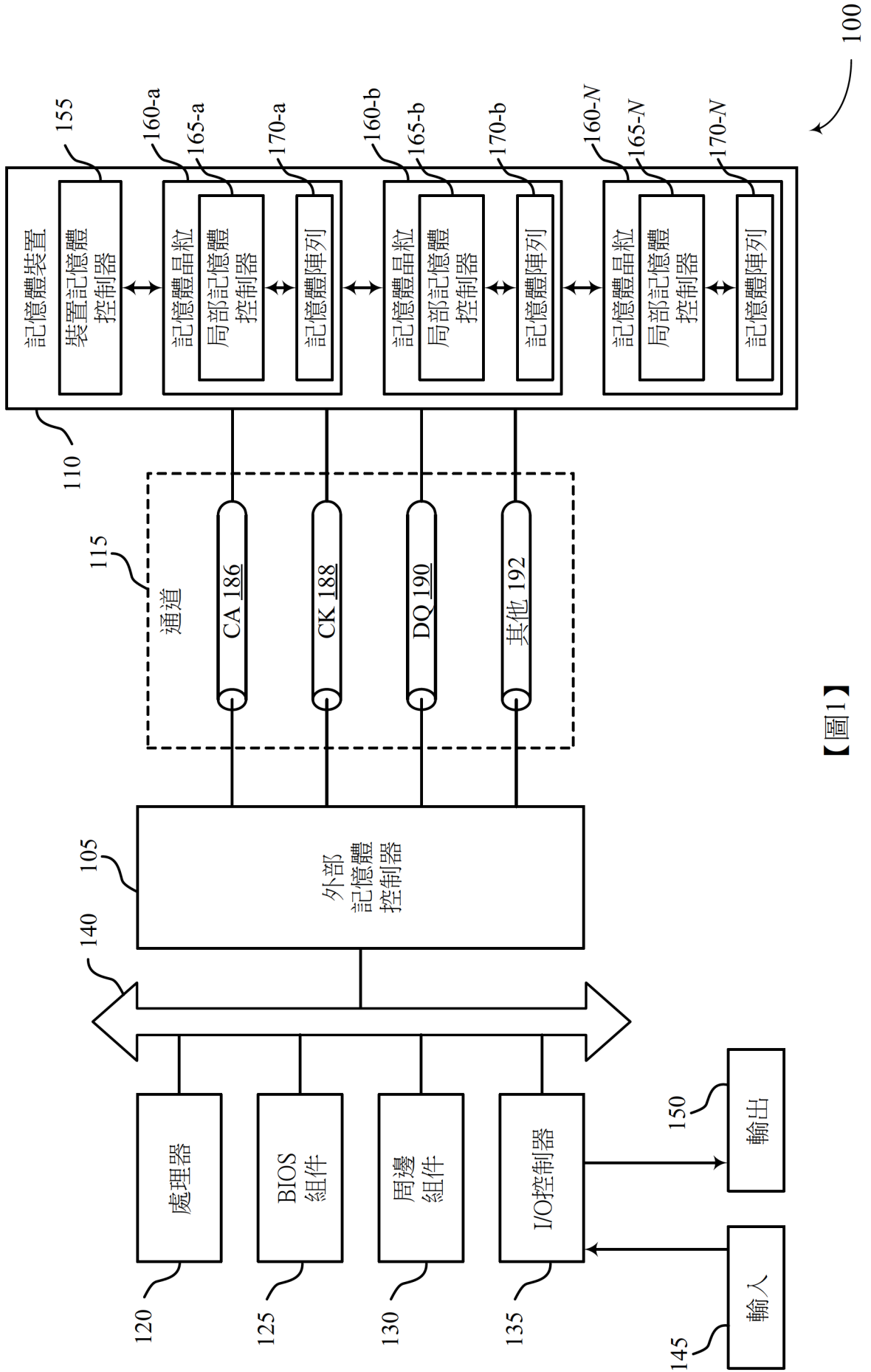
如請求項15之方法，其中該第一電晶體係耦合至一源極線，該方法進一步包括：

在該寫入操作過程中將耦合至該第一電晶體之該源極線偏壓至一接地電壓。

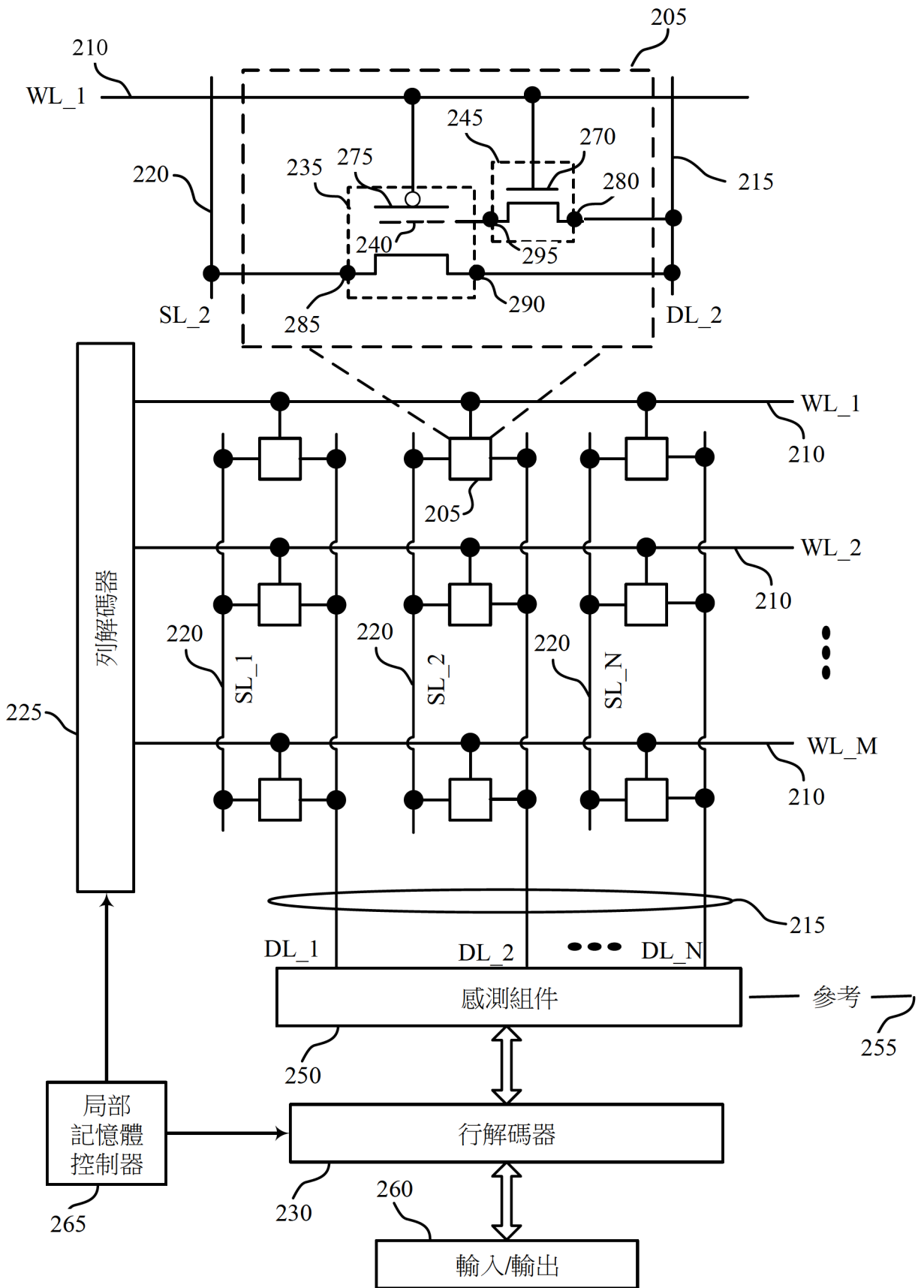
**【請求項20】**

如請求項15之方法，其中該第一電晶體係一n型電晶體，及該第二電晶體係一p型電晶體。

【發明圖式】



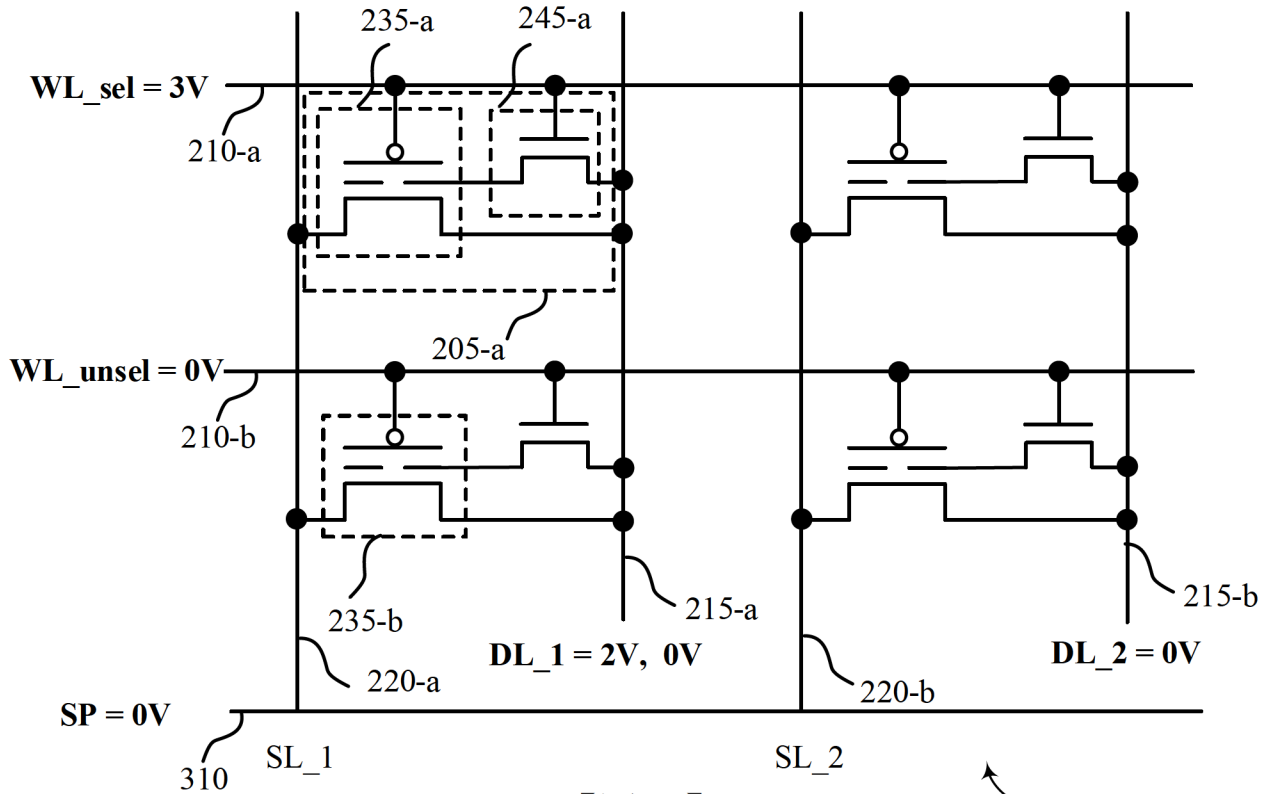
【圖1】



【圖2】

200

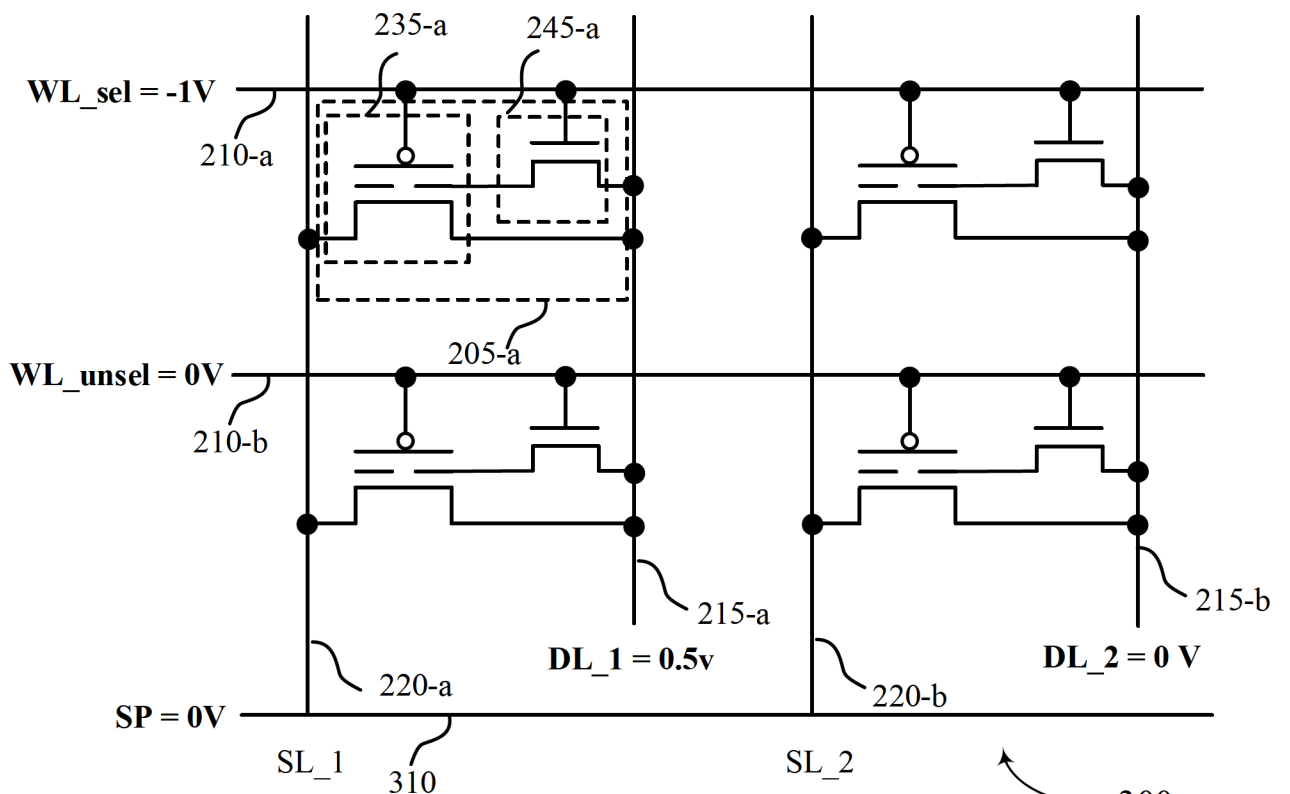
寫入



【圖3A】

300

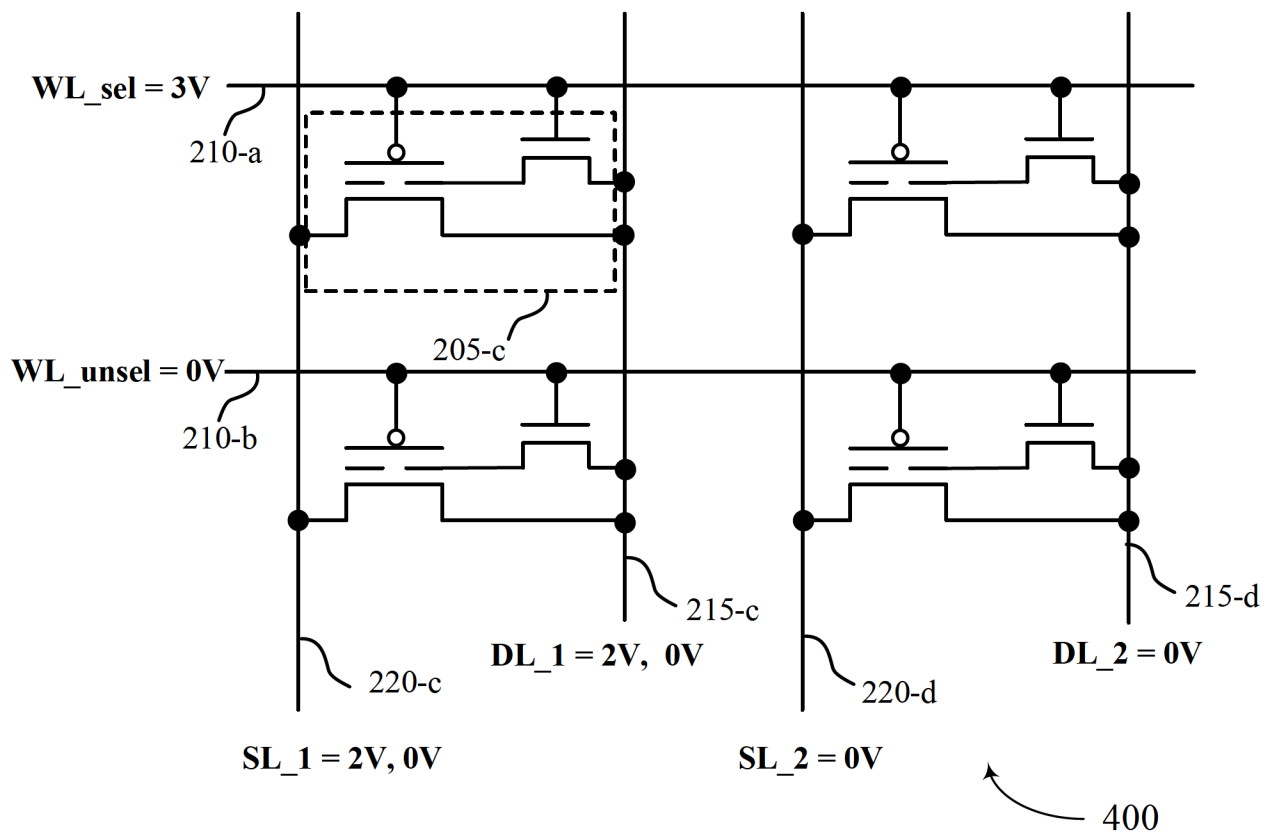
讀取



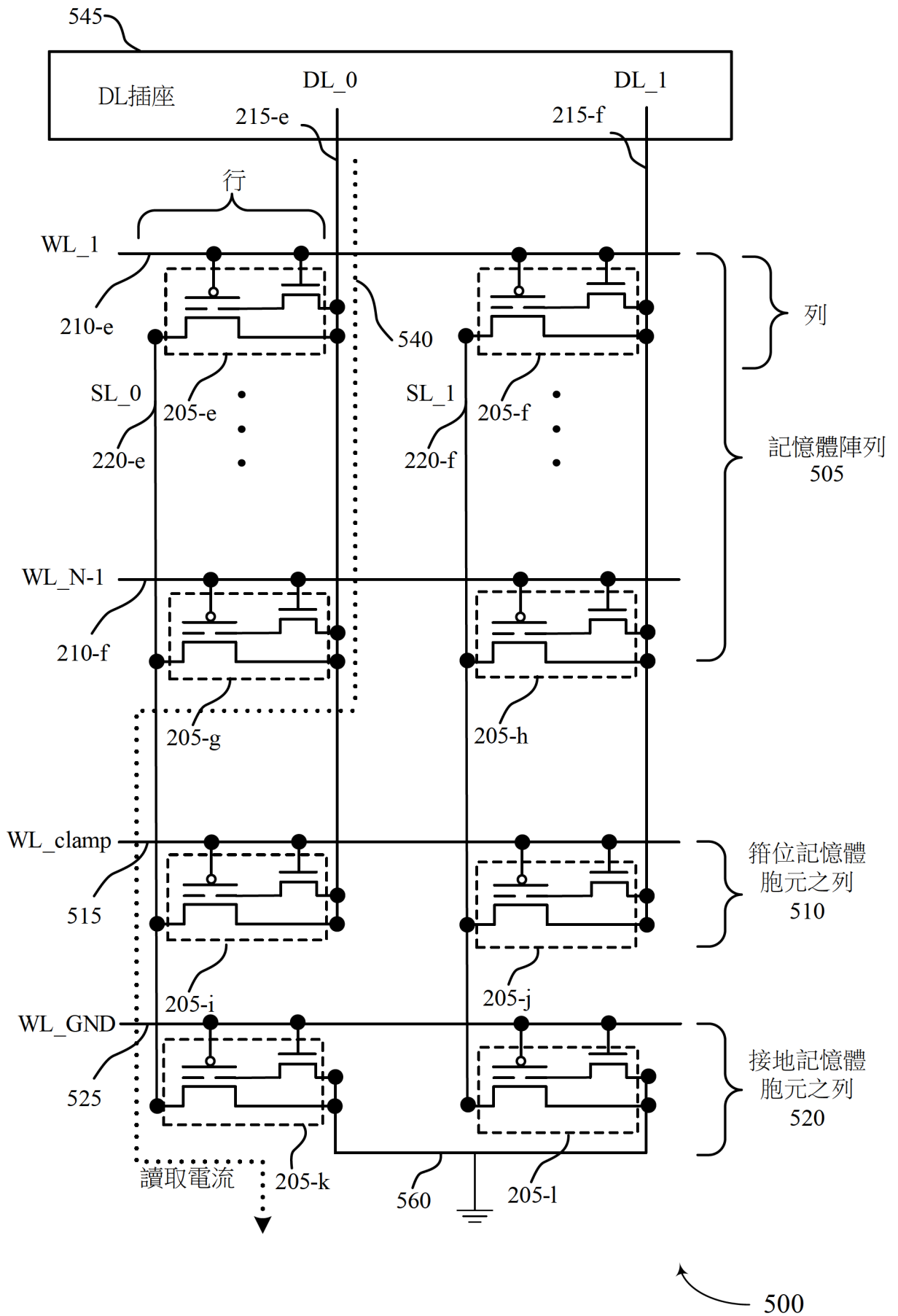
【圖3B】

300

寫入

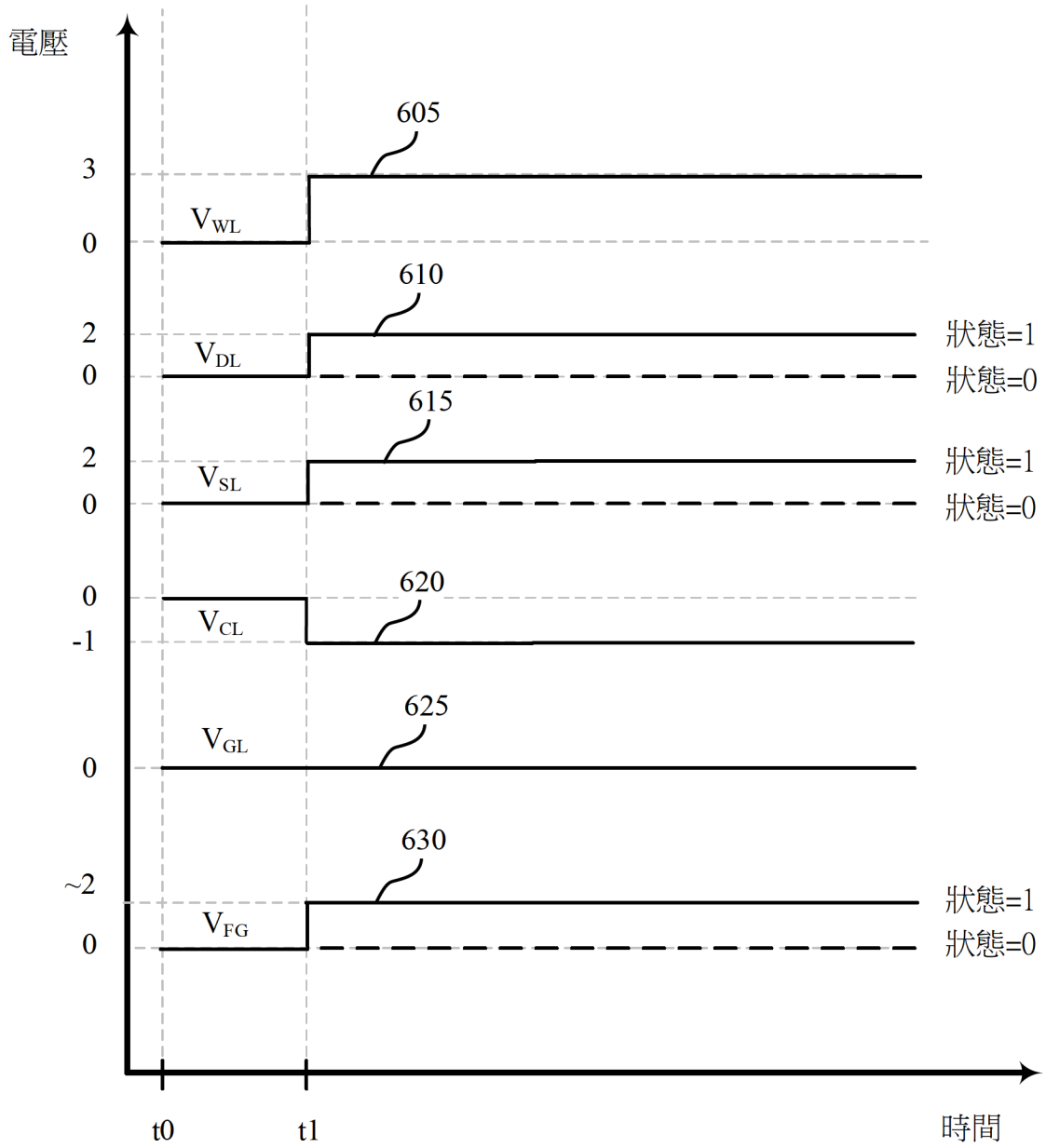


【圖4】



【圖5】

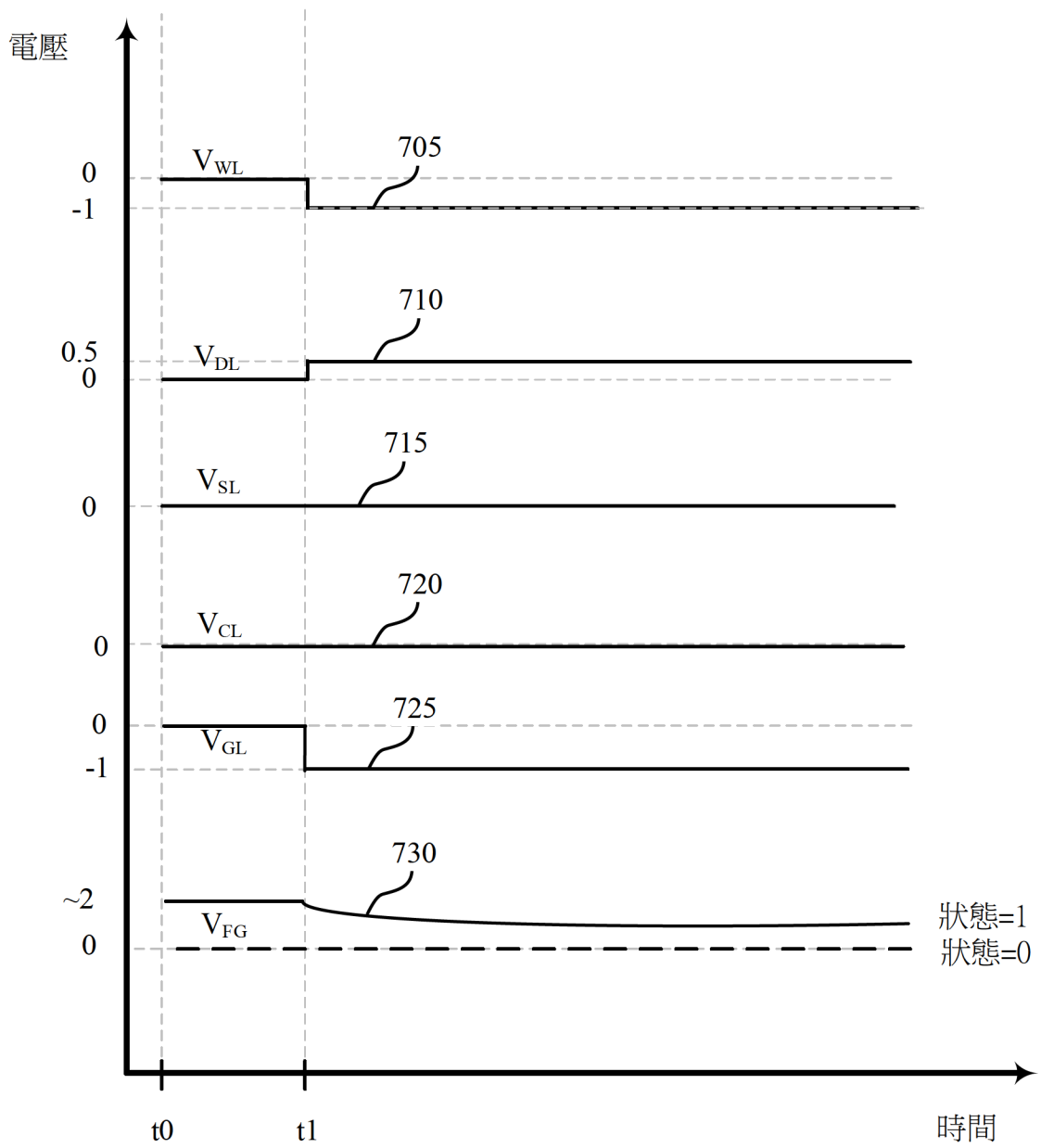
寫入



600

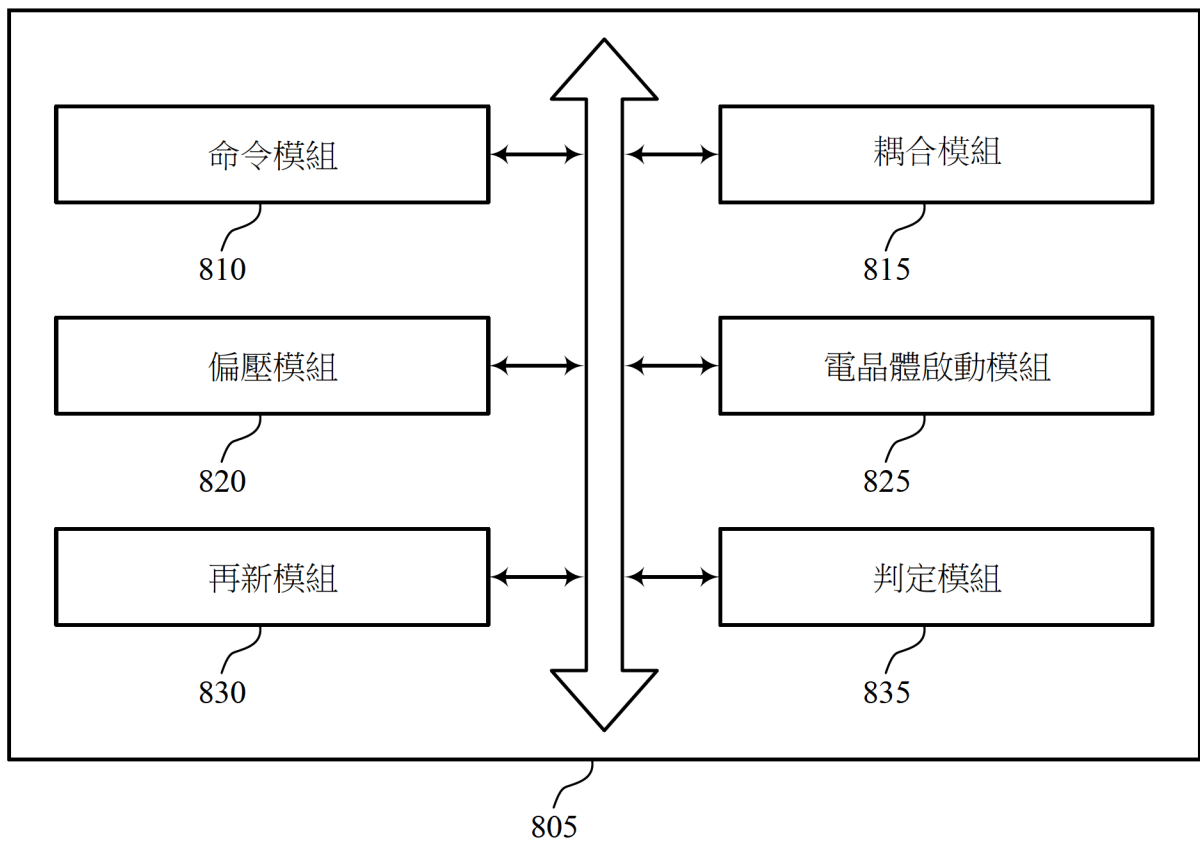
【圖6】

讀取



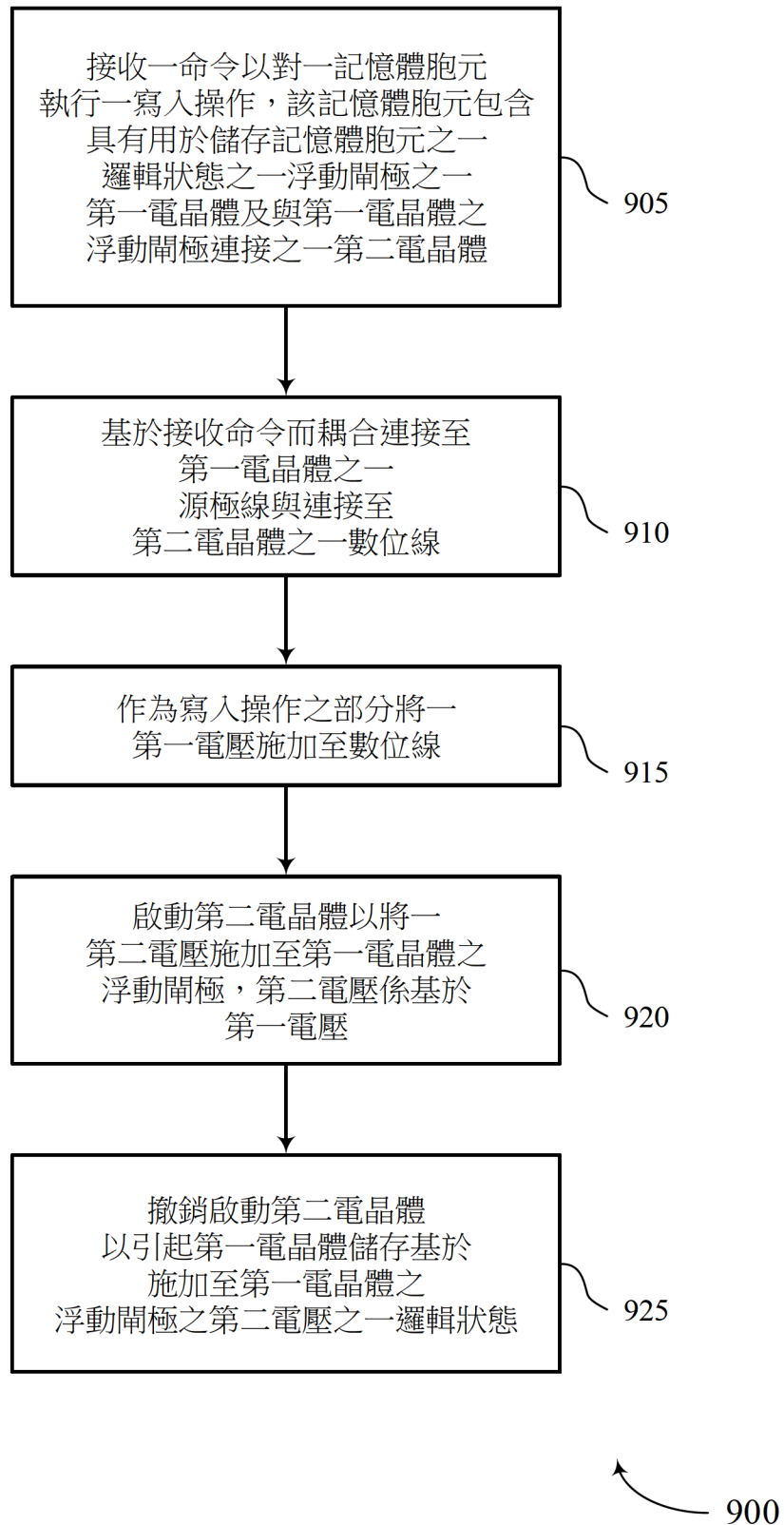
700

【圖7】

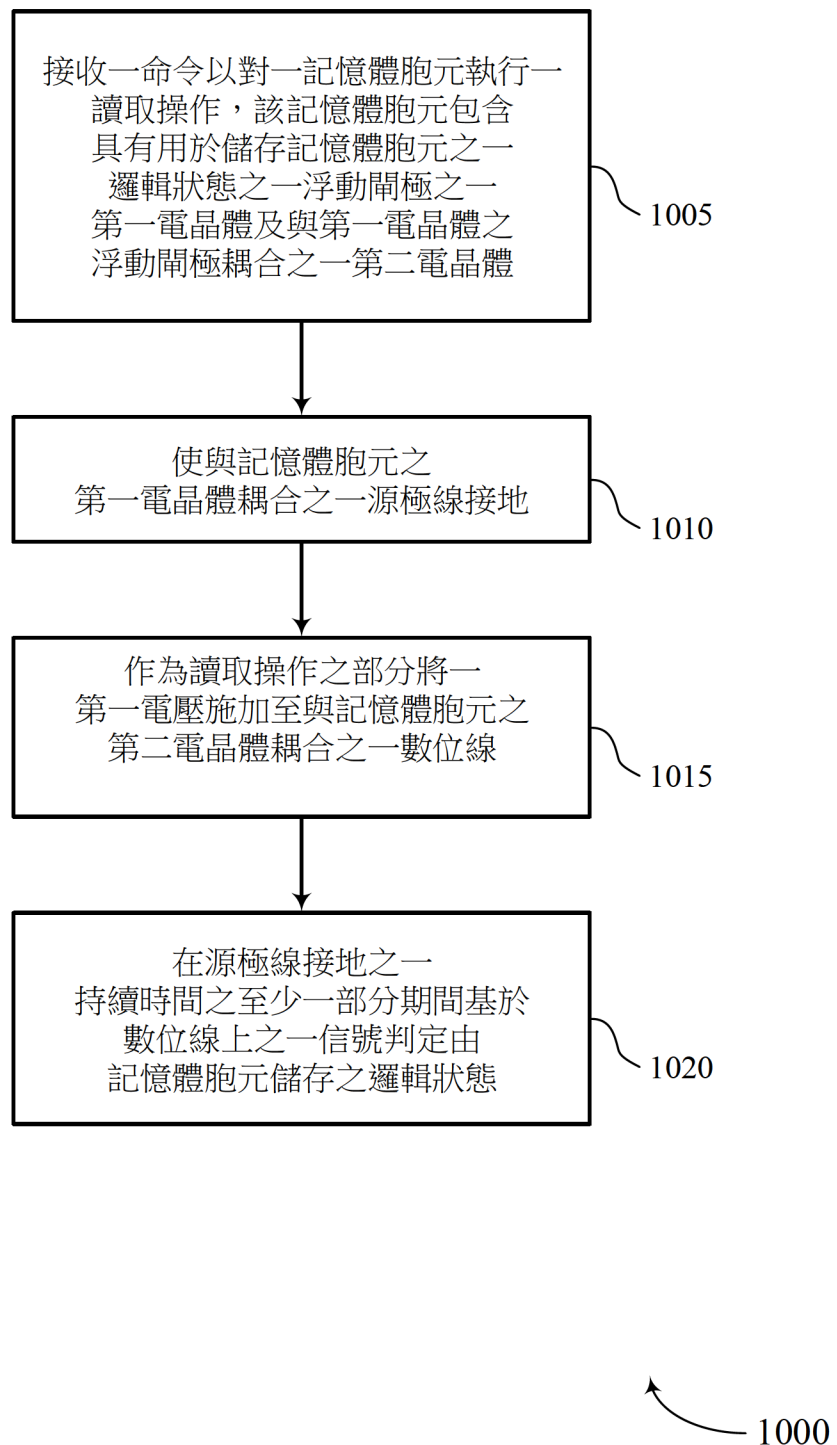


【圖8】

800



【圖9】



【圖10】