



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2011-0059758
(43) 공개일자 2011년06월03일

(51) Int. Cl.

G01R 31/319 (2006.01) G11C 29/56 (2006.01)

(21) 출원번호 10-2011-7008127

(22) 출원일자(국제출원일자) 2008년11월19일

심사청구일자 2011년04월08일

(85) 번역문제출일자 2011년04월08일

(86) 국제출원번호 PCT/JP2008/003395

(87) 국제공개번호 WO 2010/058441

국제공개일자 2010년05월27일

(71) 출원인

가부시킴가이샤 어드밴티스트

일본국 도쿄도 네리마구 아사히초 1초메 32반1고

(72) 발명자

사카이, 미츠루

일본국 도쿄 1790071 네리마구 아사히초 1초메 32반1고 가부시킴가이샤 어드밴티스트 내

(74) 대리인

특허법인씨엔에스

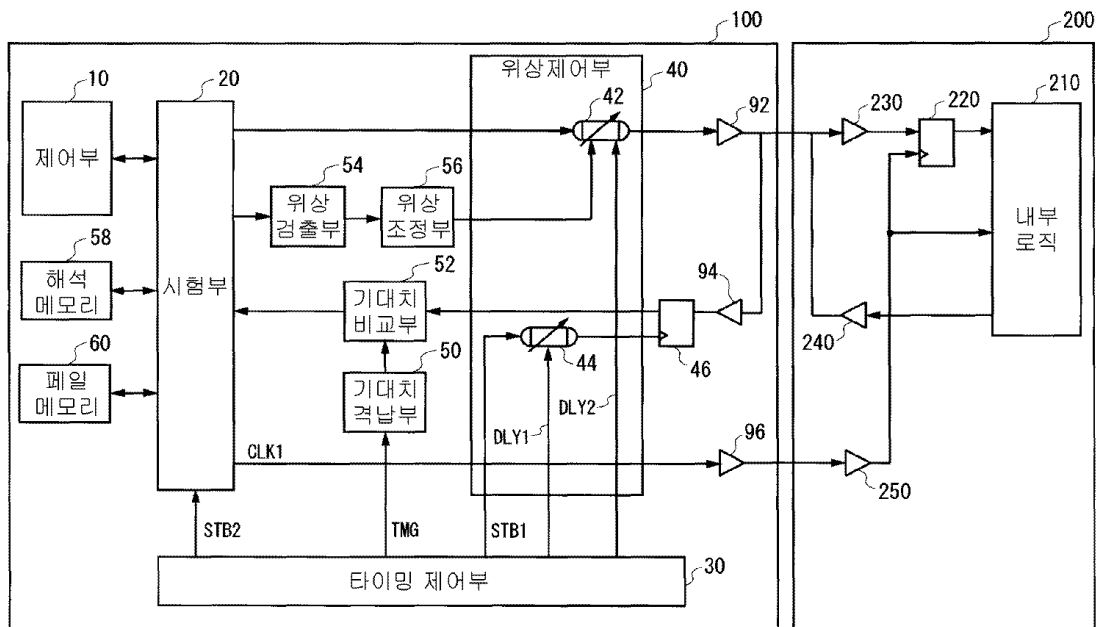
전체 청구항 수 : 총 9 항

(54) 시험 장치, 시험 방법, 및 프로그램

(57) 요약

피시험 디바이스의 입출력 데이터, 및 소정의 스트로브 신호의 상대 위상을, 소정의 1 방향으로 차례차례 변화시키는 위상 제어부와, 스트로브 신호로 입출력 데이터를 샘플링한 값이, 소정의 기대치와 일치하는지 여부를, 각각의 상대 위상에서 소정 회수씩 판정하는 기대치 비교부와, 소정 회수의 판정 결과의 적어도 하나가 불일치를 나타내는 페일 상태로부터, 소정 회수의 판정 결과의 모두가 일치를 나타내는 패스 상태로 천이하는 제1 상대 위상, 및 패스 상태에서부터 페일 상태로 천이하는 제2 상대 위상을 검출하는 위상 검출부와, 위상 검출부가 검출한 제1 상대 위상 및 제2 상대 위상에 기초하여, 피시험 디바이스에 공급하는 시험 신호의 위상을 조정하는 위상 조정부와, 위상 조정부에 의해 위상이 조정된 시험 신호를 이용하여, 피시험 디바이스를 시험하는 시험부를 시험 장치에 구비하는 것으로, 타이밍 트레이닝에 필요로 하는 시간을 단축한다.

대표도



특허청구의 범위

청구항 1

피시험 디바이스를 시험하는 시험 장치에 있어서,

상기 피시험 디바이스의 입출력 데이터, 및 소정의 스트로브 신호의 상대 위상을, 소정의 1 방향으로 차례차례 변화시키는 위상 제어부;

상기 스트로브 신호로 상기 입출력 데이터를 샘플링한 값이, 소정의 기대치와 일치하는지 여부를, 각각의 상기 상대 위상에서 소정 회수씩 판정하는 기대치 비교부;

상기 소정 회수의 판정 결과의 적어도 하나가 불일치를 나타내는 페일 상태로부터, 상기 소정 회수의 판정 결과의 모두가 일치를 나타내는 패스 상태로 천이하는 제1 상대 위상, 및 상기 패스 상태로부터 상기 페일 상태로 천이하는 제2 상대 위상을 검출하는 위상 검출부;

상기 위상 검출부가 검출한 상기 제1 상대 위상 및 상기 제2 상대 위상에 기초하여, 상기 피시험 디바이스에 공급하는 시험 신호의 위상을 조정하는 위상 조정부; 및

상기 위상 조정부에 의해 위상이 조정된 상기 시험 신호를 이용하여, 상기 피시험 디바이스를 시험하는 시험부를 포함하는,

시험 장치.

청구항 2

제1항에 있어서,

상기 위상 제어부는, 상기 스트로브 신호의 초기 위상을, 상기 페일 상태가 검출되는 위상으로 설정하는, 시험 장치.

청구항 3

제1항에 있어서,

상기 위상 제어부는, 상기 피시험 디바이스의 출력 데이터를 샘플링하는 상기 스트로브 신호의 위상을 차례차례 변화시키는,

시험 장치.

청구항 4

제1항에 있어서,

상기 위상 제어부는, 상기 피시험 디바이스에게 주는 입력 데이터와 상기 피시험 디바이스의 내부에서 상기 입력 데이터를 샘플링하는 상기 스트로브 신호의 상대 위상을, 상기 소정의 1 방향으로 차례차례 변화시키는,

시험 장치.

청구항 5

제4항에 있어서,

상기 위상 제어부는, 상기 피시험 디바이스에게 주는 입력 데이터 및 클록의 적어도 일방의 위상을 변화시키는,

시험 장치.

청구항 6

제5항에 있어서,

상기 기대치 비교부는, 상기 피시험 디바이스가 상기 스트로브 신호에 따라 취득한 상기 입력 데이터의 값을, 상기 피시험 디바이스로부터 수취하는,

시험 장치.

청구항 7

제1항에 있어서,

상기 위상 제어부는, 상기 위상 검출부가 상기 제1 상대 위상을 검출할 때까지, 상기 상대 위상을 소정의 간격으로 변화시키고, 상기 위상 검출부가 상기 제1 상대 위상을 검출한 경우, 상기 소정의 간격보다 큰 간격으로 상기 상대 위상을 변화시킨 후에, 상기 상대 위상을 상기 소정의 간격으로 변화시키는,

시험 장치.

청구항 8

피시험 디바이스를 시험하는 시험 방법에 있어서,

상기 피시험 디바이스의 입출력 데이터, 및 소정의 스트로브 신호의 상대 위상을, 소정의 1 방향으로 차례차례 변화시키고,

상기 스트로브 신호로 상기 입출력 데이터를 샘플링한 값이, 소정의 기대치와 일치하는지 여부를, 각각의 상기 상대 위상에서 소정 회수씩 판정하고,

상기 소정 회수의 판정 결과의 적어도 하나가 불일치를 나타내는 페일 상태에서부터, 상기 소정 회수의 판정 결과의 모두가 일치를 나타내는 패스 상태로 천이하는 제1 상대 위상, 및 상기 패스 상태에서부터 상기 페일 상태로 천이하는 제2 상대 위상을 검출하고,

상기 제1 상대 위상 및 상기 제2 상대 위상에 기초하여, 상기 피시험 디바이스에 공급하는 시험 신호의 위상을 조정하고,

위상이 조정된 상기 시험 신호를 이용하여, 상기 피시험 디바이스를 시험하는,

시험 방법.

청구항 9

피시험 디바이스를 시험하는 시험 장치를 기능시키는 프로그램에 있어서,

상기 시험 장치를,

상기 피시험 디바이스의 입출력 데이터, 및 소정의 스트로브 신호의 상대 위상을, 소정의 1 방향으로 차례차례 변화시키는 위상 제어부;

상기 스트로브 신호로 상기 입출력 데이터를 샘플링한 값이, 소정의 기대치와 일치하는지 여부를, 각각의 상기 상대 위상에서 소정 회수씩 판정하는 기대치 비교부;

상기 소정 회수의 판정 결과의 적어도 하나가 불일치를 나타내는 페일 상태에서부터, 상기 소정 회수의 판정 결과의 모두가 일치를 나타내는 패스 상태로 천이하는 제1 상대 위상, 및 상기 패스 상태에서부터 상기 페일 상태로

천이하는 제2 상대 위상을 검출하는 위상 검출부;

상기 위상 검출부가 검출한 상기 제1 상대 위상 및 상기 제2 상대 위상에 기초하여, 상기 피시험 디바이스에 공급하는 시험 신호의 위상을 조정하는 위상 조정부; 및

상기 위상 조정부에 의해 위상이 조정된 상기 시험 신호를 이용하여, 상기 피시험 디바이스를 시험하는 시험부로서 기능시키는,

프로그램.

명세서

기술분야

[0001] 본 발명은, 시험 장치, 시험 방법, 및 프로그램에 관한 것이다.

배경기술

[0002] 반도체 시험 장치는, 반도체 디바이스를 시험하는 경우에, 피시험 디바이스와 사이에 클록에 동기한 데이터를 송수신한다. 데이터를 확실하게 주고 받으려면, 데이터의 중심 위치에서 데이터를 샘플링하는 것이 바람직하다. 그런데, 데이터의 주파수가 높은 경우에는, 데이터의 1 단위 길이인 UI(Unit Interval)에 대해서, 배선 길이 스큐 및 지터의 영향이 커진다. 그 결과, 반도체 시험 장치 및 피시험 디바이스가 수신한 데이터의 아이 개구부가 작아진다. 여기에서, 반도체 시험 장치에서는, 아이 개구부의 시간 방향의 중심 위치에서 데이터를 샘플링하는 것을 목적으로 하여, 클록과 데이터와의 타이밍을 조정하는 타이밍 트레이닝이 필요하게 된다.

[0003] 타이밍 트레이닝은, 피시험 디바이스의 데이터의 독출시에 행해지는 리드 트레이닝, 및 피시험 디바이스에의 데이터의 기입시에 행해지는 라이트 트레이닝으로 대별된다. 반도체 시험 장치는, 리드 트레이닝에 있어서, 피시험 디바이스로부터 수신 하는 데이터를 아이 개구부의 중심 위치 부근에서 래치할 수 있도록, 래치용 스트로브 신호의 위상을 조정한다. 또한, 반도체 시험 장치는, 라이트 트레이닝에 있어서, 피시험 디바이스가, 수신하는 데이터를 아이 개구부의 중심 위치 부근에서 래치할 수 있도록, 피시험 디바이스에 대해서 출력하는 데이터의 위상을 조정한다. 덧붙여 관련하는 기술 문헌으로서 이하의 특허 문헌 1을 파악하고 있다.

선행기술문헌

특허문헌

[0004] (특허문헌 0001) 일본특허공개 2004-125574호 공보

발명의 내용

해결하려는 과제

[0005] 반도체 시험 장치는, 아이 개구부의 중심 위치를 검출할 수 있도록, 데이터 및 스트로브의 상대 위상을 차례차례 변화시킨 다음, 각각의 상대 위상에서, 수신한 데이터와 기대치가 일치하는지 여부를 판정한다. 반도체 시험 장치는, 수신한 데이터가 기대치와 일치하지 않는다고 판정한 경우에는, 해당 상대 위상은, 데이터를 정상적으로 송수신할 수 없는 폐일 상태에 있다고 판단한다. 이에 대해서, 반도체 시험 장치는, 수신 데이터가 기대치와 일치한다고 판정한 경우에는, 해당 상대 위상은, 데이터를 정상적으로 송수신할 수 있는 패스 상태에 있다고 판단한다.

[0006] 여기에서, 반도체 시험 장치는, 패스 상태가 되는 타이밍에 상대 위상의 초기 위상을 설정한 다음, 상대 위상을 좌측으로 쉬프트함으로써 아이 개구부의 좌단을 검출하고, 우측으로 쉬프트함으로써 아이 개구부의 우단을 검출한다. 그러나, 피시험 디바이스가 출력하는 데이터, 또는 피시험 디바이스 내의 스트로브의 위상은 불확정이라도, 패스 상태가 되는 타이밍에 상대 위상의 초기 위상을 설정하는 것은 곤란하다. 그 결과, 아이 개구부의 단

부를 검출하기까지, 장시간을 필요로 한다는 과제가 있다.

[0007] 여기에서 본 발명의 하나의 측면에 있어서는, 상기의 과제를 해결할 수 있는 시험 장치, 시험 방법, 및 프로그램을 제공하는 것을 목적으로 한다. 이 목적은 청구의 범위에서의 독립항에 기재된 특징의 조합에 의해 달성된다. 또한, 종속항은 본 발명의 한층 더 유리한 구체적인 예를 규정한다.

과제의 해결 수단

[0008] 상기 과제를 해결하기 위해서, 본 발명의 제1 태양에서는, 피시험 디바이스를 시험하는 시험 장치에 있어서, 피시험 디바이스의 입출력 데이터, 및 소정의 스트로브 신호의 상대 위상을, 소정의 1 방향으로 차례차례 변화시키는 위상 제어부와, 스트로브 신호로 입출력 데이터를 샘플링한 값이, 소정의 기대치와 일치하는지 여부를, 각각의 상대 위상에서 소정 회수씩 판정하는 기대치 비교부와, 소정 회수의 판정 결과의 적어도 하나가 불일치를 나타내는 페일 상태로부터, 소정 회수의 판정 결과의 모두가 일치를 나타내는 패스 상태로 천이하는 제1 상대 위상, 및 패스 상태로부터 페일 상태로 천이하는 제2 상대 위상을 검출하는 위상 검출부와, 위상 검출부가 검출한 제1 상대 위상 및 제2 상대 위상에 기초하여, 피시험 디바이스에 공급하는 시험 신호의 위상을 조정하는 위상 조정부와, 위상 조정부에 의해 위상이 조정된 시험 신호를 이용하여, 피시험 디바이스를 시험하는 시험부를 포함하는 시험 장치를 제공한다.

[0009] 본 발명의 제2 태양에서는, 피시험 디바이스를 시험하는 시험 방법에 있어서, 피시험 디바이스의 입출력 데이터, 및 소정의 스트로브 신호의 상대 위상을, 소정의 1 방향으로 차례차례 변화시키고, 스트로브 신호로 입출력 데이터를 샘플링한 값이, 소정의 기대치와 일치하는지 여부를, 각각의 상대 위상에서 소정 회수씩 판정하고, 소정 회수의 판정 결과의 적어도 하나가 불일치를 나타내는 페일 상태로부터, 소정 회수의 판정 결과의 모두가 일치를 나타내는 패스 상태로 천이하는 제1 상대 위상, 및 패스 상태로부터 상기 페일 상태로 천이하는 제2 상대 위상을 검출하고, 제1 상대 위상 및 제2 상대 위상에 기초하여, 피시험 디바이스에 공급하는 시험 신호의 위상을 조정하고, 위상이 조정된 시험 신호를 이용하여, 피시험 디바이스를 시험하는 시험 방법을 제공한다.

[0010] 본 발명의 제3 태양에서는, 피시험 디바이스를 시험하는 시험 장치를 기능시키는 프로그램에 있어서, 시험 장치를, 피시험 디바이스의 입출력 데이터, 및 소정의 스트로브 신호의 상대 위상을, 소정의 1 방향으로 차례차례 변화시키는 위상 제어부와, 스트로브 신호로 입출력 데이터를 샘플링한 값이, 소정의 기대치와 일치하는지 여부를, 각각의 상대 위상에서 소정 회수씩 판정하는 기대치 비교부와, 소정 회수의 판정 결과의 적어도 하나가 불일치를 나타내는 페일 상태로부터, 소정 회수의 판정 결과의 모두가 일치를 나타내는 패스 상태로 천이하는 제1 상대 위상, 및 패스 상태로부터 페일 상태로 천이하는 제2 상대 위상을 검출하는 위상 검출부와, 위상 검출부가 검출한 제1 상대 위상 및 제2 상대 위상에 기초하여, 피시험 디바이스에 공급하는 시험 신호의 위상을 조정하는 위상 조정부와, 위상 조정부에 의해 위상이 조정된 시험 신호를 이용하여, 피시험 디바이스를 시험하는 시험부로서 기능시키는 프로그램을 제공한다.

[0011] 덧붙여 상기의 발명의 개요는, 본 발명의 필요한 특징의 모두를 열거한 것이 아니고, 이러한 특징군의 서브 콤비네이션도 또한 발명이 될 수 있다.

도면의 간단한 설명

- [0012] 도 1은 본 실시 형태에 관한 반도체 시험 장치(100)의 구성을 나타낸다.
- 도 2는 본 실시 형태에 관한 반도체 시험 장치(100)에서의, 리드 트레이닝 순서를 나타낸다.
- 도 3은 본 실시 형태에 관한 반도체 시험 장치(100)에서의, 라이트 트레이닝 순서를 나타낸다.
- 도 4는 본 실시 형태에 관한 반도체 시험 장치(100)에서의, 타이밍 트레이닝 및 피시험 디바이스 시험의 플로우 차트를 나타낸다.
- 도 5는 제2 실시 형태에 관한 반도체 시험 장치(100)에서의, 리드 트레이닝 순서를 나타낸다.

도 6은 제3 실시 형태에 관한 반도체 시험 장치(100)에서의, 리드 트레이닝 순서를 나타낸다.

도 7은 제4 실시 형태에 관한 반도체 시험 장치(100)의 구성을 나타낸다.

도 8은 제5 실시 형태에 관한 반도체 시험 장치(100)의 구성을 나타낸다.

발명을 실시하기 위한 구체적인 내용

- [0013] 이하, 발명의 실시의 형태를 통해서 본 발명의 일 측면을 설명하지만, 이하의 실시 형태는 청구의 범위에 걸리는 발명을 한정하는 것이 아니고, 또한 실시 형태 중에서 설명되는 특징의 조합의 모두가 발명의 해결 수단에 필수라고는 할 수 없다.
- [0014] 도 1은, 본 실시 형태에 관한 반도체 시험 장치(100)의 구성을 나타낸다. 반도체 시험 장치(100)는, 제어부(10), 시험부(20), 타이밍 제어부(30), 위상 제어부(40), 타이밍 비교기(46), 기대치 격납부(50), 기대치 비교부(52), 위상 검출부(54), 위상 조정부(56), 해석 메모리(58), 페일 메모리(60), 드라이버(92), 레벨 비교기(94), 및 드라이버(96)를 구비한다. 피시험 디바이스(200)는, 내부 로직(210), 타이밍 비교기(220), 레벨 비교기(230), 드라이버(240), 및 레벨 비교기(250)를 구비한다.
- [0015] 본 예에서, 제어부(10)는, 피시험 디바이스(200)의 시험을 제어한다. 제어부(10)는, 비휘발성 메모리에 격납된 프로그램에 의해 동작하는 CPU이어도 된다. 시험부(20)는, 타이밍 트레이닝 및 피시험 디바이스(200)의 시험에 이용하는, 데이터 및 클럭을 생성한다. 또한, 시험부(20)는, 피시험 디바이스(200)로부터 수신한 데이터에 기초하여 시험 결과를 판정한다.
- [0016] 타이밍 제어부(30)는, 타이밍 트레이닝 및 피시험 디바이스(200)의 시험에 이용하는, 타이밍 신호, 스트로브 신호, 및 설정 신호를 생성한다. 타이밍 제어부(30)는, 지연 회로(44)에 스트로브 신호(STB1) 및 설정 신호(DLY1), 시험부(20)에 스트로브 신호(STB2), 기대치 격납부(50)에 타이밍 신호(TMG), 그리고, 지연 회로(42)에 설정 신호(DLY2)를 공급하여도 된다. 설정 신호(DLY1) 및 설정 신호(DLY2)는, 각각 지연 회로(44) 및 지연 회로(42)의 지연량을 설정하는 값을 나타내는 신호이어도 된다.
- [0017] 위상 제어부(40)는, 지연 회로(42) 및 지연 회로(44)를 가지며, 위상 제어부(40)에 입력되는 데이터 및 스트로브 신호의 위상을, 타이밍 제어부(30)가 출력하는 설정 신호에 따라 제어한다. 위상 제어부(40)는, 타이밍 트레이닝을 실시하는 경우에는, 피시험 디바이스(200)의 입출력 데이터, 및 타이밍 제어부(30)가 출력하는 스트로브 신호의 상대 위상을, 소정의 1 방향으로 차례차례 변화시킨다. 예를 들면, 위상 제어부(40)는, 리드 트레이닝을 실시하는 경우에는, 피시험 디바이스(200)가 출력하는 데이터, 및 해당 데이터를 래치하는 스트로브 신호의 상대 위상을 차례차례 변화시켜도 된다. 또한, 위상 제어부(40)는, 입출력 데이터의 위상만을 변화시켜도 되고, 입출력 데이터 및 스트로브 신호의 위상을 모두 변화시켜도 된다.
- [0018] 구체적으로는, 타이밍 제어부(30)는, 피시험 디바이스(200)가 출력하는 데이터를 래치하는 스트로브 신호(STB1)를 생성한다. 지연 회로(44)는, 타이밍 제어부(30)가 출력하는 타이밍 신호(DLY1)에 기초하여, 스트로브 신호(STB1)를 지연시켜도 된다. 타이밍 신호(DLY1)를 차례차례 지연시키는 것으로, 지연 회로(44)가 출력하는 스트로브 신호의 상대 위상은, 지연하는 방향으로 차례차례 변화한다.
- [0019] 타이밍 비교기(46)는, 지연 회로(44)가 상대 위상을 변화시킨 스트로브 신호에 의해, 피시험 디바이스(200)로부터 수신한 데이터를 래치한다. 타이밍 비교기(46)는, 래치한 데이터를 기대치 비교부(52)에 대해서 송출한다. 타이밍 비교기(46)가 출력하는 데이터는, "1" 또는 "0"의 논리 신호이어도 된다.
- [0020] 반도체 시험 장치(100)는, 라이트 트레이닝을 실시하는 경우에는, 피시험 디바이스(200)에 대해서 출력하는 데

이터 및 클록의 상대 위상을, 차례차례 변화시켜도 된다. 시험부(20)는, 피시험 디바이스(200)에 대해서 출력하는 데이터 및 클록을 생성한다. 시험부(20)는, 타이밍 제어부(30)가 생성하는 스트로브 신호(STB2)에 기초하여, 피시험 디바이스(200)에 출력하는 클록(CLK1)을 생성하여도 된다.

[0021] 지연 회로(42)는, 시험부(20)로부터 수신한 데이터를 지연시키는 것으로, 클록(CLK1)과의 사이의 상대 위상을 변화시킨다. 또한, 지연 회로(42)는, 피시험 디바이스(200)에 대해서, 지연한 데이터를 송출한다. 지연 회로(42)는, 타이밍 제어부(30)로부터 출력되는 타이밍 신호(DLY2)에 기초하여 지연량을 결정하여도 된다.

[0022] 피시험 디바이스(200)는, 시험부(20)가 생성하는 클록(CLK1)에 기초하여, 지연 회로(42)가 지연시킨 데이터를 래치하여도 된다. 반도체 시험 장치(100)는, 피시험 디바이스(200)가 래치한 데이터에 따라 생성하는, 응답 데이터를 수신함으로써, 각각의 상대 위상에서, 피시험 디바이스(200)가 데이터를 정상적으로 수신할 수 있는지 여부를 판단하여도 된다.

[0023] 기대치 격납부(50)는, 피시험 디바이스(200)로부터 수신하는 데이터의 기대치를 격납한다. 기대치 격납부(50)는, 타이밍 트레이닝에서 이용하는 기대치, 및 피시험 디바이스(200)의 시험에서 이용하는 기대치를 격납하여도 된다. 또한, 기대치 격납부(50)는 비휘발성 메모리를 가져도 되고, 타이밍 제어부(30)가 출력하는 타이밍 신호(TMG)에 기초하여, 격납된 기대치를 기대치 비교부(52)에 대해서 출력 하여도 된다.

[0024] 기대치 비교부(52)는, 피시험 디바이스(200)에 대해서 입출력하는 데이터를, 타이밍 제어부(30)가 출력하는 스트로브 신호로 샘플링한 값이, 소정의 기대치와 일치하는지 여부를, 각각의 상대 위상에서 소정 회수씩 판정한다. 예를 들면, 기대치 비교부(52)는, 샘플링한 타이밍 비교기(46)의 출력값이 "1"이고, 기대치 격납부(50)가 출력하는 기대치도 "1"이면, 기대치와 일치한다고 판정하여도 된다. 이에 대해서, 기대치 비교부(52)는, 샘플링한 타이밍 비교기(46)의 출력값이 "1"이고, 기대치 격납부(50)이 출력한 기대치가 "0"이면, 기대치와 일치하지 않는다고 판정하여도 된다.

[0025] 또한, 기대치 비교부(52)는, 각각의 샘플링에서의 판정 결과를, 시험부(20)에 접속되는 해석 메모리(58)에 격납하여도 된다. 예를 들면, 기대치 비교부(52)는, 기대치와 일치하는 샘플링 값에 대해서는 "0"을 해석 메모리(58)에 격납하고, 기대치와 일치하지 않는 샘플링 값에 대해서는 "1"을 격납하여도 된다.

[0026] 위상 검출부(54)는, 해석 메모리(58)에 격납된 판정 결과를 독출한다. 또한, 위상 검출부(54)는, 독출한 판정 결과에 기초하여, 소정 회수의 판정 결과의 적어도 하나가 불일치를 나타내는 페일 상태로부터, 소정 회수의 판정 결과의 모두가 일치함을 나타내는 패스 상태로 천이하는 제1 상대 위상, 및 패스 상태로부터 페일 상태로 천이하는 제2 상대 위상을 검출한다.

[0027] 예를 들면, 위상 검출부(54)는, 상대 위상마다, 각 샘플링에서의 판정 결과를 해석 메모리(58)로부터 독출한 다음, 독출한 판정 결과에 소정 수 이상(본 예에서는 하나 이상) "1"이 포함되어 있는 경우에는, 페일 상태로 판정하여도 된다. 또한, 위상 검출부(54)는, 상대 위상마다, 소정 회수에 걸쳐 샘플링한 값의 소정 수 이상(본 예에서는 모두)이 "0"인 경우에는, 패스 상태로 판정하여도 된다. 그리고, 위상 검출부(54)는, 판정 결과가 페일 상태로부터 패스 상태로 천이하는 상대 위상을 제1 상대 위상이라고 판단하는 동시에, 판정 결과가 패스 상태로부터 페일 상태에 천이하는 상대 위상을 제2 상대 위상이라고 판단하여도 된다.

[0028] 위상 조정부(56)는, 위상 검출부(54)가 검출한 제1 상대 위상 및 제2 상대 위상에 기초하여, 피시험 디바이스(200)에 공급하는 시험 신호의 위상을 조정한다. 예를 들면, 위상 검출부(54)는, 피시험 디바이스(200)를 시험하는 경우에, 시험부(20)가 출력하는 시험 클록 및 시험 데이터의 상대 위상을, 제1 상대 위상 및 제2 상대 위

상의 대략 중간의 위상으로 할 수 있도록, 시험부(20)가 출력하는 시험 데이터의 위상을 전후로 변화시켜도 된다. 이와 같이 조정함으로써, 피시험 디바이스(200)는, 아이 개구부의 대략 중심 위치에서, 수신한 시험 데이터를 샘플링할 수 있다.

[0029] 시험부(20)는, 위상 조정부(56)에 의해 위상이 조정된 시험 신호를 이용하여, 피시험 디바이스(200)를 시험한다. 예를 들면, 시험부(20)는, 소정의 논리 백터에 기초하여 "1" 및 "0"의 디지털 데이터를 포함한 시험 데이터와, 시험 데이터에 동기한 시험 클록을 피시험 디바이스(200)에 송출하여도 된다. 시험 데이터 및 시험 클록의 상대 위상은, 라이트 트레이닝에서 구한 상대 위상이어도 된다.

[0030] 피시험 디바이스(200)는, 수신한 시험 데이터에 따라 내부 로직(210)으로 응답 데이터를 생성하여, 반도체 시험 장치(100)에 출력한다. 반도체 시험 장치(100)에서는, 피시험 디바이스(200)로부터 수신한 응답 데이터를 타이밍 비교기(46)에서 래치한다. 타이밍 비교기(46)는, 리드 트레이닝에서 구한 상대 위상을 가지는 스트로브 신호에 의해, 수신한 데이터를 래치하여도 된다. 기대치 비교부(52)는, 피시험 디바이스(200)로부터 수신한 데이터와 기대치를 비교한 다음, 비교 결과를 시험부(20)에 출력한다. 시험부(20)는, 비교 결과에 기초하여, 피시험 디바이스(200)의 양부를 판정하여도 되고, 판정한 결과를 페일 메모리(60)에 격납하여도 된다.

[0031] 또한, 타이밍 제어부(30)는, 제어부(10)로부터의 트리거에 따라, 타이밍 신호, 스트로브 신호, 및 설정 신호의 생성을 개시하여도 된다. 또한, 시험부(20) 및 타이밍 제어부(30)는, 동일 클록으로 동작하여도 된다. 따라서, 반도체 시험 장치(100)는, 제어부(10)의 버스를 경유하여, 타이밍 트레이닝용의 신호를 송출할 필요가 없다. 또한, 피시험 디바이스(200)로부터 수신한 데이터를 해석하는 경우에도, 버스를 경유할 필요가 없다. 그 결과, 본 실시 형태에 관한 반도체 시험 장치(100)는, 버스를 경유하여 제어하는 방법에 비해, 고속으로 타이밍 트레이닝을 실시할 수 있다.

[0032] 도 2는, 본 실시 형태에 관한 반도체 시험 장치(100)에서의, 리드 트레이닝 순서를 나타낸다. 이 도면에서, 「클록」은, 반도체 시험 장치(100)가 피시험 디바이스(200)에 송출하는 클록을 나타낸다. 「데이터」는, 피시험 디바이스(200)가 출력하는 데이터를 나타낸다. 「스트로브」는, 지연 회로(44)가 출력하는 스트로브 신호를 나타낸다. 「UI」는, 피시험 디바이스(200)가 출력하는 데이터의 1 단위의 길이를 나타낸다.

[0033] 피시험 디바이스(200)는, 입력되는 클록의 하강 엣지에 동기하여, 데이터를 출력하여도 된다. 또한, 반도체 시험 장치(100)는, 타이밍 트레이닝 시에, 하나의 사이클에서만 기대치와 일치하는 값의 데이터를 출력하고, 그 외의 사이클에서는 기대치와 일치하지 않는 값의 데이터를 출력하도록, 피시험 디바이스(200)를 제어하여도 된다. 또한, 1 UI는, 클록 1 주기의 길이의 정수배이어도 된다.

[0034] 피시험 디바이스(200)가 출력하는 데이터의 위상은, 전원 노이즈 등에 기인하는 지터의 영향에 의해, 반도체 시험 장치(100)가 출력하는 클록의 위상에 대해서 변동한다. 그 결과, 데이터의 변화점 부근에서는, 피시험 디바이스(200)가 출력하는 데이터값과 다른 값이 취득되는 경우가 있다. 따라서, 반도체 시험 장치(100)는, 피시험 디바이스(200)로부터 수신한 데이터를 오류 없이 취득하려면, 데이터의 변화점 부근이 아닌, 아이 개구부의 중심 위치에서 샘플링하는 것이 바람직하다.

[0035] 여기에서, 위상 제어부(40)는, 아이 개구부의 중심 위치에서 샘플링하는 스트로브 신호의 위상을 검출할 수 있도록, 타이밍 제어부(30)가 출력하는 스트로브 신호의 위상을, 타이밍 제어부(30)가 출력하는 타이밍 신호에 기초하여, 차례차례 변화시킨다. 예를 들면, 위상 제어부(40)는, 초기 위상 위치로부터 최종 위상까지, T1의 위상 간격으로 1 방향으로 스트로브 신호의 상대 위상을 변화시켜도 된다.

- [0036] 구체적으로는, 지연 회로(44)는, 리드 트레이닝을 개시하면, 데이터와의 사이의 상대 위상이 초기 위상에 있는 스트로브 신호를 생성한다. 기대치 비교부(52)는, 해당 상대 위상에서, 소정의 회수만 기대치와의 비교를 하고, 판정 결과를 해석 메모리(58)에 격납한다. 해당 상대 위상에서의 측정이 종료되면, 타이밍 제어부(30)는, 지연 회로(44)에 출력하는 타이밍 신호를 바꾼다. 지연 회로(44)는, 바꾼 후의 타이밍 신호에 기초하여, 초기 위상에 대해서 T1만 위상이 다른 스트로브 신호를 생성한다. 기대치 비교부(52)는, 해당 상대 위상에서, 소정의 회수만 기대치와의 비교를 한다. 지연 회로(44)는, 스트로브 신호의 위상이 최종 위상에 도달할 때까지, T1 마다 변화를 반복하여도 된다.
- [0037] 도 2에 나타내는 「페일율」은, 각 상대 위상에서의 소정의 회수의 샘플링 데이터 가운데, 기대치 비교부(52)가, 기대치와 일치하지 않는다고 판정한 데이터의 비율을 나타낸다. 예를 들면, 시험부(20)가 하나의 상대 위상에서 100회의 샘플링을 실시하는 경우에, 샘플링한 데이터와 기대치 격납부(50)로부터 독출된 기대치가 100회 다른 경우에는, 페일율은 100%이다. 마찬가지로, 샘플링한 데이터와 기대치 격납부(50)로부터 독출된 기대치가 50회 다른 경우에는, 페일율은 50%이다. 샘플링한 데이터와 기대치가, 모두 일치하는 경우에는, 페일율은 0%이다.
- [0038] 「판정 결과」는, 위상 검출부(54)가, 해석 메모리(58)에 격납된 기대치 비교부(52)의 판정 결과에 기초하여, 페일 상태인지, 패스 상태인지를 판정한 결과를 나타낸다. 본 실시 형태에서는, 페일율이 0%가 아닌 상대 위상에서는 페일 상태로 판정하고, 페일율이 0%가 되는 상대 위상에서는 패스 상태로 판정하고 있다. 그 결과, 페일 상태로부터 패스 상태로 천이하는 제1 상대 위상, 및 패스 상태로부터 페일 상태로 천이하는 제2 상대 위상이 검출되고 있다.
- [0039] 여기서, 타이밍 트레이닝을 개시하는 시점의 상대 위상을 정하지 않은 경우에는, 반도체 시험 장치(100)는, 타이밍 트레이닝을 개시한 시점에서, 상대 위상이 패스 상태에 있는지 페일 상태에 있는지를 인식할 수 없다. 그 결과, 반도체 시험 장치(100)가, 제1 상대 위상을 검출하기까지 긴 시간을 필요로 하는 경우가 생긴다. 예를 들면, 제1 상대 위상 및 제2 상대 위상의 사이의 위상으로부터, 최종 위상 방향으로 상대 위상의 변화를 개시하면, 페일 상태로부터 패스 상태로 천이하는 제1 상대 위상을 검출할 수 없다. 따라서, 반도체 시험 장치(100)는, 제2 상대 위상을 검출한 후에, 초기 위상 방향으로 전환하여, 상대 위상을 변화시킬 필요가 생겨 버린다.
- [0040] 여기에서, 위상 제어부(40)는, 스트로브 신호의 초기 위상을, 페일 상태가 검출되는 위상으로 설정하여도 된다. 예를 들면, 위상 제어부(40)는, 아이 개구의 중심 위치로부터 0.5 UI 내지 1.5 UI만 떨어진 위치이어도 된다. 0.5 UI 내지 1.5 UI의 상대 위상에서는, 수신 데이터와 기대치가 다를 가능성이 있으므로, 페일율이 0%가 되지 않는다. 따라서, 반도체 시험 장치(100)는, 초기 위상을 해당 범위 내로 설정하면, 상대 위상을 한 방향으로만 변화시키는 것만으로, 페일 상태로부터 패스 상태로 천이하는 제1 상대 위상을 확실히 검출할 수 있다. 또한, 제1 상대 위상의 검출 후, 한층 더 상대 위상을 변화시키는 것으로, 제2 상대 위상을 검출할 수 있다. 그 결과, 타이밍 트레이닝 시간을 단축할 수 있다는 효과를 가진다.
- [0041] 반도체 시험 장치(100)는, 스트로브 신호의 상대 위상을 차례차례 변화시킨 다음, 피시험 디바이스(200)로부터의 수신 데이터를 해석함으로써, 페일 상태로부터 패스 상태로 천이하는 상대 위상, 및 패스 상태로부터 페일 상태로 천이하는 상대 위상을 검출하여도 된다. 위상 검출부(54)는, 해석 메모리(58)에 격납된 데이터에 기초하여, 제1 상대 위상 및 제2 상대 위상을 검출하여도 된다.
- [0042] 도 3은, 본 실시 형태에 관한 반도체 시험 장치(100)에 있어서의, 라이트 트레이닝 순서를 나타낸다. 이 도면에서, 「클록」은, 반도체 시험 장치(100)가 피시험 디바이스(200)에 송출하는 스트로브 신호이다. 「데이터」는, 반도체 시험 장치(100)가 피시험 디바이스(200)에 송출하는 데이터이다. 피시험 디바이스(200)는, 입력되는 클록의 상승 엣지에서 데이터를 래치함으로써, 수신 데이터를 취득하여도 된다. 또한, 피시험 디바이스(200)는, 취득한 데이터에 따른 데이터를 반도체 시험 장치(100)에 송출하여도 된다. 반도체 시험

장치(100)는, 피시힘 디바이스(200)로부터 수신한 데이터를, 기대치와 비교하는 것으로, 피시힘 디바이스(200)가 정상적으로 데이터를 취득할 수 있는지 여부를 판정할 수 있다.

[0043] 여기서, 피시힘 디바이스(200)는, 반도체 시험 장치(100)로부터 수신하는 데이터의 아이 개구부의 중심 위치에서 데이터를 샘플링하는 것이 바람직하다. 여기에서, 반도체 시험 장치(100)는, 피시힘 디바이스(200)의 샘플링 위치가 데이터의 아이 개구 중심 위치에 대략 일치할 수 있도록, 피시힘 디바이스(200)에 송출하는 데이터의 위상을 제어한다.

[0044] 즉, 위상 제어부(40)는, 피시힘 디바이스(200)에게 주는 입력 데이터와 피시힘 디바이스(200)의 내부에서 입력 데이터를 샘플링하는 스트로브 신호에 상당하는 클록의 상대 위상을, 소정의 1 방향으로 차례차례 변화시킨다. 예를 들면, 위상 제어부(40)는, 피시힘 디바이스(200)에 대해서 출력하는 데이터에게 주는 지연량을 변화함으로써, 피시힘 디바이스(200)에 대해서 출력하는 데이터 및 클록의 상대 위상을 차례차례 변화시켜도 된다. 또한, 위상 제어부(40)는, 클록에게 주는 지연량을 변화시키는 것에 의해 상대 위상을 변화시켜도 되고, 데이터 및 클록의 각각 주는 지연량을 변화시키는 것에 의해 상대 위상을 변화시켜도 된다.

[0045] 타이밍 비교기(220)는, 반도체 시험 장치(100)로부터 데이터를 수신하면, 반도체 시험 장치(100)로부터 수신하는 스트로브 신호로 데이터를 래치하여, 내부 로직(210)에 출력한다. 내부 로직(210)은, 타이밍 비교기(220)로부터 수신한 래치 신호를 반복하여 드라이버(240)를 경유하여 반도체 시험 장치(100)에 송출한다. 반도체 시험 장치(100)는, 반도체 시험 장치(100)가 송출한 신호의 UI 보다도 큰 UI의 신호를 출력시키는 제어 신호를, 피시힘 디바이스(200)에게 주어도 된다.

[0046] 기대치 비교부(52)는, 피시힘 디바이스(200)가 스트로브 신호에 따라 취득한 입력 데이터의 값을, 피시힘 디바이스(200)로부터 수취한다. 예를 들면, 기대치 비교부(52)는, 위상 제어부(40)를 경유하여, 피시힘 디바이스(200)가 출력하는 데이터를 수취하여도 된다. 위상 제어부(40)는, 지연 회로(44)가 출력하는 스트로브 신호에 의해, 피시힘 디바이스(200)로부터 수신한 데이터를 래치하여, 기대치 비교부(52)에 송출한다. 기대치 비교부(52)는, 위상 제어부(40)로부터 수신한 데이터와 기대치 격납부(50)로부터 독출한 기대치가 일치하는지 여부를 판정하여도 된다.

[0047] 도 3에 나타내는 복수의 「데이터」는, 시험부(20)이 생성한 데이터를 지연 회로(42)에서 지연한, 상대 위상이 다른 데이터를 나타낸다. n 은 클록에 대한 데이터의 상대 위상을 나타내고, $n = 0$ 인 경우는, 상대 위상이 초기 위상인 것을 나타낸다. 반도체 시험 장치(100)는, 타이밍 비교기(220)에 입력되는 데이터의 아이 개구부의 중심 위치를 추정하여, 추정된 위치로부터 0.5 UI 이상 떨어진 위치에서 데이터를 래치할 수 있도록, 초기 위상을 설정한다. 그 결과, $n = 0$ 인 상대 위상에서는, 위상 검출부(54)에서의 판정 결과는 패일 상태가 된다.

[0048] $n = x$ 인 상대 위상에서는, 타이밍 비교기(220)는, 데이터의 아이 개구부의 제1 경계 위치에서 데이터를 래치한다. 그 결과, $n = x$ 에서, 위상 검출부(54)에서의 판정 결과는 패일 상태로부터 패스 상태로 천이한다. $n = y$ 인 상대 위상에서는, 타이밍 비교기(220)는, 데이터의 아이 개구부의 제2 경계 위치에서 데이터를 래치한다. 그 결과, $n = y$ 에서, 위상 검출부(54)에서의 판정 결과는 패스 상태로부터 패일 상태로 천이한다. $n = z$ 인 상대 위상에서는, 타이밍 비교기(220)는, 데이터의 아이 개구부의 중심 위치로부터 0.5 UI 이상 떨어진 위치에서 데이터를 래치한다. 그 결과, $n = z$ 에서는, 위상 검출부(54)에서의 판정 결과는 패일 상태가 된다.

[0049] 이상의 순서에 의해, 위상 검출부(54)는, $n = x$ 가, 패일 상태로부터 패스 상태로 천이하는 제1 상대 위상이며, $n = y$ 가, 패스 상태로부터 패일 상태로 천이하는 제2 상대 위상인 것을 검출한다. 반도체 시험 장치(100)는, 검출한 제1 상대 위상 및 제2 상대 위상에 기초하여, 피시힘 디바이스(200)에 출력하는 클록의 상승 엣지가, 피시힘 디바이스(200)에 출력하는 데이터의 아이 개구부의 중심 위치에 대략 일치할 수 있도록, 데이터의 위상을

제어하여도 된다.

- [0050] 도 4는, 본 실시 형태에 관한 반도체 시험 장치(100)에서의, 타이밍 트레이닝 및 피시험 디바이스 시험의 플로 우 차트를 나타낸다. 반도체 시험 장치(100)는, 피시험 디바이스(200)의 데이터 출력 기능의 시험을 실시하는 경우, 타이밍 제어부(30)에서, 수신하는 데이터 및 데이터를 래치하는 스트로브 신호의 상대 위상을, 초기 위상으로 설정한다(S401). 계속하여, 타이밍 제어부(30)는, 소정량만 스트로브 신호를 지연시켜, 상대 위상을 변화 시킨다(S402).
- [0051] 타이밍 비교기(46)는, 해당 상대 위상에서, 피시험 디바이스(200)로부터 수신한 데이터를 샘플링한 다음, 샘플링한 데이터를 기대치 비교부(52)에 출력한다(S403). 기대치 비교부(52)는, 수신한 데이터가 기대치 격납부(50)로부터 독출한 기대치와 일치하는지 여부를 판정하고, 판정 결과를 해석 메모리(58)에 격납한다. S402에서 설정한 상대 위상에서, 소정의 회수에 걸쳐 데이터의 샘플링이 종료되면(S404), 타이밍 제어부(30)는, 상대 위상을 다시 변화시켜(S402), S403 및 S404를 실행한다.
- [0052] 모든 상대 위상에서 데이터의 샘플링이 종료되면(S405), 위상 검출부(54)는, 해석 메모리(58)에 격납된 판정 데이터에 기초하여, 제1 상대 위상을 검출한다(S406). 계속하여, 위상 검출부(54)는, 해석 메모리(58)에 격납된 판정 데이터에 기초하여, 제2 상대 위상을 검출한다(S407).
- [0053] 위상 조정부(56)는, 제1 상대 위상 및 제2 상대 위상에 기초하여, 피시험 디바이스(200)에 공급하는 시험 신호의 위상을 조정한다(S408). 예를 들면, 위상 조정부(56)는, 반도체 시험 장치(100)가 피시험 디바이스(200)에 대해서 송출하는 클록의 상승 위치가, 반도체 시험 장치(100)가 피시험 디바이스(200)에 송출하는 데이터의 아이 개구부의 중심 위치에 대략 일치할 수 있도록, 송출하는 데이터의 위상을 전후로 변화시켜도 된다.
- [0054] 반도체 시험 장치(100)는, 시험부(20)가 출력하는 클록, 및 위상 조정부(56)가 위상을 조정한 데이터를 시험 신호로서 피시험 디바이스(200)에 출력한다. 피시험 디바이스(200)는, 수신한 시험 신호에 따른 데이터를 반도체 시험 장치(100)에 송출하고, 시험부(20)에서 판정을 한다(S409).
- [0055] 도 5는, 제2 실시 형태에 관한 반도체 시험 장치(100)에서의, 리드 트레이닝 순서를 나타낸다. 아이 개구부의 검출 시간을 한층 더 단축하는 것을 목적으로 하여, 위상 제어부(40)는, 위상 검출부(54)가 제1 상대 위상을 검출할 때까지, 상대 위상을 소정의 간격으로 변화시켜, 위상 검출부가 제1 상대 위상을 검출한 경우, 소정의 간격보다 큰 간격으로 상대 위상을 변화시킨 후에, 상대 위상을 소정의 간격으로 변화시켜도 된다.
- [0056] 예를 들면, 위상 제어부(40)는, 도 5에 도시된 제1 변화 에리어의 초기 위상으로부터, T1 간격으로 스트로브 신호의 위상을 차례차례 변화시킨다. 위상 제어부(40)는, 피시험 디바이스(200)로부터 수신하는 데이터를 해당 스트로브 신호로 래치한 다음 기대치 비교부(52)에 송출하고, 기대치 비교부(52)는, 판정 결과를 해석 메모리(58)에 격납한다. 위상 검출부(54)는, 해석 메모리(58)에 격납된 판정 결과에 기초하여, 페일 상태에서 패스 상태로 변화하는 제1 상대 위상을 검출한다.
- [0057] 위상 검출부(54)가 제1 상대 위상을 검출하면, 제1 위상 변화 에리어에서의 상대 위상의 변화를 정지한 다음, T2만 상대 위상을 변화시킨 위상을 초기 위상으로 하는, 제2 위상 변화 에리어에서의 상대 위상의 변화를 개시한다. T2는, T1 보다도 큰 값이어도 되고, 1 UI 보다도 작은 값이어도 된다.
- [0058] 계속하여, 위상 제어부(40)는, 제2 위상 변화 에리어에서, T1 간격으로 스트로브 신호의 위상을 차례차례 변화

시킨다. 제2 위상 변화 에리어에서는, 위상 검출부(54)는, 해석 메모리(58)에 격납된 판정 결과에 기초하여, 패스 상태에서부터 페일 상태로 변화하는 제2 상대 위상을 검출한다. 이상의 순서에 의해, T2의 기간에서는 측정이 불필요하게 되므로, 타이밍 트레이닝에 필요로 하는 시간을 단축할 수 있다는 효과를 가진다.

[0059] 위상 제어부(40)는, 제1 위상 변화 에리어 및 제2 위상 변화 에리어를, 미리 정해 두어도 된다. 예를 들면, 위상 제어부(40)는, 아이 개구부의 중심 위치라고 상정되는 위치로부터 0.4 UI 이상 0.8 UI 이하만 다른 위상을 제1 위상 변화 에리어로 정하고, 아이 개구부의 중심 위치라고 상정되는 위치의 전후 0.4 UI의 범위를 T2의 위상 에리어로 정하여도 된다. 이에 의해, 상대 위상마다 데이터의 해석을 할 필요가 없어지므로, 데이터의 해석에 필요로 하는 시간이 T1이상인 경우이어도, 제1 상대 위상 및 제2 상대 위상을 검출할 수 있다.

[0060] 도 6은, 제3 실시 형태에 관한 반도체 시험 장치(100)에서의, 리드 트레이닝 순서를 나타낸다. 본 실시 형태에서는, 위상 검출부(54)는, 페일율이 소정의 비율이 되는 상대 위상을, 페일 상태에서부터 패스 상태로 천이하는 제1 상대 위상으로서 검출하여도 된다. 마찬가지로, 위상 검출부(54)는, 페일율이 소정의 비율이 되는 상대 위상을, 패스 상태에서부터 페일 상태로 천이하는 제2 상대 위상으로서 검출하여도 된다. 예를 들면, 도 6에서는, 소정의 비율은 50%이다. 또한, 반도체 시험 장치(100)는, 제1 상대 위상을, 페일 상태에서부터 패스 상태로 천이할 때의 상대 위상을 복수의 사이클로 평균한 위상이라고 하여도 된다. 마찬가지로, 반도체 시험 장치(100)는, 제2 상대 위상을, 패스 상태에서부터 페일 상태로 천이할 때의 상대 위상을 복수의 사이클로 평균한 위상이라고 하여도 된다.

[0061] 도 7은, 제4 실시 형태에 관한 반도체 시험 장치(100)의 구성을 나타낸다. 위상 제어부(40)는, 피시험 디바이스(200)에게 주는 입력 데이터 및 클록의 적어도 일방의 위상을 변화시켜도 된다. 예를 들면, 라이트 트레이닝에서, 데이터의 지연량을 변화시키는 것이 아니라, 클록의 지연량을 변화시키는 것으로, 상대 위상을 변화시키기도 된다. 이 경우, 시험부(20)가 출력하는 클록은 위상 제어부(40)에 입력된다. 위상 제어부(40)는, 지연 회로(48)를 가지고 있고, 지연 회로(48)는, 타이밍 제어부(30)가 출력하는 타이밍 신호(DLY3)에 기초하여, 클록의 위상을 변화시켜도 된다.

[0062] 피시험 디바이스(200)는, 반도체 시험 장치(100)로부터 수신하는 데이터를, 지연 회로(48)가 위상을 변화시킨 클록에 따라 취득하여도 된다. 또한, 피시험 디바이스(200)는, 취득한 데이터를, 반도체 시험 장치(100)에 송신하여도 된다. 기대치 비교부(52)는, 피시험 디바이스(200)로부터 수신한 데이터를 기대치와 비교하고, 시험부(20)는, 비교 결과에 기초하여 피시험 디바이스(200)의 양부를 판정하여도 된다.

[0063] 도 8은, 제5 실시 형태에 관한 컴퓨터(1900)의 하드웨어 구성의 일례를 나타낸다. 본 실시 형태에 관한 컴퓨터(1900)는, 호스트·컨트롤러(2082)에 의해 서로 접속되는 CPU(2000), RAM(2020), 그래픽·컨트롤러(2075), 및 표시 장치(2080)를 가지는 CPU 주변부와, 입출력 컨트롤러(2084)에 의해 호스트·컨트롤러(2082)에 접속되는 통신 인터페이스(2030), 하드 디스크 드라이브(2040), 및 CD-ROM 드라이브(2060)를 가지는 입출력부와, 입출력 컨트롤러(2084)에 접속되는 ROM(2010), 플렉시블 디스크·드라이브(2050), 및 입출력 칩(2070)을 가지는 레거시 입출력부를 구비한다.

[0064] 호스트·컨트롤러(2082)는, RAM(2020)과, 높은 전송 레이트로 RAM(2020)를 액세스하는 CPU(2000) 및 그래픽·컨트롤러(2075)를 접속한다. CPU(2000)는, ROM(2010) 및 RAM(2020)에 격납된 프로그램에 기초하여 동작하여, 각부의 제어를 실시한다. 그래픽·컨트롤러(2075)는, CPU(2000) 등이 RAM(2020) 내에 마련한 프레임·버퍼 상에 생성하는 화상 데이터를 취득하여, 표시 장치(2080) 상에 표시시킨다. 이에 대신해, 그래픽·컨트롤러(2075)는, CPU(2000) 등이 생성하는 화상 데이터를 격납하는 프레임·버퍼를, 내부에 포함하여도 된다.

- [0065] 입출력 컨트롤러(2084)는, 호스트·컨트롤러(2082)와, 비교적 고속인 입출력 장치인 통신 인터페이스(2030), 하드 디스크 드라이브(2040), CD-ROM 드라이브(2060)를 접속한다. 통신 인터페이스(2030)는, 네트워크를 통해서 다른 장치와 통신한다. 하드 디스크 드라이브(2040)는, 컴퓨터(1900) 내의 CPU(2000)가 사용하는 프로그램 및 데이터를 격납한다. CD-ROM 드라이브(2060)는, CD-ROM(2095)으로부터 프로그램 또는 데이터를 독출하여, RAM(2020)을 통해서 하드 디스크 드라이브(2040)에 제공한다.
- [0066] 또한, 입출력 컨트롤러(2084)에는, ROM(2010)과, 플렉시블 디스크·드라이브(2050), 및 입출력 칩(2070)의 비교적 저속인 입출력 장치가 접속된다. ROM(2010)은, 컴퓨터(1900)가 기동시에 실행하는 부트·프로그램, 및/또는 컴퓨터(1900)의 하드웨어에 의존하는 프로그램 등을 격납한다. 플렉시블 디스크·드라이브(2050)는, 플렉시블 디스크(2090)로부터 프로그램 또는 데이터를 독출하여, RAM(2020)을 통해서 하드 디스크 드라이브(2040)에 제공한다. 입출력 칩(2070)은, 플렉시블 디스크·드라이브(2050)를 입출력 컨트롤러(2084)로 접속하는 동시에, 예를 들면 패러럴·포트, 시리얼·포트, 키보드·포트, 마우스·포트 등을 통해서 각종의 입출력 장치를 입출력 컨트롤러(2084)로 접속한다.
- [0067] RAM(2020)을 통해서 하드 디스크 드라이브(2040)에 제공되는 프로그램은, 플렉시블 디스크(2090), CD-ROM(2095), 또는 IC 카드 등의 기록 매체에 격납되어 이용자에 의해 제공된다. 프로그램은, 기록 매체로부터 독출되고, RAM(2020)을 통해서 컴퓨터(1900) 내의 하드 디스크 드라이브(2040)에 인스톨되어, CPU(2000)에서 실행된다.
- [0068] 컴퓨터(1900)에 인스톨되어 컴퓨터(1900)를 반도체 시험 장치(100)로서 기능시키는 프로그램은, 컴퓨터(1900)에 피시험 디바이스(200)의 입출력 데이터, 및 소정의 스트로브 신호의 상대 위상을, 소정의 1 방향으로 차례차례 변화시키는 위상제어 모듈과 스트로브 신호로 입출력 데이터를 샘플링한 값이, 소정의 기대치와 일치하는지 여부를, 각각의 상대 위상에서 소정 회수씩 판정시키는 기대치 비교 모듈과, 소정 회수의 판정 결과의 적어도 하나가 불일치를 나타내는 페일 상태로부터, 소정 회수의 판정 결과의 모두가 일치를 나타내는 패스 상태로 천이하는 제1 상대 위상, 및 패스 상태로부터 페일 상태로 천이하는 제2 상대 위상을 검출시키는 위상 검출 모듈과, 위상 검출부가 검출한 제1 상대 위상 및 제2 상대 위상에 기초하여, 피시험 디바이스에 공급하는 시험 신호의 위상을 조정시키는 위상 조정 모듈과, 위상 조정부에 의해 위상이 조정된 시험 신호를 이용하여, 피시험 디바이스를 시험시키는 시험 모듈을 구비한다. 이러한 프로그램 또는 모듈은, CPU(2000) 등의 제어에 의해, 컴퓨터(1900)를, 반도체 시험 장치(100)로서 각각 기능시킨다.
- [0069] 이러한 프로그램에 기술된 정보 처리는, 컴퓨터(1900)에 임혀짐으로써, 소프트웨어와 상술한 각종의 하드웨어 자원이 협동한 구체적 수단인 위상 제어부(40), 기대치 비교부(52), 위상 검출부(54), 위상 조정부(56), 및 시험부(20)로서 기능한다. 그리고, 이러한 구체적 수단에 의해, 본 실시 형태에서의 컴퓨터(1900)의 사용 목적에 따른 정보의 연산 또는 가공을 실현함으로써, 사용 목적에 따른 특유의 반도체 시험 장치(100)가 구축된다.
- [0070] 일례로서 컴퓨터(1900)와 외부의 장치 등의 사이에 통신을 실시하는 경우에는, CPU(2000)는, RAM(2020) 상에 로드된 통신 프로그램을 실행하고, 통신 프로그램에 기술된 처리 내용에 기초하여, 통신 인터페이스(2030)에 대해서 통신 처리를 지시한다. 통신 인터페이스(2030)는, CPU(2000)의 제어를 받아, RAM(2020), 하드 디스크 드라이브(2040), 플렉시블 디스크(2090), 또는 CD-ROM(2095) 등의 기억 장치 상에 마련한 송신 버퍼 영역 등에 기억된 송신 데이터를 독출하여 네트워크로 송신하거나, 또는, 네트워크로부터 수신한 수신 데이터를 기억 장치 상에 마련한 수신 버퍼 영역 등에 기입한다. 이와 같이, 통신 인터페이스(2030)는, DMA(다이렉트·메모리·액세스) 방식에 의해 기억 장치와의 사이에 송수신 데이터를 전송하여도 되고, 이에 대신해, CPU(2000)가 전송원의 기억 장치 또는 통신 인터페이스(2030)로부터 데이터를 독출하여, 전송처의 통신 인터페이스(2030) 또는 기억 장치로 데이터를 기입하는 것으로 송수신 데이터를 전송하여도 된다.
- [0071] 또한, CPU(2000)는, 하드 디스크 드라이브(2040), CD-ROM 드라이브(2060)(CD-ROM(2095)), 플렉시블 디스크·드

라이브(2050)(플렉시블 디스크(2090)) 등의 외부 기억 장치에 격납된 파일 또는 데이터 베이스 등 중에서, 전부 또는 필요한 부분을 DMA 전송 등에 의해 RAM(2020)으로 읽어 들이게 하여 RAM(2020) 상의 데이터에 대해서 각종의 처리를 실시한다. 그리고, CPU(2000)는, 처리를 끝낸 데이터를, DMA 전송 등에 의해 외부 기억 장치로 되돌려 쏜다.

[0072] 이러한 처리에서, RAM(2020)은, 외부 기억 장치의 내용을 일시적으로 유지하는 것으로 간주할 수 있기 때문에, 본 실시 형태에서는 RAM(2020) 및 외부 기억 장치 등을 메모리, 기억부, 또는 기억 장치 등으로 총칭한다. 본 실시 형태에서의 각종의 프로그램, 데이터, 테이블, 데이터베이스 등의 각종의 정보는, 이러한 기억 장치 상에 격납되어, 정보 처리의 대상이 된다. 또한, CPU(2000)는, RAM(2020)의 일부를 캐시 메모리에 유지하고, 캐시 메모리 상에서 읽고 쓰기를 실시할 수도 있다. 이러한 형태에서도, 캐시 메모리는 RAM(2020)의 기능의 일부를 담당하기 때문에, 본 실시 형태에서는, 구별하여 나타내는 경우를 제외하고는, 캐시 메모리도 RAM(2020), 메모리, 및/또는 기억 장치에 포함되는 것으로 한다.

[0073] 또한, CPU(2000)는, RAM(2020)으로부터 독출한 데이터에 대해서, 프로그램의 명령열에 의해 지정된, 본 실시 형태 중에 기재한 각종의 연산, 정보의 가공, 조건 판단, 정보의 검색·치환 등을 포함한 각종의 처리를 실시하여, RAM(2020)으로 되돌려 쏜다. 예를 들면, CPU(2000)는, 조건 판단을 실시하는 경우에는, 본 실시 형태에서 나타낸 각종의 변수가, 다른 변수 또는 상수와 비교하여, 큰, 작은, 이상, 이하, 동일한 등의 조건을 만족하는지 여부를 판단하고, 조건이 성립한 경우(또는 불성립인 경우)에, 다른 명령열로 분기하거나, 또는 서브 루틴을 불러낸다.

[0074] 또한, CPU(2000)는, 기억 장치 내의 파일 또는 데이터 베이스 등에 격납된 정보를 검색할 수 있다. 예를 들면, 제1 속성의 속성치에 대해 제2 속성의 속성치가 각각 대응된 복수의 엔트리가 기억 장치에 격납되는 경우에 있어서, CPU(2000)는, 기억 장치에 격납되는 복수의 엔트리 중에서 제1 속성의 속성치가 지정된 조건과 일치하는 엔트리를 검색하고, 그 엔트리에 격납되는 제2 속성의 속성치를 독출하는 것으로, 소정의 조건을 만족하는 제1 속성에 대응시킨 제2 속성의 속성치를 얻을 수 있다.

[0075] 이상으로 나타낸 프로그램 또는 모듈은, 외부의 기록 매체에 격납되어도 된다. 기록 매체로서는, 플렉시블 디스크(2090), CD-ROM(2095) 외에, DVD 또는 CD 등의 광학 기록 매체, MO 등의 광자기 기록 매체, 테이프 매체, IC 카드 등의 반도체 메모리 등을 이용할 수 있다. 또한, 전용 통신 네트워크 또는 인터넷에 접속된 서버 시스템에 마련한 하드 디스크 또는 RAM 등의 기억 장치를 기록 매체로서 사용하고, 네트워크를 통해서 프로그램을 컴퓨터(1900)에 제공하여도 된다.

[0076] 이상, 본 발명을 실시의 형태를 이용해 설명했지만, 본 발명의 기술적 범위는 상기 실시의 형태에 기재된 범위에는 한정되지 않는다. 상기 실시의 형태에, 다양한 변경 또는 개량을 더하는 것이 가능하다고 하는 것이 당업자에게 명확하다. 그와 같은 변경 또는 개량을 더한 형태도 본 발명의 기술적 범위에 포함될 수 있는 것이, 청구의 범위의 기재로부터 명확하다.

[0077] 청구의 범위, 명세서, 및 도면 중에서 나타낸 장치, 시스템, 프로그램, 및 방법에서의 동작, 순서, 스텝, 및 단계 등의 각 처리의 실행 순서는, 특별히 「보다 전에」, 「앞서며」 등으로 명시하고 있지 않고, 또한, 전의 처리의 출력을 후의 처리로 이용하지 않는 한, 임의의 순서로 실현할 수 있다는 것에 유의해야 한다. 청구의 범위, 명세서, 및 도면 중의 동작 플로우에 관해서, 편의상 「우선,」, 「다음에,」 등을 이용해 설명했다고 해도, 이 순서로 실시하는 것이 필수인 것을 의미하는 것은 아니다.

[0078] 이상과 같이, 본 발명의 실시 형태에 의하면, 데이터 및 스트로브의 상대 위상을 한 방향으로 차례차례 변화시키는 동시에, 반도체 시험 장치(100) 및 피시험 디바이스(200)의 사이에 송수신 되는 데이터를 기대치와 비교하

는 것으로, 아이 개구부의 양단을 고속으로 검출할 수 있다고 하는 효과를 가진다. 또한, 상대 위상의 변화를 개시하는 위상을, 수신 데이터와 기대치가 일치하지 않으면 상정되는 위상으로 설정함으로써, 한층 더 고속으로 아이 개구부의 양단의 검출할 수 있다는 효과를 가진다.

부호의 설명

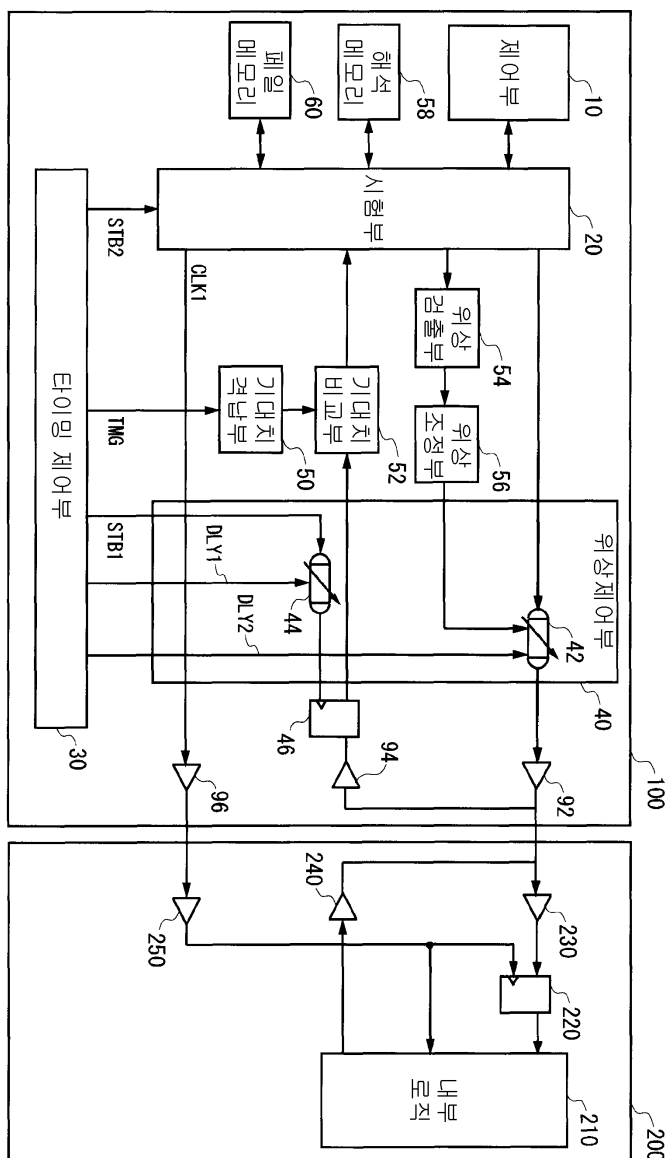
[0079]

- 10 제어부
- 20 시험부
- 30 타이밍 제어부
- 40 위상 제어부
- 42 지연 회로
- 44 지연 회로
- 46 타이밍 비교기
- 48 지연 회로
- 50 기대치 격납부
- 52 기대치 비교부
- 54 위상 검출부
- 56 위상 조정부
- 58 해석 메모리
- 60 페일 메모리
- 92 드라이버
- 94 레벨 비교기
- 96 드라이버
- 100 반도체 시험 장치
- 200 피시험 디바이스
- 210 내부 로직
- 220 타이밍 비교기
- 230 레벨 비교기
- 240 드라이버
- 250 레벨 비교기
- 1900 컴퓨터
- 2000 CPU
- 2010 ROM
- 2020 RAM
- 2030 통신 인터페이스
- 2040 하드 디스크 드라이브
- 2050 플렉시블 디스크 · 드라이브
- 2060 CD-ROM 드라이브

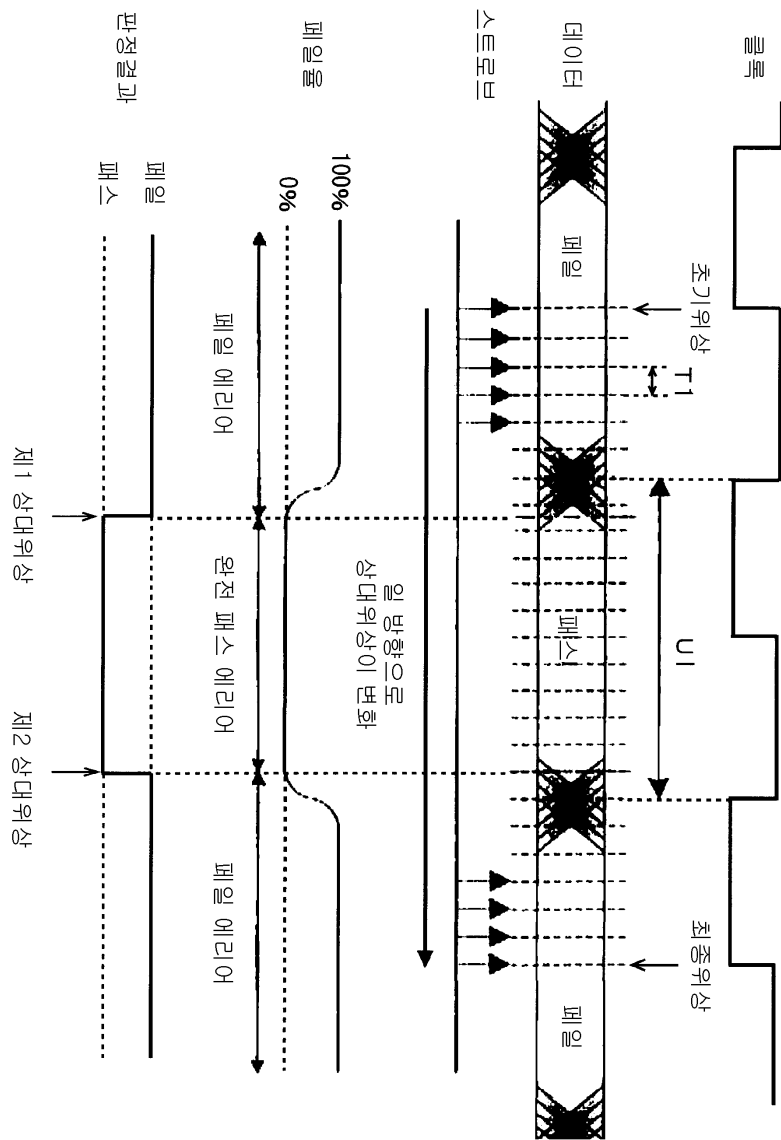
- 2070 입출력 칩
- 2075 그래픽 · 컨트롤러
- 2080 표시 장치
- 2082 호스트 · 컨트롤러
- 2084 입출력 컨트롤러
- 2090 플렉시블 디스크
- 2095 CD-ROM

도면

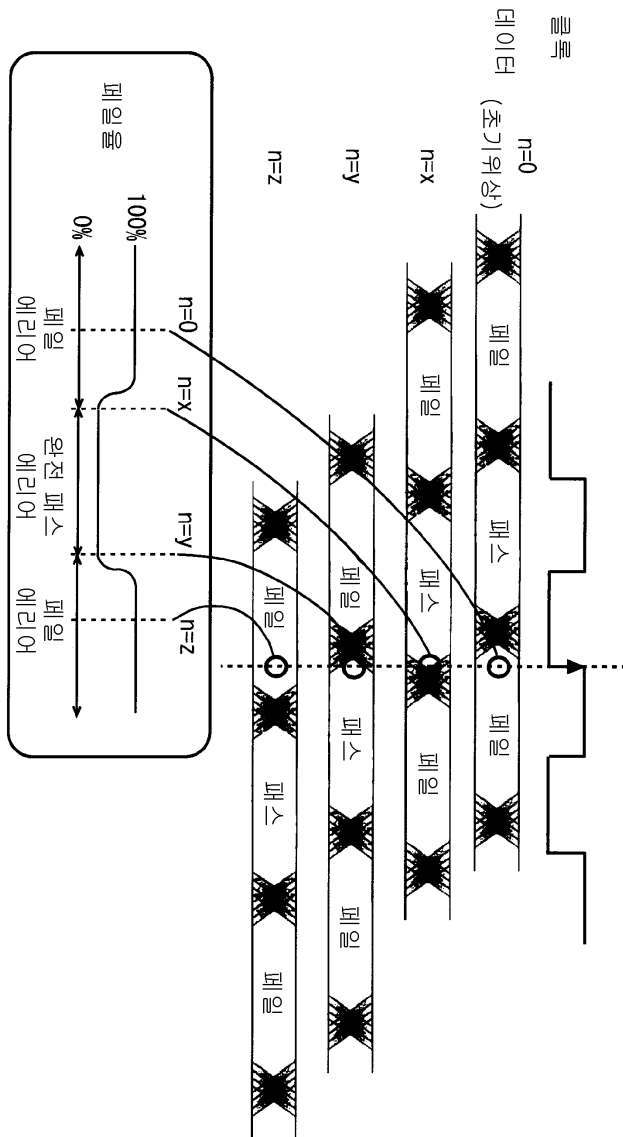
도면1



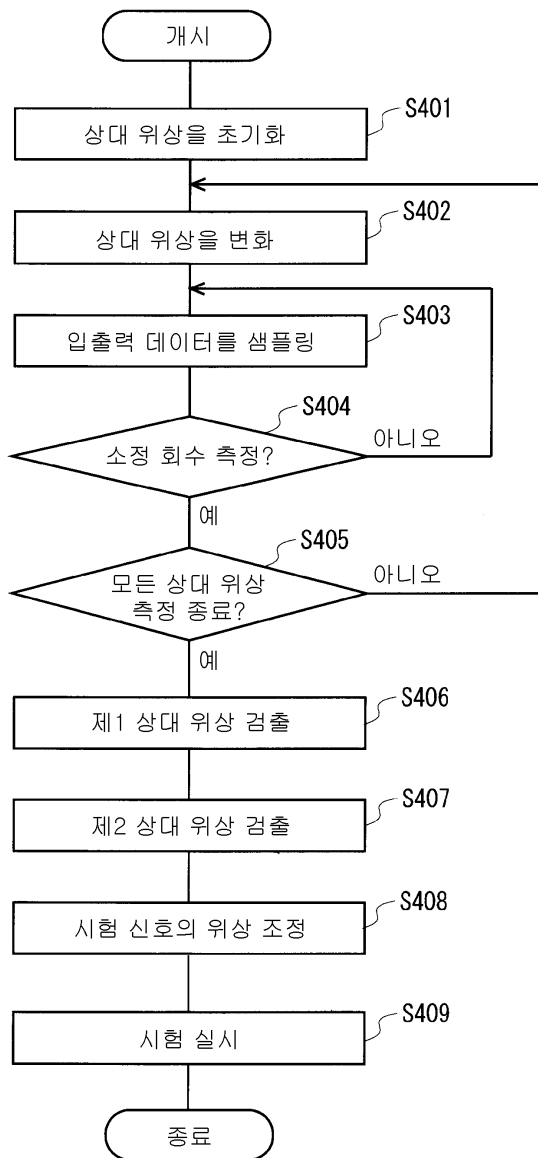
도면2



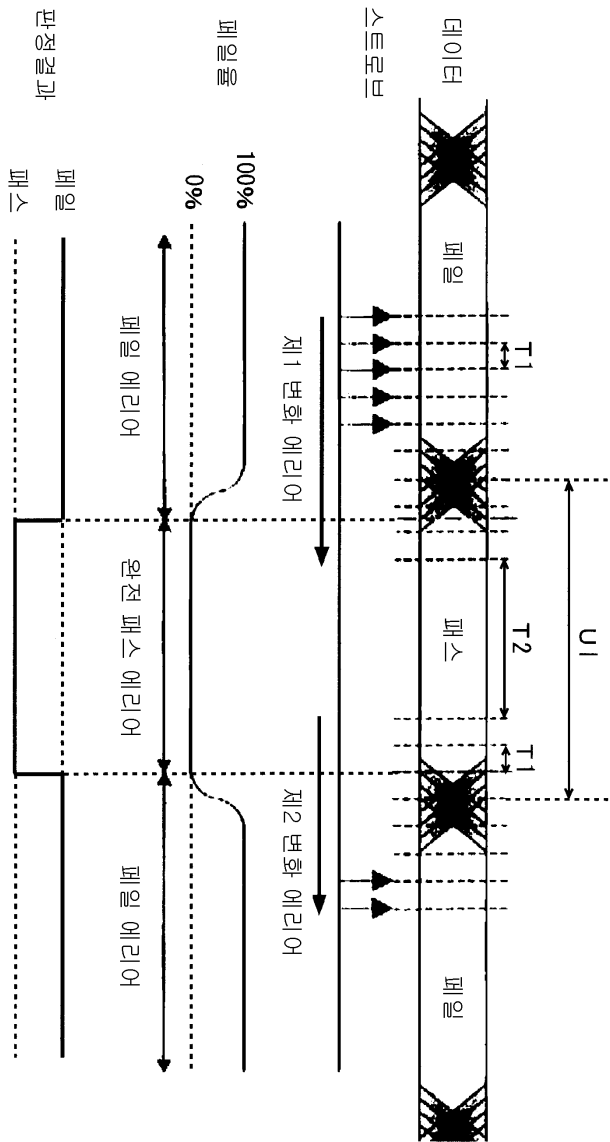
도면3



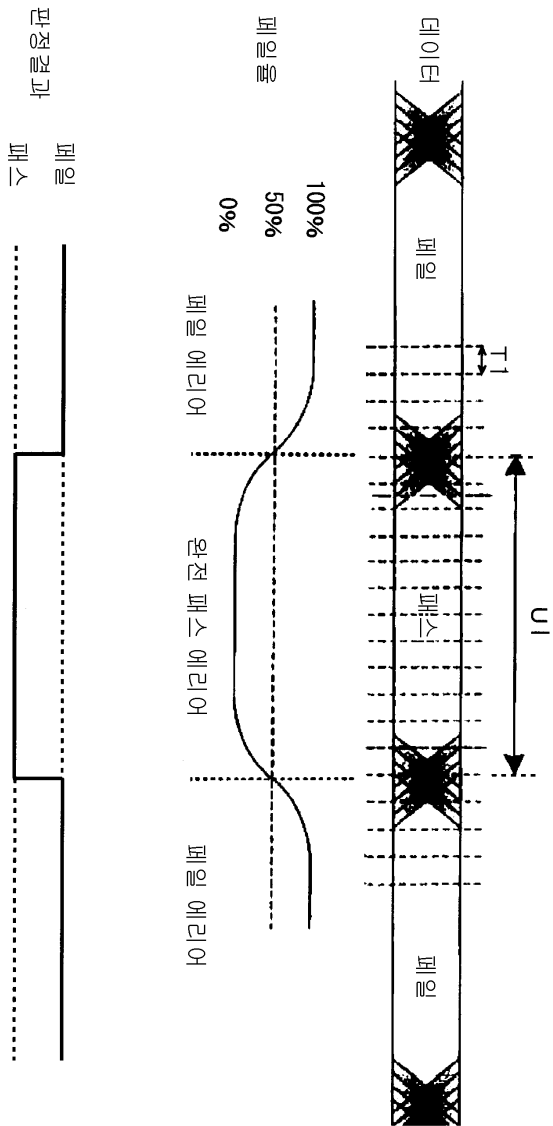
도면4



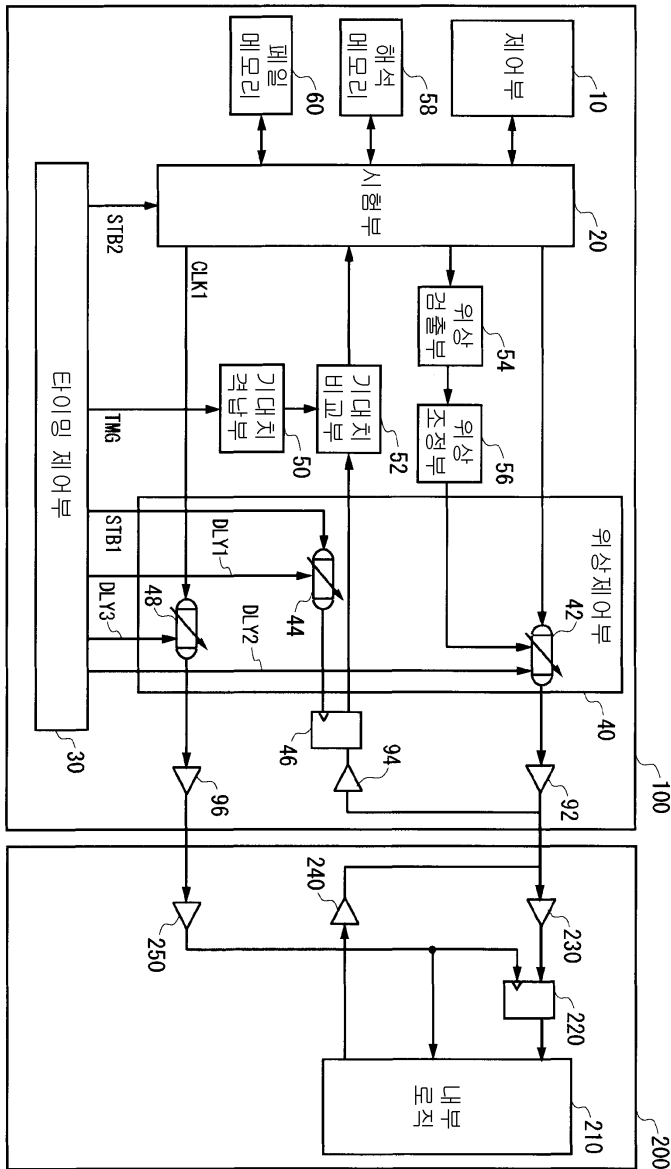
도면5



도면6



도면7



도면8

