

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6602407号
(P6602407)

(45) 発行日 令和1年11月6日(2019.11.6)

(24) 登録日 令和1年10月18日(2019.10.18)

(51) Int.Cl.

H04N 5/3745 (2011.01)

F I

H04N 5/3745

請求項の数 9 (全 12 頁)

(21) 出願番号	特願2018-2449 (P2018-2449)	(73) 特許権者	000001007
(22) 出願日	平成30年1月11日 (2018.1.11)		キヤノン株式会社
(62) 分割の表示	特願2014-33925 (P2014-33925) の分割		東京都大田区下丸子3丁目30番2号
原出願日	平成26年2月25日 (2014.2.25)	(74) 代理人	100090273
(65) 公開番号	特開2018-57048 (P2018-57048A)		弁理士 國分 孝悦
(43) 公開日	平成30年4月5日 (2018.4.5)	(72) 発明者	荒岡 愉喜男
審査請求日	平成30年2月6日 (2018.2.6)		東京都大田区下丸子3丁目30番2号 キヤノン株式会社内
		(72) 発明者	飯田 洋一郎
			東京都大田区下丸子3丁目30番2号 キヤノン株式会社内
		審査官	鈴木 明
			最終頁に続く

(54) 【発明の名称】 固体撮像装置及び撮像システム

(57) 【特許請求の範囲】

【請求項 1】

光電変換部と、前記光電変換部で生成した電荷に応じた信号を出力するソースフォロワ回路とが各々に設けられた複数の画素が行列状に配置された画素領域と、

第1の画素の前記ソースフォロワ回路に接続され、かつ、前記第1の画素と同じ列に配されている第2の画素の前記ソースフォロワ回路に接続された列方向に延在する第1の出力線と、

前記第2の画素と同じ列に配されている第3の画素の前記ソースフォロワ回路に接続され、かつ、前記第3の画素と同じ列に配されている第4の画素の前記ソースフォロワ回路に接続された前記列方向に延在する第2の出力線と、を有し、

前記第1の出力線は、第1の選択回路を介して、前記列方向に延在する第3の出力線と接続し、

前記第2の出力線は、第2の選択回路を介して、前記第3の出力線と接続し、

前記第1の選択回路および前記第2の選択回路は、平面視で前記画素領域に配されていることを特徴とする固体撮像装置。

【請求項 2】

光電変換部と、前記光電変換部で生成した電荷に応じた信号を出力するソースフォロワ回路とが各々に設けられた複数の画素が行列状に配置された画素領域と、

第1の画素の前記ソースフォロワ回路に接続され、かつ、前記第1の画素と同じ列に配されている第2の画素の前記ソースフォロワ回路に接続された第1の出力線と、

10

20

前記第2の画素と同じ列に配されている第3の画素の前記ソースフォロワ回路に接続され、かつ、前記第3の画素と同じ列に配されている第4の画素の前記ソースフォロワ回路に接続された第2の出力線と、

前記第1の出力線と前記第2の出力線の各々に設けられた複数の第1電流源と、第3の出力線に設けられた第2電流源と、を有し、

前記第1の出力線は、第1の選択回路を介して、前記第3の出力線と接続し、

前記第2の出力線は、第2の選択回路を介して、前記第3の出力線と接続し、

前記第1の選択回路および前記第2の選択回路は、平面視で前記画素領域に配されていることを特徴とする固体撮像装置。

【請求項3】

光電変換部と、前記光電変換部で生成した電荷に応じた信号を出力するソースフォロワ回路と、リセット部とが各々に設けられた複数の画素が行列状に配置された画素領域と、

第1の画素の前記ソースフォロワ回路に接続され、かつ、前記第1の画素と同じ列に配されている第2の画素の前記ソースフォロワ回路に接続された第1の出力線と、

前記第2の画素と同じ列に配されている第3の画素の前記ソースフォロワ回路に接続され、かつ、前記第3の画素と同じ列に配されている第4の画素の前記ソースフォロワ回路に接続された第2の出力線と、を有し、

前記第1の出力線は、第1の選択回路を介して、第3の出力線と接続し、

前記第2の出力線は、第2の選択回路を介して、前記第3の出力線と接続し、

前記第1の選択回路および前記第2の選択回路は、平面視で前記画素領域に配され、

前記ソースフォロワ回路は、前記光電変換部で生成した電荷を受ける制御ノードを備え、前記リセット部により前記制御ノードの電位を設定することにより、前記画素を選択状態又は非選択状態に切り替えることを特徴とする固体撮像装置。

【請求項4】

前記第1の選択回路が、前記第1の画素に設けられ、かつ、前記第2の選択回路が、前記第3の画素に設けられることを特徴とする請求項1から3のいずれか1項に記載の固体撮像装置。

【請求項5】

前記第1の選択回路は、前記第2の画素に設けられていないことを特徴とする請求項4に記載の固体撮像装置。

【請求項6】

前記第2の画素内には、前記第1の出力線と前記第3の出力線とを接続していないダミーの選択回路が設けられることを特徴とする請求項5に記載の固体撮像装置。

【請求項7】

前記第2の選択回路は、前記第4の画素に設けられておらず、前記第1の画素、前記第2の画素、前記第3の画素、前記第4の画素は、この順序で、列方向に配されていることを特徴とする請求項5に記載の固体撮像装置。

【請求項8】

前記第1の選択回路又は前記第2の選択回路は、スイッチ回路又はバッファ回路を含むことを特徴とする請求項1から7のいずれか1項に記載の固体撮像装置。

【請求項9】

請求項1から8のいずれか1項に記載の固体撮像装置と、

前記画素に光を集光させる光学部と、

前記固体撮像装置から出力された信号を処理する映像信号処理部とを有することを特徴とする撮像システム。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、固体撮像装置、及びそれを用いた撮像システムに関する。

【背景技術】

10

20

30

40

50

【 0 0 0 2 】

固体撮像装置における画素信号の読み出しの高速化を阻害する要因として、垂直出力線につながっている多数の画素選択トランジスタの寄生容量により垂直出力線の負荷が大きくなっていることが挙げられる。この課題に対して、垂直出力線を階層化して駆動する手法が提案されている（特許文献1参照）。例えば、特許文献1では、垂直出力線を主垂直出力線（第1の垂直出力線）及び副垂直出力線（第2の垂直出力線）に分割してスイッチを介して接続し、画素出力を副垂直出力線及びスイッチを介して主垂直出力線に出力する構成としている。

【 先行技術文献 】

【 特許文献 】

10

【 0 0 0 3 】

【 特許文献 1 】 特開昭 6 3 - 1 8 5 2 8 1 号 公 報

【 発明の概要 】

【 発明が解決しようとする課題 】

【 0 0 0 4 】

しかしながら、特許文献1には、等価回路図のみが記載されており、具体的な実現方法が開示されていない。本発明は、このような課題に鑑みてなされたものであり、固体撮像装置の垂直出力線を階層化する好適な手法を提供することを目的とする。

【 課題を解決するための手段 】

【 0 0 0 5 】

20

本発明に係る固体撮像装置は、光電変換部と、前記光電変換部で生成した電荷に応じた信号を出力するソースフォロワ回路とが各々に設けられた複数の画素が行列状に配置された画素領域と、第1の画素の前記ソースフォロワ回路に接続され、かつ、前記第1の画素と同じ列に配されている第2の画素の前記ソースフォロワ回路に接続された列方向に延在する第1の出力線と、前記第2の画素と同じ列に配されている第3の画素の前記ソースフォロワ回路に接続され、かつ、前記第3の画素と同じ列に配されている第4の画素の前記ソースフォロワ回路に接続された前記列方向に延在する第2の出力線と、を有し、前記第1の出力線は、第1の選択回路を介して、前記列方向に延在する第3の出力線と接続し、前記第2の出力線は、第2の選択回路を介して、前記第3の出力線と接続し、前記第1の選択回路および前記第2の選択回路は、平面視で前記画素領域に配されていることを特徴とする。

30

【 発明の効果 】

【 0 0 0 6 】

本発明によれば、固体撮像装置における垂直出力線の階層化を好適に実現することができ、垂直出力線の高速駆動が実現可能になる。

【 図面の簡単な説明 】

【 0 0 0 7 】

【 図 1 】 第 1 の実施形態による固体撮像装置の構成例を示す図である。

【 図 2 】 第 1 の実施形態における駆動タイミングを示す図である。

【 図 3 】 第 2 の実施形態による固体撮像装置の構成例を示す図である。

40

【 図 4 】 第 3 の実施形態による固体撮像装置の構成例を示す図である。

【 図 5 】 第 4 の実施形態による固体撮像装置を説明するための図である。

【 図 6 】 第 4 の実施形態における画素アレイのレイアウト及び回路構成を示す図である。

【 図 7 】 第 5 の実施形態による固体撮像装置を説明するための図である。

【 図 8 】 第 5 の実施形態におけるブロック選択回路の構成を示す図である。

【 図 9 】 第 6 の実施形態による固体撮像装置の構成例を示す図である。

【 図 1 0 】 第 7 の実施形態による固体撮像装置の構成例を示す図である。

【 図 1 1 】 撮像システムの構成例を示す図である。

【 発明を実施するための形態 】

【 0 0 0 8 】

50

以下、本発明の実施形態を図面に基づいて説明する。

【0009】

(第1の実施形態)

本発明の第1の実施形態について説明する。

図1は、第1の実施形態による固体撮像装置の構成例を示す図である。固体撮像装置の画素アレイ(画素領域)1は、複数の画素回路2が2次元アレイ状(行列状)に配列されている。各画素回路2が設けられている領域を、単位画素領域とも称する。画素回路2は、例えばフォトダイオード(光電変換素子)PD、転送トランジスタTX、フローティングディフュージョン容量FD、ソースフォロワトランジスタ(増幅トランジスタ)SF、画素選択トランジスタSEL、及びリセットトランジスタRESを含む。

10

【0010】

垂直方向の複数の画素回路2(同じ列の複数の画素回路2)は、副垂直出力線(第1の垂直出力線)4に接続されることでブロック化されている。それぞれの画素回路2の出力は、副垂直出力線4及び画素回路2内に設けられたブロック選択回路5を介して主垂直出力線(第2の垂直出力線)3に出力され、出力回路12の増幅器6へ出力される。ブロック選択回路5は、自ブロックが選択されているときに、副垂直出力線4と主垂直出力線3とを接続する。本実施形態では、複数の画素回路2をブロック化したので、一部の画素回路2にはブロック選択回路5を有している。図1では、一部の画素回路を除き、画素選択トランジスタSELとブロック選択回路5のみを示している。

【0011】

20

垂直走査回路11は、画素アレイ1の画素回路2から画素信号を垂直方向に順番に読み出すための制御を行う。出力回路12は、画素アレイ1の画素回路2から画素信号を読み出して増幅する増幅器6が、画素アレイ1の各列に対応して配置されている。水平走査回路13は、読み出した画素信号を出力回路12から画像処理回路14に順次出力させる。画像処理回路14は、入力される画素信号に画像処理を施す。タイミングジェネレータ(TG)15は、制御信号を出力し、垂直走査回路11、出力回路12、水平走査回路13、及び画像処理回路14を制御する。

【0012】

図1に示すように、複数の画素回路2を副垂直出力線4に接続することでブロック化し、主垂直出力線3と副垂直出力線4がブロック選択回路5を介して接続されるように構成する。このように構成することで、従来技術では垂直出力線に接続されていたすべての画素の画素選択トランジスタの寄生容量が、ブロック選択回路5のトランジスタの寄生容量のみに軽減される。したがって、主垂直出力線3の負荷容量が軽減されることになり、高速な画素信号の読み出しが可能となる。

30

【0013】

なお、本実施形態では、ブロック選択回路5が1段の場合のみを示しているが、階層化の段数及び階層化ブロックの分割数は、特に限定されない。また、ブロック選択回路5は、図1に示した例ではトランジスタを用いたスイッチ回路を示しているが、ソースフォロワ回路、差動増幅器を用いたバッファ回路等であっても良い。

【0014】

40

図1に示したそれぞれの画素回路2の駆動方法は、一般的なCMOS型の固体撮像素子での駆動方法と同様であるため説明を省略する。図2に、画素選択トランジスタSEL及びブロック選択回路5を制御する制御信号の駆動タイミングを示す。図2において、VSR_iは、それぞれ図1に示したi番目の画素行を選択する制御信号に対応し、BLK_SEL_jはj番目のブロック選択回路5を選択する制御信号を示す。なお、i、jは添え字であり、i = 1 ~ n + mの整数、j = 1 ~ nの整数である(n、mは自然数)。

【0015】

各画素回路2からの画素信号の読み出し時には、画素信号を読み出すブロックのブロック選択回路5の制御信号BLK_SEL_jを立ち上げる。そして、制御信号BLK_SEL_jによって選択されたブロック内の画素信号を読み出す画素回路2に対応する制御信

50

号 VSR_i を 1 つずつ順に立ち上げる。このように制御信号 VSR_i 、 BLK_SEL_j を駆動することで、該当するブロックの副垂直出力線 4 のみ主垂直出力線 3 に接続して、画素回路 2 の光電変換部で生成された電荷に基づく画素信号が読み出される。このとき、垂直方向の他のブロックは、主垂直出力線 3 と電氣的に切断しておく。

以上で説明したように、本実施例によれば、主垂直出力線 3 に接続される負荷容量を低減することが可能となり、高速な画素信号の読み出しが可能となる。

【0016】

(第2の実施形態)

次に、本発明の第2の実施形態について説明する。

図3は、第2の実施形態による固体撮像装置の構成例を示す図である。図3において、図1に示した構成要素に対応する構成要素には同一の符号を付し、重複する説明は省略する。また、第2の実施形態による固体撮像装置の画素回路2及びブロック選択回路5の駆動方法は、第1の実施形態と同様であるので説明を省略する。

【0017】

前述した第1の実施形態では、ブロック化した複数の画素回路2の内の一部の画素回路2が設けられた単位画素領域内にブロック選択回路5を設けていたが、第2の実施形態では、すべての画素回路2が設けられた単位画素領域内にブロック選択回路5を設ける。ただし、実際の主垂直出力線3と副垂直出力線4との電氣的な接続は、ブロック化した複数の画素回路2の内の一部の画素回路2が設けられた単位画素領域内のブロック選択回路5のみを用い、未使用のブロック選択回路はダミー回路7として扱う。

【0018】

これにより、垂直出力線に接続される寄生容量が、ブロック選択回路5のトランジスタの寄生容量のみに軽減されるので、主垂直出力線3の負荷容量が軽減されることになり、高速な画素信号の読み出しが可能となる。また、画素回路2が設けられた単位画素領域内にブロック選択回路5を設けた場合でも、回路レイアウトに起因する画素出力の不均一性が発生しにくい。なお、本実施形態においても、ブロック選択回路5は、スイッチ回路の他、ソースフォロワ回路、差動増幅器を用いたバッファ回路等であっても良い。

【0019】

(第3の実施形態)

次に、本発明の第3の実施形態について説明する。

図4は、第3の実施形態による固体撮像装置の構成例を示す図である。図4において、図1に示した構成要素に対応する構成要素には同一の符号を付し、重複する説明は省略する。

【0020】

第3の実施形態においては、各ブロックにつき、本来は画素回路2が配置される単位画素領域の1つに、主垂直出力線3と副垂直出力線4とを接続するブロック選択回路5を配置する。この場合にも、垂直出力線に接続される寄生容量は、ブロック選択回路5のトランジスタの寄生容量のみに軽減されるので、主垂直出力線3の負荷容量が軽減されることになり、高速な画素信号の読み出しが可能となる。また、この場合にはブロック選択回路5がある単位画素領域では画素信号を出力できないため、ブロック選択回路5が配置された単位画素領域の画素信号は、隣接する(あるいは近傍の)画素回路2からの画素信号を用いて画像処理回路14により補完する。

【0021】

(第4の実施形態)

次に、本発明の第4の実施形態について説明する。

図5は、第4の実施形態による固体撮像装置を説明するための図である。なお、図5においては、画像アレイ1内の主垂直出力線3、副垂直出力線4、及びブロック選択回路5と、垂直走査回路11のみを図示しているが、図示していない他の構成は第1の実施形態と同様である。

【0022】

第4の実施形態では、ブロック選択回路5の垂直方向の駆動アドレスが一定ではなくばらつかせている。図5には、ブロック選択回路5の垂直方向のアドレスを1、mに対して $\pm n$ 画素分ばらつかせている場合を一例として示している。このように、ブロック選択回路5を離散的に配置し、垂直出力線のブロック選択回路5を選択するアドレスを分散させることで、ブロック選択回路5の配置に起因する固定パターンノイズを視認しにくくさせることが可能になる。

【0023】

第4の実施形態における画素アレイのレイアウト図及び回路構成図の一例をそれぞれ図6(a)、(b)に示す。この図6に示す例では、ブロック選択回路5は画素回路2と置き換えてスイッチ構成とし、ブロック選択回路5の垂直方向のアドレスを1画素分離散させている。なお、この場合にはブロック選択回路5がある単位画素領域では画素信号が出力できないため、第3の実施形態と同様にして画像処理回路14により補完する。

10

【0024】

なお、第1又は第2の実施形態と同様に、画素信号も出力可能な構成にしても良い。また、ブロック選択回路5は、一部の単位画素領域内に設けるようにしても良いし、或いは第2の実施形態のようにすべての単位画素領域内に回路パターンを設けるようにしても良い。また、ブロック化の段数とブロック選択回路の垂直方向のアドレスは、特に一定値には限定されず、またブロック選択回路の種類もスイッチ回路、バッファ回路の何れかに限定されるものではない。

【0025】

20

(第5の実施形態)

次に、本発明の第5の実施形態について説明する。

図7は、第5の実施形態による固体撮像装置を説明するための図である。なお、図7においては、画素アレイ1内の画素回路2、主垂直出力線3、副垂直出力線4、及びブロック選択回路5と、出力回路12を示している。また、第5の実施形態におけるブロック選択回路5の構成例を図8に示している。

【0026】

第5の実施形態において、ブロック選択回路5には、異なる画素列に対応する複数の副垂直出力線4が接続されている。したがって、主垂直出力線3は、複数列で共有されることになり、画素回路2の有効面積を大きくすることが可能となる。図8に示したブロック選択回路5は、画素回路間にバッファ回路21_p ~ 21_qを設け、また、主垂直出力線間にバッファ回路を設けている。また、複数の副垂直出力線4の内の主垂直出力線3に接続する副垂直出力線4の選択は、制御信号HSR_p ~ HSR_qにより制御されるスイッチ回路22_p ~ 22_qを用いて行う。

30

【0027】

ここで、固体撮像装置が大面積である場合、画素回路2から出力回路12までの垂直出力線の経路が長くなり、配線の抵抗及び寄生容量がより大きくなることから、高速に垂直出力線を駆動するためには駆動電流量を増やす必要がある。しかし、すべての垂直出力線に対して駆動電流を増やすと消費電力の増大を招く。そこで、本実施形態では主垂直出力線3のみ大きな駆動電流を流して(一例として第2の電流源により0.8mA)、副垂直出力線4は駆動電流を抑える(一例として第1の電流源により9 μ A)。そして、複数の副垂直出力線4を制御信号VSR_n及び制御信号HSR_p ~ HSR_qで切り替えて駆動する。これにより、垂直出力線の駆動高速化と消費電力の低減を両立させている。

40

【0028】

(第6の実施形態)

次に、本発明の第6の実施形態について説明する。

図9は、第6の実施形態による固体撮像装置の構成例を示す図である。図9において、図1に示した構成要素に対応する構成要素には同一の符号を付し、重複する説明は省略する。

【0029】

50

第 6 の実施形態による固体撮像装置は、ブロック選択回路 5 としてソースフォロアトランジスタ S F を用いる点を除き、第 1 の実施形態による固体撮像装置と同様である。垂直方向の複数の画素回路 2 (同じ列の複数の画素回路 2) は、ブロック選択回路 5 としてのソースフォロワトランジスタ S F によりブロック化されている。

【 0 0 3 0 】

このように、複数の画素回路をソースフォロア回路によりブロック化することで、第 1 の実施形態と同様に、垂直出力線 3 に接続する容量が軽減される。さらに、ブロック選択回路 5 としてソースフォロア回路を用いているため、垂直出力線 3 に対しては選択トランジスタを用いる場合のオン抵抗も軽減される。そのため、高速な画像信号の読み出しが可能となる。なお、本実施形態においても、ブロック選択回路 5 が 1 段の場合を例として示しているが、階層化の段数及び階層化ブロックの分割数は、特に限定されない。

10

【 0 0 3 1 】

選択回路を構成するソースフォロワ回路は、そのゲートノード (制御ノード) の電位をリセット部 R E S によって設定することで、選択状態又は非選択状態に切り替える。選択回路を構成するソースフォロワ回路は、そのゲートノードの電位をリセット部 R E S によって、ソースフォロワ回路として動作する電位に設定することで選択され、ソースフォロワ回路として動作しない電位に設定することで非選択状態になる。

【 0 0 3 2 】

また、ここでは、選択回路をソースフォロワ回路として構成したが、転送トランジスタ T x を介して光電変換素子 P D と接続されたソースフォロワトランジスタと、選択回路との間の選択トランジスタ S E L を省略しても良い。この場合も、選択回路と同様に、ソースフォロワトランジスタ S F のゲートノード (制御ノード) の電位をリセットトランジスタ R E S によって設定することで、選択または非選択状態に切り替えても良い。

20

【 0 0 3 3 】

(第 7 の実施形態)

次に、本発明の第 7 の実施形態について説明する。

図 1 0 は、第 7 の実施形態による固体撮像装置の構成例を示す図である。図 1 0 において、図 1、図 9 に示した構成要素に対応する構成要素には同一の符号を付し、重複する説明は省略する。

【 0 0 3 4 】

30

第 7 の実施形態による固体撮像装置は、画素回路 2 の構成が、共有する 2 画素毎に配置される画素選択トランジスタを用いていない点と、ブロック選択回路としてソースフォロアトランジスタ S F を用いる点を除き、第 1 の実施形態による固体撮像装置と同様である。垂直方向の複数の画素回路 2 (同じ列の複数の画素回路 2) は、第 6 の実施形態と同様に、ブロック選択回路 5 としてのソースフォロワトランジスタ S F によりブロック化されている。

【 0 0 3 5 】

このように、複数の画素回路をソースフォロア回路によりブロック化することで、第 1 及び第 6 の実施形態と同様に、垂直出力線 3 に接続する容量が軽減される。さらに、ブロック選択回路 5 だけでなく、各画素回路 2 の選択にもソースフォロア回路を用いているため、垂直出力線 3、4 には選択トランジスタを用いる場合のオン抵抗も軽減される。そのため、高速な画像信号の読み出しが可能となる。なお、本実施形態においても、ブロック選択回路 5 が 1 段の場合を例として示しているが、階層化の段数及び階層化ブロックの分割数は、特に限定されない。

40

【 0 0 3 6 】

(第 8 の実施形態)

図 1 1 は、本発明の第 8 の実施形態による撮像システムの構成例を示す図である。撮像システム 8 0 0 は、例えば、光学部 8 1 0、撮像素子 1 0 0、映像信号処理回路部 8 3 0、記録・通信部 8 4 0、タイミング制御回路部 8 5 0、システム制御部 8 6 0、及び再生・表示部 8 7 0 を含む。撮像装置 8 2 0 は、撮像素子 1 0 0 及び映像信号処理回路部 8 3

50

0を有する。撮像素子100は、前述の各実施形態で説明した撮像素子が用いられる。

【0037】

レンズ等の光学系である光学部810は、被写体からの光を撮像素子100の、複数の画素が2次元状に配列された画素部1に結像(集光)させ、被写体の像を形成する。撮像素子100は、タイミング制御回路部850からの信号に基づくタイミングで、画素部1に結像された光に応じた信号を出力する。撮像素子100から出力された信号は、映像信号処理部である映像信号処理回路部830に入力され、映像信号処理回路部830が、プログラム等によって定められた方法に従って信号処理を行う。映像信号処理回路部830での処理によって得られた信号は画像データとして記録・通信部840に送られる。記録・通信部840は、画像を形成するための信号を再生・表示部870に送り、再生・表示部870に動画や静止画像を再生・表示させる。記録・通信部840は、また、映像信号処理回路部830からの信号を受けて、システム制御部860と通信を行うほか、不図示の記録媒体に、画像を形成するための信号を記録する動作も行う。

10

【0038】

システム制御部860は、撮像システムの動作を統括的に制御するものであり、光学部810、タイミング制御回路部850、記録・通信部840、及び再生・表示部870の駆動を制御する。また、システム制御部860は、例えば記録媒体である不図示の記憶装置を備え、ここに撮像システムの動作を制御するのに必要なプログラム等が記録される。また、システム制御部860は、例えばユーザの操作に応じて駆動モードを切り替える信号を撮像システム内に供給する。具体的な例としては、読み出す行やりセットする行の変更、電子ズームに伴う画角の変更や、電子防振に伴う画角のずらし等である。タイミング制御回路部850は、システム制御部860による制御に基づいて撮像素子100及び映像信号処理回路部830の駆動タイミングを制御する。

20

【0039】

なお、前記実施形態は、何れも本発明を実施するにあたっての具体化のほんの一例を示したものに過ぎず、これらによって本発明の技術的範囲が限定的に解釈されてはならないものである。すなわち、本発明はその技術思想、又はその主要な特徴から逸脱することなく、様々な形で実施することができる。

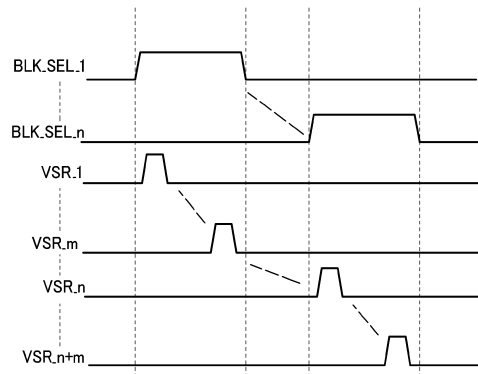
【符号の説明】

【0040】

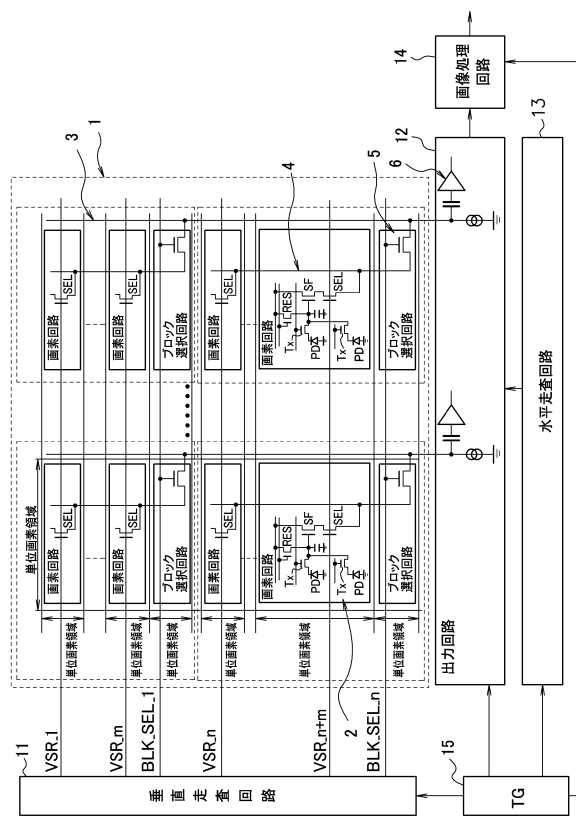
1：画素アレイ 2：画素回路 3：主垂直出力線 4：副垂直出力線 5：ブロック選択回路 6：増幅器 7：ダミー回路 11：垂直走査回路 12：出力回路 13：水平走査回路 14：画像処理回路 15：タイミングジェネレータ 100：撮像素子 800：撮像システム 810：光学部 820：撮像装置 830：映像信号処理回路部

30

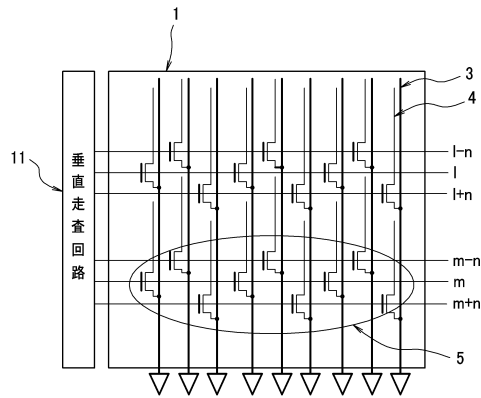
【 図 2 】



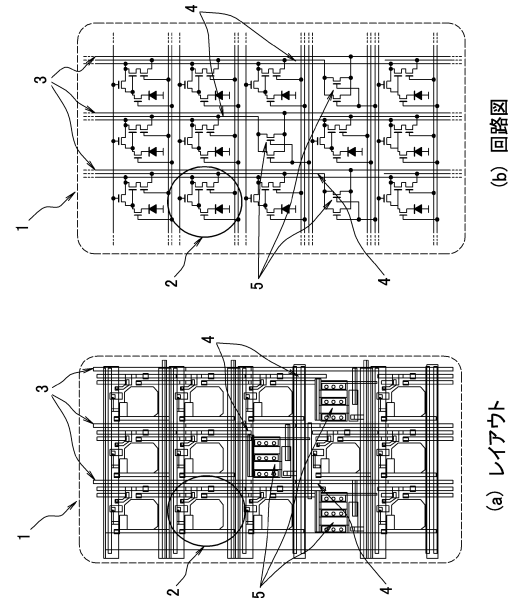
【 図 4 】



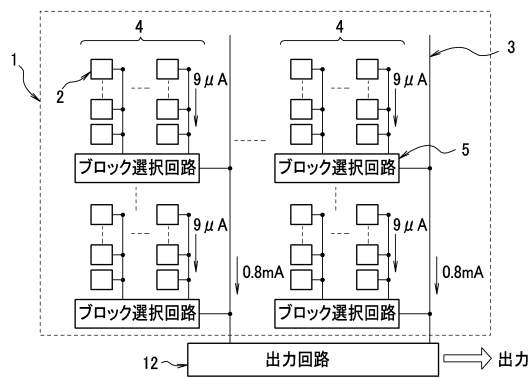
【図 5】



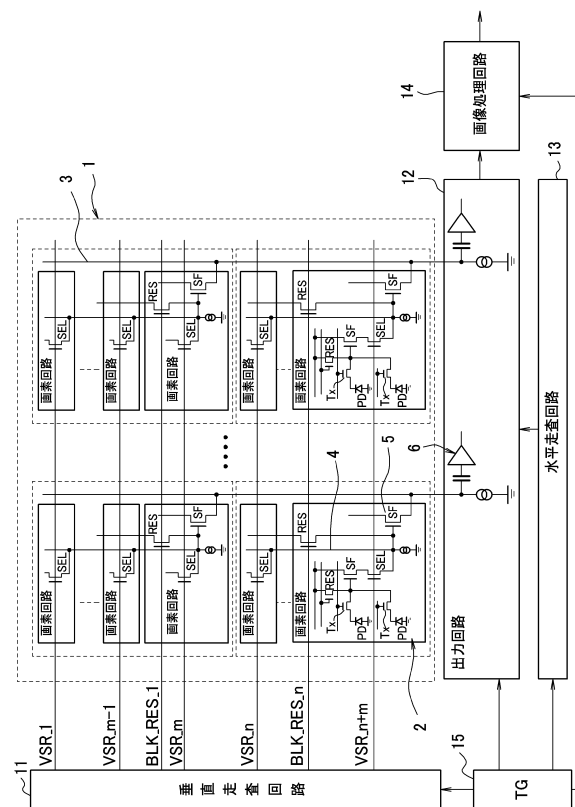
【図 6】



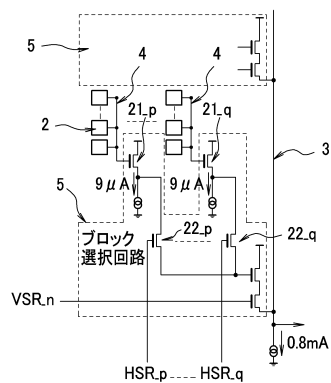
【図 7】



【図 9】



【図 8】



フロントページの続き

(56)参考文献 特開 2 0 1 2 - 0 5 4 8 7 6 (J P , A)
特開 2 0 0 6 - 3 4 5 3 3 0 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)
H 0 4 N 5 / 3 0 - 5 / 3 7 8