

## 【特許請求の範囲】

## 【請求項 1】

半導体基板上に形成されたゲート絶縁膜と、

前記ゲート絶縁膜上に前記半導体基板側から順に積層された導電性ポリシリコン膜、第 1 金属シリサイド膜、バリアー膜、及び金属膜から形成されるポリメタルゲート電極と、を備え、

前記バリアー膜は、前記第 1 金属シリサイド膜上に形成される T i N 膜と、前記 T i N 膜と前記金属膜との間に介在されるバッファ層と、を備えることを特徴とする半導体素子。

## 【請求項 2】

前記第 1 金属シリサイド膜は、タングステン ( W ) シリサイド膜、モリブデン ( M o ) シリサイド膜、チタン ( T i ) シリサイド膜、タンタル ( T a ) シリサイド膜、ハフニウム ( H f ) シリサイド膜、またはコバルト ( C o ) シリサイド膜の少なくともいずれか一つから形成されることを特徴とする請求項 1 に記載の半導体素子。

## 【請求項 3】

前記バッファ層は、T i、T a、Z r、H f 及び S i から形成される群から選択される少なくとも一つの物質を含むことを特徴とする請求項 1 に記載の半導体素子。

## 【請求項 4】

前記バッファ層は、非晶質の第 2 金属シリサイド膜から形成されることを特徴とする請求項 1 に記載の半導体素子。

## 【請求項 5】

前記第 2 金属シリサイド膜は、タングステンシリサイド膜、モリブデンシリサイド膜、チタンシリサイド膜、タンタルシリサイド膜、ハフニウムシリサイド膜、またはコバルトシリサイド膜の少なくともいずれか一つから形成されることを特徴とする請求項 4 に記載の半導体素子。

## 【請求項 6】

前記バリアー膜は、T i N 膜及び T i 膜の積層構造から形成されることを特徴とする請求項 1 に記載の半導体素子。

## 【請求項 7】

前記バリアー膜は、T i N 膜及び非晶質のタングステンシリサイド膜の積層構造から形成されることを特徴とする請求項 1 に記載の半導体素子の製造方法。

## 【請求項 8】

前記金属膜は、タングステンまたはモリブデンから形成されることを特徴とする請求項 1 に記載の半導体素子の製造方法。

## 【請求項 9】

半導体基板上に導電性ポリシリコン膜及び第 1 金属シリサイド膜を順に形成する工程と、

前記第 1 金属シリサイド膜上に T i N 膜及びバッファ層で構成されるバリアー膜を形成する工程と、

前記バッファ層上に金属膜を形成する工程と、

前記導電性ポリシリコン膜、第 1 金属シリサイド膜、バリアー膜及び金属膜をパターンニングしてゲート電極を形成する工程と、を含むことを特徴とする半導体素子の製造方法。

## 【請求項 10】

前記第 1 金属シリサイド膜は、金属に対するシリコンの原子比が 2 . 0 ~ 1 0 . 0 の組成を持つように形成されることを特徴とする請求項 9 に記載の半導体素子の製造方法。

## 【請求項 11】

前記第 1 金属シリサイド膜は、タングステンシリサイド膜、モリブデンシリサイド膜、チタンシリサイド膜、タンタルシリサイド膜、ハフニウムシリサイド膜、またはコバルトシリサイド膜の少なくともいずれか一つから形成されることを特徴とする請求項 9 に記載の半導体素子の製造方法。

10

20

30

40

50

## 【請求項 12】

前記バリアー膜を形成する工程は、

前記第1金属シリサイド膜上にTiN膜を形成する工程と、

前記TiN膜上にTi、Ta、Zr、Hf及びSiから形成される群から選択される少なくとも一つの物質から形成されるバッファ層を形成する工程と、を含むことを特徴とする請求項9に記載の半導体素子の製造方法。

## 【請求項 13】

前記TiN膜及びバッファ層は、それぞれ物理蒸着法、化学蒸着法、または原子層蒸着法によって形成されることを特徴とする請求項12に記載の半導体素子の製造方法。

## 【請求項 14】

前記TiN膜は、30 ~ 300 の厚さに形成され、前記バッファ層は、10 ~ 200 の厚さに形成されることを特徴とする請求項12に記載の半導体素子の製造方法。

## 【請求項 15】

前記バリアー膜を形成するステップは、

前記第1金属シリサイド膜上にTiN膜を形成するステップと、

前記TiN膜上に非晶質の第2金属シリサイド膜を形成するステップと、を含むことを特徴とする請求項9に記載の半導体素子の製造方法。

## 【請求項 16】

前記第2金属シリサイド膜は、タングステンシリサイド膜、モリブデンシリサイド膜、チタンシリサイド膜、タンタルシリサイド膜、ハフニウムシリサイド膜、またはコバルトシリサイド膜の少なくともいずれか一つから形成されることを特徴とする請求項15に記載の半導体素子の製造方法。

## 【請求項 17】

前記TiN膜及び第2金属シリサイド膜は、それぞれ物理蒸着法、化学蒸着法、または原子層蒸着法によって形成されることを特徴とする請求項15に記載の半導体素子の製造方法。

## 【請求項 18】

前記TiN膜は、30 ~ 300 の厚さに形成され、前記第2金属シリサイド膜は、10 ~ 200 の厚さに形成されることを特徴とする請求項15に記載の半導体素子の製造方法。

## 【請求項 19】

前記金属膜は、タングステンまたはモリブデンから形成されることを特徴とする請求項9に記載の半導体素子の製造方法。

## 【請求項 20】

前記ゲート電極を形成した後、前記ゲート電極中の前記導電性ポリシリコン膜の側壁を酸化させるステップをさらに含むことを特徴とする請求項9に記載の半導体素子の製造方法。

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明は、半導体素子及びその製造方法に係り、特にポリメタルゲート電極を持つ半導体素子及びその製造方法に関する。

## 【背景技術】

## 【0002】

半導体素子が高集積化されてデザインルールが100nm以下に減少するにつれて、ゲート電極を構成するワードラインのような配線層での抵抗が大きくなって信号遅延が急増しつつある。これにより、低抵抗の配線を具現化するための努力のうち一つとして、半導体基板上に導電性ポリシリコン層、バリアー膜、及び金属膜が順に形成される積層構造を備えるポリメタルゲート電極が提案された。

## 【0003】

ポリメタルゲート電極を形成するに当って、これまで提案された構造では、バリアー膜として主にWNまたはWSiNを使用した（例えば、特許文献1参照）。しかし、バリアー膜としてWNまたはWSiNを使用する場合、ワードラインの抵抗は低めることができる。しかし、これらの膜は熱に対する安定性が不良であって、後続の高温熱処理工程、例えば、ワードラインパターニングした後にパターニング時に損傷した膜質を復旧するための選択的酸化工程時、約800 またはそれ以上の高温熱処理によってバリアー膜が局部的に破壊される現象が発生する。その結果、前記導電性ポリシリコン層のSiと前記金属膜の金属とが相互反応して金属シリサイドが形成される現象が発生する。

#### 【0004】

図1A及び図1Bは、ポリメタルゲート構造で、前記バリアー膜としてWNを使用した場合に、熱処理時に発生する問題点を確認した結果を示すSEM（Scanning Electron Microscope）イメージである。 10

図1Aには、Si基板上にゲート酸化膜（Gox）、ポリシリコン層（Poly-Si）、約50 のWNバリアー膜、そして、約400 のW膜が形成されている断面構造が示されている。

#### 【0005】

図1Bには、図1Aの構造を約850 の温度下で約40分間熱処理した結果得られた断面構造が示されている。図1Bで、ポリシリコン層とW膜との間にあるWN膜が熱処理によりW及びNに分解されて局部的に破壊され、ポリシリコン層及びW膜の大部分がタン 20

#### 【0006】

したがって、ポリメタルゲート構造でバリアー膜の熱的安定性を改善できる新たな技術が必要である。

【特許文献1】米国特許第6,774,442号明細書

#### 【発明の開示】

#### 【発明が解決しようとする課題】

#### 【0007】

本発明の目的は、前記した従来技術での問題点を解決しようとするものであって、高集積化された半導体素子に必要な低抵抗配線を実現化すると同時に熱的に安定した配線構造を持つ半導体素子を提供することである。 30

本発明の他の目的は、高集積化された半導体素子に必要な低抵抗配線を実現化すると同時に熱的に安定した配線構造を形成できる半導体素子の製造方法を提供することである。

#### 【課題を解決するための手段】

#### 【0008】

前記目的を達成するために、本発明による半導体素子は、半導体基板上に形成されたゲート絶縁膜と、前記ゲート絶縁膜上に前記半導体基板側から順に積層された導電性ポリシリコン膜、第1金属シリサイド膜、バリアー膜、及び金属膜から形成されるポリメタルゲート電極と、を備え、前記バリアー膜は、前記第1金属シリサイド膜上に形成されるTiN膜と、前記TiN膜と前記金属膜との間に介在されるバッファ層と、を備える。

#### 【0009】

前記バッファ層は、Ti、Ta、Zr、Hf及びSiから形成される群から選択される少なくとも一つの物質からなる。または、前記バッファ層は、非晶質の第2金属シリサイド膜から形成される。 40

#### 【0010】

前記他の目的を達成するために、本発明による半導体素子の製造方法では、半導体基板上に導電性ポリシリコン膜及び第1金属シリサイド膜を順に形成する。前記第1金属シリサイド膜上にTiN膜及びバッファ層で構成されるバリアー膜を形成する。前記バッファ層上に金属膜を形成する。前記導電性ポリシリコン膜、第1金属シリサイド膜、バリアー膜及び金属膜をパターニングしてゲート電極を形成する。

#### 【発明の効果】

## 【0011】

本発明によれば、ポリメタルゲートのバリアー膜としてTiN膜を使用することによってゲート積層構造の熱安定性を改善でき、バリアー膜として使われるTiN膜と上部の金属膜との間に前記金属膜の粒径を増大させるためのバッファ層を挿入することによって、ワードライン抵抗を低めることができる。このバッファ層として、結晶質の金属膜（例えば、Ti、Ta、Zr、Hf、Siなど）または非晶質の金属シリサイド膜が使われることができる。また、ポリシリコン膜とバリアー膜との間に金属シリサイド膜を挿入することによって、上部の金属膜と下部のポリシリコン膜との界面抵抗を低減させることができる。

## 【発明を実施するための最良の形態】

10

## 【0012】

次いで、本発明の望ましい実施形態について添付図面を参照して詳細に説明する。

図2Aないし図2Dは、本発明の望ましい実施形態による半導体素子の製造方法を説明するために、工程順序によって示す断面図である。

## 【0013】

図2Aを参照すれば、半導体基板100にSTI(Shallow Trench Isolation)方法で素子分離領域102を形成して、前記半導体基板100に活性領域104を画定する。

## 【0014】

その後、前記半導体基板100上にゲート絶縁膜110を形成する。例えば、前記ゲート絶縁膜110は約50 厚さの酸化膜から形成されることができる。 20

前記ゲート絶縁膜110上に導電性ポリシリコン膜120及び第1金属シリサイド膜122を順に形成する。前記導電性ポリシリコン膜120は、約500 ~ 1000 の厚さに形成できる。前記第1金属シリサイド膜122は、約50 の厚さに形成できる。前記第1金属シリサイド膜122は、形成しようとする配線構造でオームコンタクトを形成するために挿入されたものであって、例えば、タングステン(W)シリサイド膜、モリブデン(Mo)シリサイド膜、チタン(Ti)シリサイド膜、タンタル(Ta)シリサイド膜、ハフニウム(Hf)シリサイド膜、またはコバルト(Co)シリサイド膜の少なくともいずれか一つから形成されることができる。前記第1金属シリサイド膜122は、金属(M)に対するシリコン(Si)の原子比(Si/M)が2.0 ~ 10.0である組成を持つように形成できる。 30

## 【0015】

前記第1金属シリサイド膜122上に、TiN膜132及びバッファ層134で構成されるバリアー膜130を形成する。前記TiN膜132及びバッファ層134はそれぞれ形成しようとする配線の設計寸法によってその厚さが変わることができる。例えば、前記TiN膜132は約30 ~ 300 の厚さに形成でき、前記バッファ層134は約10 ~ 200 の厚さに形成できる。また、前記TiN膜132及びバッファ層134は、例えば、PVD(Physical Vapor Deposition:物理蒸着法)、CVD(Chemical Vapor Deposition:化学蒸着法)、またはALD(Atomic Layer Deposition:原子層蒸着法)方法によって形成でき、これら方法のみに制限されるものではない。 40

## 【0016】

望ましくは、前記バッファ層134は、結晶質のTi、Ta、Zr、Hf及びSiから形成される群から選択される少なくとも一つの物質から形成されることができる。また望ましくは、前記バッファ層134は、Wシリサイド膜、Moシリサイド膜、Tiシリサイド膜、Taシリサイド膜、Hfシリサイド膜、またはCoシリサイド膜で構成される非晶質の第2金属シリサイド膜から形成されることができる。

## 【0017】

前記バリアー膜130上に金属膜140を形成する。前記金属膜140は、WまたはMoからなる。

50

前記バリアー膜 130 を構成する前記 TiN 膜 132 は、その粒径が比較的小さくてその構造が柱状構造をなしているのので、その上に直ちに前記金属膜 140 を形成すれば、金属成長が制限されて前記金属膜 140 内での金属粒径が小さくなることがある。これは、前記金属膜 140 のシート抵抗を増大させる結果を招く恐れがある。このような結果を回避するために、本発明では、前記バリアー膜 130 を前記 TiN 膜 132 とそれを覆う前記バッファ層 134 との積層構造で形成したので、前記バッファ層 134 上に前記金属膜 140 が形成される。このような構造では、前記バッファ層 134 によりその上での金属成長が制限されず、したがって、前記金属膜 140 の粒径を大きくすることで、シート抵抗を低減させることができる。

#### 【0018】

10

図 2B を参照すれば、絶縁膜パターン 150、例えば、窒化膜パターンを利用して前記導電性ポリシリコン膜 120、第 1 金属シリサイド膜 122、バリアー膜 130 及び金属膜 140 を異方性ドライエッチング方法によりパターンニングして、前記半導体基板 100 側から導電性ポリシリコン膜パターン 120a、第 1 金属シリサイド膜パターン 122a、バリアー膜パターン 130a 及び金属膜パターン 140a が順に積層されたゲート電極 152 を形成する。前記バリアー膜パターン 130a は、TiN 膜パターン 132a とバッファ層パターン 134a との積層構造で構成される。

#### 【0019】

図 2C を参照すれば、前記ゲート電極 152 の形成のためのエッチング工程時に損傷したゲート絶縁膜 110 を復旧するために選択的酸化工程を実施する。前記選択的酸化工程のために、例えば、約 700 ~ 1100 の温度下で熱処理工程を行なうことができる。その結果、前記ゲート電極 152 中の導電性ポリシリコン膜パターン 120a の側壁に酸化膜 160 が形成され、前記半導体基板 100 の活性領域 104 表面が酸化する。

20

#### 【0020】

図 2D を参照すれば、前記ゲート電極 152 及びこれを覆っている絶縁膜パターン 150 をイオン注入マスクとして利用して、前記半導体基板 100 に低濃度イオン、例えば、N<sup>-</sup> 型または P<sup>-</sup> 型イオンを注入して前記半導体基板 100 内にエクステンション領域（図示せず）を形成した後、前記ゲート電極 152 及び絶縁膜パターン 150 の側壁に絶縁スペーサ 170 を形成する。前記絶縁スペーサ 170 は、例えばシリコン窒化膜から形成される。その後、前記絶縁膜パターン 150 及び絶縁スペーサ 170 をイオン注入マスクとして利用して、前記半導体基板 100 に高濃度イオン、例えば、N<sup>+</sup> 型または P<sup>+</sup> 型イオンを注入して前記半導体基板 100 の活性領域 104 内にソース/ドレイン領域（図示せず）を形成する。

30

#### 【0021】

図 3 は、本発明による半導体素子を形成するために、ゲート電極形成のための配線構造内のバリアー膜を構成する TiN 膜に対して熱に対する安定性を確認した結果を示す SEM イメージである。

より詳細に説明すれば、図 3 には、WN バリアー膜の代わりに TiN バリアー膜を形成したことを除いては、図 1A と同じ構造を持つ積層構造について、約 850 で約 40 分間熱処理した結果得られた断面構造が示されている。図 3 で、バリアー膜として TiN 膜を適用した場合は、ポリシリコン膜（Poly-Si）と W 膜との反応が抑制されて均一な W 膜が観察される。これより、TiN 膜は熱に対する安定性が比較的优秀であって、高温熱処理後にも破壊されずにバリアー特性を維持することが分かる。

40

#### 【0022】

ポリメタルゲート構造でバリアー膜の熱に対する安定性を確保するために、熱に対して安定性が立証された TiN 膜をバリアー膜として適用する場合は、TiN 膜上に金属膜、例えば、W 膜を PVD 方法で形成する時に W の粒径が減少する現象が観察される。その結果、WN バリアー膜を使用する場合に比べて、配線ラインでの抵抗が約 2 倍以上増大して、それを改善する必要がある。

#### 【0023】

50

図4は、導電性ポリシリコン膜上にW膜が形成されたポリメタルゲート構造で、前記ポリシリコン膜とW膜との間に挿入されるバリアー膜の構成物質によってゲート電極のW膜での粒径及び比抵抗を評価した例を示すグラフである。

【0024】

図4の評価のために、半導体基板側からゲート絶縁膜上にポリシリコン、タングステンシリサイド、バリアー膜、及びW膜を順に形成し、前記バリアー膜としてWNを形成した場合(“W/WN”と表示)、前記バリアー膜として半導体基板側からTiN膜及びTi膜を順に形成した場合(“W/Ti/TiN”と表示)、そして、前記バリアー膜としてTiN膜を形成した場合(“W/TiN”と表示)それぞれに対して、W膜での粒径及び比抵抗を測定した。

10

【0025】

図4の結果で分かるように、本発明によってバリアー膜としてTiN膜上にTi膜を形成し、その上に前記金属膜としてW膜を形成した場合、Ti膜上に蒸着されるWの粒径が増大して、W膜での比抵抗がW/WN構造でのWの比抵抗である $15\mu\cdot\text{cm}\sim 20\mu\cdot\text{cm}$ レベルに減少する。

【0026】

図5は、導電性ポリシリコン膜上にW膜が形成されるポリメタルゲート構造で、前記ポリシリコン膜とW膜との間に挿入されるバリアー膜の構成物質によってゲート電極のW膜でのシート抵抗を評価した例を示すグラフである。

図5の評価のために、半導体基板側からゲート絶縁膜上にポリシリコン、タングステンシリサイド、バリアー膜、及びW膜を順に形成し、前記バリアー膜としてWNを形成した場合(“W/WN/WSi/Poly”と表示)、前記バリアー膜として半導体基板側からTiN膜及びタングステンシリサイド膜を順に形成した場合(“W/WSi/TiN/WSi/Poly”と表示)、前記バリアー膜として半導体基板側からTiN膜及びTi膜を順に形成した場合(“W/Ti/TiN/WSi/Poly”と表示)、そして、前記バリアー膜としてTiN膜を形成した場合(“W/TiN/WSi/Poly”と表示)それぞれに対して、W膜でのシート抵抗( $R_s$ )を測定した。

20

【0027】

図5の結果から分かるように、バリアー膜としてTiN膜のみを形成した場合には、W膜での $R_s$ がWN膜をバリアー膜として使用した場合より約2倍以上増大することが分かる。これは、バリアー膜としてTiN膜のみを形成した場合には、TiN膜の真上に蒸着されるWの粒径がTiNの粒径に影響されて小さくなるためである。

30

【0028】

一方、本発明のように、バリアー膜としてTiN膜とタングステンシリサイド膜との積層構造、またはTiN膜とTi膜との積層構造を使用した場合には、W膜での $R_s$ がWN膜をバリアー膜として使用した場合とほぼ同等なレベルまで減少した。これは、TiN膜上に結晶質のTi膜または非晶質のタングステンシリサイド膜を形成した結果であって、W膜が非晶質膜上に形成されることによってW膜内での粒径が増大したためである。したがって、本発明による半導体素子では、ポリメタルゲート構造でポリシリコン膜と金属膜との間に挿入されるバリアー膜として、TiN膜と非晶質の金属シリサイド膜、またはTiN膜と結晶質のTi膜との積層構造を使用することによって、前記TiN膜によって熱安定性を確保すると同時に前記パツファ層によって上部金属膜の粒径を大きくして、熱に対して安定した構造及び低抵抗配線を同時に具現化できる。

40

【0029】

図6は、ポリメタルゲート構造で、バリアー膜の構造及びポリシリコン膜とバリアー膜との間でのタングステンシリサイドコンタクトの存否による、金属膜とポリシリコン膜との界面抵抗変化を評価した結果を示すグラフである。

図6の評価のために、半導体基板側からポリシリコン膜上にWNバリアー膜及びW膜を形成したポリメタルゲート構造(“W/WN/Poly-Si”と表示)と、半導体基板側からポリシリコン膜上にタングステンシリサイド膜、TiN膜及びTi膜が順に積層さ

50

れたバリアー膜、及びW膜を形成したポリメタルゲート構造 (“ W / T i / T i N / W S i x / P o l y - S i ” と表示 ) を形成し、これら各構造についてW膜とポリシリコン膜との界面抵抗変化を測定した。

【 0 0 3 0 】

本発明による構造である W / T i / T i N / W S i x / P o l y - S i 構造では、T i / T i N バリアー膜の下部にタングステンシリサイド膜を挿入することによって、W膜とポリシリコン膜との間にオームコンタクトを形成できるということが分かる。また、T i N 膜上に蒸着された T i 膜により T i N 膜とタングステンシリサイド膜との界面の窒化及び酸化が抑制されて、従来構造である W / W N / P o l y - S i 構造に比べて、W膜とポリシリコン膜との界面抵抗を約  $10^{-3}$  倍以下に低減させることができる。

10

【 0 0 3 1 】

図 7 は、比較例として示したポリメタルゲート構造での金属膜とポリシリコン膜との界面抵抗変化を評価した結果を示すグラフである。

図 7 には、半導体基板側からポリシリコン膜上に W N バリアー膜及び W 膜を形成したポリメタルゲート構造 (“ W / W N / P o l y - S i ” と表示 ) と、半導体基板側からポリシリコン膜上にタングステンシリサイド膜、W N バリアー膜及び W 膜を形成したポリメタルゲート構造 (“ W / W N / W S i x / P o l y - S i ” と表示 ) とに対して測定された W 膜とポリシリコン膜との界面抵抗変化が示されている。

【 0 0 3 2 】

図 7 から分かるように、W N バリアー膜を使用するポリメタルゲート構造では、W N の分解によって発生する N によりシリサイドコンタクトを形成すべく挿入されたタングステンシリサイド膜が窒化されて、W膜とポリシリコン膜との界面にオームコンタクトが形成されない。

20

【 0 0 3 3 】

前記した実験結果から分かるように、本発明によれば、ポリメタルゲートのバリアー膜として T i N 膜を使用することによって、ゲート積層構造の熱安定性を改善でき、バリアー膜として使われる T i N 膜と上部の金属膜との間に前記金属膜の粒径を増大させるためのバッファ層を挿入することによって、ワードライン抵抗を低めることができる。また、ポリシリコン膜とバリアー膜との間に金属シリサイド膜を挿入することによって、上部の金属膜と下部のポリシリコン膜との界面抵抗を従来の構造に比べて約  $10^{-3}$  倍以下に低減させることができる。したがって、 $100\text{ nm}$  以下のデザインルールを持つ高集積半導体素子でパフォーマンスを顕著に改善できる。

30

【 0 0 3 4 】

以上、本発明を望ましい実施形態を挙げて詳細に説明したが、本発明は、前記実施形態に限定されず、本発明の技術的思想及び範囲内で当業者によりいろいろな変形及び変更が可能である。

【産業上の利用可能性】

【 0 0 3 5 】

本発明は、半導体素子の関連技術分野に好適に用いられる。

【図面の簡単な説明】

40

【 0 0 3 6 】

【図 1 A】従来技術によるポリメタルゲート構造で、バリアー膜として W N を使用した場合の熱処理前の S E M イメージである。

【図 1 B】従来技術によるポリメタルゲート構造で、バリアー膜として W N を使用した場合の熱処理後の S E M イメージである。

【図 2 A】本発明の望ましい実施形態による半導体素子の製造方法を説明するために、工程順序によって示す断面図である。

【図 2 B】本発明の望ましい実施形態による半導体素子の製造方法を説明するために、工程順序によって示す断面図である。

【図 2 C】本発明の望ましい実施形態による半導体素子の製造方法を説明するために、工

50



程順序によって示す断面図である。

【図 2 D】本発明の望ましい実施形態による半導体素子の製造方法を説明するために、工程順序によって示す断面図である。

【図 3】本発明による半導体素子であるゲート電極のバリアー膜を構成する T i N 膜に対して熱に対する安定性を確認した結果を示す S E M イメージである。

【図 4】ポリメタルゲート構造で、バリアー膜の構成物質によってゲート電極の W 膜での粒径及び比抵抗を評価した例を示すグラフである。

【図 5】ポリメタルゲート構造で、バリアー膜の構成物質によってゲート電極の W 膜でのシート抵抗を評価した例を示すグラフである。

【図 6】ポリメタルゲート構造で、バリアー膜の構造及びタングステンシリサイドコンタクトの存否による金属膜とポリシリコン膜との界面抵抗変化を評価した結果を示すグラフである。

【図 7】比較例として示したポリメタルゲート構造での金属膜とポリシリコン膜との界面抵抗変化を評価した結果を示すグラフである。

【符号の説明】

【 0 0 3 7 】

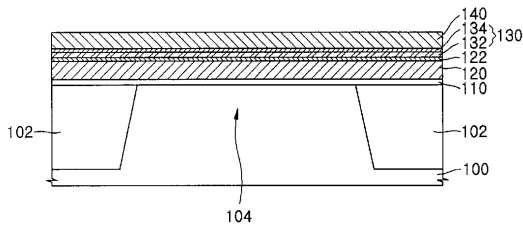
1 0 0 半導体基板  
 1 0 2 素子分離領域  
 1 0 4 活性領域  
 1 1 0 ゲート絶縁膜  
 1 2 0 導電性ポリシリコン膜  
 1 2 0 a 導電性ポリシリコン膜パターン  
 1 2 2 第 1 金属シリサイド膜  
 1 2 2 a 第 1 金属シリサイド膜パターン  
 1 3 0 バリアー膜  
 1 3 0 a バリアー膜パターン  
 1 3 2 T i N 膜  
 1 3 2 a T i N 膜パターン  
 1 3 4 バッファ層  
 1 3 4 a バッファ層パターン  
 1 4 0 金属膜  
 1 4 0 a 金属膜パターン  
 1 5 0 絶縁膜パターン  
 1 5 2 ゲート電極  
 1 7 0 絶縁スペーサ

10

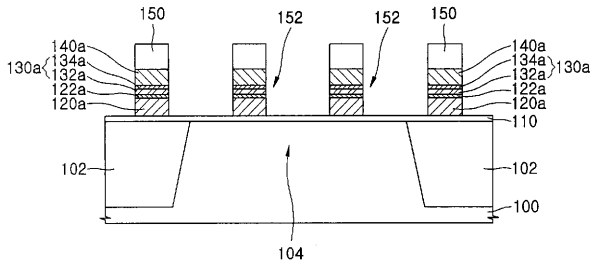
20

30

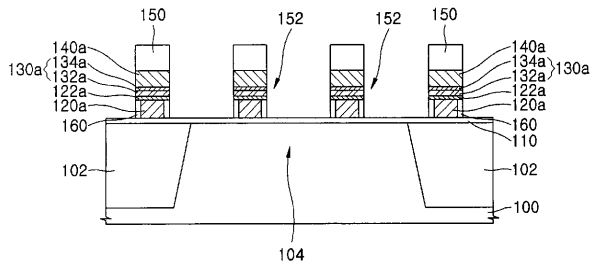
【図 2 A】



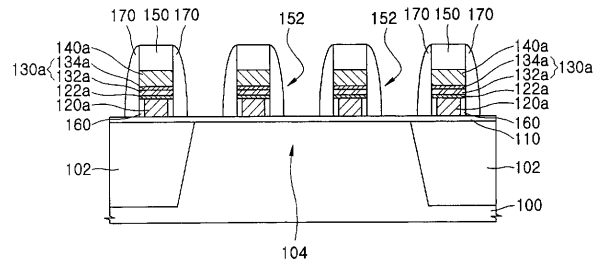
【図 2 B】



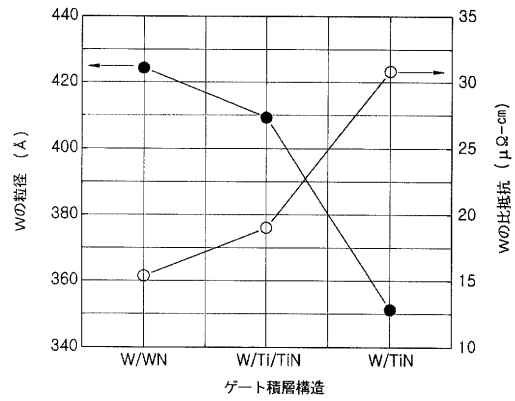
【図 2 C】



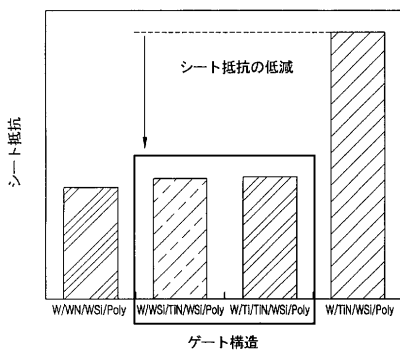
【図 2 D】



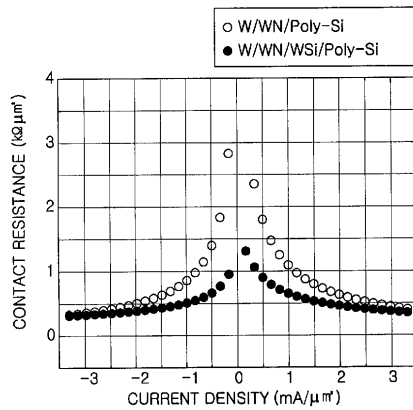
【図 4】



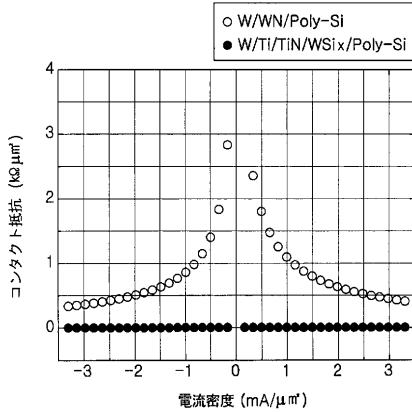
【図 5】



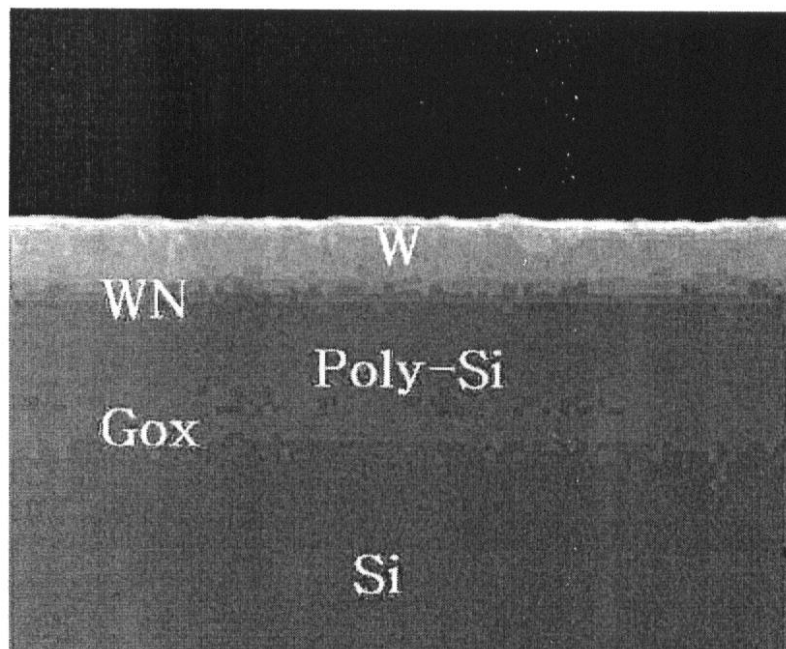
【図 7】



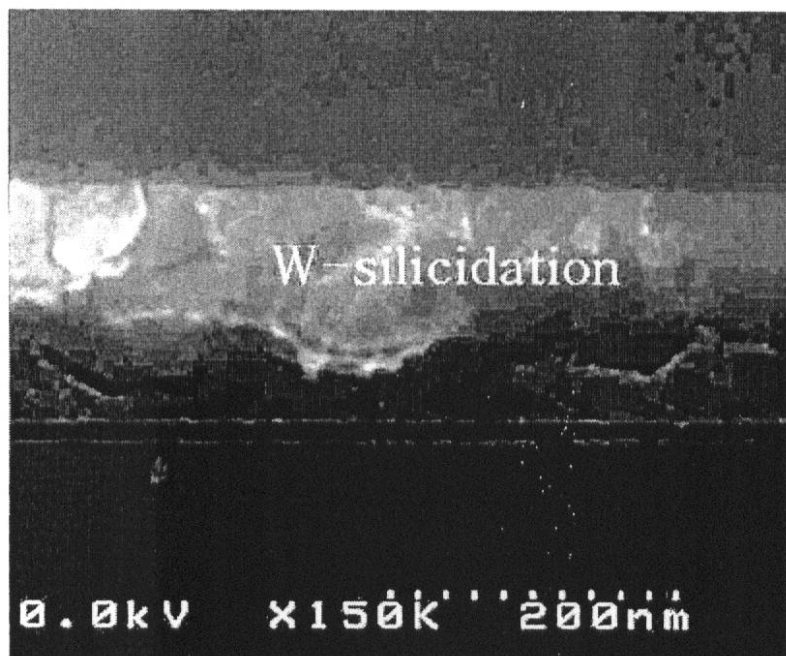
【図 6】



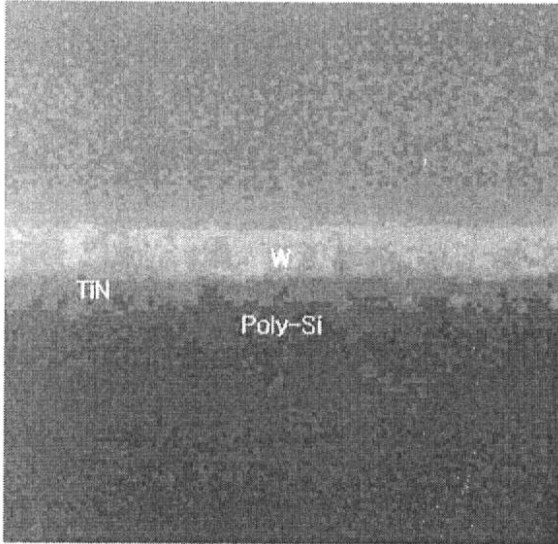
【図 1 A】



【図 1 B】



【図 3】



---

フロントページの続き

(72)発明者 李 炳學

大韓民国京畿道水原市勸善區勸善洞 2 7 4 番地 新東亞大願アパート 5 0 2 棟 1 0 0 3 號

(72)発明者 林 東燦

大韓民国京畿道龍仁市器興邑農書里山 7 - 1 番地 三星電子器興工場男子寄宿舍月桂樹洞 4 3 4 號

(72)発明者 崔 吉鉉

大韓民国ソウル特別市江南區大峙 1 洞 6 3 3 番地 青室アパート 1 5 棟 8 0 2 號

(72)発明者 朴 嬉淑

大韓民国ソウル特別市中區新堂 3 洞 3 6 6 - 7 5 番地 永東ハイツビラ - A 棟 1 0 1 號

F ターム(参考) 4M104 BB01 BB13 BB14 BB16 BB17 BB18 BB20 BB24 BB25 BB26

BB27 BB28 BB30 BB37 BB38 CC05 DD78 DD86 FF13 GG09

GG10 GG14 HH16

5F140 AA01 BF04 BF18 BF22 BF24 BF27 BF28 BF30 BG08 BG14

BG28 BG30 BG49 BH14 BK02 BK13 CB04