(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2012-0060480
(43) 공개일자 2012년06월12일

(51) 국제특허분류(Int. Cl.)
H01L 27/115 (2006.01) *H01L 21/8247* (2006.01)
(21) 출원번호 10-2010-0122005
(22) 출원일자 2010년12월02일
심사청구일자 없음

(71) 출원인
삼성전자주식회사
경기도 수원시 영통구 삼성로 129 (매탄동)
(72) 발명자
손병근
경기도 수원시 영통구 청명북로 81, 404동 2004호 (영통동)
이창현
경기도 수원시 영통구 태장로82번길 32, 동수원엘지빌리지1차 102동 1108호 (망포동)
(74) 대리인
리앤목특허법인

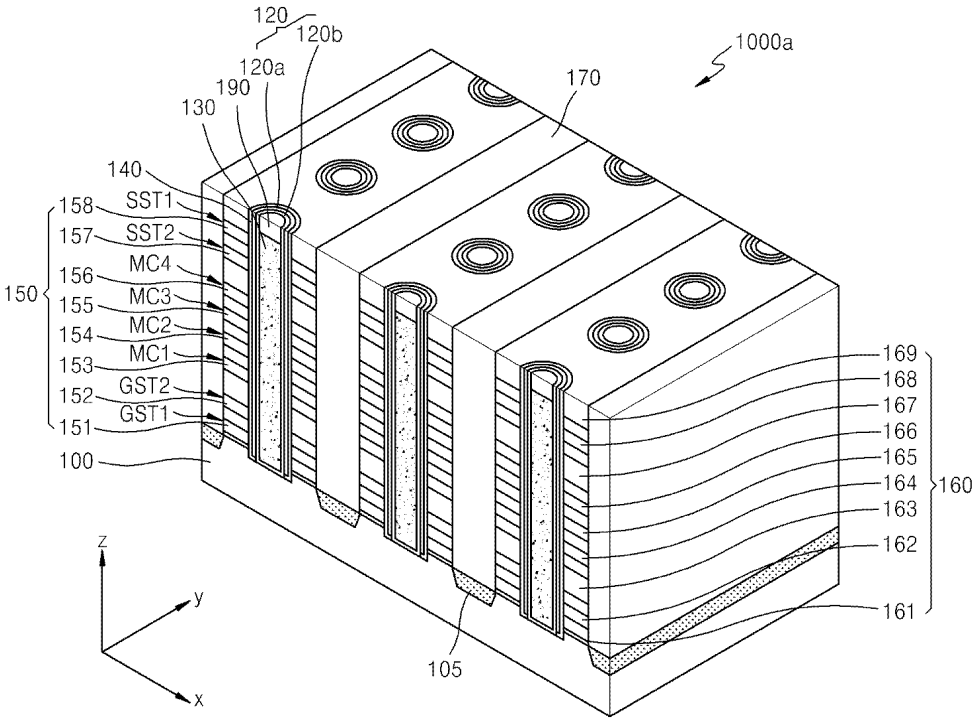
전체 청구항 수 : 총 10 항

(54) 발명의 명칭 **수직 구조의 비휘발성 메모리 소자, 반도체 소자 및 시스템**

(57) 요 약

수직 채널 구조의 비휘발성 메모리 소자가 제공된다. 본 발명의 일 실시예에 따른 비휘발성 메모리 소자는, 기판 상으로 수직 신장하고, 불순물을 포함하는 채널 영역; 채널 영역의 외측벽을 따라서 기판 상으로 수직 신장하고, 복수의 메모리 셀들 및 복수의 메모리 셀들의 일측에 배치된 적어도 하나의 선택 트랜지스터를 포함하며 서로 인접하는 복수의 메모리 셀 스트링들; 및 채널 영역의 내측에 위치하고, 불순물을 포함하는 불순물 제공층;을 포함한다.

대 표 도



특허청구의 범위

청구항 1

기판 상으로 수직 신장하고, 불순물을 포함하는 채널 영역;

상기 채널 영역의 외측벽을 따라서 상기 기판 상으로 수직 신장하고, 복수의 메모리 셀들 및 상기 복수의 메모리 셀들의 일측에 배치된 적어도 하나의 선택 트랜지스터를 포함하며 서로 인접하는 복수의 메모리 셀 스트링들; 및

상기 채널 영역의 내측에 위치하고, 불순물을 포함하는 불순물 제공층;

을 포함하는 수직 구조의 비휘발성 메모리 소자.

청구항 2

제1 항에 있어서,

상기 불순물 제공층은 불순물이 도핑된 절연성 물질 또는 불순물이 도핑된 반도체 물질을 포함하는 것을 특징으로 하는 수직 구조의 비휘발성 메모리 소자.

청구항 3

제1 항에 있어서,

상기 채널 영역은 제1 불순물 농도를 가지며, 상기 불순물 제공층은 상기 제1 불순물 농도보다 높은 제2 불순물 농도를 가지는 것을 특징으로 하는 수직 구조의 비휘발성 메모리 소자.

청구항 4

제1 항에 있어서,

상기 채널 영역은 상기 기판과 전기적으로 연결되는 것을 특징으로 하는 수직 구조의 비휘발성 메모리 소자.

청구항 5

제1 항에 있어서,

상기 채널 영역 및 상기 불순물 제공층의 사이에 위치한 확산 제어층을 더 포함하는 것을 특징으로 하는 수직 구조의 비휘발성 메모리 소자.

청구항 6

제5 항에 있어서,

상기 확산 제어층은 상기 불순물 제공층으로부터 상기 채널 영역으로 확산되는 불순물의 확산 속도를 감소시키는 것을 특징으로 하는 수직 구조의 비휘발성 메모리 소자.

청구항 7

제1 항에 있어서,

상기 불순물 제공층은 PSG(PhosphoSilicate Glass), BSG(BoroSilicate Glass) 또는 도핑된 폴리 실리콘 중 어느 하나를 포함하는 것을 특징으로 하는 수직 구조의 비휘발성 메모리 소자.

청구항 8

제1 항에 있어서,

상기 메모리 셀 스트링의 일단에 연결된 비트 라인; 및

상기 비트 라인 반대편에서 상기 메모리 셀 스트링의 타단에 연결된 공통 소스 라인을 더 포함하는 것을 특징으로 하는 수직 구조의 비휘발성 메모리 소자.

청구항 9

제1 항에 있어서,

상기 복수의 메모리 셀들 및 상기 적어도 하나의 선택 트랜지스터는 상기 복수의 채널 영역들의 측벽 상의 게이트 유전막 및 게이트 전극을 포함하는 것을 특징으로 하는 수직 구조의 비휘발성 메모리 소자.

청구항 10

제9 항에 있어서,

상기 게이트 유전막은, 상기 채널 영역으로부터 순차적으로 적층된 터널링 절연층, 전하 저장층 및 블록킹 절연층을 포함하는 것을 특징으로 하는 수직 구조의 비휘발성 메모리 소자.

명 세 서

기 술 분 야

[0001] 본 발명의 기술적 사상은 수직 구조의 비휘발성 메모리 소자에 관한 것으로서, 더욱 상세하게는, 집적도 증가를 위해 수직 채널 구조를 가지는 비휘발성 메모리 소자에 관한 것이다.

배 경 기 술

[0002] 전자 제품은 그 부피가 점점 작아지면서도 고용량의 데이터 처리를 요하고 있다. 이에 따라, 이러한 전자 제품에 사용되는 반도체 메모리 소자의 집적도를 증가시킬 필요가 있다. 반도체 메모리 소자의 집적도를 향상시키기 위한 방법들 중 하나로서, 기존의 평면 트랜지스터 구조 대신 수직 트랜지스터 구조를 가지는 비휘발성 메모리 소자가 제안되고 있다.

발명의 내용

해결하려는 과제

[0003] 본 발명의 기술적 사상이 이루고자 하는 기술적 과제는, 메모리 셀 스트링의 전류 특성을 제어할 수 있으며 신뢰성이 향상된 수직 구조의 비휘발성 메모리 소자를 제공하는 것이다.

[0004] 본 발명의 기술적 사상이 이루고자 하는 다른 기술적 과제는, 트랜지스터의 전류 특성을 제어할 수 있으며 신뢰성이 향상된 반도체 소자를 제공하는 것이다.

[0005] 본 발명의 기술적 사상이 이루고자 하는 또 다른 기술적 과제는, 상기 비휘발성 메모리 소자를 포함하는 시스템을 제공하는 것이다.

과제의 해결 수단

[0006] 본 발명의 일 형태에 따른 수직 구조의 비휘발성 메모리 소자가 제공된다. 상기 수직 구조의 비휘발성 메모리 소자는, 기판 상으로 수직 신장하고, 불순물을 포함하는 채널 영역; 상기 채널 영역의 외측벽을 따라서 상기 기판 상으로 수직 신장하고, 복수의 메모리 셀들 및 상기 복수의 메모리 셀들의 일측에 배치된 적어도 하나의 선택 트랜지스터를 포함하며 서로 인접하는 복수의 메모리 셀 스트링들; 및 상기 채널 영역의 내측에 위치하고, 불순물을 포함하는 불순물 제공층;을 포함한다.

[0007] 본 발명의 일부 실시예들에서, 상기 불순물 제공층은 불순물이 도핑된 절연성 물질 또는 불순물이 도핑된 반도체 물질을 포함할 수 있다.

[0008] 본 발명의 일부 실시예들에서, 상기 불순물 제공층은 불순물이 도핑된 반도체 물질을 포함하고, 상기 채널 영역은 상기 불순물 제공층을 통하여 상기 기판과 전기적으로 연결될 수 있다.

[0009] 본 발명의 일부 실시예들에서, 상기 채널 영역은 제1 불순물 농도를 가지며, 상기 불순물 제공층은 상기 제1 불순물 농도보다 높은 제2 불순물 농도를 가질 수 있다.

[0010] 본 발명의 일부 실시예들에서, 상기 제1 불순물 농도는 10^{18} /cm^3 내지 10^{19} /cm^3 이며, 상기 제2 불순물 농도

는 10^{19} /cm^3 내지 10^{21} /cm^3일 수 있다.

[0011] 본 발명의 일부 실시예들에서, 상기 채널 영역은 상기 기판과 전기적으로 연결될 수 있다.

[0012] 본 발명의 일부 실시예들에서, 상기 불순물은 열처리에 의해 상기 채널 영역으로 확산될 수 있는 3족 또는 5족 원소일 수 있다.

[0013] 본 발명의 일부 실시예들에서, 상기 채널 영역 및 상기 불순물 제공층의 사이에 위치한 확산 제어층을 더 포함할 수 있다.

[0014] 본 발명의 일부 실시예들에서, 상기 확산 제어층은 상기 불순물 제공층으로부터 상기 채널 영역으로 확산되는 불순물의 확산 속도를 감소시킬 수 있다.

[0015] 본 발명의 일부 실시예들에서, 상기 채널 영역은 상기 확산 제어층을 통하여 상기 기판과 전기적으로 연결될 수 있다.

[0016] 본 발명의 일부 실시예들에서, 상기 불순물 제공층은 PSG(PhosphoSilicate Glass), BSG(BoroSilicate Glass) 또는 도핑된 폴리 실리콘 중 어느 하나를 포함할 수 있다.

[0017] 본 발명의 일부 실시예들에서, 상기 메모리 셀 스트링의 일단에 연결된 비트 라인; 및 상기 비트 라인 반대편에서 상기 메모리 셀 스트링의 타단에 연결된 공통 소스 라인을 더 포함할 수 있다.

[0018] 본 발명의 일부 실시예들에서, 상기 공통 소스 라인은 서로 인접한 상기 메모리 셀 스트링들 사이의 상기 기판 상에 수직하게 형성될 수 있다.

[0019] 본 발명의 일부 실시예들에서, 직렬로 연결된 한 쌍의 상기 선택 트랜지스터들이 상기 비트 라인 및 상기 복수의 메모리 셀들 사이에 배치될 수 있다.

[0020] 본 발명의 일부 실시예들에서, 상기 복수의 메모리 셀들 및 상기 적어도 하나의 선택 트랜지스터는 상기 복수의 채널 영역들의 측벽 상의 게이트 유전막 및 게이트 전극을 포함할 수 있다.

[0021] 본 발명의 일부 실시예들에서, 상기 게이트 유전막은, 상기 채널 영역으로부터 순차적으로 적층된 터널링 절연층, 전하 저장층 및 블록킹 절연층을 포함할 수 있다.

[0022] 본 발명의 일 형태에 따른 반도체 소자가 제공된다. 상기 반도체 소자는, 채널 영역을 포함하는 트랜지스터; 상기 채널 영역의 일측에 위치하고, 상기 채널 영역으로 제공하기 위한 불순물을 포함하는 불순물 제공층;을 포함한다.

[0023] 본 발명의 일부 실시예들에서, 상기 불순물 제공층은 불순물이 도핑된 절연성 물질 또는 불순물이 도핑된 반도체 물질을 포함할 수 있다.

[0024] 본 발명의 일부 실시예들에서, 상기 채널 영역은 제1 불순물 농도를 가지며, 상기 불순물 제공층은 상기 제1 불순물 농도보다 높은 제2 불순물 농도를 가질 수 있다.

[0025] 본 발명의 일 형태에 따른 시스템이 제공된다. 상기 시스템은, 상기 수직 구조의 비휘발성 메모리 소자를 포함하는 메모리; 상기 메모리와 버스를 통해서 통신하는 프로세서; 및 상기 버스와 통신하는 입출력 장치를 포함한다.

발명의 효과

[0026] 본 발명의 기술적 사상에 의한 수직 구조의 비휘발성 메모리 소자에 따르면, 메모리 셀 스트링의 메모리 셀 및 선택 트랜지스터들의 문턱 전압을 제어함으로써, 메모리 셀 스트링의 전류 특성을 제어할 수 있다. 이에 의해, 신뢰성이 향상된 비휘발성 메모리 소자의 제조가 가능하게 된다.

도면의 간단한 설명

[0027] 도 1은 본 발명의 일 실시예에 따른 비휘발성 메모리 소자의 메모리 셀 어레이의 등가회로도이다.

도 2는 본 발명의 다른 실시예에 따른 비휘발성 메모리 소자의 메모리 셀 스트링의 등가회로도이다.

도 3은 본 발명의 제1 실시예에 따른 비휘발성 메모리 소자의 메모리 셀 스트링들의 3차원 구조를 나타내는 개략적인 사시도이다.

도 4a 내지 도 4h는 도 3의 비휘발성 메모리 소자의 제조 방법을 설명하기 위한 단면도들이다.

도 5는 본 발명의 제2 실시예에 따른 비휘발성 메모리 소자의 메모리 셀 스트링들의 3차원 구조를 나타내는 개략적인 사시도이다.

도 6은 본 발명의 제3 실시예에 따른 비휘발성 메모리 소자의 메모리 셀 스트링들의 3차원 구조를 나타내는 개략적인 사시도이다.

도 7은 본 발명의 제4 실시예에 따른 비휘발성 메모리 소자의 메모리 셀 스트링들의 3차원 구조를 나타내는 개략적인 사시도이다.

도 8a 내지 도 8f는 도 7의 비휘발성 메모리 소자의 제조 방법을 설명하기 위한 단면도들이다.

도 9는 본 발명의 제5 실시예에 따른 비휘발성 메모리 소자의 메모리 셀 스트링들의 3차원 구조를 나타내는 개략적인 사시도이다.

도 10은 본 발명의 제6 실시예에 따른 비휘발성 메모리 소자의 메모리 셀 스트링들의 3차원 구조를 나타내는 개략적인 사시도이다.

도 11a 및 도 11b는 본 발명의 일 실시예에 따른 비휘발성 메모리 소자의 HTS(hot temperature stress) 특성을 보여주는 시뮬레이션 결과들이다.

도 12는 본 발명의 다른 실시예에 따른 비휘발성 메모리 소자의 개략적인 블록 다이어그램이다.

도 13은 본 발명의 일 실시예에 따른 메모리 카드를 보여주는 개략도이다.

도 14는 본 발명의 일 실시예에 따른 전자 시스템을 보여주는 블록도이다.

발명을 실시하기 위한 구체적인 내용

[0028] 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예를 상세히 설명하기로 한다. 본 발명의 실시예들은 당해 기술 분야에서 통상의 지식을 가진 자에게 본 발명을 더욱 완전하게 설명하기 위하여 제공되는 것이며, 하기 실시예는 여러 가지 다른 형태로 변형될 수 있으며, 본 발명의 범위가 하기 실시예에 한정되는 것은 아니다. 오히려, 이들 실시예는 본 개시를 더욱 충실하고 완전하게 하고, 당업자에게 본 발명의 사상을 완전하게 전달하기 위하여 제공되는 것이다.

[0029] 도면들에 있어서, 예를 들면, 제조 기술 및/또는 공차(tolerance)에 따라, 도시된 형상의 변형들이 예상될 수 있다. 따라서, 본 발명의 실시예는 본 명세서에 도시된 영역의 특정 형상에 제한된 것으로 해석되어서는 아니 되며, 예를 들면 제조상 초래되는 형상의 변화를 포함하여야 한다. 나아가, 도면에서의 다양한 요소와 영역은 개략적으로 그려진 것이다. 따라서, 본 발명은 첨부한 도면에 그려진 상대적인 크기나 간격에 의해 제한되지 않는다.

[0030] 도 1은 본 발명의 일 실시예에 따른 비휘발성 메모리 소자의 메모리 셀 어레이의 등가회로도이다. 도 1에는 수직 채널 구조를 가지는 수직 구조의 낸드(NAND) 플래시 메모리 소자의 등가회로도가 예시된다.

[0031] 도 1을 참조하면, 메모리 셀 어레이(10)는 복수의 메모리 셀 스트링(string)(11)을 포함할 수 있다. 복수의 메모리 셀 스트링(11)은 각각 기판(미도시)의 주면의 연장 방향(즉, x 및 y 방향)에 대한 수직 방향(즉, z 방향)으로 연장되어 있는 수직 구조를 가질 수 있다. 복수의 메모리 셀 스트링(11)에 의해 메모리 셀 블록(13)이 구성될 수 있다.

[0032] 복수의 메모리 셀 스트링(11)은 각각 복수의 메모리 셀(MC1 - MCn), 스트링 선택 트랜지스터(SST), 및 접지 선택 트랜지스터(GST)를 구비할 수 있다. 각각의 메모리 셀 스트링(11)에서 접지 선택 트랜지스터(GST), 복수의 메모리 셀(MC1 - MCn) 및 스트링 선택 트랜지스터(SST)가 수직으로(즉, z 방향으로) 직렬 배치될 수 있다. 여기서, 복수의 메모리 셀(MC1 - MCn)은 데이터를 저장할 수 있다. 복수의 워드 라인(WL1 - WLn)은 각각의 메모리 셀(MC1 - MCn)에 결합되어 이들에 결합된 메모리 셀(MC1 - MCn)을 제어할 수 있다. 복수의 메모리 셀(MC1 - MCn)의 수는 반도체 메모리 소자의 용량에 따라서 적절하게 선택될 수 있다.

[0033] 메모리 셀 블록(13)의 제1 내지 제m 열(column)에 배열되는 메모리 셀 스트링(11)의 일측, 예컨대, 스트링 선택 트랜지스터(SST)의 드레인(drain)측에는 각각 x 방향으로 연장되는 복수의 비트 라인(BL1 - BLm)이 연결될 수 있다. 또한, 각 메모리 셀 스트링(11)의 타측, 예컨대, 접지 선택 트랜지스터(GST)의 소스(source)측에는

공통 소스 라인(CSL)이 연결될 수 있다.

[0034] 복수의 메모리 셀 스트링들(11)의 복수의 메모리 셀들(MC1 - MCn) 중 동일 층에 배열된 메모리 셀들(MC1 - MCn)의 각 게이트들에는 y 방향으로 연장되는 워드 라인(WL1 - WLn)이 공통적으로 연결될 수 있다. 워드 라인(WL1 - WLn)의 구동에 따라 복수의 메모리 셀(MC1 - MCn)에 데이터를 프로그래밍, 독출 또는 소거할 수 있다.

[0035] 각각의 메모리 셀 스트링(11)에서 스트링 선택 트랜지스터(SST)는 비트 라인(BL1 - BLm)과 메모리 셀(MC1 - MCn)과의 사이에 배열될 수 있다. 메모리 셀 블록(13)에서 각각의 스트링 선택 트랜지스터(SST)는 이의 게이트에 연결되는 스트링 선택 라인(SSL)에 의해 복수의 비트 라인(BL1 - BLm)과 복수의 메모리 셀(MC1 - MCn)과의 사이에서의 데이터 전송을 제어할 수 있다.

[0036] 접지 선택 트랜지스터(GST)는 복수의 메모리 셀(MC1 - MCn)과 공통 소스 라인(CSL) 사이에 배열될 수 있다. 메모리 셀 블록(13)에서 각각의 접지 선택 트랜지스터(GST)는 이의 게이트에 각각 연결되는 접지 선택 라인(GSL)에 의해 상기 복수의 메모리 셀(MC1 - MCn)과 공통 소스 라인(CSL) 사이에서의 데이터 전송을 제어할 수 있다.

[0037] 도 2는 본 발명의 다른 실시예에 따른 비휘발성 메모리 소자의 메모리 셀 스트링의 등가회로도이다. 도 2에는 수직 채널 구조를 가지는 수직 구조의 낸드 플래시 메모리 소자에 포함된 1 개의 메모리 셀 스트링(11A)의 등가회로도가 예시되어 있다.

[0038] 도 2에 있어서, 도 1에서와 동일한 참조 부호는 동일 요소를 의미한다. 따라서, 여기서는 이들에 대한 상세한 설명은 생략한다.

[0039] 도 1에는 스트링 선택 트랜지스터(SST)가 단일의 트랜지스터로 구성되는 경우를 도시하였다. 그러나, 도 2의 실시예에서는 도 1의 스트링 선택 트랜지스터(SST) 대신 비트 라인(BL)과 메모리 셀(MC1 - MCn) 사이에 직렬로 배열된 한 쌍의 트랜지스터로 이루어지는 스트링 선택 트랜지스터(SST1, SST2)가 배열되어 있다. 이 경우, 스트링 선택 트랜지스터(SST1, SST2) 각각의 게이트에는 스트링 선택 라인(SSL)이 공통적으로 연결될 수 있다. 여기서, 스트링 선택 라인(SSL)은 도 1의 제1 스트링 선택 라인(SSL1) 또는 제2 스트링 선택 라인(SSL2)에 대응할 수 있다.

[0040] 또한, 도 1에는 접지 선택 트랜지스터(GST)가 단일의 트랜지스터로 구성되는 경우를 도시하였다. 그러나, 도 2의 실시예에서는 접지 선택 트랜지스터(GST) 대신 복수의 메모리 셀 (MC1 - MCn)과 공통 소스 라인(CSL)과의 사이에 직렬로 배열된 한 쌍의 트랜지스터로 이루어지는 접지 선택 트랜지스터(GST1, GST2)가 배열될 수 있다. 이 경우, 접지 선택 트랜지스터(GST1, GST2) 각각의 게이트에는 접지 선택 라인(GSL)이 공통적으로 연결될 수 있다. 접지 선택 라인(GSL)은 도 1의 제1 접지 선택 라인(GSL1) 또는 제2 접지 선택 라인(GSL2)에 대응할 수 있다.

[0041] 비트 라인(BL)은 도 1의 비트 라인 (BL1 - BLm)중 어느 하나에 대응할 수 있다.

[0042] 도 3은 본 발명의 제1 실시예에 따른 비휘발성 메모리 소자의 메모리 셀 스트링들의 3차원 구조를 나타내는 개략적인 사시도이다.

[0043] 도 3에서는 도 1의 메모리 셀 스트링을 구성하는 일부 구성요소는 생략되어 도시되어 있을 수 있다. 예컨대, 메모리 셀 스트링 중 비트 라인은 생략되어 있다.

[0044] 도 3을 참조하면, 비휘발성 메모리 소자(1000a)는, 기판(100) 상에 배치된 채널 영역(120) 및 상기 채널 영역(120)의 측벽을 따라 배치된 복수의 메모리 셀 스트링들을 포함한다. 복수의 메모리 셀 스트링들은, y 방향으로 배열된 채널 영역(120)의 측면을 따라 y 방향으로 배열될 수 있다. 도 3에 도시된 바와 같이, 채널 영역(120)의 측면을 따라 기판(100)으로부터 z 방향으로 연장되는 메모리 셀 스트링(11 또는 11A)(도 1 및 도 2 참조)이 배열될 수 있다. 각 메모리 셀 스트링(11 또는 11A)은 2개의 접지 선택 트랜지스터(GST1, GST2), 다수의 메모리 셀(MC1, MC2, MC3, MC4), 및 2개의 스트링 선택 트랜지스터(SST1, SST2)를 포함할 수 있다.

[0045] 상기 기판(100)은 x 방향과 y 방향으로 연장되는 주면(main surface)을 가지는 기판(100)을 포함할 수 있다. 상기 기판(100)은 반도체 물질, 예컨대 Ⅳ족 반도체, Ⅲ-Ⅴ족 화합물 반도체 또는 Ⅱ-Ⅵ족 산화물 반도체를 포함할 수 있다. 예를 들어, Ⅳ족 반도체는 실리콘, 게르마늄 또는 실리콘-게르마늄을 포함할 수 있다. 상기 기판(100)은 벌크 웨이퍼 또는 에피택셜층으로 제공될 수도 있다.

[0046] 기둥 형상의 채널 영역(120)이 상기 기판(100)상에 z 방향으로 연장되도록 배치될 수 있다. 상기 채널 영역

(120)은 제1 채널층(120a) 및 제2 채널층(120b)을 포함한다. 상기 채널 영역(120)은 x 방향과 y 방향으로 이격하여 배치될 수 있다. 상기 채널 영역(120)은 예를 들어, 환형(annular)으로 형성될 수 있다. 상기 제2 채널층(120b)은 저면에서 기판(100)과 직접 접촉되어 전기적으로 연결될 수 있다. 상기 채널 영역(120)은 폴리 실리콘 또는 단결정 실리콘과 같은 반도체 물질을 포함할 수 있으며, 상기 반도체 물질은 p-형 또는 n-형 불순물을 포함할 수 있다.

[0047] 불순물 제공층(130)이 상기 채널 영역(120)의 내측에 위치할 수 있다. 상기 불순물 제공층(130)은 상기 채널 영역(120)에 불순물을 제공하기 위하여 3족 또는 5족 원소와 같은 불순물을 포함한 절연 물질로 이루어질 수 있다. 상기 불순물은 예를 들어, n-형 불순물인 인(P), 비소(As), 안티몬(Sb) 또는 p-형 불순물인 보론(B), 알루미늄(Al), 갈륨(Ga), 아연(Zn)일 수 있다. 예를 들어, 상기 불순물 제공층(130)은 PSG(PhosphoSilicate Glass) 또는 BSG(BoroSilicate Glass)를 포함할 수 있다. 상기 불순물 제공층(130)은 상기 채널 영역(120)보다 높은 불순물 농도를 가질 수 있으며, 상기 불순물은 상기 비휘발성 메모리 소자(1000a)의 제조 과정에서 가해지는 열에 의해 상기 채널 영역(120)으로 확산될 수 있다.

[0048] 도전층(190)이 상기 불순물 제공층(130)의 상면을 덮고 상기 채널 영역(120)과 전기적으로 연결되도록 형성될 수 있다. 상기 도전층(190)은 도핑된 폴리 실리콘을 포함할 수 있다. 상기 도전층(190)은 스트링 선택 트랜지스터(SST1, SST2)의 드레인 영역으로 작용할 수 있다.

[0049] x 방향으로 배열된 제1 스트링 선택 트랜지스터들(SST1)은 상기 도전층(190)을 통해 비트 라인(BL)(도 1 참조)에 공통적으로 연결될 수 있다. 상기 비트 라인(미도시)은 x 방향으로 연장되는 라인 형상의 패턴으로 이루어질 수 있으며, 상기 도전층(190) 상에 형성된 콘택 전극(미도시)을 통해 전기적으로 연결될 수 있다. 또한, x 방향으로 배열된 제1 접지 선택 트랜지스터들(GST1)은 각각 이들에 인접한 불순물 영역(105)에 전기적으로 연결될 수 있다.

[0050] 불순물 영역들(105)이 상기 기판(100)의 주면에 인접하여 y 방향으로 연장되면서 x 방향으로 이격하여 배열될 수 있다. 상기 불순물 영역은(105) x 방향으로 상기 채널 영역(120) 사이마다 하나씩 배열될 수 있다. 상기 불순물 영역(105)은 소스 영역이 될 수 있고, 기판(100)의 다른 영역과 PN 접합을 형성할 수 있다. 도 1 및 도 2의 공통 소스 라인(CSL)은 도시되지 않은 영역 상에서 상기 불순물 영역(105)과 연결될 수 있다. 상기 불순물 영역(105)은 기판(100)의 주면에 인접하고 중앙에 위치하는 고농도 불순물 영역(미도시), 및 상기 고농도 불순물 영역의 양 단에 배치되는 저농도 불순물 영역(미도시)을 포함할 수 있다. 상기 불순물 영역들(105) 상에는 절연 영역(170)이 형성될 수 있다.

[0051] 상기 절연 영역(170)은 상기 채널 영역(120)들 사이에 형성될 수 있다. 즉, 상기 절연 영역(170)은 서로 다른 채널 영역(120)을 사용하는 인접한 메모리 셀 스트링의 사이에 형성될 수 있다.

[0052] 복수의 게이트 전극들(151-158: 150)이 상기 채널 영역(120)의 측면을 따라 기판(100)으로부터 z 방향으로 이격하여 배열될 수 있다. 상기 게이트 전극들(150)은 각각 접지 선택 트랜지스터(GST1, GST2), 다수의 메모리 셀(MC1, MC2, MC3, MC4), 및 스트링 선택 트랜지스터(SST1, SST2)의 게이트일 수 있다. 상기 게이트 전극들(150)은 y 방향으로 배열된 인접한 메모리 셀 스트링에 공통으로 연결될 수 있다. 스트링 선택 트랜지스터(SST1, SST2)의 게이트 전극(157, 158)은 스트링 선택 라인(SSL)(도 1 참조)에 연결될 수 있다. 메모리 셀들(MC1, MC2, MC3, MC4)의 게이트 전극들(153, 154, 155, 156)은 워드 라인들(WL1, WL2, WLn-1, WLn)(도 1 및 도 2 참조)에 연결될 수 있다. 접지 선택 트랜지스터(GST1, GST2)의 게이트 전극(151, 152)은 접지 선택 라인(GSL)(도 1 참조)에 연결될 수 있다. 상기 게이트 전극들(150)은 금속막, 예컨대 텅스텐(W)을 포함할 수 있다. 또한, 도시되지는 않았지만, 게이트 전극들(150)은 확산 방지막(diffusion barrier)(미도시)을 더 포함할 수 있으며, 예컨대, 상기 확산 방지막은 텅스텐 질화물(WN), 탄탈륨 질화물(TaN) 또는 티타늄 질화물(TiN)로부터 선택되는 어느 하나를 포함할 수 있다.

[0053] 게이트 유전막(140)이 채널 영역(120)과 게이트 전극들(150) 사이에 배치될 수 있다. 도 3에 구체적으로 도시되지 않았으나 게이트 유전막(140)은 채널 영역(120)으로부터 차례로 적층된 터널링 절연층, 전하 저장층, 및 블록킹 절연층을 포함할 수 있다.

[0054] 상기 터널링 절연층은 F-N 방식으로 전하를 전하 저장층으로 터널링시킬 수 있다. 상기 터널링 절연층은 예를 들어, 실리콘 산화물을 포함할 수 있다. 상기 전하 저장층은 전하 트랩층 또는 플로팅 게이트 도전막일 수 있다. 예컨대, 상기 전하 저장층은 양자 도트(quantum dots) 또는 나노 크리스탈(nanocrystals)을 포함할 수 있다. 여기서, 상기 양자 도트 또는 나노 크리스탈은 도전체, 예를 들면 금속 또는 반도체의 미세 입자들로 구성될 수 있다. 상기 블록킹 절연층은 고유전율(high-k) 유전물을 포함할 수 있다. 여기서, 고유전율

유전물이란 산화막보다 높은 유전 상수(dielectric constant)를 갖는 유전물을 의미한다.

[0055] 복수의 층간 절연층들(161-169: 160)이 상기 게이트 전극들(150)의 사이에 배열될 수 있다. 상기 층간 절연층들(160)도 게이트 전극들(150)과 마찬가지로 z 방향으로 서로 이격되고 y 방향으로 연장되도록 배열될 수 있다. 상기 층간 절연층들(160)의 일 측면은 게이트 유전막(140)과 접촉될 수 있다. 상기 층간 절연층들(160)은 실리콘 산화물 또는 실리콘 질화물을 포함할 수 있다.

[0056] 도 3에서, 메모리 셀들(MC1, MC2, MC3, MC4)은 4개가 배열되는 것으로 도시되어 있지만, 이는 예시적이며 반도체 메모리 소자(1000a)의 용량에 따라 더 많거나 더 적은 수의 메모리 셀들이 배열될 수도 있다. 또한, 메모리 셀 스트링들의 스트링 선택 트랜지스터(SST1, SST2) 및 접지 선택 트랜지스터(GST1, GST2)는 각각 한 쌍으로 배열되어 있다. 그러나, 본 발명은 이러한 형태로 한정되지 않으며, 도 1에 도시된 메모리 셀 스트링의 스트링 선택 트랜지스터(SST) 및 접지 선택 트랜지스터(GST)와 같이 각각 하나씩 존재할 수도 있다. 또한, 상기 스트링 선택 트랜지스터(SST) 및 접지 선택 트랜지스터(GST)은 메모리 셀들(MC1, MC2, MC3, MC4)과 상이한 구조를 가질 수도 있다.

[0057] 본 실시예와 같은 3차원 수직 구조의 비휘발성 메모리 소자(1000a)는, 채널 영역(120)의 높은 종횡비(aspect ratio)로 인하여, 채널 영역(120)에 이온 주입(implantation)에 의한 균일한 불순물 도핑(doping)이 어려운 경우라도, 불순물 제공층(130)에 의해 채널 영역(120)으로 불순물이 제공될 수 있다. 따라서, 메모리 셀 및 선택 트랜지스터들의 문턱 전압의 제어가 용이하며, 이에 따라 예컨대 셀 스트링 전류 특성과 같은 메모리 셀 스트링의 특성의 제어가 가능하게 된다.

[0058] 도 4a 내지 도 4h는 도 3의 비휘발성 메모리 소자의 제조 방법을 설명하기 위한 단면도들로서 공정 순서에 따라서 도 3의 사시도를 y 방향에서 바라본 단면도들이다.

[0059] 도 4a를 참조하면, 기판(100) 상에 복수의 희생층들(181-188: 180) 및 복수의 층간 절연층들(161-169: 160)이 교대로 적층된다. 희생층들(180)과 층간 절연층들(160)은 도시된 바와 같이 제1 층간 절연층(161)을 시작으로 기판(100) 상에 서로 교대로 적층될 수 있다. 희생층들(180)은 층간 절연층들(160)에 대해 식각 선택성을 가지고 식각될 수 있는 물질로 형성될 수 있다. 즉, 희생층들(180)은, 희생층들(180)을 식각하는 공정에서, 층간 절연층들(160)의 식각을 최소화하면서 식각될 수 있는 물질로 형성될 수 있다. 이러한 식각 선택성(etch selectivity)은 층간 절연층(160)의 식각 속도에 대한 희생층(180)의 식각 속도의 비율을 통해 정량적으로 표현될 수 있다. 예를 들면, 층간 절연층(160)은 실리콘 산화막 및 실리콘 질화막 중의 적어도 한가지일 수 있고, 희생층(180)은 실리콘막, 실리콘 산화막, 실리콘 카바이드 및 실리콘 질화막 중에서 선택되는 층간 절연층(160)과 다른 물질일 수 있다.

[0060] 일 실시예에 따르면, 도시된 바와 같이, 상기 층간 절연층들(160)의 두께는 모두 동일하지 않을 수 있다. 상기 층간 절연층들(160) 중 최하부의 제1 층간 절연층(161)은 얇은 두께로 형성되고, 제3 층간 절연층(163) 및 제7 층간 절연층(167)은 두껍게 형성될 수 있다. 하지만, 층간 절연층들(160) 및 희생층들(180)의 두께는 도시된 것으로부터 다양하게 변형될 수 있으며, 층간 절연층들(160) 및 희생층들(180)을 구성하는 막들의 층수 역시 다양하게 변형될 수 있다.

[0061] 도 4b를 참조하면, 서로 교대로 적층된 층간 절연층들(160) 및 희생층들(180)을 관통하는 제1 개구부들(Ta)이 형성될 수 있다. 상기 제1 개구부들(Ta)은 z 방향의 깊이를 가지는 홀(hole) 형태일 수 있다. 또한, 제1 개구부들(Ta)은 x 방향 및 y 방향(도 3 참조)으로 이격되어 형성된 고립 영역일 수 있다.

[0062] 제1 개구부들(Ta)을 형성하는 단계는 서로 교대로 적층된 층간 절연층들(160) 및 희생층들(180) 상에 제1 개구부들(Ta)의 위치를 정의하는 소정의 마스크 패턴을 형성하는 단계, 및 이를 식각 마스크로 사용하여 층간 절연층들(160) 및 희생층들(180)을 이방성 식각하는 단계를 포함할 수 있다. 두 종류의 서로 다른 막들을 포함한 구조를 식각하기 때문에, 상기 복수의 제1 개구부들(Ta)의 측벽은 상기 기판(100)의 상부면에 완전하게 수직하지 않을 수 있다. 예를 들면, 상기 기판(100)의 상부면에 가까울수록, 상기 제1 개구부들(Ta)의 폭은 감소될 수 있다.

[0063] 상기 제1 개구부(Ta)는 도시된 바와 같이 기판(100)의 상부면을 노출시키도록 형성될 수 있다. 이에 더하여, 상기 이방성 식각 단계에서 과도식각(over-etch)의 결과로서, 도시된 바와 같이 제1 개구부(Ta) 아래의 기판(100)은 소정의 깊이로 리세스(recess)될 수 있다.

[0064] 도 4c를 참조하면, 제1 개구부들(Ta)의 내벽들 및 하부면을 균일하게 덮는 게이트 유전막(140) 및 제1 채널층(120a)을 형성할 수 있다.

[0065] 상기 게이트 유전막(140)은 블록킹 절연층(146), 전하 저장층(144) 및 터널링 절연층(142)을 포함할 수 있다. 따라서, 상기의 순서로 제1 개구부들(Ta) 내부에 적층될 수 있다. 상기 블록킹 절연층(146), 전하 저장층(144) 및 터널링 절연층(142)은 원자층 증착(Atomic Layer Deposition, ALD), 화학 기상 증착(Chemical Vapor Deposition, CVD) 또는 물리 기상 증착(Physical Vapor Deposition, PVD)을 이용하여 형성될 수 있다.

[0066] 다음으로 제1 채널층(120a)이 ALD 또는 CVD를 사용하여 형성될 수 있다. 상기 제1 채널층(120a)은 소정의 두께로 형성될 수 있으며, 예컨대 채널 영역(120, 도 3 참조) 두께의 절반 이하의 두께로 형성될 수 있다.

[0067] 도 4d를 참조하면, 제1 개구부들(Ta) 저면의 게이트 유전막(140) 및 제1 채널층(120a)을 식각하여 기판(100)을 노출시킨다. 상기 식각 공정은 제1 채널층(120a)을 이방성 식각하고, 하면이 식각된 스페이서(spacer) 형태의 제1 채널층(120a)을 이용하여 상기 게이트 유전막(140)을 식각하는 공정을 포함할 수 있다. 도시되지 않았으나, 상기 이방성 식각 단계에서 과도식각의 결과로서, 제1 개구부(Ta) 아래의 기판(100)은 추가적으로 소정의 깊이로 리세스될 수도 있다.

[0068] 선택적으로, 상기 이방성 식각 공정은 게이트 유전막(140)이 형성된 후, 상기 제1 채널층(120a)을 형성하기 전에 수행될 수도 있다. 이 경우, 상기 제1 채널층(120a)이 기판(100)과 접하도록 형성되며, 상기 제2 채널층(120b)의 형성은 생략될 수 있다.

[0069] 다음으로, 제1 개구부들(Ta)의 내벽들 및 저면을 균일하게 덮는 제2 채널층(120b)을 형성할 수 있다. 상기 제2 채널층(120b)은 상기 제1 채널층(120a)과 동일한 물질일 수 있으며, 예컨대, 도핑되지 않은 폴리 실리콘 또는 단결정 실리콘과 같은 반도체 물질을 포함할 수 있다. 상기 제2 채널층(120b)은 기판(100)과 접하도록 형성되어, 기판(100)과 전기적으로 연결될 수 있다. 상기 제2 채널층(120b)은 제1 채널층(120a)과 함께 채널 영역(120)을 이룰 수 있다. 상기 채널 영역(120)은 본 공정 단계에서는 불순물이 포함되지 않은 상태일 수 있으나, 후속의 공정을 통해 불순물을 포함할 수 있게 된다.

[0070] 도 4e를 참조하면, 제1 개구부들(Ta)를 매립하는 불순물 제공층(130)을 형성할 수 있다. 상기 불순물 제공층(130)은 상기 채널 영역(120)에 불순물을 제공하기 위하여 3족 또는 5족 원소와 같은 불순물을 포함한 절연물질로 이루어질 수 있다. 상기 불순물은 예를 들어, n-형 불순물인 인(P), 비소(As), 안티몬(Sb) 또는 p-형 불순물인 보론(B), 알루미늄(Al), 갈륨(Ga), 아연(Zn)일 수 있다. 예를 들어, 상기 불순물 제공층(130)은 PSG(PhosphoSilicate Glass) 또는 BSG(BoroSilicate Glass)를 포함할 수 있다. 불순물 제공층(130)은 예컨대 10^{16} /cm^3 내지 10^{21} /cm^3 의 불순물 농도를 가질 수 있다. 변형된 실시예에서, 상기 불순물 제공층(130)의 형성 전에, 상기 채널 영역(120)에 대한 이온 주입 공정을 수행함으로써 일차적으로 상기 채널 영역(120) 내에 불순물이 포함되도록 할 수 있다.

[0071] 다음으로, 최상부의 제9 층간 절연층(169)을 덮고 있는 불필요한 반도체 물질 및 절연 물질을 제거하기 위해 제9 층간 절연층(169)이 노출될 때까지 평탄화 공정, 예컨대, 화학적 기계적 연마(Chemical Mechanical Polishing, CMP) 또는 에치백(etch-back) 공정을 수행할 수 있다.

[0072] 식각 공정 등을 이용하여 불순물 제공층(130)의 상부를 일부분 제거하여, 상기 제거된 위치에 도전층(190)을 형성하기 위한 도전성 물질을 증착할 수 있다. 다시, 평탄화 공정을 수행함으로써, 불순물 제공층(130) 상에 배치되고 채널 영역(120)에 연결되는 도전층(190)이 형성될 수 있다. 그 후, 제9 절연층(169) 상에 식각 방지막(191)을 형성할 수 있다.

[0073] 상기 불순물 제공층(130)이 포함하고 있는 불순물은 후속의 제조 공정 중에, 고온의 공정들이 수행되는 동안 채널 영역(120)으로 확산될 수 있다. 또는, 불순물 제공층(130)의 형성 후, 별도의 열처리 공정을 수행하여 불순물이 확산되도록 할 수도 있다. 상기 열처리 공정은 예컨대 600 ℃ 내지 1200 ℃의 온도에서 수 초 내지 수십 분간 수행될 수 있다.

[0074] 도 4f를 참조하면, 기판(100)을 노출하는 제2 개구부(Tb)를 형성할 수 있다. 상기 제2 개구부(Tb)는 y 방향(도 3 참조)으로 연장될 수 있다. 상기 제2 개구부(Tb)를 형성하는 단계는 제2 개구부(Tb)가 정의되는 식각 마스크를 형성하는 단계, 및 기판(100)의 상부면이 노출될 때까지 상기 식각 마스크 아래의 층간 절연층들(160) 및 희생층들(180)을 이방성 식각하는 단계를 포함할 수 있다.

[0075] 일 실시예에 따르면, 도시된 바와 같이, 제2 개구부들(Tb)은 채널 영역들(120) 사이마다 하나씩 형성될 수 있다. 그러나, 본 발명의 기술적 사상이 이러한 실시예로 한정되는 것은 아니며, 채널 영역(120) 및 제2 개구부(Tb)의 상대적 배치는 달라질 수 있다.

[0076] 다음으로, 제2 개구부들(Tb)을 통해 노출된 희생층들(180)(도 4e 참조)을 선택적으로 제거한다. 복수의 희생층들(180)이 제거됨으로써 복수의 층간 절연층(160) 각각의 사이에는 제2 개구부(Tb)와 연통되며 기판(100)에 수평한 형태의 복수의 터널들(Lt)이 형성되고, 상기 터널들(Lt)을 통해 게이트 유전막(140)의 일부 측벽들이 노출될 수 있다.

[0077] 상기 터널(Lt)들을 형성하는 단계는 층간 절연층들(160)에 대해 식각 선택성을 갖는 식각 레서피를 사용하여 희생층들(180)을 수평적으로 식각하는 단계를 포함할 수 있다. 예를 들면, 희생층들(180)이 실리콘 질화막이고 층간 절연층들(160)이 실리콘 산화막인 경우, 상기 수평적 식각 단계는 인산을 포함하는 식각제를 사용하여 수행될 수 있다. 상기 식각하는 단계는 습식 식각 또는 CDE(chemical dry etch)를 포함하는 등방성 식각 공정일 수 있다.

[0078] 도 4g를 참조하면, 도 4f의 제2 개구부(Tb) 및 터널(Lt)을 도전성 물질로 매립할 수 있다. 그 후, 상기 도전성 물질을 식각하여 상기 제2 개구부(Tb)와 실질적으로 폭과 위치가 동일한 상기 제3 개구부(Tc)를 형성하여 기판(100)을 노출할 수 있다. 이를 통해, 채널 영역(120)을 둘러싸는 복수의 게이트 전극들(151-158: 150)이 형성될 수 있다.

[0079] 불순물을 상기 제3 개구부(Tc)를 통해 기판(100)에 주입함으로써 기판(100)의 상부면에 인접하며 y 방향(도 3 참조)으로 연장되는 불순물 영역(105)이 형성될 수 있다. 상기 불순물은 N+형 불순물들을 이온 주입하여 형성한 고농도 불순물 영역(105)일 수 있다. 상기 불순물 영역(105)을 형성하는 공정은 반드시 본 공정 단계에서 행해지는 것은 아니며, 필요에 따라 그 전 또는 후의 다른 공정 단계에서 행해질 수도 있다.

[0080] 도 4h를 참조하면, 제3 개구부(Tc)를 매립하는 절연 영역(170)을 형성할 수 있다. 절연 영역(170)은 층간 절연층(160)과 동일한 물질로 이루어질 수도 있다. 상기 절연 영역(170)은 절연 물질의 증착 및 평탄화 공정에 의해 형성될 수 있다.

[0081] 다음으로, 도전층(190) 상에 식각 방지층(191)을 관통하는 비트 라인 콘택 플러그(195)가 형성될 수 있다. 상기 비트 라인 콘택 플러그(195)는 포토 리소그래피 공정 및 식각 공정을 이용하여 형성될 수 있다. x 방향으로 배열된 상기 비트 라인 콘택 플러그(195)들을 연결하는 비트 라인(193)이 식각 방지층(191) 및 절연 영역(170)상에 형성될 수 있다. 상기 비트 라인(193)도 포토 리소그래피 공정 및 식각 공정을 이용하여 라인 형상으로 형성될 수 있다.

[0082] 도 5는 본 발명의 제2 실시예에 따른 비휘발성 메모리 소자의 메모리 셀 스트링들의 3차원 구조를 나타내는 개략적인 사시도이다.

[0083] 도 3에서와 동일한 참조 부호는 동일 부재를 나타내며, 따라서 여기서는 이들에 대한 상세한 설명은 생략한다. 도 5를 참조하면, 비휘발성 메모리 소자(1000b)는 채널 영역(120)의 내측에 배치된 불순물 제공층(130) 및 매립 절연층(135)을 포함할 수 있다. 상기 채널 영역(120)은 불순물 제공층(130)을 통해 기판(100)과 전기적으로 연결될 수 있다.

[0084] 상기 불순물 제공층(130)은 도 3의 실시예와 달리, 불순물을 포함하는 반도체 물질, 예컨대 도핑된 폴리 실리콘으로 이루어질 수 있다. 또한, 상기 채널 영역(120)의 내측을 매립하지 않을 정도의 두께로 형성될 수 있다. 통상적인 공정으로 형성된 도핑된 폴리 실리콘은 확산되기 전에 약 10^{20} /cm^3의 불순물 농도를 갖는다. 따라서 채널 영역(120)의 불순물 농도를 원하는 농도, 예컨대 약 10^{19} /cm^3 또는 그 이하의 농도로 형성하려는 경우, 상기 불순물 제공층(130)으로부터 채널 영역(120)으로 불순물이 확산되도록 할 수 있다. 채널 영역(120)으로 확산되는 불순물의 양은 불순물 제공층(130)의 두께 및 열처리 시간에 의해 제어될 수 있다. 열처리 시간에 의해 제어하는 경우, 불순물은 후속의 고온 공정으로 인해 확산될 수 있으나, 확산되는 불순물의 양이 부족한 경우 추가적인 열처리 공정을 도입하여 채널 영역(120) 내의 불순물의 농도를 제어할 수 있다.

[0085] 상기 매립 절연층(135)은 상기 불순물 제공층(130)의 내부를 매립하며, 절연 물질을 포함할 수 있다. 선택적으로, 상기 매립 절연층(135)도 불순물을 포함하는 절연 물질로 형성될 수 있다.

[0086] 상기 불순물 제공층(130) 및 매립 절연층(135)은 도 4d를 참조하여 상술한 제조 공정에서, 게이트 유전막(140) 및 채널 영역(120)을 형성한 후, 이방성 식각 공정을 수행하고, 다음으로 불순물 제공층(130) 및 매립 절연층(135)을 형성함으로써 제조될 수 있다.

[0087] 또한, 본 실시예의 비휘발성 메모리 소자(1000b)는, 공통 소스 라인(110)이 불순물 영역(105) 상에 z 방향으로 연장되고 상기 불순물 영역(105)과 오믹 콘택(ohmic contact)하도록 배열될 수 있다. 상기 공통 소스 라

인(110)은, x 방향으로 인접한 2개의 채널 영역들(120) 측면의 메모리 셀 스트링들의 접지 선택 트랜지스터들(GST1, GST2)에 소스 영역을 제공할 수 있다. 상기 공통 소스 라인(110)은 불순물 영역(105)을 따라 y 방향으로 연장될 수 있다. 상기 공통 소스 라인(110)은 도전성 물질을 포함할 수 있다. 예를 들어, 상기 공통 소스 라인(110)은 텅스텐(W), 알루미늄(Al) 또는 구리(Cu)로부터 선택되는 적어도 하나의 금속 물질을 포함할 수 있다. 도 5에 도시되지는 않았지만, 상기 불순물 영역(105)과 공통 소스 라인(110) 사이에는 접촉 저항을 낮추기 위한 실리사이드(silicide)층이 개재될 수 있다. 상기 실리사이드층(미도시)은 메탈 실리사이드층, 예컨대 코발트 실리사이드층을 포함할 수 있다.

[0088] 상기 불순물 영역(105)이 기판(100)과 반대의 도전형을 갖는 경우, 불순물 영역(105)은 접지 선택 트랜지스터들(GST1, GST2)의 소스 영역일 수 있다. 또는, 상기 불순물 영역(105)이 기판(100)과 동일한 도전형을 갖는 경우, 상기 공통 소스 라인(110)은 메모리 셀 블록 단위의 소거 동작을 위한 포켓 P 웰(pocket P well) 콘택으로 작동할 수도 있다. 이 경우, 상기 포켓 P 웰 콘택 전극을 통해 고전압이 기판(100)에 인가됨으로써, 기판(100)의 해당 메모리 셀 블록 내의 모든 메모리 셀에 저장된 데이터는 소거될 수 있다.

[0089] 상기 공통 소스 라인(110)은 도 4h를 참조하여 상술한 제조 방법에서, 절연 영역(170)을 형성한 후 제3 개구부(Tc)의 측벽에 스페이서 절연 영역(170')를 형성하고 공통 소스 라인(110)을 이루는 도전성 물질을 증착함으로써 형성할 수 있다. 스페이서 절연 영역(170')은 절연성 물질을 제3 개구부 (Tc)에 매립한 후 이방성 식각을 수행함으로써 형성될 수 있다. 상기 이방성 식각에 의해 기판(100)이 과도 식각됨으로써 기판(100)은 리세스될 수도 있다. 다음으로, 도전성 물질의 증착 공정 및 에치백 공정과 같은 식각 공정을 추가하여 상기 공통 소스 라인(110)을 형성할 수 있다.

[0090] 본 실시예의 비휘발성 메모리 소자(1000b)에 따르면, 도핑된 반도체 물질을 포함하는 불순물 제공층(130)을 사용함하여 채널 영역(120)에 불순물을 공급함으로써, 원하는 농도의 불순물 농도를 가지는 채널 영역(120)을 형성할 수 있다.

[0091] 도 6은 본 발명의 제3 실시예에 따른 비휘발성 메모리 소자의 메모리 셀 스트링들의 3차원 구조를 나타내는 개략적인 사시도이다.

[0092] 도 3 및 도 5에서와 동일한 참조 부호는 동일 부재를 나타내며, 따라서 여기서는 이들에 대한 상세한 설명은 생략한다. 도 6을 참조하면, 비휘발성 메모리 소자(1000c)는 도 3의 실시예와 달리, 채널 영역(120) 및 불순물 제공층(130)의 사이에 배치된 확산 제어층(125)을 더 포함할 수 있다. 상기 채널 영역(120)은 확산 제어층(125)을 통해 기판(100)과 전기적으로 연결될 수 있다. 변형된 실시예에서, 상기 채널 영역(120)은 도 3의 실시예와 같이 두 개 이상의 채널층을 포함할 수 있으며, 이 경우 확산 제어층(125)을 통하지 않고 직접 기판(100)과 연결될 수 있다.

[0093] 상기 확산 제어층(125)은 불순물 제어층(130)으로부터 채널 영역(120)으로 확산되는 불순물의 양을 제어하기 위해 배치된다. 상기 확산 제어층(125)은 채널 영역(120)의 불순물 농도를 원하는 농도로 형성하기 위해서 불순물의 확산을 저지 또는 가속하는 역할을 할 수 있다. 상기 확산 제어층(125)은 예컨대, 확산 방지막(diffusion barrier)으로 작용하여, 불순물의 확산 속도를 감소시킬 수 있다. 상기 확산 제어층(125)은 예를 들어, 텅스텐 질화물(WN), 탄탈륨 질화물(TaN) 또는 티타늄 질화물(TiN)로부터 선택되는 어느 하나를 포함할 수 있다.

[0094] 상기 불순물 제공층(130)은 3족 또는 5족 원소와 같은 불순물을 포함한 절연 물질로 이루어질 수 있다. 예를 들어, 상기 불순물 제공층(130)은 PSG 또는 BSG를 포함할 수 있다. 변형된 실시예에서, 상기 불순물 제공층(130)은 불순물을 포함하는 반도체 물질, 예컨대 도핑된 폴리 실리콘으로 이루어질 수도 있다.

[0095] 상기 확산 제어층(125)은 도 4d를 참조하여 상술한 제조 공정에서, 게이트 유전막(140) 및 채널 영역(120)을 형성한 후, 불순물 제공층(130)의 형성 전에 확산 제어층(125)을 형성하는 물질을 증착함으로써 형성될 수 있다.

[0096] 또한, 본 실시예의 비휘발성 메모리 소자(1000c)는, 공통 소스 라인(110)이 도 5의 실시예에서와 같이, 불순물 영역(105) 상에 z 방향으로 연장되고 상기 불순물 영역(105)과 오믹 콘택하도록 배열될 수 있다.

[0097] 또한, 본 실시예에서는, 도 3 및 도 5의 실시예들과 달리 y 방향으로 배열된 채널 영역들(120) 사이에는 이들을 절연시키기 위한 절연층들(175)이 배열될 수 있다. 따라서, 하나의 채널 영역(120)의 x 방향의 양 측면을 따라 z 방향으로 연장되는 2개의 메모리 셀 스트링이 배열될 수 있다.

[0098] 본 실시예의 비휘발성 메모리 소자(1000c)에 따르면, 추가의 확산 제어층(125)을 불순물 제공층(130) 및 채널

영역(120) 사이에 배치함으로써, 확산되는 불순물의 양을 용이하게 조절할 수 있다.

[0099] 도 7은 본 발명의 제4 실시예에 따른 비휘발성 메모리 소자의 메모리 셀 스트링들의 3차원 구조를 나타내는 개략적인 사시도이다.

[0100] 도 7에서는 도 1의 메모리 셀 스트링을 구성하는 일부 구성요소는 생략되어 도시되어 있을 수 있다. 예컨대, 메모리 셀 스트링 중 비트 라인은 생략되어 있다.

[0101] 도 7을 참조하면, 비휘발성 메모리 소자(2000a)는, 기판(200) 상에 배치된 채널 영역(220) 및 상기 채널 영역(220)의 측벽을 따라 배치된 복수의 메모리 셀 스트링들을 포함한다.

[0102] 상기 기판(200)은 x 방향과 y 방향으로 연장되는 주면(main surface)을 가지는 기판(200)을 포함할 수 있다. 상기 기판(200)은 반도체 물질, 예컨대 Ⅳ족 반도체, Ⅲ-Ⅴ족 화합물 반도체 또는 Ⅱ-Ⅵ족 산화물 반도체를 포함할 수 있다. 예를 들어, Ⅳ족 반도체는 실리콘, 게르마늄 또는 실리콘-게르마늄을 포함할 수 있다. 상기 기판(200)은 벌크 웨이퍼 또는 에피택셜층으로 제공될 수도 있다.

[0103] 기둥 형상의 채널 영역(220)이 상기 기판(200)상에 z 방향으로 연장되도록 배치될 수 있다. 상기 채널 영역(220)은 x 방향과 y 방향으로 이격하여 배치될 수 있다. 상기 채널 영역(220)은 예를 들어, 환형(annular)으로 형성될 수 있다. 상기 채널 영역(220)은 저면에서 기판(200)과 직접 접촉되어 전기적으로 연결될 수 있다. 상기 채널 영역(220)은 폴리 실리콘 또는 단결정 실리콘과 같은 반도체 물질을 포함할 수 있으며, 상기 반도체 물질은 p-형 또는 n-형 불순물을 포함할 수 있다.

[0104] 불순물 제공층(230)이 채널 영역(220)의 내측에 위치할 수 있다. 상기 불순물 제공층(230)은 상기 채널 영역(220)에 불순물을 제공하기 위하여 3족 또는 5족 원소와 같은 불순물을 포함한 절연 물질로 이루어질 수 있다. 상기 불순물은 예를 들어, n-형 불순물인 인(P), 비소(As), 안티몬(Sb) 또는 p-형 불순물인 보론(B), 알루미늄(Al), 갈륨(Ga), 아연(Zn)일 수 있다. 예를 들어, 상기 불순물 제공층(230)은 PSG 또는 BSG를 포함할 수 있다. 상기 불순물 제공층(230)은 상기 채널 영역(220)보다 높은 불순물 농도를 가질 수 있으며, 상기 불순물은 상기 비휘발성 메모리 소자(2000a)의 제조 과정에서 가해지는 열에 의해 상기 채널 영역(220)으로 확산될 수 있다.

[0105] 도전층(290)이 상기 불순물 제공층(230)의 상면을 덮고 상기 채널 영역(220)과 전기적으로 연결되도록 형성될 수 있다. 상기 도전층(290)은 도핑된 폴리 실리콘을 포함할 수 있다. 상기 도전층(290)은 스트링 선택 트랜지스터(SST)의 드레인 영역으로 작용할 수 있다.

[0106] x 방향으로 배열된 선택 트랜지스터들(SST)은 상기 도전층(290)을 통해 비트 라인(BL)(도 1 참조)에 공통적으로 연결될 수 있다. 상기 비트 라인(미도시)은 x 방향으로 연장되는 라인 형상의 패턴으로 이루어질 수 있으며, 상기 도전층(290) 상에 형성된 콘택 전극(미도시)을 통해 전기적으로 연결될 수 있다. 또한, x 방향으로 배열된 접지 선택 트랜지스터들(GST)은 각각 이들에 인접한 불순물 영역(205)에 전기적으로 연결될 수 있다.

[0107] 불순물 영역들(205)이 상기 기판(200)의 주면에 인접하여 y 방향으로 연장되면서 x 방향으로 이격하여 배열될 수 있다. 상기 불순물 영역은(205) x 방향으로 상기 채널 영역(220) 사이마다 하나씩 배열될 수 있다. 상기 불순물 영역(205)은 소스 영역이 될 수 있고, 기판(200)의 다른 영역과 PN 접합을 형성할 수 있다. 도 1 및 도 2의 공통 소스 라인(CSL)은 도시되지 않은 영역 상에서 상기 불순물 영역(205)과 연결될 수 있다. 상기 불순물 영역들(205) 상에는 절연 영역(270)이 형성될 수 있다.

[0108] 상기 절연 영역(270)은 상기 채널 영역(220)들 사이에 형성될 수 있다. 즉, 상기 절연 영역(270)은 서로 다른 채널 영역(220)을 사용하는 인접한 메모리 셀 스트링의 사이에 형성될 수 있다.

[0109] 복수의 게이트 전극들(251-256: 250)이 상기 채널 영역(220)의 x 방향의 양 측면을 따라 기판(200)으로부터 z 방향으로 이격하여 배열될 수 있다. 상기 게이트 전극들(250)은 각각 접지 선택 트랜지스터(GST), 다수의 메모리 셀(MC1, MC2, MCn-1, MCn), 및 스트링 선택 트랜지스터(SST)의 게이트일 수 있다. 상기 게이트 전극들(250)은 y 방향으로 배열된 인접한 메모리 셀 스트링에 공통으로 연결될 수 있다.

[0110] 게이트 유전막(240)이 채널 영역(220)과 게이트 전극들(250) 사이에 배치될 수 있다. 상기 게이트 유전막(240)은 게이트 전극들(250)의 상면과 하면을 덮도록 배치될 수 있다. 또한, 채널 영역(220)과 접촉되지 않은 층간 절연층들(260)의 일 측면을 덮도록 배치될 수 있다. 상기 게이트 유전막(240)은 도 7에 도시되지 않았으나 채널 영역(220)으로부터 차례로 적층된 터널링 절연층, 전하 저장층, 및 블록킹 절연층을 포함할 수 있다.

[0111] 복수의 층간 절연층들(261-266: 260)이 상기 게이트 전극들(250)의 사이에 배열될 수 있다. 상기 층간 절연층들(260)도 게이트 전극들(250)과 마찬가지로 z 방향으로 서로 이격되고 y 방향으로 연장되도록 배열될 수 있다. 상기 층간 절연층들(260)의 일 측면은 게이트 유전막(240)과 접촉될 수 있다. 상기 층간 절연층들(260)은 실리콘 산화물 또는 실리콘 질화물을 포함할 수 있다.

[0112] 본 실시예와 같은 3차원 수직 구조의 비휘발성 메모리 소자(2000a)는, 채널 영역(220)의 높은 종횡비로 인하여, 채널 영역(220)에 이온 주입에 의한 균일한 불순물 도핑이 어려운 경우라도, 불순물 제공층(230)에 의해 채널 영역(220)으로 불순물이 제공될 수 있다. 따라서, 메모리 셀 및 선택 트랜지스터들의 문턱 전압의 제어가 용이하며, 이에 따라 예컨대 셀 스트링 전류 특성과 같은 메모리 셀 스트링의 특성의 제어가 가능하게 된다.

[0113] 도 8a 내지 도 8f는 도 7의 비휘발성 메모리 소자의 제조 방법을 설명하기 위한 단면도들로서 공정 순서에 따라서 도 7의 사시도를 y 방향에서 바라본 단면도들이다.

[0114] 도 8a를 참조하면, 기판(200) 상에 복수의 희생층들(281-286: 280) 및 복수의 층간 절연층들(261-266: 160)이 교대로 형성될 수 있다. 층간 절연층들(260) 및 희생층들(280)은 서로 식각 선택성을 갖는 물질들로 이루어질 수 있다.

[0115] 도 8b를 참조하면, 층간 절연층들(260) 및 희생층들(280)을 관통하여 기판(200)을 노출하는 제1 개구부들(Ta)이 형성될 수 있다. 상기 제1 개구부들 (Ta)은 후속의 공정에서 채널 영역(220, 도 8c 참조) 및 불순물 제공층(230, 도 8c 참조)이 형성될 영역들에 대응하며, 도 7에 도시된 바와 같이, x 방향 및 y 방향으로 서로 이격하여 매트릭스 형태로 배열될 수 있다.

[0116] 도 8c를 참조하면, 도 8b의 제1 개구부들(Ta)의 내벽들 및 하부면을 균일하게 덮는 채널 영역(220)을 형성할 수 있다. 상기 채널 영역(220)은 ALD 또는 CVD를 사용하여 일정한 두께, 예컨대, 제1 개구부(Ta)의 폭의 1/50 내지 1/5의 범위의 두께로 형성될 수 있다.

[0117] 다음으로, 제1 개구부(Ta)를 불순물 제공층(230)으로 매립할 수 있다. 선택적으로, 불순물 제공층(230)을 형성하기 전에, 채널 영역(220)이 형성된 구조를 수소 또는 중수소를 포함하는 가스 분위기에서 열처리하는 수소 어닐링(annealing) 단계가 더 실시될 수 있다. 상기 수소 어닐링 단계에 의하여 채널 영역(220) 내에 존재하는 결정 결함들 중의 많은 부분들이 치유될 수 있다.

[0118] 다음으로, 최상부의 층간 절연층(266)을 덮고 있는 불필요한 반도체 물질 및 절연 물질을 제거하기 위해 평탄화 공정을 수행할 수 있다. 그 후, 식각 공정 등을 이용하여 불순물 제공층(230)의 상부를 일부분 제거할 수 있으며, 상기 제거된 위치에 도전층(290)을 이루는 물질을 증착할 수 있다. 다시, 평탄화 공정을 수행하여, 도전층(290)이 형성될 수 있다.

[0119] 상기 불순물 제공층(230)에 포함된 불순물은 후속의 제조 공정 중에, 고온의 공정들이 수행되는 동안 채널 영역(220)으로 확산될 수 있다. 또는, 불순물 제공층(230)의 형성 후, 별도의 열처리 공정을 수행하여 불순물이 확산되도록 할 수도 있다.

[0120] 도 8d를 참조하면, 기판(200)을 노출하는 제2 개구부(Tb)를 형성할 수 있다. 상기 제2 개구부(Tb)는 y 방향(도 7 참조)으로 연장될 수 있다.

[0121] 상기 제2 개구부(Tb)는 포토 리소그래피 공정을 이용하고, 층간 절연층들(260) 및 희생층들(280, 도 8c 참조)을 이방성 식각함으로써 형성될 수 있다. 제2 개구부(Tb)는 후속의 공정에 의하여, 절연 영역(270)이 형성될 영역에 대응하며, y 방향으로 연장된다. 제2 개구부(Tb)를 통해 노출된 희생층들(280)이 식각 공정에 의해 제거될 수 있으며, 그에 따라 층간 절연층들(260)의 위와 아래로 정의되는 복수의 터널들(Lt)이 형성될 수 있다. 상기 터널들(Lt)을 통해 채널 영역(220)의 일부 측벽들이 노출될 수 있다.

[0122] 도 8e를 참조하면, 게이트 유전막(240)이 도 8d의 제2 개구부들(Tb) 및 터널들(Lt)에 의해 노출되는 채널 영역(220), 층간 절연층들(260) 및 기판(200)을 균일하게 덮도록 형성될 수 있다.

[0123] 상기 게이트 유전막(240)은 채널 영역(220)으로부터 순차로 적층된 터널링 절연층(242), 전하 저장층(244) 및 블록킹 절연층(246)을 포함할 수 있다. 다음으로, 제 2 개구부들(Tb) 및 터널들(Lt)을 도전 물질(250a)로 매립할 수 있다.

[0124] 도 8f를 참조하면, 도 8e의 도전 물질(250a)을 일부 식각하여, 제3 개구부(Tc)를 형성할 수 있다. 이에 의하여, 도 8e의 터널(Lt) 내에만 도전 물질이 매립되어 게이트 전극(250)을 형성할 수 있다. 상기 공정은 이방

성 식각에 의할 수 있으며, 기판(200)의 상부면 상에 형성된 게이트 유전막(240)도 이방성 식각에 의해 제거될 수 있다. 선택적으로, 층간 절연층들(260)의 측면에 형성된 게이트 유전막들(240)도 함께 제거할 수 있다. 그 후, 불순물을 상기 제3 개구부(Tc)를 통해 기판(200)에 주입함으로써 불순물 영역(205)이 형성될 수 있다.

[0125] 다음으로, 도 4h를 참조하여 상술한 공정을 동일하게 수행하여, 최종적으로 도 7의 비휘발성 메모리 소자(2000a)가 제조될 수 있다.

[0126] 도 9는 본 발명의 제5 실시예에 따른 비휘발성 메모리 소자의 메모리 셀 스트링들의 3차원 구조를 나타내는 개략적인 사시도이다.

[0127] 도 7에서와 동일한 참조 부호는 동일 부재를 나타내며, 따라서 여기서는 이들에 대한 상세한 설명은 생략한다. 도 9를 참조하면, 비휘발성 메모리 소자(2000b)는 채널 영역(220)의 내측에 배치된 불순물 제공층(230) 및 매립 절연층(235)을 포함할 수 있다.

[0128] 상기 불순물 제공층(230)은 도 7의 실시예와 달리, 불순물을 포함하는 반도체 물질, 예컨대 도핑된 폴리 실리콘으로 이루어질 수 있다. 또한, 상기 채널 영역(220)의 내측을 모두 매립하지 않을 정도의 두께로 형성될 수 있다. 통상적인 공정으로 형성된 도핑된 폴리 실리콘은 확산되기 전에 약 10^{20} /cm^3의 불순물 농도를 갖는다. 따라서 채널 영역(220)의 불순물 농도를 원하는 농도, 예컨대 약 10^{19} /cm^3 또는 그 이하의 농도로 형성하려는 경우, 상기 불순물 제공층(230)으로부터 채널 영역(220)으로 불순물이 확산되도록 할 수 있다. 채널 영역(220)으로 확산되는 불순물의 양은 불순물 제공층(230)의 두께 및 열처리 시간에 의해 제어될 수 있다. 열처리 시간에 의해 제어하는 경우, 불순물은 후속의 고온 공정으로 인해 확산될 수 있으나, 확산되는 불순물의 양이 부족한 경우 추가적인 열처리 공정을 도입하여 채널 영역(220) 내의 불순물의 농도를 제어할 수 있다.

[0129] 상기 매립 절연층(235)은 상기 불순물 제공층(230)의 내부를 매립하며, 절연 물질을 포함할 수 있다. 선택적으로, 상기 매립 절연층(235)도 불순물을 포함하는 절연 물질로 형성될 수도 있다.

[0130] 상기 불순물 제공층(230) 및 매립 절연층(235)은 도 8c를 참조하여 상술한 제조 공정에서, 채널 영역(220)을 형성한 후, 불순물 제공층(230) 및 매립 절연층(235)을 순차적으로 형성함으로써 제조될 수 있다.

[0131] 또한, 본 실시예의 비휘발성 메모리 소자(2000b)는, 공통 소스 라인(210)이 불순물 영역(205) 상에 z 방향으로 연장되고 상기 불순물 영역(205)과 오믹 콘택하도록 배열될 수 있다. 상기 공통 소스 라인(210)은, x 방향으로 인접한 2개의 채널 영역들(220) 측면의 메모리 셀 스트링들의 접지 선택 트랜지스터들(GST)에 소스 영역을 제공할 수 있다. 상기 공통 소스 라인(210)은 도전성 물질 예를 들어, 텅스텐(W), 알루미늄(Al) 또는 구리(Cu)로부터 선택되는 적어도 하나의 금속 물질을 포함할 수 있다. 도 9에 도시되지는 않았지만, 상기 불순물 영역(205)과 공통 소스 라인(210) 사이에는 접촉 저항을 낮추기 위한 실리사이드(silicide)층이 개재될 수 있다. 상기 실리사이드층(미도시)은 메탈 실리사이드층, 예컨대 코발트 실리사이드층을 포함할 수 있다.

[0132] 본 실시예의 비휘발성 메모리 소자(2000b)에 따르면, 도핑된 반도체 물질을 포함하는 불순물 제공층(230)을 사용함하여 채널 영역(220)에 불순물을 공급함으로써, 원하는 농도의 불순물 농도를 가지는 채널 영역(220)을 형성할 수 있다.

[0133] 도 10은 본 발명의 제6 실시예에 따른 비휘발성 메모리 소자의 메모리 셀 스트링들의 3차원 구조를 나타내는 개략적인 사시도이다.

[0134] 도 7 및 도 9에서와 동일한 참조 부호는 동일 부재를 나타내며, 따라서 여기서는 이들에 대한 상세한 설명은 생략한다. 도 10을 참조하면, 비휘발성 메모리 소자(2000c)는 도 7의 실시예와 달리, 채널 영역(220) 및 불순물 제공층(230)의 사이에 배치된 확산 제어층(225)을 더 포함할 수 있다.

[0135] 상기 확산 제어층(225)은 불순물 제어층(230)으로부터 채널 영역(220)으로 확산되는 불순물의 양을 제어하기 위해 배치된다. 상기 확산 제어층(225)은 채널 영역(220)의 불순물 농도를 원하는 농도로 형성하기 위해서 불순물의 확산을 저지 또는 가속하는 역할을 할 수 있다. 상기 확산 제어층(225)은 예컨대, 확산 방지막으로 작용하여, 불순물의 확산 속도를 감소시킬 수 있다. 상기 확산 제어층(225)은 예를 들어, 텅스텐 질화물(WN), 탄탈륨 질화물(TaN) 또는 티타늄 질화물(TiN)로부터 선택되는 어느 하나를 포함할 수 있다.

[0136] 상기 불순물 제공층(230)은 3족 또는 5족 원소와 같은 불순물을 포함한 절연 물질로 이루어질 수 있다. 예를

들어, 상기 불순물 제공층(230)은 PSG 또는 BSG를 포함할 수 있다. 변형된 실시예에서, 상기 불순물 제공층(230)은 불순물을 포함하는 반도체 물질, 예컨대 도핑된 폴리 실리콘으로 이루어질 수도 있다.

[0137] 상기 확산 제어층(225)은 도 8c를 참조하여 상술한 제조 공정에서, 채널 영역(220)을 형성한 후 불순물 제공층(230)의 형성 전에, 확산 제어층(225)을 형성하는 물질을 증착함으로써 형성될 수 있다.

[0138] 또한, 상기 비휘발성 메모리 소자(2000c)는 공통 소스 라인(210)이 도 9의 실시예에서와 같이, 불순물 영역(205) 상에 z 방향으로 연장되고 상기 불순물 영역(205)과 오믹 콘택하도록 배열될 수 있다.

[0139] 또한, 본 실시예에서는, 도 7 및 도 9의 실시예들과 달리 y 방향으로 배열된 채널 영역들(220) 사이에는 이들을 절연시키기 위한 절연층들(275)이 배열될 수 있다. 따라서, 하나의 채널 영역(220)의 x 방향의 양 측면을 따라 z 방향으로 연장되는 2개의 메모리 셀 스트링이 배열될 수 있다.

[0140] 본 실시예의 비휘발성 메모리 소자(2000c)에 따르면, 추가의 확산 제어층(225)을 불순물 제공층(230) 및 채널 영역(220) 사이에 배치함으로써, 확산되는 불순물의 양을 용이하게 조절할 수 있다.

[0141] 도 11a 및 도 11b는 본 발명의 일 실시예에 따른 비휘발성 메모리 소자의 HTS(hot temperature stress) 특성을 보여주는 시뮬레이션 결과들이다.

[0142] 도 11a를 참조하면, 메모리 셀 트랜지스터의 채널 영역의 불순물 농도 및 문턱 전압에 따른 HTS 특성이 도시된다. HTS는 고온 열 처리 전/후의 전하량의 변화를 문턱 전압(V_{th})의 천이로 측정하여 소자의 특성을 평가하는 방법으로, 문턱 전압의 천이는 고온 열 처리에 의해 소실되는 전하량을 나타내는 것으로 그 값이 적을수록 소자의 특성이 좋음을 나타내는 것이다. 상기 결과들은, 비휘발성 메모리 소자들에 대해서 기록 동작을 수행하고, 200 ℃에서 2시간 베이크(bake) 후 전하 손실로 인한 문턱 전압(V_{th})의 천이를 시뮬레이션한 것이다.

[0143] 도 11a에서, 채널 영역의 불순물 농도가 높을수록 문턱 전압(V_{th})이 높아지고, HTS 특성이 개선되는 결과가 나타난다. 채널 영역이 약 9×10^{18} /cm^3의 불순물 농도를 가지는 경우, 낮은 불순물 농도를 가질 때에 비하여 문턱 전압(V_{th})의 천이가 약 0.47 V에서 약 0.19 V로 약 59 % 개선되었다. 이 경우, 문턱 전압(V_{th})은 -1.3 V에서 0.5 V로 약 1.8 V 증가하였으며, 이와 같은 문턱 전압의 증가를 위해 필요한 불순물의 농도는 10^{19} /cm^3에 가까운 값임을 알 수 있다.

[0144] 도 11b를 참조하면, 열처리 전/후에 전하 저장층에 저장된 전하의 양이 전하 저장층의 두께를 따라 도시된다. 채널 영역에 불순물이 포함되지 않은 경우는, 열처리 전에 많은 전하가 트랩되어 있으며, 열처리 후에 많은 양의 전하가 빠져나가는 현상이 나타난다. 채널 영역에 불순물이 포함된 경우는, 불순물이 포함되지 않은 경우에 비하여, 열처리 전에 트랩되는 전하의 양이 적으며, 열처리 후에 상대적으로 적은 양의 전하가 빠져 나간다. 이에 의해, 도 11a와 같이 채널 영역에 포함된 불순물의 양이 많을수록 개선된 HTS 특성을 나타내게 되는 것으로 예상할 수 있다. 다만, 채널 영역의 도핑 농도가 너무 높아지면, 문턱 전압(V_{th}) 또한 높아지므로, 비휘발성 메모리 소자의 소거 동작이 어려워지는 문제가 발생할 수 있다. 따라서, 채널 영역은 최적화된 불순물 농도를 가지도록 제어되어야 한다.

[0145] 본 발명에 따르면, 채널 영역에 불순물을 도핑할 수 있으며, 불순물의 농도를 제어할 수 있게 되므로, 비휘발성 메모리 소자의 신뢰성을 향상시킬 수 있다.

[0146] 도 12는 본 발명의 다른 실시예에 따른 비휘발성 메모리 소자의 개략적인 블록 다이어그램이다.

[0147] 도 12를 참조하면, 비휘발성 메모리 소자(700)에서 NAND 셀 어레이(750)는 코어 회로 유니트(770)와 결합될 수 있다. 예를 들면, NAND 셀 어레이(750)는 도 3, 도 5 내지 도 11에서 설명한 비휘발성 메모리 소자 중 어느 하나의 비휘발성 메모리 소자를 포함할 수 있다. 코어 회로 유니트(770)는 제어 로직(771), 로우 디코더(772), 칼럼 디코더(773), 감지 증폭기(774) 및 페이지 버퍼(775)를 포함할 수 있다.

[0148] 제어 로직(771)은 로우 디코더(772), 칼럼 디코더(773) 및 페이지 버퍼(775)와 통신할 수 있다. 로우 디코더(772)는 복수의 스트링 선택 라인(SSL), 복수의 워드 라인(WL), 및 복수의 접지 선택 라인(GSL)을 통해 NAND 셀어레이(750)와 통신할 수 있다. 칼럼 디코더(773)는 복수의 비트 라인(BL)을 통해 NAND 셀 어레이(750)와 통신할 수 있다. 감지 증폭기(774)는 NAND 셀 어레이(750)로부터 신호가 출력될 때 칼럼 디코더(773)와 연결되고, NAND 셀 어레이(750)로 신호가 전달될 때는 칼럼 디코더(773)와 연결되지 않을 수 있다.

[0149] 예를 들면, 제어 로직(771)은 로우 어드레스 신호를 로우 디코더(772)에 전달하고, 로우 디코더(772)는 이러

한 신호를 디코딩하여 스트링 선택 라인(SSL), 워드 라인(WL) 및 접지 선택 라인(GSL)을 통해서 NAND 셀 어레이(750)에 로우 어드레스 신호를 전달할 수 있다. 제어 로직(771)은 칼럼 어드레스 신호를 칼럼 디코더(773) 또는 페이지 버퍼(775)에 전달하고, 칼럼 디코더(773)는 이 신호를 디코딩하여 복수의 비트 라인(BL)을 통해 NAND 셀 어레이(750)에 칼럼 어드레스 신호를 전달할 수 있다. NAND 셀 어레이(750)의 신호는 칼럼 디코더(773)를 통해서 감지 증폭기(774)에 전달되고, 여기에서 증폭되어 페이지 버퍼(775)를 거쳐서 제어 로직(771)에 전달될 수 있다.

[0150] 도 13은 본 발명의 일 실시예에 따른 메모리 카드를 보여주는 개략도이다.

[0151] 도 13을 참조하면, 메모리 카드(800)는 하우징(830)에 내장된 제어기(810) 및 메모리(820)를 포함할 수 있다. 상기 제어기(810) 및 메모리(820)는 전기적인 신호를 교환할 수 있다. 예를 들면, 제어기(810)의 명령에 따라서 메모리(820) 및 제어기(810)는 데이터를 주고 받을 수 있다. 이에 따라, 메모리 카드(800)는 메모리(820)에 데이터를 저장하거나 또는 메모리(820)로부터 데이터를 외부로 출력할 수 있다.

[0152] 예를 들면, 메모리(820)는 도 3, 도 5 내지 도 7, 도 9 및 도 10에서 설명한 비휘발성 메모리 소자 중 어느 하나의 비휘발성 메모리 소자를 포함할 수 있다. 이러한 메모리 카드(800)는 다양한 휴대용 기기의 데이터 저장 매체로 이용될 수 있다. 예를 들면, 메모리 카드(800)는 멀티미디어 카드 (multi media card: MMC) 또는 보안 디지털 카드 (secure digital card: SD)를 포함할 수 있다.

[0153] 도 14는 본 발명의 일 실시예에 따른 전자 시스템을 보여주는 블록도이다.

[0154] 도 14를 참조하면, 전자 시스템(900)은 프로세서(910), 입/출력 장치(930) 및 메모리 칩(920)을 포함할 수 있고, 이들은 버스(940)를 이용하여 서로 데이터 통신을 할 수 있다. 프로세서(910)는 프로그램을 실행하고, 전자 시스템(900)을 제어하는 역할을 할 수 있다. 입/출력 장치(930)는 전자 시스템(900)의 데이터를 입력 또는 출력하는데 이용될 수 있다. 전자 시스템(900)은 입/출력 장치(930)를 이용하여 외부 장치, 예를 들면 개인용 컴퓨터 또는 네트워크에 연결되어, 외부 장치와 서로 데이터를 교환할 수 있다. 메모리 칩(920)은 프로세서(910)의 동작을 위한 코드 및 데이터를 저장할 수 있다. 예를 들면, 메모리 칩(920)은 도 3, 도 5 내지 도 7, 도 9 및 도 10에서 설명한 비휘발성 메모리 소자 중 어느 하나의 비휘발성 메모리 소자를 포함할 수 있다.

[0155] 상기 전자 시스템(900)은 메모리 칩(920)을 필요로 하는 다양한 전자 제어 장치를 구성할 수 있으며, 예를 들면 모바일 폰 (mobile phone), MP3 플레이어, 네비게이션 (navigation), 고상 디스크 (solid state disk: SSD), 가전 제품 (household appliances) 등에 이용될 수 있다.

[0156] 이상에서 설명한 본 발명이 전술한 실시예 및 첨부된 도면에 한정되지 않으며, 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 여러 가지 치환, 변형 및 변경이 가능하다는 것은, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 있어 명백할 것이다.

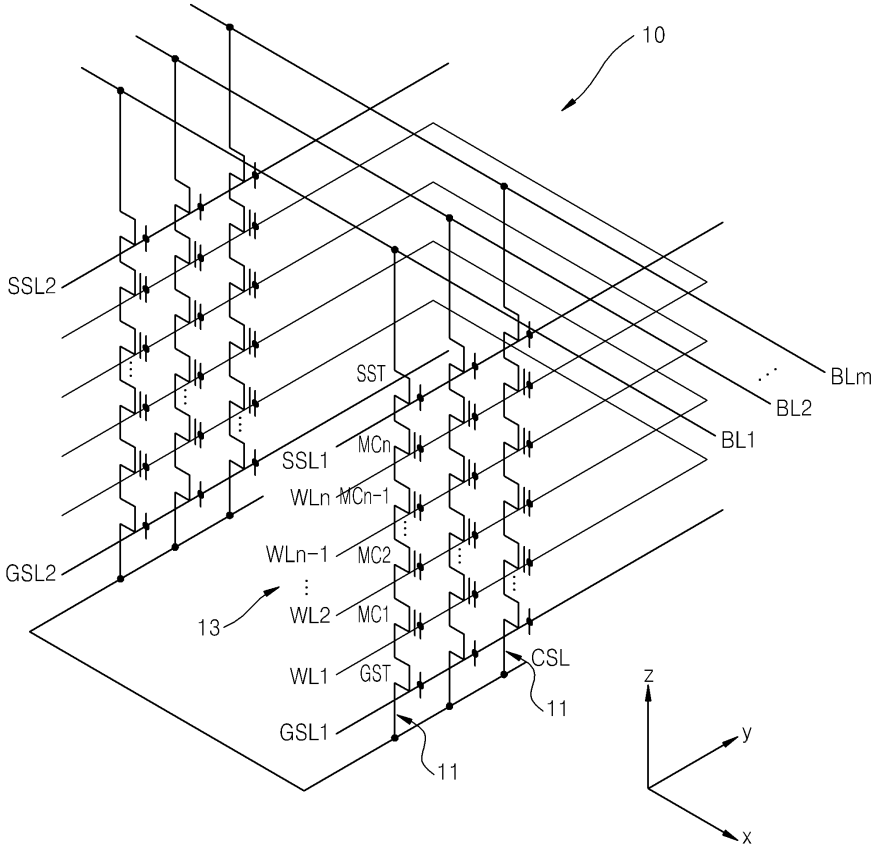
부호의 설명

[0157]

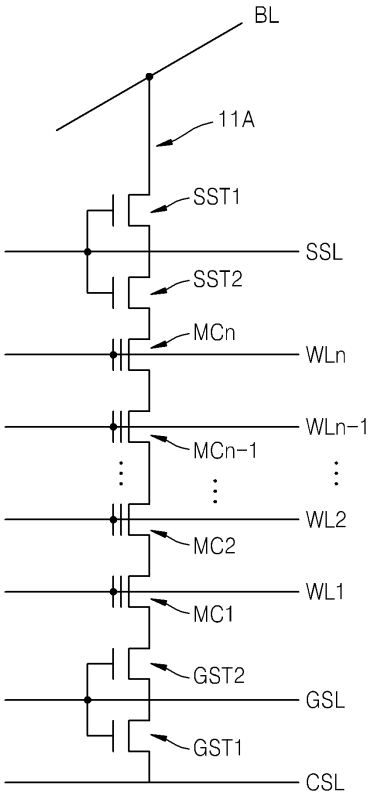
100, 200: 기판	105, 205: 불순물 영역
110, 210: 공통 소스 라인	120, 220: 채널 영역
125, 225: 확산 제어층	130, 230: 불순물 제공층
140, 240: 게이트 유전막	142, 242: 터널링 절연층
144, 244: 전하 저장층	146, 246: 블록킹 절연층
150, 250: 게이트 전극	160, 260: 층간 절연층
170, 270: 절연 영역	175, 275: 절연층
180, 280: 희생층	190, 290: 도전층

도면

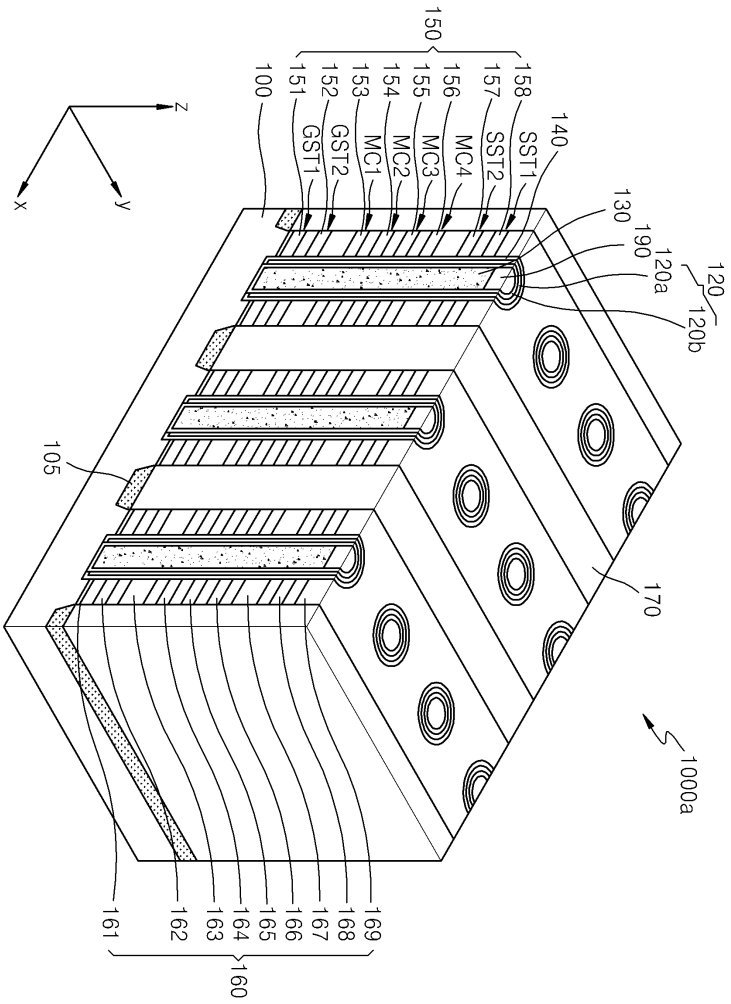
도면1


10
SSL2
GSL2
SST
SSL1
MCn
WLn
MCn-1
WLn-1
MC2
WL2
MC1
WL1
GST
GSL1
13
CSL
11
11
BLm
BL2
BL1
z
y
x

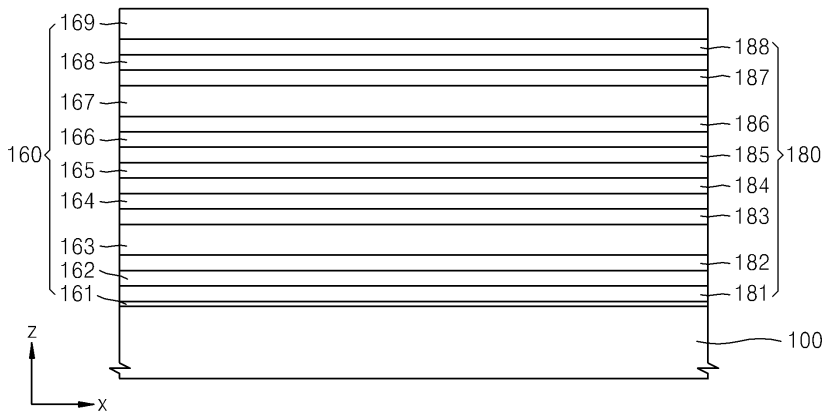
도면2


BL
11A
SST1
SSL
SST2
MCn
WLn
WLn-1
MCn-1
WL2
MC2
WL1
MC1
GST2
GSL
GST1
CSL

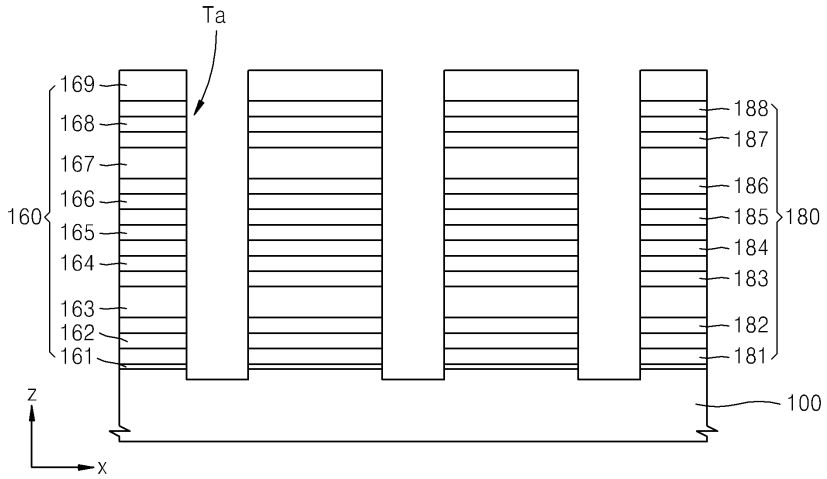
도면3


150
151
152
153
154
155
156
157
158
100
140
GST1
GST2
MC1
MC2
MC3
MC4
SST2
SST1
130
190
120a
120
120b
105
170
1000a
161
162
163
164
165
166
167
168
169
160
z
x
y

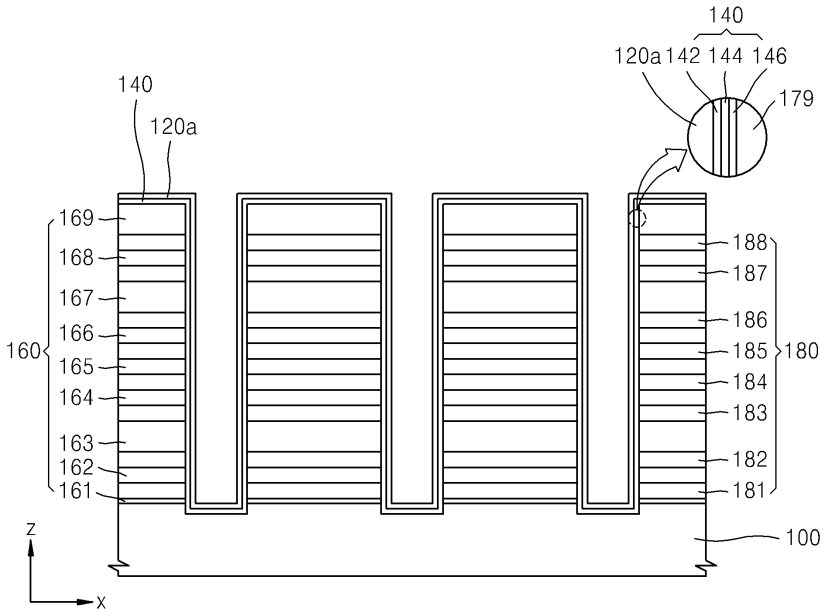
도면4a


169
168
167
166
165
164
163
162
161
160
188
187
186
185
184
183
182
181
180
100
z
x

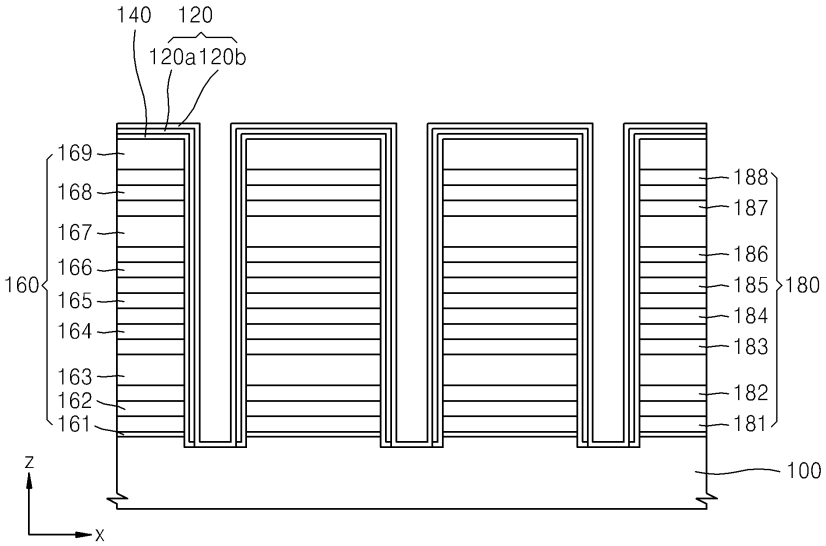
도면4b


Ta
169
168
167
166
165
164
163
162
161
160
188
187
186
185
184
183
182
181
180
100
z
x

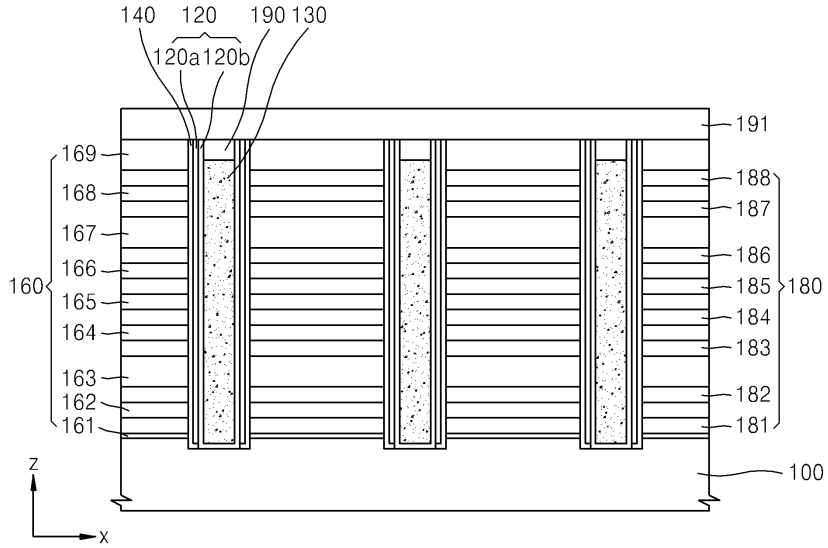
도면4c


140
120a 142 144 146
179
140
120a
169
168
167
166
165
164
163
162
161
160
188
187
186
185
184
183
182
181
180
100
z
x

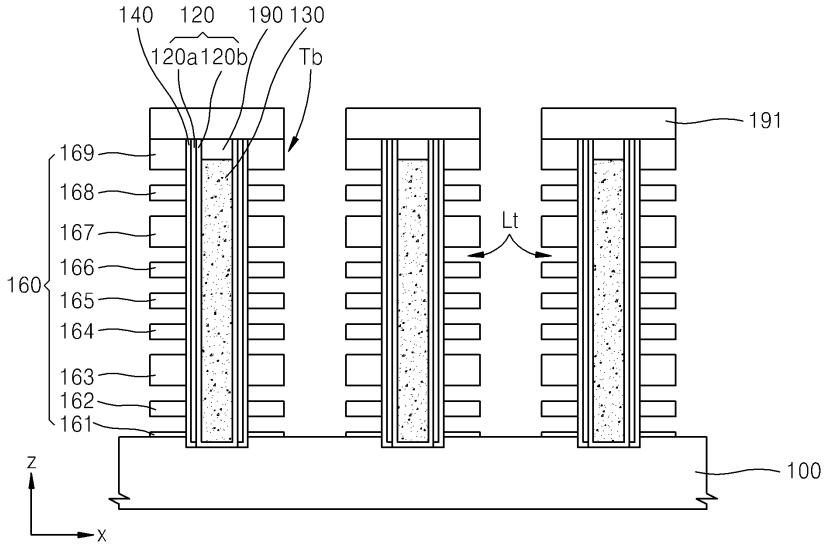
도면4d


140
120
120a120b
169
168
167
166
160
165
164
163
162
161
188
187
186
185
180
184
183
182
181
100
Z
X

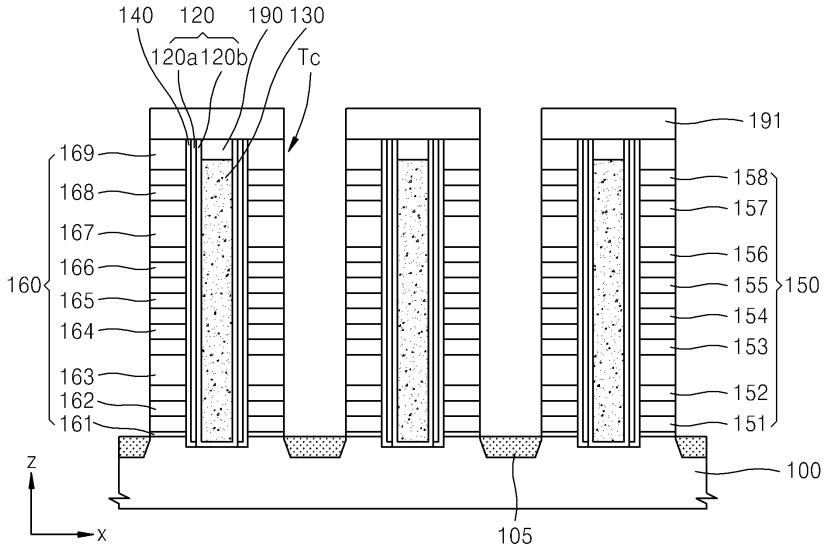
도면4e


140
120
190 130
120a120b
191
169
168
167
166
160
165
164
163
162
161
188
187
186
185
180
184
183
182
181
100
Z
X

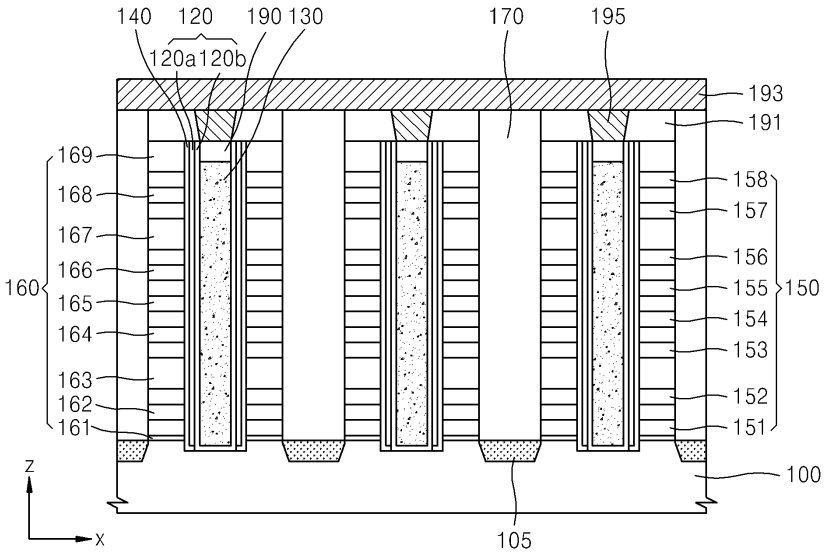
도면4f


140
120
190
130
120a
120b
Tb
191
169
168
167
166
160
165
164
163
162
161
Lt
100
z
x

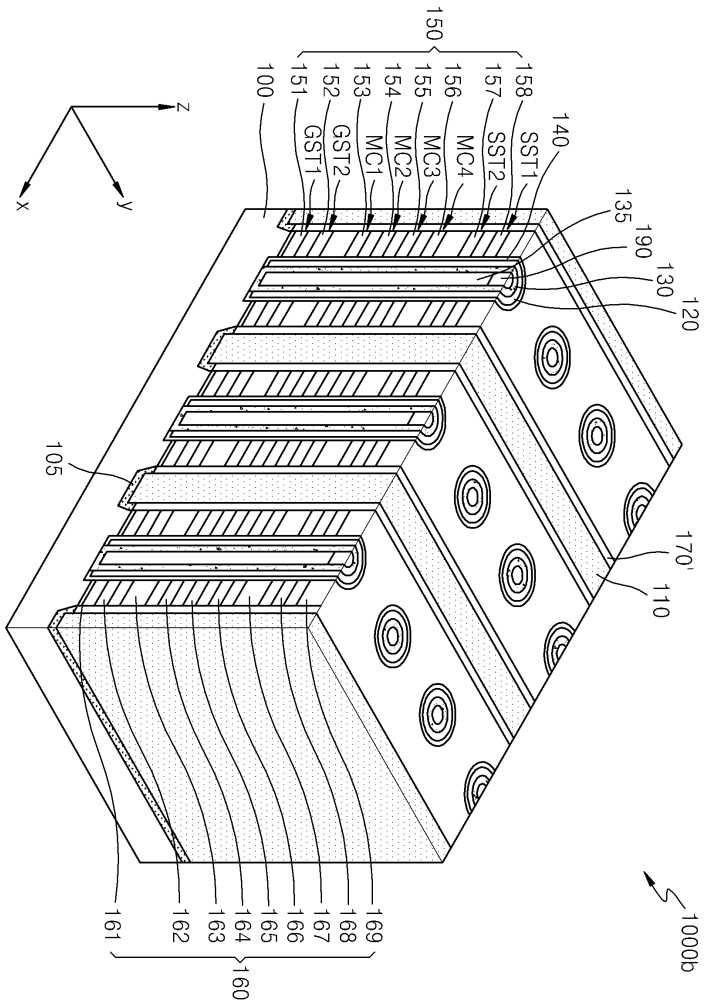
도면4g


140
120
190
130
120a
120b
Tc
191
169
168
167
166
160
165
164
163
162
161
158
157
156
155
150
154
153
152
151
100
105
z
x

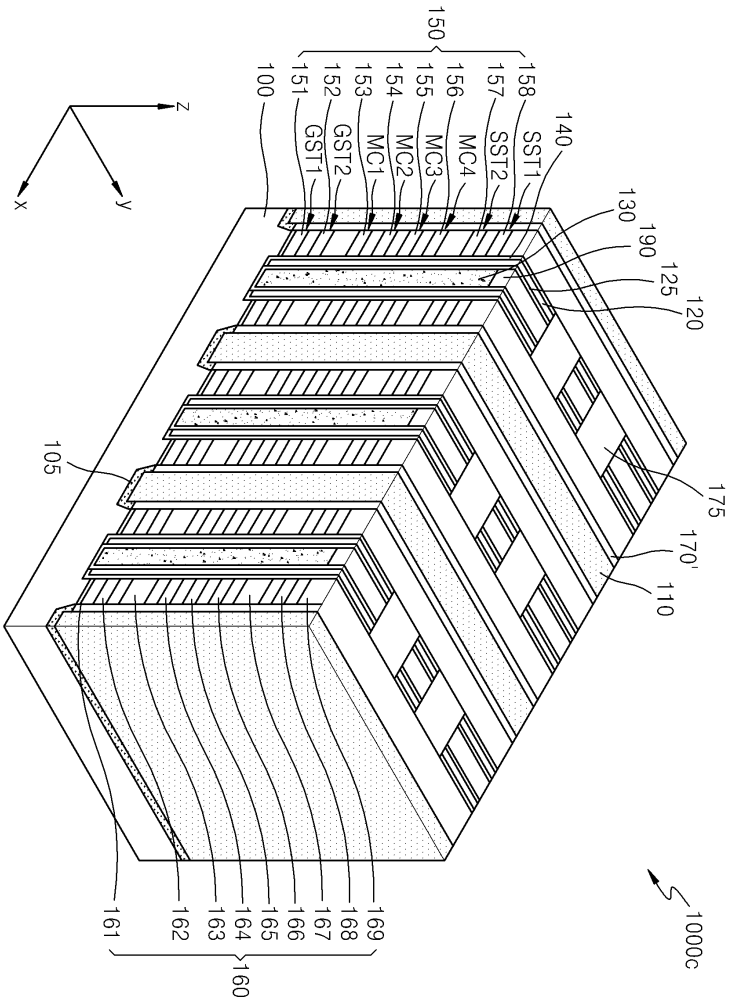
도면4h


140
120
190
130
170
195
120a
120b
193
191
169
168
167
166
165
164
163
162
161
160
158
157
156
155
154
153
152
151
150
100
105
Z
X

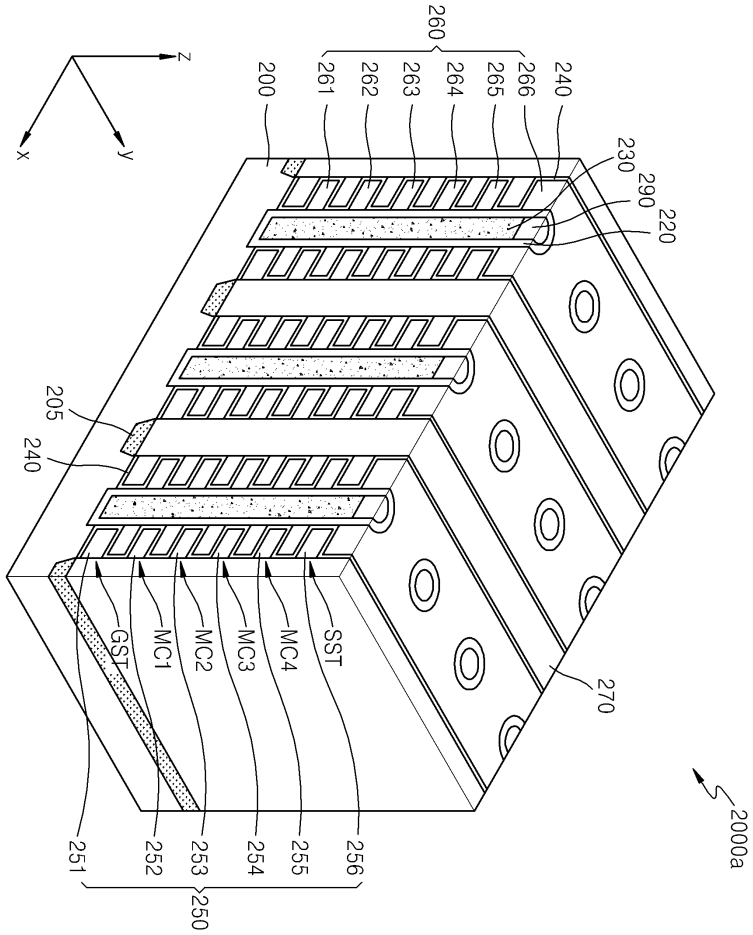
도면5


150
100
151
152
153
154
155
156
157
158
GST1
GST2
MC1
MC2
MC3
MC4
SST2
SST1
140
135
190
130
120
105
170'
110
161
162
163
164
165
166
167
168
169
160
1000b
Z
X
y

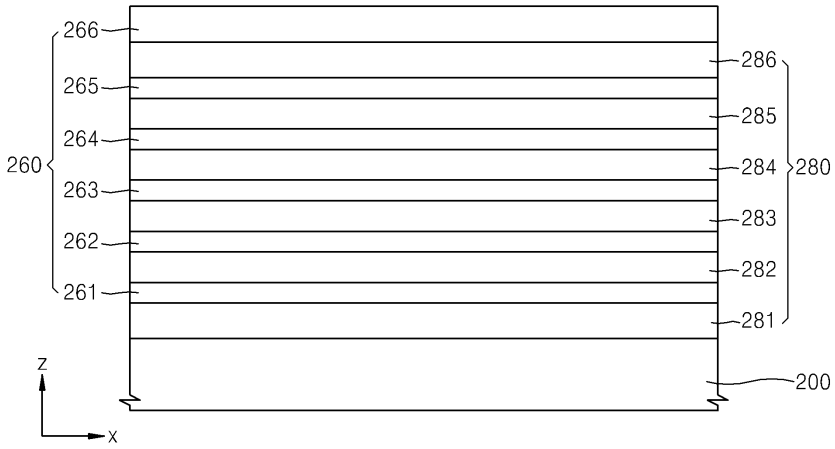
도면6


150
100
151
152
153
154
155
156
157
158
140
GST1
GST2
MC1
MC2
MC3
MC4
SST2
SST1
z
x
y
130
190
125
120
105
175
170'
110
161
162
163
164
165
166
167
168
169
160
1000c

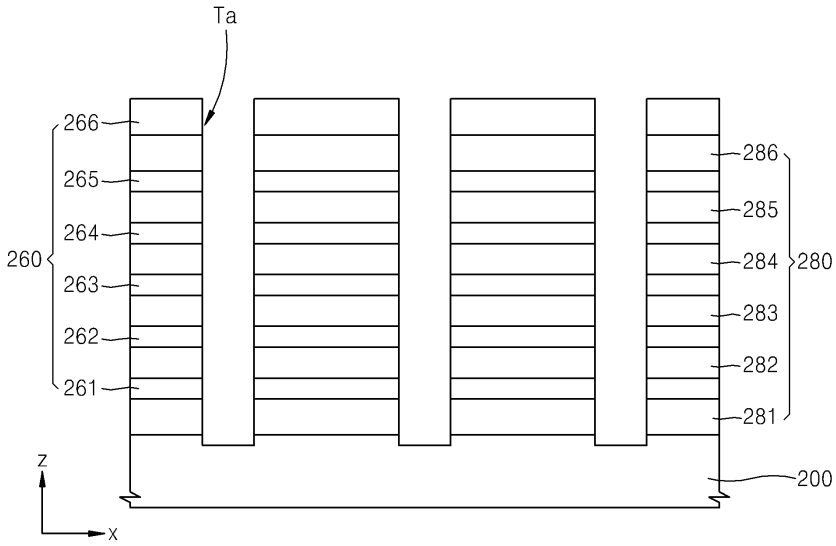
도면7


260
200
261
262
263
264
265
266
240
230
290
220
205
240
GST
MC1
MC2
MC3
MC4
SST
270
2000a
251
252
253
254
255
256
250
z
x
y

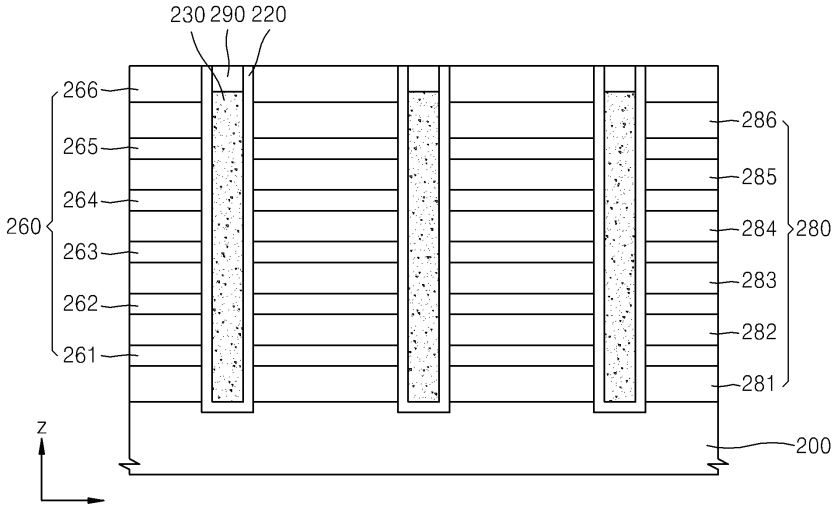
도면8a


266
265
264
263
262
261
260
286
285
284
283
282
281
280
200
z
x

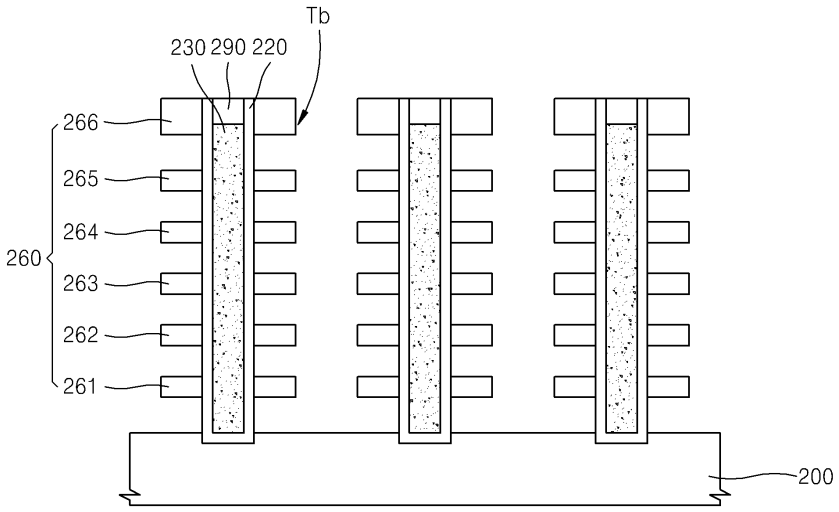
도면8b



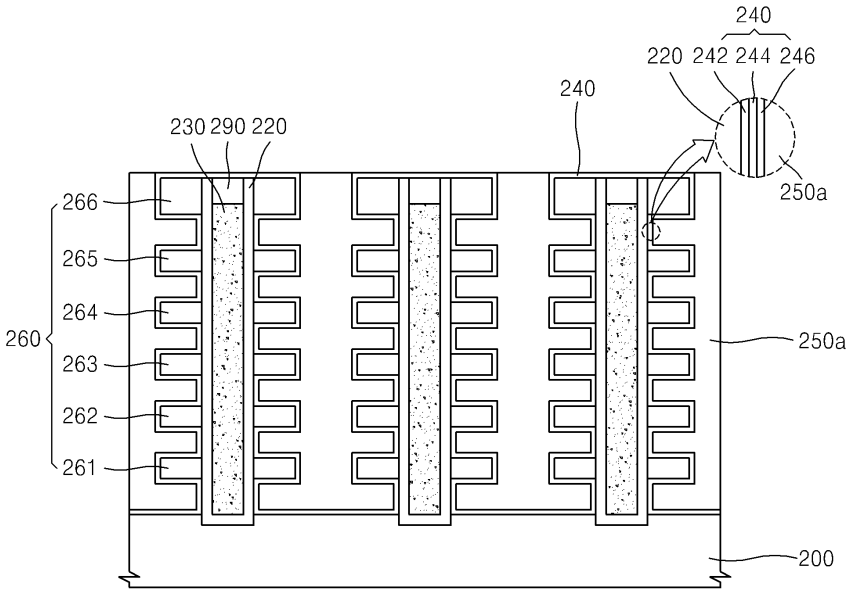
도면8c



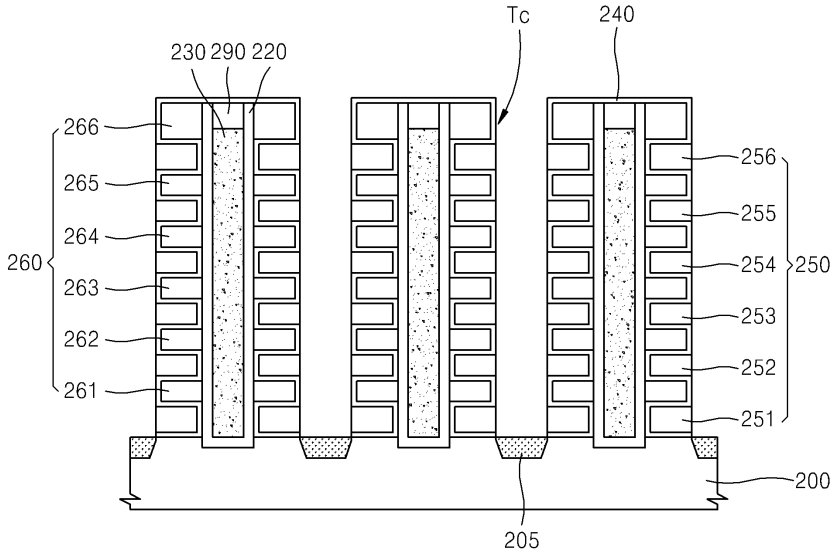
도면8d



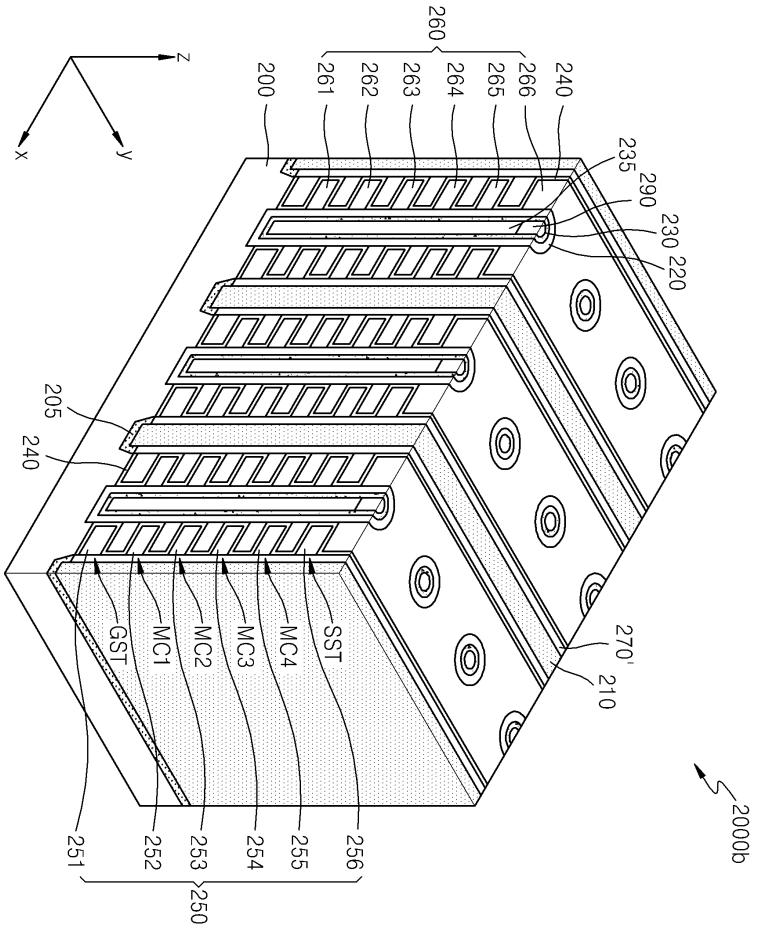
도면8e


240
220 242 244 246
240
230 290 220
250a
266
265
264
260
263
262
261
250a
200

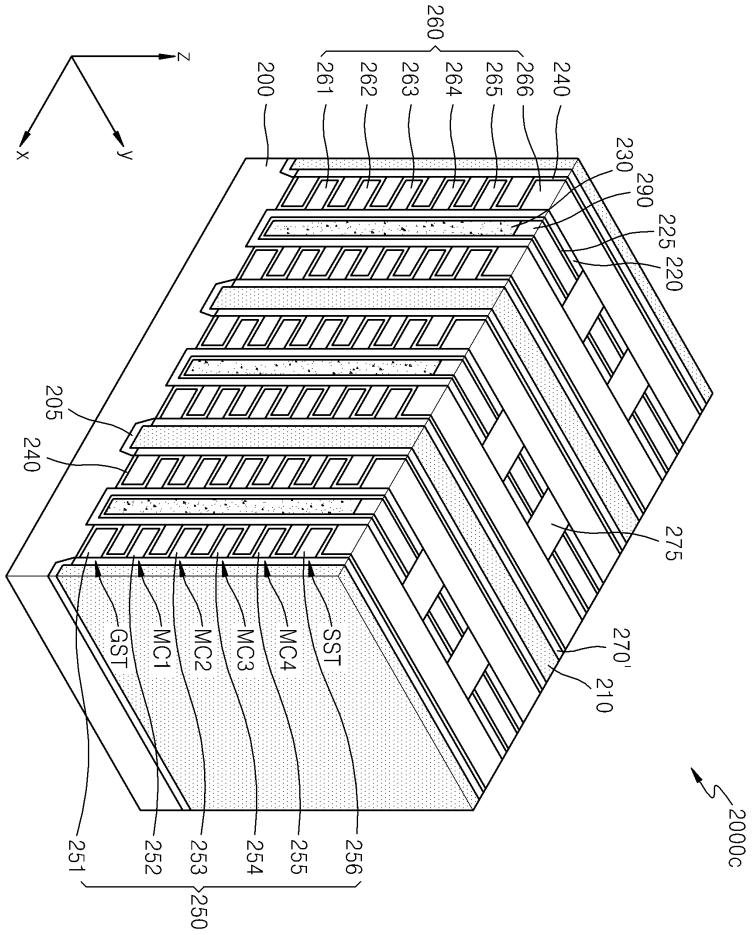
도면8f


Tc
240
230 290 220
266
265
264
260
263
262
261
256
255
254
250
253
252
251
200
205

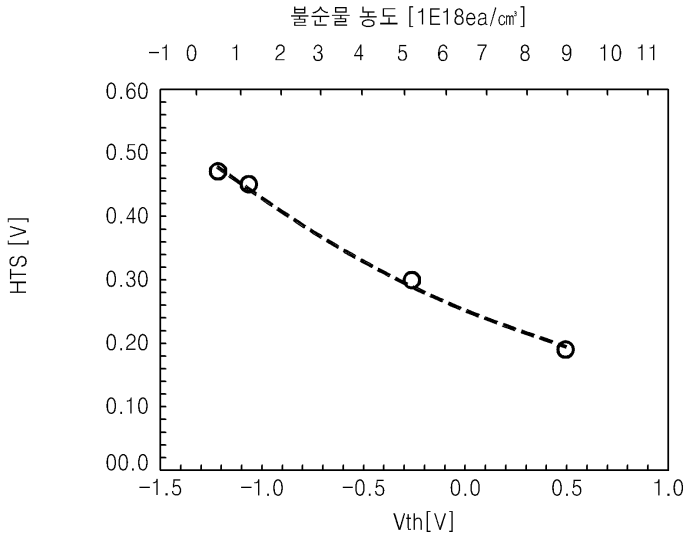
도면9


z
x
y
260
200
261
262
263
264
265
266
240
235
290
230
220
205
240
GST
MC1
MC2
MC3
MC4
SST
270'
210
2000b
251
252
253
254
255
256
250

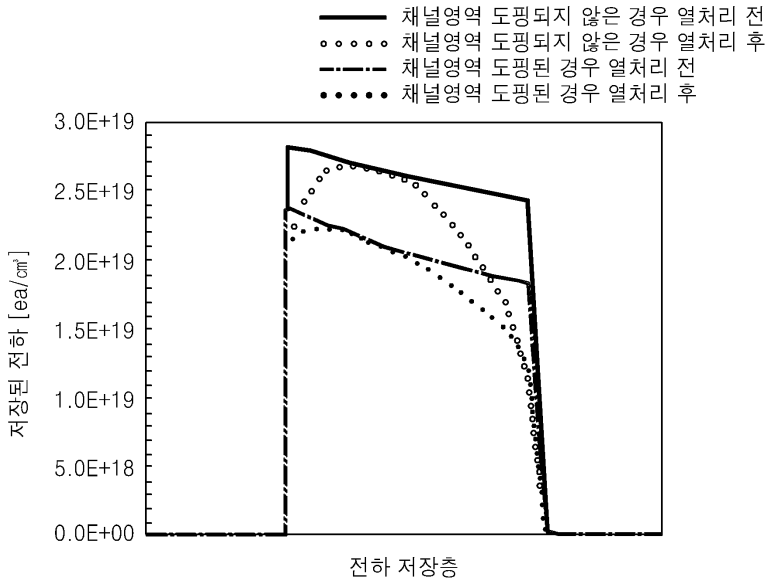
도면10


260
200
261
262
263
264
265
266
240
230
290
225
220
205
240
275
270'
210
GST
MC1
MC2
MC3
MC4
SST
251
252
253
254
255
256
250
2000c
z
x
y

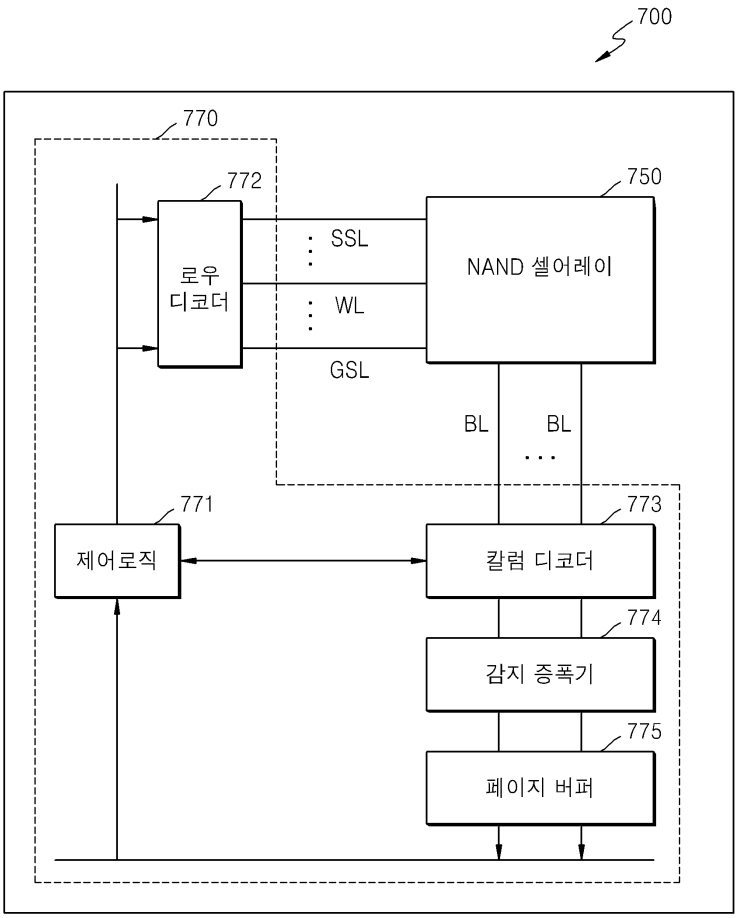
도면11a


불순물 농도 [1E18ea/㎤]
-1 0 1 2 3 4 5 6 7 8 9 10 11
0.60
0.50
0.40
0.30
0.20
0.10
00.0
HTS [V]
-1.5 -1.0 -0.5 0.0 0.5 1.0
Vth[V]

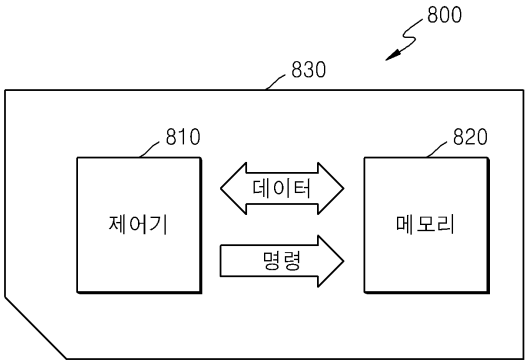
도면11b


채널영역 도핑되지 않은 경우 열처리 전
채널영역 도핑되지 않은 경우 열처리 후
채널영역 도핑된 경우 열처리 전
채널영역 도핑된 경우 열처리 후
3.0E+19
2.5E+19
2.0E+19
1.5E+19
1.0E+19
5.0E+18
0.0E+00
저장된 전하 [ea/㎤]
전하 저장층

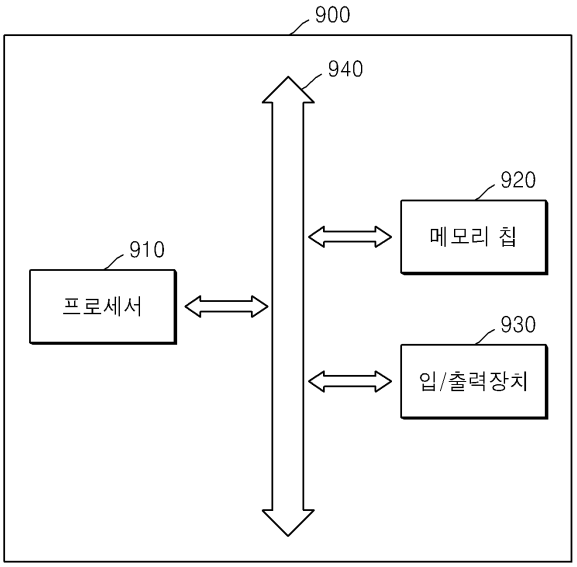
도면12


700
770
772
750
로우
디코더
SSL
WL
GSL
NAND 셀어레이
BL
BL
771
773
제어로직
칼럼 디코더
774
감지 증폭기
775
페이지 버퍼

도면13


800
830
810
820
데이터
제어기
메모리
명령

도면14


900
940
920
메모리 칩
910
프로세서
930
입/출력장치