

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2010 年 7 月 15 日(15.07.2010)

PCT

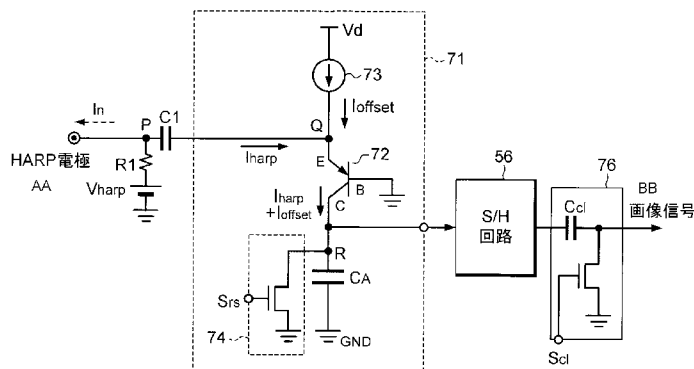
(10) 国際公開番号
WO 2010/079702 A1

- (51) 国際特許分類:
H04N 5/228 (2006.01) H04N 5/335 (2006.01)
- (21) 国際出願番号: PCT/JP2009/071579
- (22) 国際出願日: 2009 年 12 月 25 日(25.12.2009)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
PCT/JP2009/050229 2009 年 1 月 9 日(09.01.2009) JP
- (71) 出願人 (米国を除く全ての指定国について): パイオニア株式会社(Pioneer Corporation) [JP/JP]; 〒1538654 東京都目黒区目黒 1 丁目 4 番 1 号 Tokyo (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 奥田 義行(OKUDA, Yoshiyuki) [JP/JP]; 〒3502288 埼玉県鶴ヶ島市富士見 6 丁目 1 番 2 号 パイオニア株式会社 総合研究所内 Saitama (JP).
- (74) 代理人: 藤村 元彦(FUJIMURA, Motohiko); 〒1040045 東京都中央区築地 4 丁目 1 番 1 号 東劇ビル 藤村合同特許事務所 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).
- 添付公開書類:
— 国際調査報告 (条約第 21 条(3))

(54) Title: IMAGING DEVICE

(54) 発明の名称: 撮像装置

[図16]



AA HARP electrode
BB Image signal
56 S/H circuit

(57) Abstract: Disclosed is an imaging device comprising: a photoelectric conversion film current detector which is connected to a photoelectric conversion film via a capacitor, and which detects a photoelectric conversion film current that flows due to the bonding of positive holes formed in the photoelectric conversion film and electrons supplied to the photoelectric conversion film from an electron supply source array; an offset current source which generates an offset current and superimposes the same on the photoelectric conversion film current; an integrator which time-integrates the current resulting when the offset current is superimposed on the photoelectric conversion film current and which produces an integration signal; and a sampling means which produces an image signal by sampling the aforementioned integration signal for each pixel period that supplies electrons to each pixel region.

(57) 要約:

[続葉有]

WO 2010/079702 A1

光電変換膜とキャパシタを介して結合され、光電変換膜に生成された正孔と電子供給源アレイから光電変換膜に供給された電子とが結合することによって流れる光電変換膜電流を検出する光電変換膜電流検出器と、オフセット電流を生成して光電変換膜電流に重畳するオフセット電流源と、光電変換膜電流にオフセット電流が重畳された電流を時間積分して積分信号を生成する積分器と、画素領域の各々に電子を供給する画素期間ごとに上記積分信号をサンプリングして画像信号を生成するサンプリング手段と、を有する。

明 細 書

発明の名称 : 撮像装置

技術分野

[0001] 本発明は、電子供給源が配列された電子供給源アレイと光電変換膜とを有する撮像素子、及び当該撮像素子を駆動する駆動回路からなる撮像装置に関する。

背景技術

[0002] 電界を印加することによって電子を引き出す電子放出源をマトリクス状に配置した電子放出源アレイと、光電変換膜とを備えた撮像装置が提案されている（例えば、特許文献１）。冷陰極型電子放出源としては、例えば、H E E D (high-efficiency electron emission device)（例えば、非特許文献１）やスピント型の冷陰極アレイがある。また、カーボンナノチューブ等のタイプがある。H E E Dは、低電圧駆動が可能であり、構造が単純であるという特長を有し、撮像デバイスへの応用研究が進められている。また、他の電子供給素子アレイとしては、スイッチングトランジスタで構成され、コレクタあるいはドレイン電極が光電変換膜の画素領域部分に接続されたスイッチングトランジスタ・アレイがある。

[0003] また、光電変換膜としては、例えば、H A R P (High-gain Avalanche Rushing amorphous Photoconductor) 光電変換膜がある。

[0004] 例えば、冷陰極型電子放出素子アレイを用いた撮像装置においては、冷陰極型電子放出素子の各々がそれぞれの駆動期間に光電変換膜の対応する画素領域へ電子ビーム放出（電子ビーム照射）を行う。そして、その光電変換膜の画素領域に入射光の光量に応じて蓄積されている正孔を中和し、その中和電流を光電変換膜の電極を通じて取り出すことで光電変換膜の当該画素領域の画像信号を検出する。なお、スイッチングトランジスタ・アレイにおいては、電子ビーム照射の代わりに光電変換膜への電流注入によって画像信号の検出がなされる。

- [0005] 従来技術においては、例えば、図1に示すように、光電変換膜電流検出器101によって光電変換膜の電極（HARP電極）から中和電流（HARP電流）を取り出し、これを電圧値に変換した後、ローパスフィルタ（LPF）102を通すことによって画像信号成分を抽出するように構成されていた。この方法は回路が簡便であるというのが最大の利点である。
- [0006] 図2に示すように、画素（ $PX(j)$ 、 $PX(j+1)$ ）ごとに放出電子量（HEED放出電流）にばらつきがある場合、放出電子量の少ない画素（ $PX(j)$ ）では波高値が低く時間幅（ $T(j)$ ）が長くなり、放出電子量の多い画素（ $PX(j+1)$ ）では波高値が高く時間幅（ $T(j+1)$ ）が短くなる。HARP電流の積分値 $I_h(k) \times T(k) = Q_{px}(k)$ 、（ $k = j, j+1$ ）は光電変換膜の対応画素の蓄積正孔量であるので、LPF102を通した後のDC（直流）成分は、各電子放出素子に放出電子量のばらつきがあっても当該画素の画像信号になっている。
- [0007] しかしながら、図2に示すように、各電子放出素子に放出電子量のばらつきがある場合、光電変換膜（HARP）電流波形のパルス幅及び高さは異なるため、LPF102を通した後の波形は変則的な変調がかかった状態となる。すなわち、HARP電流パルスが均一な場合とは異なり、LPF102の帯域内に当該変則的な変調に起因する周波数成分が生じることとなる。従って、各電子放出素子に放出電子量のばらつきがあると画像信号のノイズとなって現れ、信号雑音比（ S/N ）の低下、画質の劣化を生じさせるという問題があった。
- [0008] さらに、撮像装置の高精細度化の要請も高まってきており、高速に動作が可能で、かつ S/N の高い高画質・高性能な撮像装置を実現することが望まれている。

特許文献1：特開平6-176704号公報

非特許文献1：パイオニアR&D誌、Vol. 17, No. 2, 2007, pp. 61-69

発明の開示

発明が解決しようとする課題

[0009]

光電変換膜（HARP）にはアバランシェ増倍のための高電圧が印加されている。HARP電流検出器は、HARP電極と結合キャパシタによって結合され、HARP電流を検出するように構成されている。しかしながら、HARP検出電流によりHARP電流検出器において電位変動が生じ、その電位変動が結合キャパシタによる容量結合を通じてHARP電極に印加されることによって光電変換膜（HARP）への印加電圧を乱れさせてノイズの原因になるという問題があることが分かった。

[0010] 本発明は、上記した点に鑑みてなされたものであって、その目的とするところは、電子供給素子アレイの各素子間に電子供給量のばらつきがある場合であっても、S/Nの高い高性能、高画質、高速動作が可能な撮像装置を提供することが一例として挙げられる。また、HARP電流検出器における電位変動によるHARP印加電圧への乱れを抑制して安定かつ高精度の画像信号を生成する撮像装置を提供することも本発明の目的の1つである。

課題を解決するための手段

[0011] 本発明の撮像装置は、アバランシェ増倍により光入射に対応した正孔を生成する光電変換膜と、複数の電子供給源がマトリクス状に配置された電子供給源アレイと、電子供給源アレイを走査して光電変換膜の複数の画素領域に電子を順次供給する走査ドライバと、を備えた撮像装置であって、

光電変換膜とキャパシタを介して結合され、光電変換膜に生成された正孔と電子供給源アレイから光電変換膜に供給された電子とが結合することによって流れる光電変換膜電流を検出する光電変換膜電流検出器と、

オフセット電流を生成して光電変換膜電流に重畳するオフセット電流源と、

、

光電変換膜電流にオフセット電流が重畳された電流を時間積分して積分信号を生成する積分器と、

画素領域の各々に電子を供給する画素期間ごとに上記積分信号をサンプリングして画像信号を生成するサンプリング手段と、を有している。

図面の簡単な説明

- [0012] [図1]従来の光電変換膜の電極から中和電流を取り出し、ローパスフィルタ（LPF）によって画像信号成分を抽出する構成を示すブロック図である。
- [図2]図1に示す従来技術において、電子放出素子に放出電子量のばらつきがある場合、LPFの帯域内に変則的変調に起因するノイズが生じることを示す図である。
- [図3]HEED冷陰極HARP撮像素子の構成を模式的に示す断面図である。
- [図4]HEED冷陰極アレイ、HEED冷陰極アレイを駆動するY走査ドライバ及びX走査ドライバ、装置全体を制御するコントローラの構成を示すブロック図である。
- [図5]アクティブ駆動型HEED冷陰極アレイの構造を説明する図であって、画素部分を模式的に示す部分断面図である。
- [図6]本実施例の撮像装置の構成を模式的に示す図である。
- [図7]図6に示す画像信号検出部の構成を示すブロック図である。
- [図8]図7に示す画像信号検出部の各構成要素の出力信号波形を、HEED冷陰極アレイ素子からの放出電子量が等しい場合について模式的に示す図である。
- [図9]HARP光電変換膜の各画素領域への入射光量が等しく、HEED冷陰極アレイ素子からの放出電子量が異なる場合の画像信号検出部の各構成要素の出力信号波形を模式的に示す図である。
- [図10]本発明の実施例2である画像信号検出部の構成を示すブロック図である。
- [図11]HARP光電変換膜の各画素領域への入射光量が異なり、かつ、HEED冷陰極アレイ素子からの放出電子量が異なる場合における、画像信号検出部各構成要素の出力信号波形を模式的に示す図である。
- [図12]走査ラインY_kにおいて、X方向（水平方向）の走査駆動によって当該走査ラインの画素P_{X(j)}を点順次走査する場合の動作及び積分リセット動作を模式的に示す図である。

[図13]積分器の回路構成の一例を示す回路図である。

[図14]積分器の回路構成の他の例を示す回路図である。

[図15]積分器の回路構成の他の例を示す回路図である。

[図16]本発明の実施例3である積分型検出部の構成を示すブロック図である。

[図17]電流取り込み用トランジスタのベース・エミッタ間電圧 V_{be} に対するエミッタ電流 I_e の関係を示す図である。

[図18]実施例3の各構成要素の出力信号波形を模式的に示す図である。

発明を実施するための最良の形態

[0013] 以下、本発明の実施例を図面を参照しつつ説明する。尚、以下に説明する図において、実質的に同一又は等価な構成要素には同一の参照符を付している。

実施例 1

[0014] 図3は、HEED冷陰極HARP撮像素子10の構成を模式的に示す断面図である。HEED冷陰極HARP撮像素子（以下、冷陰極撮像素子ともいう。）10は、アクティブ駆動型HEED（High-efficiency Electron Emission Device）冷陰極アレイとHARP（High-gain Avalanche Rushing amorphous Photoconductor）光電変換膜とを組み合わせた撮像素子である。より詳細には、冷陰極撮像素子10は、HARP光電変換膜11と、HEED冷陰極アレイチップ24と、HARP光電変換膜11及びHEED冷陰極アレイ20間に配されたメッシュ電極（中間電極）15を有している。後述するように、HEED冷陰極アレイチップ24には、アクティブ駆動型HEED冷陰極アレイ（以下、単に、HEED冷陰極アレイという。）20と、Y走査ドライバ22及びX走査ドライバ23（図示しない）とが一体に形成されている。なお、光電変換膜としてHARP構造の光電変換膜を用い、また、冷陰極アレイとしてHEED構造の冷陰極アレイを用いた場合について説明するが、これらは例示に過ぎず他の構成の光電変換膜及び冷陰極アレイや電子供給源を用いてもよい。

- [0015] 図に示すように、HARP光電変換膜11は透光性導電膜12上に形成され、透光性導電膜12は透光性基板13上に形成されている。HARP光電変換膜11は、アモルファス・セレン(S_e)を主成分として構成されているが、他の材料、例えば、シリコン(S_i)や、酸化鉛(PbO)、セレン化カドミウム(CdS_e)、砒化ガリウム(GaAs)等の化合物半導体などを用いることもできる。透光性導電膜12は、酸化スズ(SnO₂)膜、ITO(酸化インジウムスズ)膜などで形成することができる。透光性導電膜12には、後述するように、ガラスハウジング10Aに設けられた接続端子(入出力端子)T1を介して所定の正電圧(以下、HARP電位又はHARP電圧ともいう。)が印加される。
- [0016] 透光性基板13は、冷陰極撮像素子10が撮像する波長の光を透過する材料で形成されていけばよい。例えば、可視光による撮像を行う場合には可視光を透過するガラス等の材料で形成され、紫外光による撮像の場合には紫外光を透過するサファイア、石英ガラス等の材料で形成されている。また、X線による撮像の場合には、X線を透過する材料、例えば、ベリリウム(Be)、シリコン(S_i)、窒化ホウ素(BN)、酸化アルミニウム(Al₂O₃)等で形成されていけばよい。
- [0017] メッシュ電極15には、複数の開口が設けられており、公知の金属材料、合金、半導体材料等で形成されている。メッシュ電極15には接続端子T5を介して所定の正電圧(以下、メッシュ電圧又はメッシュ電位ともいう。)が印加される。メッシュ電極は、電子加速及び余剰電子回収のために設けられる中間電極である。
- [0018] HEED冷陰極アレイ20については、後に詳述するが、HEEDを駆動するMOS(Metal Oxide Semiconductor)トランジスタのゲート電極はX走査ドライバ23(水平走査回路)に接続され、ソース電極(S)はY走査ドライバ22(垂直走査回路)に接続され、点順次走査がなされる。Y走査ドライバ22及びX走査ドライバ23はHEED冷陰極アレイチップ24上にHEED冷陰極アレイ20と一体に、1チップとして構成され、ガラスハウ

ジング 10A 内に設けられている（図示しない）。HEED 冷陰極アレイチップ 24 の駆動に必要な信号や電圧などはガラスハウジング 10A に設けられた接続端子（入出力端子）T2, T3, T4 を介して供給される。

[0019] これらの全ての構成要素はフリットガラスまたはインジウムメタルによってシールされたガラスハウジング 10A 内に真空封入されている。

[0020] 図 4 は、HEED 冷陰極アレイ 20 及び HEED 冷陰極アレイ 20 を駆動する Y 走査ドライバ 22、X 走査ドライバ 23、装置全体を制御するコントローラ 25 の構成を示すブロック図である。Y 走査ドライバ 22 及び X 走査ドライバ 23 は HEED 冷陰極アレイチップ 24 として 1 チップとして構成されている。なお、コントローラ 25 や、後述するその他の回路が当該チップ上に設けられていてもよい。

[0021] HEED 冷陰極アレイ 20 は、図 4 に模式的に示すように、Si ウェハ上に形成した駆動回路 LSI 上に HEED 冷陰極アレイを直接積層して一体化したアクティブ駆動型電界放出アレイ（FEA: Field Emitter Array）として構成され、点順次スキャンがなされる撮像動作の高速駆動（例えば、1 画素の駆動パルス幅が数 10 ns 以下）に対応することができる。HEED 冷陰極アレイ 20 は、Y 方向（垂直方向）及び X 方向（水平方向）にそれぞれ n ライン及び m ラインの走査駆動線（以下、単に、走査ラインという。）に接続された n 行及び m 列（画素数は $n \times m$ ）からなるマトリクス配列の複数の画素から構成されている。例えば、 640×480 画素（VGA 規格）の高精細 HEED 冷陰極アレイとして構成されている。

[0022] Y 走査ドライバ 22 及び X 走査ドライバ 23 はコントローラ 25 からの垂直同期信号（V-Sync）、水平同期信号（H-Sync）、クロック信号（CLK）等の制御信号に基づいて点順次走査及び画素の駆動を行う。すなわち、Y 方向に走査ライン（ Y_j , $j=1, 2, \dots, n$ ）を順次走査し、ある 1 つの走査ライン（ Y_k とする）の選択時に X 方向に走査ライン（ X_i , $i=1, 2, \dots, m$ ）を順次走査して当該走査ライン（ Y_k ）上の各画素を選択駆動することによって点順次走査を実行する。

[0023] 図5は、アクティブ駆動型HEED冷陰極アレイ20の構造を説明する図であって、画素部分を拡大して模式的に示す部分断面図である。HEED冷陰極アレイ20は、MOSトランジスタアレイからなる駆動回路40と、駆動回路40を駆動制御するY走査ドライバ22及びX走査ドライバ23とを形成した後、駆動回路40の上部にHEED部31が形成されている。

[0024] 図5に示すように、HEED部31は、下部電極33、シリコン(Si)層34、酸化シリコン(SiOx)層35、例えばタングステン(W)からなる上部電極36、炭素(C)層37の積層構造からなるMIS(Metal Insulator Semiconductor)型の冷陰極電子放出源である。HEED冷陰極アレイ20の上部電極36は全画素共通になっており、下部電極33およびSi層34を分割して各画素を電氣的に分離している。

[0025] HEED部31の下部電極33は、駆動回路40のMOSトランジスタのドレイン電極Dにビアホールを介して接続されている。また、前述のように、MOSトランジスタのゲート電極Gとソース電極SはX走査ドライバ23及びY走査ドライバ22に接続されている。そして、電子を放出させる画素のスイッチングはMOSトランジスタのドレイン電位、すなわち、HEED部31の各画素の下部電極33の電位を制御することによって行われる。

[0026] また、HEED冷陰極アレイ20の画素数は、例えば、 640×480 画素(VGA)であり、1画素のサイズは $20 \times 20 \mu\text{m}^2$ である。1画素の表面部には、電子放出のための開口部であるエミッションサイトESが設けられている。例えば、1画素の $8 \times 8 \mu\text{m}^2$ の領域には、直径DEが約 $1 \mu\text{m}$ であるエミッションサイトES($1 \mu\text{m}\phi$)が 3×3 個形成されている。1つのエミッションサイトESからは、例えば、数マイクロアンペア(μA)の電子流が放出される(放出電流密度は、約 4 A/cm^2)。なお、本実施例において示す数値は単なる例示に過ぎず、撮像素子が用いられる装置、撮像素子の解像度、感度等に応じて、適宜変更して適用することが可能である。

[撮像装置の構成及び動作]

図6は、本実施例の撮像装置50の構成を模式的に示す図である。撮像装

置 5 0 には、画像信号検出部 5 1 と、Y 走査ドライバ 2 2、X 走査ドライバ 2 3 及び画像信号検出部 5 1 を制御するコントローラ 2 5 とが設けられている。

[0027] また、図 6 に示すように、透光性導電膜 1 2 には外部電源回路が接続され、所定の正電圧（HARP 電圧） V_{harp} が HARP 光電変換膜 1 1 に印加されるとともに、キャパシタ C 1 を介して HARP 電流が画像信号検出部 5 1 に供給されるように構成されている。また、メッシュ電極 1 5 には所定の正電圧（メッシュ電圧又は MESH 電圧） V_{mesh} が印加されるように構成されている。また、HEED 部 3 1 の上部電極 3 6 には所定の正電圧（HEED 駆動電圧） V_d が印加されるように構成されている。なお、これらの電圧値を例示すると、 $V_{harp} = 1.5 \text{ kV}$ 、 $V_{mesh} = 470 \text{ V}$ 、 $V_d = 23 \text{ V}$ であるが、これらの値に限定されるものではない。

[0028] 次に、撮像装置 5 0 の動作について説明する。外部からの光が透光性導電膜 1 2 を経て HARP 光電変換膜 1 1 に入射すると、透光性導電膜 1 2 近傍の膜内部に入射光量に応じた電子・正孔対が生成される。このうち正孔は透光性導電膜 1 2 を介して HARP 光電変換膜 1 1 に印加された強い電界によって加速され、HARP 光電変換膜 1 1 を構成する原子と次々衝突して新たな電子・正孔対を生み出す。このように、アバランシェ増倍された正孔が HARP 光電変換膜 1 1 の HEED 冷陰極アレイ 2 0 に対向する側（透光性導電膜 1 2 の反対側）に蓄積され、入射光像に対応した正孔パターンが形成される。その正孔パターンと HEED 冷陰極アレイ 2 0 から放出された電子とが結合する際の電流が入射光像に応じた HARP 電流として出力される。

[0029] なお、Y 走査ドライバ 2 2、X 走査ドライバ 2 3、画像信号検出部 5 1 及びコントローラ 2 5 を含む撮像装置 5 0 の各構成要素はクロック信号（CLK）に基づいて（同期して）動作し、ここで説明する各種信号の検出、ドライバ駆動、信号処理等の種々の動作がなされる。

[0030] 図 7 は、画像信号検出部 5 1 の構成を示すブロック図である。画像信号検出部 5 1 は、HARP 信号検出器 5 3、積分器 5 5 及びサンプル・ホールド

回路 56 から構成されている。上記したように、画像信号検出部 51 のこれらの構成要素は、コントローラ 25 の制御及びクロック信号 (CLK) に基づいて動作する。

[0031] また、図 8 は、かかる画像信号検出部 51 の各構成要素の出力信号波形を模式的に示している。なお、説明の簡便さのため、2つの画素 $PX(j)$, $PX(j+1)$ について示している。また、当該画素の期間 (画素期間) についても、画素期間 $PX(j)$, $PX(j+1)$ と称して説明する。なお、 640×480 画素 (VGA 規格) の撮像装置においては、一般的に画素期間の長さは数 10 ns (ナノ秒) 程度、例えば 80 ns である。

[0032] HARP 信号検出器 53 は HARP 光電変換膜 11 に設けられたキャパシタ $C1$ に接続され、クロック信号 (CLK) に基づいて、画素ごとに HARP 電流信号を検出する。図 8 は、HEED 冷陰極アレイ 20 の当該画素 $PX(j)$, $PX(j+1)$ に対応する素子からの放出電子量が等しい場合であって、HARP 光電変換膜 11 の当該画素領域への入射光量が異なる場合、すなわち、 $PX(j+1)$ の入射光量が $PX(j)$ の入射光量よりも大きい場合について示している。このとき、HARP 電流値 (パルス波高) $I_h(j) = I_h(j+1)$ である。また、HARP 電流 (中和電流) の継続期間 (以下、HARP 電流期間という。) を第 j 画素について $T(j)$ のように表すと、 $T(j) < T(j+1)$ である。

[0033] 積分器 55 は、画素期間の終了時に積分値をリセットしつつ、各画素期間 $PX(j)$, $PX(j+1)$ について HARP 電流の積分を行う。積分器 55 は、例えば、オペアンプを用いて構成することができる。あるいは、電流吸い込み及びキャパシタ充電による回路等を用いることができる。

[0034] 図 13 は、積分器 55 の回路構成の一例を示す回路図である。すなわち、積分器 55 は、例えば、オペアンプ 61 と、キャパシタ C とから構成されている。オペアンプ 61 の非反転入力 (+) は接地 (GND) され、反転入力 (-) と出力とはキャパシタ C を介して接続されている。また、オペアンプ 61 の出力はサンプル・ホールド (S/H) 回路 56 に接続されている。オペアンプ 61 の反転入力 (-) は HARP 信号検出器 53 に接続され、HARP 電

流信号が供給される。従って、HARP信号検出器53からのHARP電流信号は積分器55により積分され、当該積分値がサンプル・ホールド回路56に供給される。また、オペアンプ61の入力側、すなわち反転入力（－）及びHARP信号検出器53間に直列に抵抗器が設けられていてもよい。

[0035] なお、積分器55には、キャパシタCの電荷を放電するリセット回路（図示しない）が設けられている。上記したように、積分器55を含む画像信号検出部51の各構成はコントローラ25の制御により動作する。そして、後に詳述するように、コントローラ25の制御により画素期間の終了時等において積分器55の積分値はリセットされる。

[0036] 図14及び図15は、積分器55の他の例を示している。図14は、バイポーラトランジスタ62及びキャパシタCを用いたエミッタ吸い込み型の積分器である。すなわち、バイポーラトランジスタ62のエミッタにHARP信号検出器53からのHARP電流信号が供給される。また、キャパシタCに接続されたコレクタがサンプル・ホールド回路56に接続され、HARP電流信号の積分値がサンプル・ホールド回路56に供給される。

[0037] また、図15は、電界効果型トランジスタ（FET: Field Effect Transistor）63及びキャパシタCを用いたソース吸い込み型の積分器である。すなわち、FET63のソースにHARP信号検出器53からのHARP電流信号が供給される。また、キャパシタCに接続されたドレインがサンプル・ホールド回路56に接続され、HARP電流信号の積分値がサンプル・ホールド回路56に供給される。

[0038] なお、積分器55の構成はこれらに限らない。HARP電流信号の積分を行い、当該積分値を出力する構成のものであればよい。

[0039] 図8に示すように、HARP電流の積分波形は、画素 $PX(j)$ 、 $PX(j+1)$ についてそれぞれの画素期間の開始から時間 $T(j)$ 、 $T(j+1)$ だけ経過した後一定値になる。すなわち、各画素領域に蓄積された正孔の中和が完了する期間の経過後、各画素領域への入射光量に応じた一定の積分値 $G(j)$ 、 $G(j+1)$ になる。つまり、積分値 $G(k)$ （ $k=1, 2, \dots, j, \dots$ ）は各画素の輝度を表して

いる（以下においては、 $G(k)$ を画素値ともいう。）。そして、積分器55は、画素期間の終了時に積分値をリセットする。

[0040] サンプル・ホールド回路56は、各画素期間の終端部における所定のサンプリング期間 S_T においてHARP電流の積分波形のサンプリングを行って、当該サンプリング値をホールドする。あるいは、サンプル・ホールド回路56は、ピーク検出回路を有し、各画素期間における積分波形のピーク値を検出し、当該ピーク値をホールドするようにしてもよい。以下においては、サンプル・ホールド回路56が各画素期間の終端部における積分値をサンプリング及びホールドする場合を例に説明する。

[0041] そして、サンプル・ホールド回路56は、そのホールド値を画像信号 S_V として出力する。従って、画像信号検出部51は、HARP光電変換膜11の各画素領域への入射光量に応じた正確な画像信号を生成することができる。

[0042] 図9は、HARP光電変換膜11の各画素領域への入射光量が等しく、HEED冷陰極アレイ20の素子からの放出電子量が異なる場合、すなわち、HEED放出電子量（放出電流） $E(j) < E(j+1)$ である場合について示している。このとき、HARP電流値（パルス波高）は $I_h(j) < I_h(j+1)$ となるが、HARP電流期間は $T(j) > T(j+1)$ である。

[0043] 積分器55は、各画素期間の終了時に積分値をリセットしつつ、各画素期間 $P_X(j)$ 、 $P_X(j+1)$ についてHARP電流の積分を行う。各画素領域に蓄積された正孔の中和が完了した後、HARP電流の積分値は $I_h(j) \times T(j) = I_h(j+1) \times T(j+1)$ となる。すなわち、これらの期間 $T(j)$ 、 $T(j+1)$ の経過後にそれぞれの積分値は、入射光量に応じた一定値 $G(j) = G(j+1)$ になる。

[0044] サンプル・ホールド回路56は、各画素期間の終端部における所定のサンプリング期間 S_T においてHARP電流の積分波形のサンプリングを行って、当該サンプリング値をホールドする。つまり、各画素期間の終端部において積分値が一定になった後にサンプリングを行うようにしている。すなわち

、放出電子によって画素領域に蓄積された正孔の中和が完了した後にサンプリングを行うようにしているので、H E E D冷陰極アレイ素子からの放出電子量（すなわち、H A R P電流期間）が異なる場合であっても、入射光量に応じた正確な積分値（ $G(k)$ ：画素値）を得ることができる。そして、サンプル・ホールド回路56はその画素値 $G(k)$ （ $k=1, 2, \dots$ ）を順次、画像信号SVとして出力する。つまり、画像信号検出部51は、H A R P光電変換膜11の画素領域への入射光量に応じた正確な画像信号を生成することができる。また、積分器55を用いているので、放出電子量のばらつきに起因するノイズは生じない。

[0045] なお、図9を参照して、各画素領域への入射光量が等しく放出電子量が異なる場合について説明したが、上記した説明から理解されるように、各画素領域への入射光量が異なり、かつ、H E E D冷陰極アレイ20の素子からの放出電子量が異なる場合についても入射光量に応じた正確な積分値を得ることができ、放出電子量のばらつきに起因するノイズが生じない点も同様である。

[0046] 前述のように、L P Fを信号検出に用いた従来の構成では、電子放出素子の放出電子量のばらつきに起因するノイズが画像信号に発生するという問題があった。しかしながら、本発明によれば、上記したように、放出電子量のばらつきがあってもこのような画像信号のノイズが生じることのない、原理的に信号雑音比（ S/N ）が高く、高画質の画像信号を生成することができる。

実施例 2

[0047] 図10は、本発明の実施例2である画像信号検出部51の構成を示すブロック図である。画像信号検出部51は、H A R P信号検出器53、積分器55、サンプル・ホールド回路56及び差分算出器57から構成されている。

[0048] また、図11は、H A R P光電変換膜11の各画素領域への入射光量が異なり、かつ、H E E D冷陰極アレイ20の素子からの放出電子量が異なる場合における、画像信号検出部51の各構成要素の出力信号波形を模式的に示

している。すなわち、H E E D 放出電子量（放出電流）が $E(j) < E(j+1)$ であり、H A R P 電流値（パルス波高）は $I_h(j) < I_h(j+1)$ である点は上記した実施例と同様である。但し、各画素領域への入射光量が異なるので、 $G(j) (= I_h(j) \times T(j))$ と、 $G(j+1) (= I_h(j+1) \times T(j+1))$ とは異なる。図に示した場合では、 $G(j) < G(j+1)$ である。

[0049] さらに、実施例 1 においては、積分器 5 5 が、各画素期間の終了時に積分値をリセットしつつ、各画素期間 $PX(j)$ 、 $PX(j+1)$ について H A R P 電流の積分を行う構成を有している場合について説明した。本実施例においては、積分器 5 5 は所定期間に亘って H A R P 電流の積分を継続する。すなわち、積分器 5 5 が所定数の画素期間に亘って H A R P 電流の積分を継続し、当該所定数の画素期間ごとに、その最後の画素期間の終了時に積分信号（積分値）のリセット動作を行うように構成することができる。

[0050] あるいは、積分器 5 5 は当該所定期間を 1 の水平走査ライン Y_k （第 k 走査ライン）の走査期間に亘って H A R P 電流の積分を継続し、水平走査ラインの走査ごとにリセット動作を行うようにすることができる。以下においては、水平走査ラインの走査ごとにリセット動作を行う場合を例に説明する。

[0051] 図 1 2 は、水平走査ライン Y_k （ $k = 1 \sim n$ ）において、X 方向（水平方向）の走査駆動によって当該走査ラインの画素 $PX(j)$ （ $j = 1 \sim m$ 、 $m = 640$ の場合を示す。）を点順次走査する場合の動作及び積分リセット動作を模式的に示している。すなわち、積分器 5 5 は、1 有効水平走査期間に亘って積分を継続し、当該走査ライン（ Y_k ）の走査後の画像ブランキング期間において積分器 5 5 のリセット動作を行う。このように、積分器 5 5 は、コントローラ 2 5 の制御の下、第 1 走査ライン Y_1 から第 n 走査ライン Y_n までかかる積分動作及び積分器 5 5 のリセット動作を繰り返す。

[0052] サンプル・ホールド回路 5 6 は、各画素期間の終端部における所定のサンプリング期間 ST において H A R P 電流の積分波形のサンプリングを行って、当該サンプリング値をホールドする。つまり、画素領域に蓄積された正孔の中和が完了している時点である各画素期間の終端部においてサンプリング

を行うようにしているので、H E E D冷陰極アレイ素子からの放出電子量が異なる場合であっても、入射光量に応じた正確な積分値を得ることができる。そして、サンプル・ホールド回路56は画素期間 $PX(j)$ ($j = 1 \sim m$) ごとのサンプリング値を差分算出器57に供給する。

[0053] 図11に示すように、差分算出器57は、現在の画素 $PX(j)$ の積分値からこれに先行する画素 $PX(j-1)$ の積分値の差分を算出し、それを当該現在画素 $PX(j)$ の画素輝度(画素値) $G(j)$ とする。そして、差分算出器57は、画素値 $G(k)$ ($k = 1, 2, \dots$) を順次出力し、画像信号SVが得られる。

[0054] 本実施例においては、積分器55のリセット動作を画素期間以外の期間である有効水平走査期間後のブランキング期間において行っている。積分器55のリセット動作には、例えば積分器55内の電荷の引き抜き等のために、数 $n_s \sim 10$ 数 n_s 程度の時間を要する場合がある。本実施例においては、各画素期間にリセット期間を設けずに、ブランキング期間にリセット動作を行うようにしている。

[0055] なお、積分器55が所定数の画素期間に亘ってHARP電流の積分を継続し、当該所定数の画素期間ごとにリセット動作を行うように構成する場合においても、差分算出器57は、先行する画素と現在の画素との差分を算出するように構成されていればよい。

[0056] 上記したように、本実施例によれば、各画素期間にリセット期間を設ける必要がないため、画素期間を短く設定することが可能であり、高速に動作が可能な撮像装置を提供することができる。また、上記実施例と同様に、放出電子量のばらつきがあっても画像信号にノイズが生じることのない、原理的に信号雑音比(S/N)が高く、高画質の画像信号を生成することができる。

実施例 3

[0057] 図16は、本発明の実施例3である積分型検出部71の構成を示すブロック図である。積分型検出部71は、HARP信号検出器及び積分器として動作する。より詳細には、積分型検出部71は、電流取り込み用トランジスタ

72、定電流源からなるオフセット電流源73、電流積分器として動作する蓄積キャパシタ C_A 及びリセット回路74を有している。積分型検出部71の出力は、サンプル・ホールド回路(S/H)56に供給され、サンプル・ホールド回路56の出力はクランプ回路76を介して画像信号として出力される。上記実施例と同様に、積分型検出部71は、コントローラ25の制御によって動作する。

[0058] 電流取り込み用トランジスタ72（以下、単にトランジスタ72ともいう。）としてバイポーラトランジスタを用いた場合を例に説明するが、FET（電界効果型トランジスタ）等の他の素子を用いることもできる。本実施例において、トランジスタ72は、いわゆるベース接地回路構成を有している。トランジスタ72のベース（B）が接地（GND）されている場合を示しているが、所定のベース電圧（ V_B ）に固定されていてもよい。当該ベース接地回路構成では、ベース電極電圧を固定してエミッタ（E）電極を電流注入端子とし、結合キャパシタC1を介してHARP光電変換膜（HARP電極）11から注入されたエミッタ電流をコレクタ（C）電極から取り出すことで、電流注入端子の電圧を安定させた状態で、取り出し電流を安定して検出することができる。すなわち、トランジスタ72は光電変換膜電流検出器として動作する。なお、トランジスタ72としてFETを用いる場合には、ベースはゲート、エミッタはソース、コレクタはドレインに対応させて用いられよい。

[0059] 図17は、電流取り込み用トランジスタ72の特性を模式的に説明する図であり、ベース・エミッタ間電圧 V_{be} に対するエミッタ電流 I_e の関係を示す図である。エミッタ電流 I_e が大きい場合には、エミッタ電流 I_e の変化（ ΔI_{e1} ）に対するベース・エミッタ間電圧 V_{be} の変化（ ΔV_{be1} ）は小さい。すなわち、インピーダンスは小さく（ I_e - V_{be} 特性の傾斜が大）、エミッタ（図16、Q点）の電位変動は小さい。一方、エミッタ電流 I_e が小さい場合には、エミッタ電流 I_e の変化（ ΔI_{e2} ）に対してベース・エミッタ間電圧 V_{be} が大きく変化（ ΔV_{be2} ）する（インピーダンスが大）。ところで、エミッタ

電極は結合キャパシタ C_1 を介して HARP 電極（HARP 光電変換膜）11 に接続されているので、ベース・エミッタ間電圧 V_{be} の変動成分も結合キャパシタ C_1 による容量結合を通じて HARP 電極 11 に印加されることになる。この変動分は交流成分で、しかも上記したようにパルス性なので、HARP 電圧（ V_{harp} ）を乱れさせると同時にノイズの原因にもなる。また、HARP 電圧 V_{harp} は HARP 光電変換膜 11 の感度と密接に関係しているので、光電変換膜 11 への印加電圧の乱れは検出感度の乱れとなる。

[0060] また、HARP 検出電流は容量結合を通じて検出される交流成分であり、負方向にも電流が流れる場合がある（図中、破線矢印で示す電流 I_n ）。従って、電流方向がマイナスからプラスに、又はその逆方向に転じる際に歪が生じたり、検出ゲインの変動が生じたりする。

[0061] 図 18 は、本実施例の各構成要素の出力信号波形を模式的に示す図である。本実施例においては、図 16 に示すように、HARP 電極電流にオフセット電流（ I_{offset} ）を重畳するためのオフセット電流源 73 が設けられている。すなわち、図 18 に示すように、結合キャパシタ C_1 を介してトランジスタ 72 のエミッタ電極に流入する HARP 電極電流（検出電流） I_{harp} にはオフセット電流 I_{offset} が重畳される。これにより、トランジスタ 72 は、エミッタ電流の変動に対するベース・エミッタ間電圧 V_{be} の変動が小さい（インピーダンスが小さい）動作範囲で動作する。つまり、エミッタ電極（図 16、Q 点、すなわち HARP 電流検出点）の電位変動は小さく、結合キャパシタ C_1 を介した HARP 電圧 V_{harp} への電位変動を小さく抑えることができる。従って、HARP 光電変換膜 11 の検出電流及び感度の乱れを抑制することができる。

[0062] 図 18 に示すように、画素期間 $P_X(j)$ において、HARP 電極電流 I_{harp} にはオフセット電流 I_{offset} が重畳され、当該重畳電流（ $I_{harp} + I_{offset}$ ）は電流積分器として動作する蓄積キャパシタ C_A に蓄積（積分）される。なお、説明及び理解の容易さのため、図 18 には、画素期間 $P_X(j)$ において、輝度が 3 つの場合（輝度 L_1 、 L_2 、 L_3 、 $L_1 < L_2 < L_3$ ）を重ねて示

している。つまり、画素期間 $PX(j)$ の輝度が L_1 の場合、画素期間 $PX(j)$ の開始時点 (T_1) から重畳電流 ($I_{harp} + I_{offset}$) の電流積分が開始され、正孔の中和が終了する時刻 $T = T_{11}$ において重畳電流の積分が終了し、その後、所定の積分終了時点 (T_{15}) まで、オフセット電流 I_{offset} のみの積分が行われる。サンプル・ホールド回路 56 は、積分終了時点 (T_{15}) の終端部のサンプリング期間 ST ($T = T_{14} \sim T_{15}$) において、積分波形のサンプリングを行って、当該サンプリング値をホールドする。また、リセット回路 74 によって画素期間 $PX(j)$ の終端部のリセット期間 RST ($T = T_{15} \sim T_2$) において当該積分値はリセットされる。例えば、リセット回路 74 は、蓄積キャパシタ C_A の両端子間に並列に接続されたスイッチからなり、コントローラ 25 からの制御信号 (リセット信号) S_{rs} に応じてキャパシタ C_A の両端子間を導通させて、蓄積された電荷を放電し、リセット動作を行う。リセット回路 74 は、例えば、FET などのトランジスタから構成することができる。

- [0063] かかる動作により、 $T = T_1 \sim T_{11}$ の期間 (すなわち、HARP 電流の継続期間) の積分値に $T = T_{11} \sim T_2$ の期間のオフセット電流 I_{offset} の積分値が加算され、画素期間 $PX(j)$ の終了時点 (T_2) での積分値 G_1 が得られる。画素期間 $PX(j)$ における輝度が L_2 , L_3 の場合も同様であり、それぞれ HARP 電流の継続期間 $T = T_1 \sim T_{12}$ 及び $T = T_1 \sim T_{13}$ においてオフセット電流を重畳した電流の積分が行われ、その後、画素期間 $PX(j)$ のサンプリング期間 ST が開始される時点 ($T = T_{14}$) まで、オフセット電流 I_{offset} のみの積分が行われる、それぞれ積分値 G_2 , G_3 が得られる。サンプリング期間 ST ($T = T_{14} \sim T_{15}$) における積分波形のサンプリング及び当該サンプリング値のホールド動作、また、画素期間 $PX(j)$ の終端部のリセット期間 RST ($T = T_{15} \sim T_2$) における当該積分値のリセット動作についても上記したのと同様である。このような積分、サンプル・ホールド及び積分リセットが画素期間 $PX(j)$ ($j = 1, 2, 3, \dots$) の各々で行われることによって、上記実施例と同様に、画像信号が得られる。

- [0064] なお、オフセット電流 I_{offset} は、HEED電子放出源の放出電子量に応じて、HARP電流が常に正であるような値であることが好ましい。すなわち、HEEDの放出電流（絶対値）よりも大きいことが好ましい。具体的には、1画素からの放出電子（1画素中のエミッションサイトESからの放出電子の合計）による電流よりも大きいことが好ましい。
- [0065] さらに、本実施例においては、積分型検出部71からの積分出力は、サンプル・ホールド（S/H）回路56及びクランプ回路76を介して画像信号として出力される。クランプ回路76は、図16に示すように、例えば、S/H回路56の出力に直列に接続されたキャパシタ C_{cl} と、画像信号出力ラインと接地電位（GND）間に設けられたFETなどのトランジスタからなる回路として構成することができる。交流信号の再生においては、DC（直流）レベルが確定しない。そこで、S/H回路56からの出力端（画像信号出力）のクランプを行ってDCレベルの確定（すなわち、画像信号の場合、黒レベルの0Vへの固定）を行う。すなわち、クランプ回路76は、積分型検出部71の出力に残留するDCずれ分を解消する動作を行う。
- [0066] 具体的には、画像信号において画像輝度値が0（ゼロ）であるはずの水平走査のブランキング期間内において、クランプ回路76のスイッチを導通（オン）させ、画像信号出力電圧を0V（接地点）に接続する。すなわち、ブランキング時点（輝度値が0）の電圧を強制的に0Vとするようにクランプする。そして、その後、クランプ回路76のスイッチを非導通（オフ）とする。かかるクランプ動作によってブランキング時（黒レベル、0V）を基準とした画像輝度値（電圧差分）が得られる、すなわち、ブランキング時（黒レベル）を画像輝度値の基準（輝度値がゼロ）、すなわち黒レベルとする正確な輝度の画像信号を生成することができる。なお、かかるクランプ動作は、例えばコントローラ25からの制御信号（クランプ信号 S_{cl} ）によって行うようにすることができる。クランプ回路76の上記回路構成は例示に過ぎず、ブランキング時などの画像信号が黒レベル（輝度値がゼロ）の期間において、画像輝度値の基準を所定のDCレベル（0Vなど）にレベルを確定す

るように構成されていればよい。

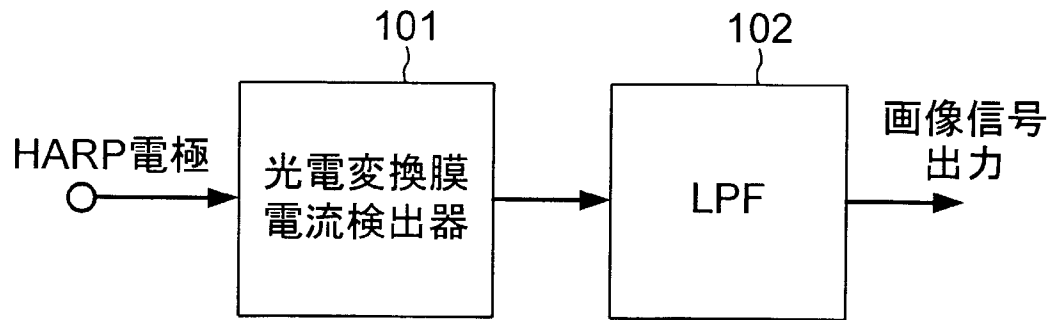
[0067] 以上、説明したように、本実施例によれば、オフセット電流をHARP信号電流に重畳することによって、信号電流の変化による電流検出端子の電圧変動を抑え、キャパシタ結合されたHARP電極への電圧変動を抑制することができる。従って、輝度検出電流及び感度の乱れを抑制し、信号雑音比（ S/N ）が高く、高画質の画像信号を生成する撮像装置を提供することができる。

[0068] なお、上記実施例は適宜組み合わせで適用することができる。また、上記実施例においては、冷陰極アレイとしてHEED冷陰極アレイを用い、光電変換膜としてHARP光電変換膜を用いた場合を例に説明したが、種々の冷陰極アレイ、電子供給源、光電変換膜を用いた撮像装置に適用することができる。また上記実施例において示した材料、数値等は例示に過ぎない。

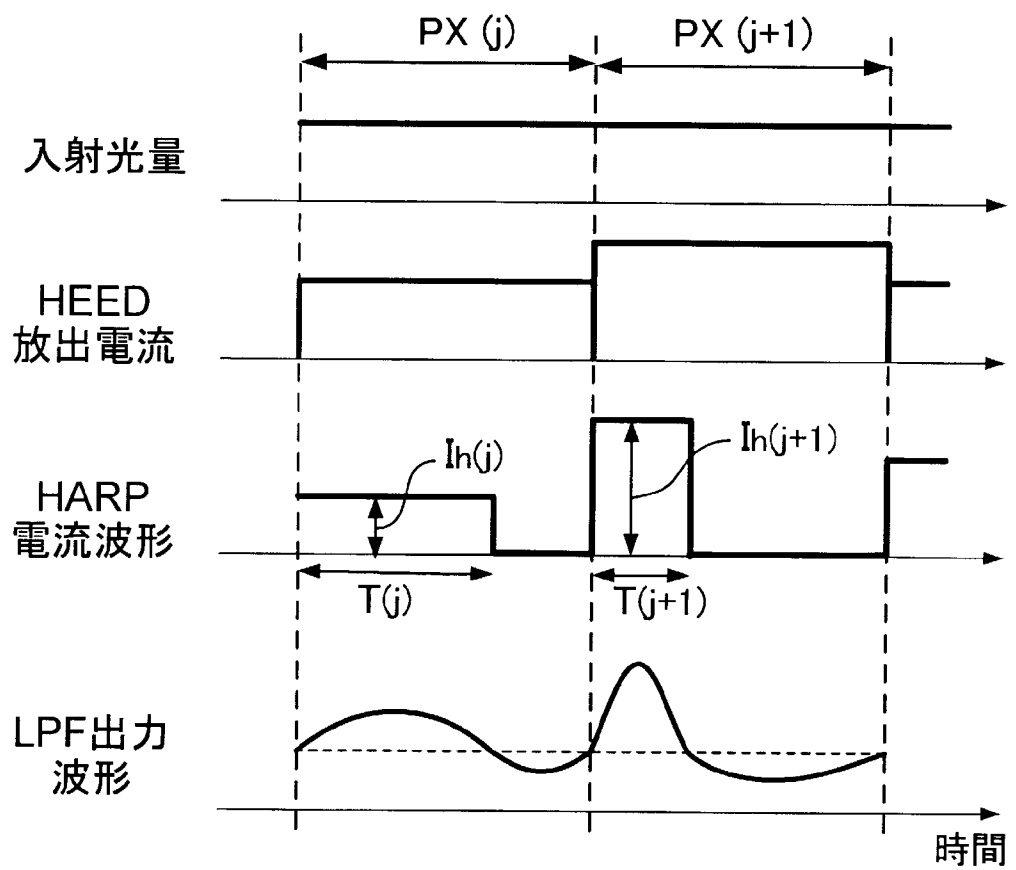
請求の範囲

- [請求項1] アバランシェ増倍により光入射に対応した正孔を生成する光電変換膜と、複数の電子供給源がマトリクス状に配置された電子供給源アレイと、前記電子供給源アレイを走査して前記光電変換膜の複数の画素領域に電子を順次供給する走査ドライバと、を備えた撮像装置であって、
- 前記光電変換膜とキャパシタを介して結合され、前記光電変換膜に生成された正孔と前記電子供給源アレイから前記光電変換膜に供給された電子とが結合することによって流れる光電変換膜電流を検出する光電変換膜電流検出器と、
- オフセット電流を生成して前記光電変換膜電流に重畳するオフセット電流源と、
- 前記光電変換膜電流に前記オフセット電流が重畳された電流を時間積分して積分信号を生成する積分器と、
- 前記画素領域の各々に電子を供給する画素期間ごとに前記積分信号をサンプリングして画像信号を生成するサンプリング手段と、を有することを特徴とする撮像装置。
- [請求項2] 前記積分信号を前記画素期間ごとにリセットするリセット手段を有することを特徴とする請求項1に記載の撮像装置。
- [請求項3] 前記オフセット電流は、前記電子供給源の電流よりも大であることを特徴とする請求項1又は2に記載の撮像装置。
- [請求項4] 前記電子供給源アレイの走査におけるブランキング期間に前記サンプリング手段のサンプリング出力端子を接地電位にクランプさせるクランプ回路を有することを特徴とする請求項1ないし3のいずれか1に記載の撮像装置。

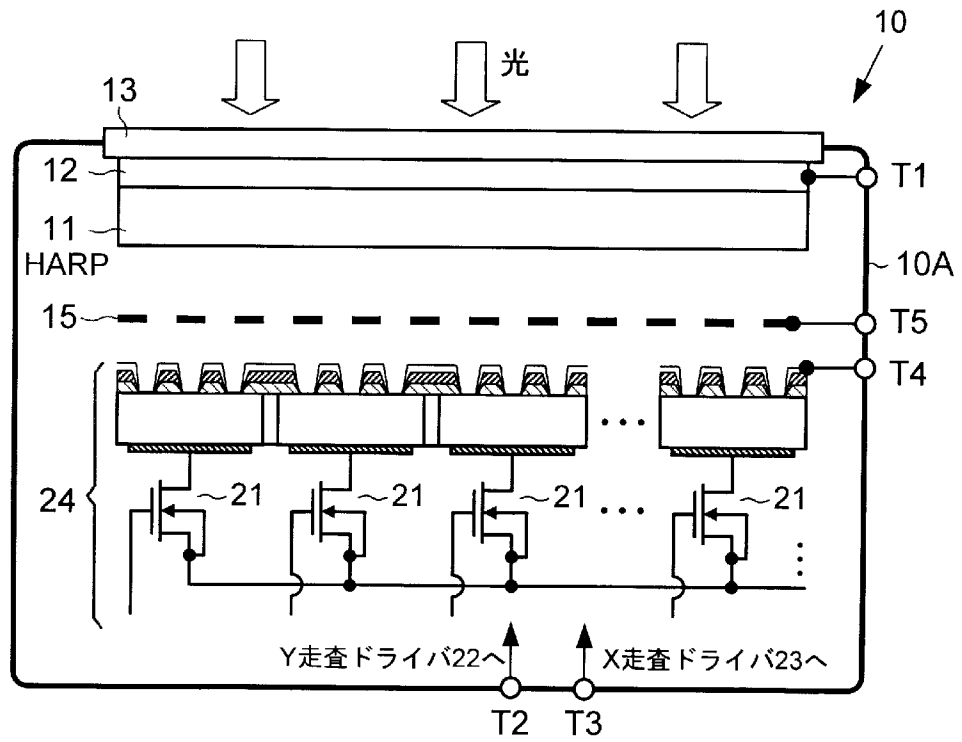
[図1]



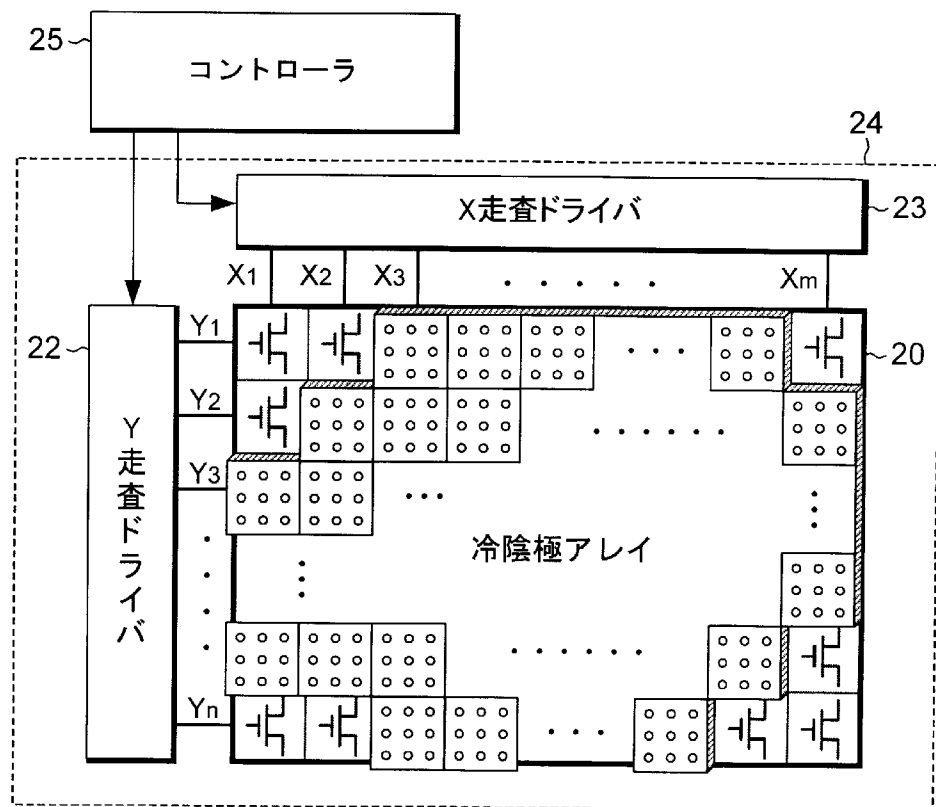
[図2]



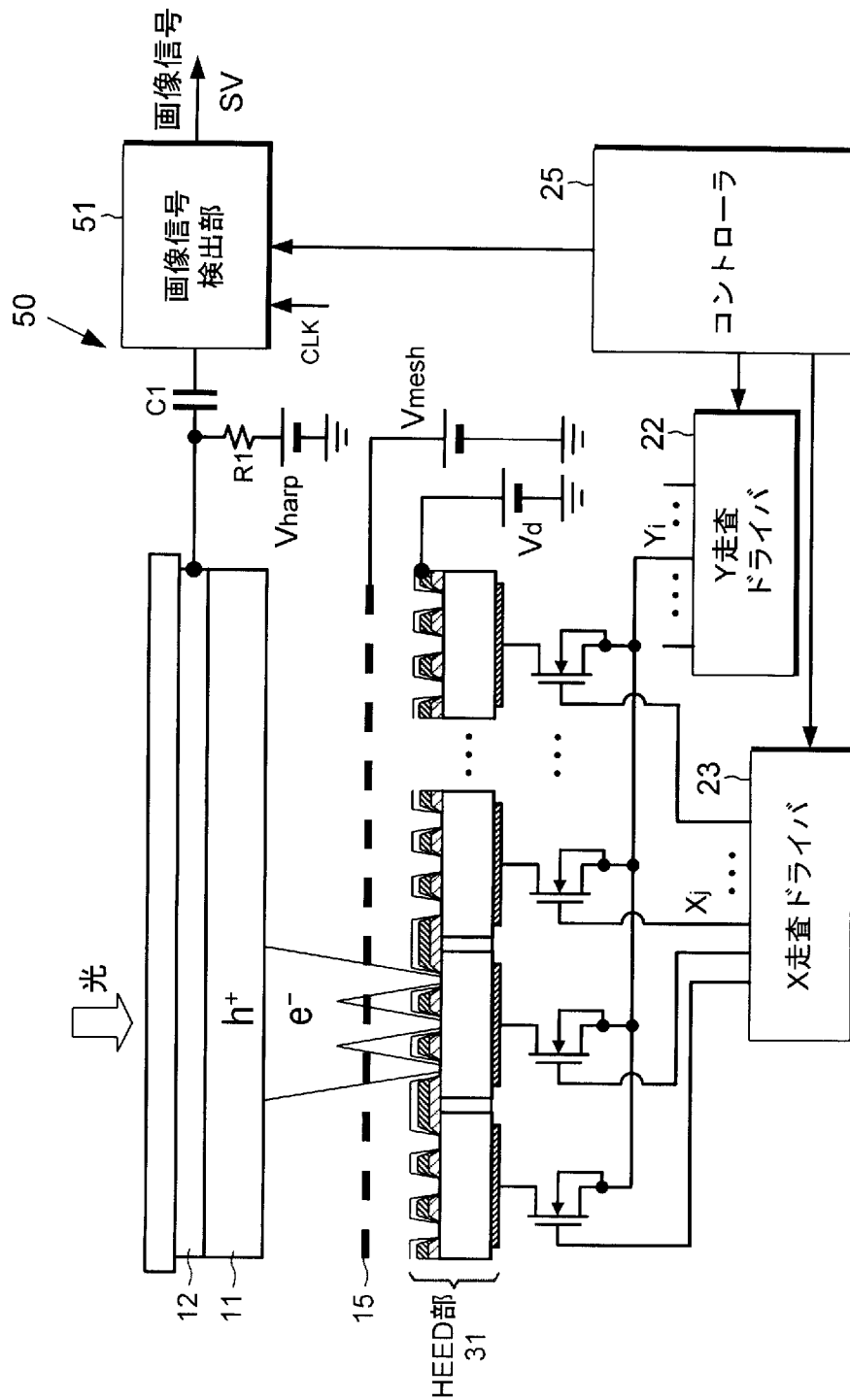
[図3]



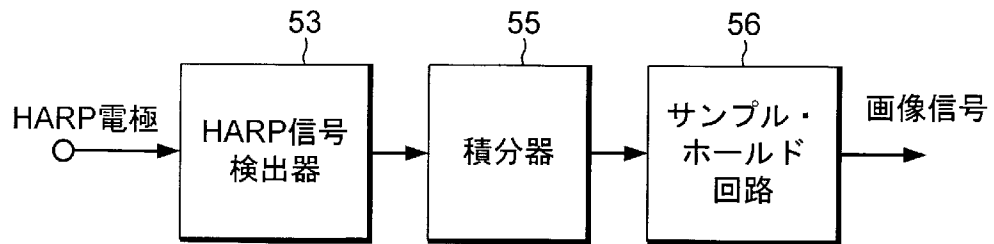
[図4]



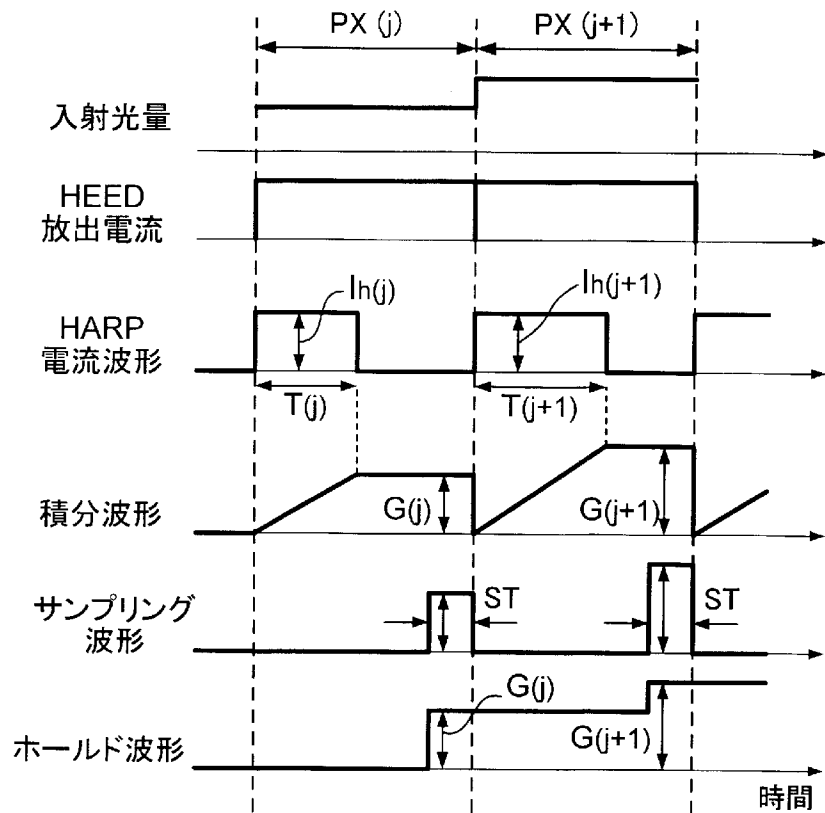
[図6]



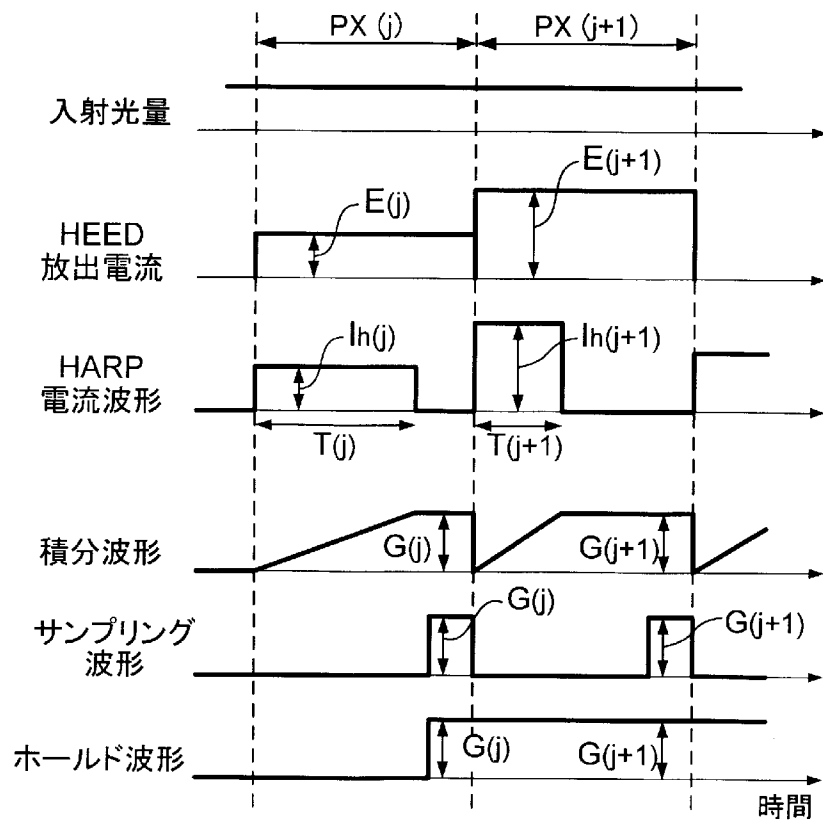
[図7]



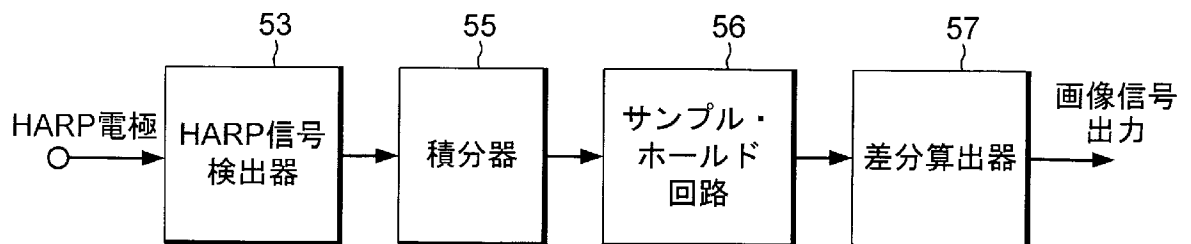
[図8]



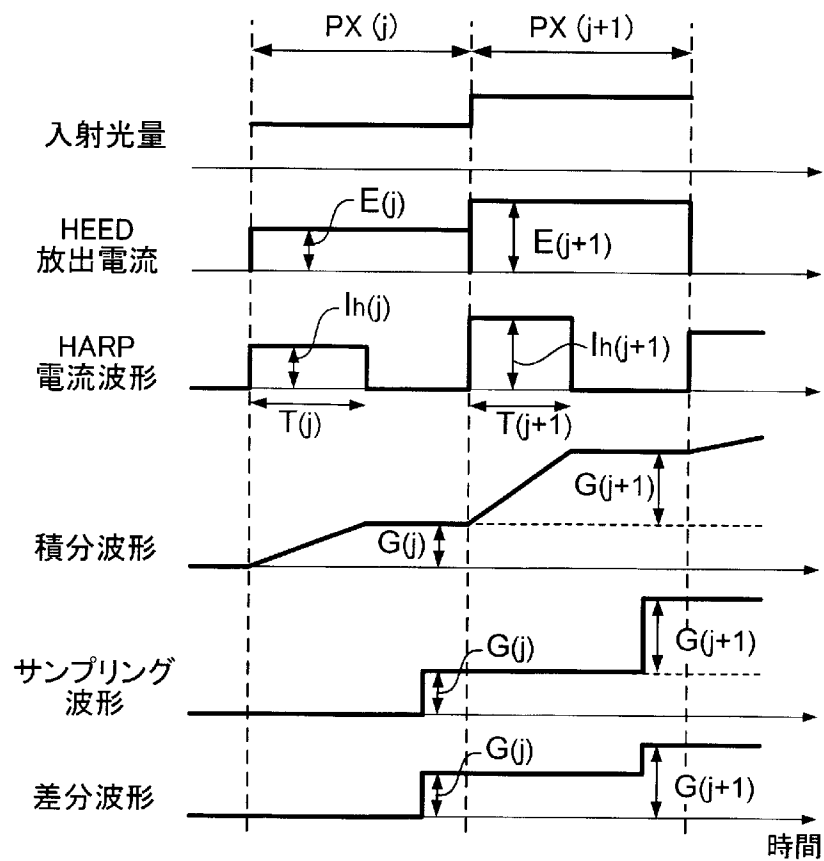
[図9]



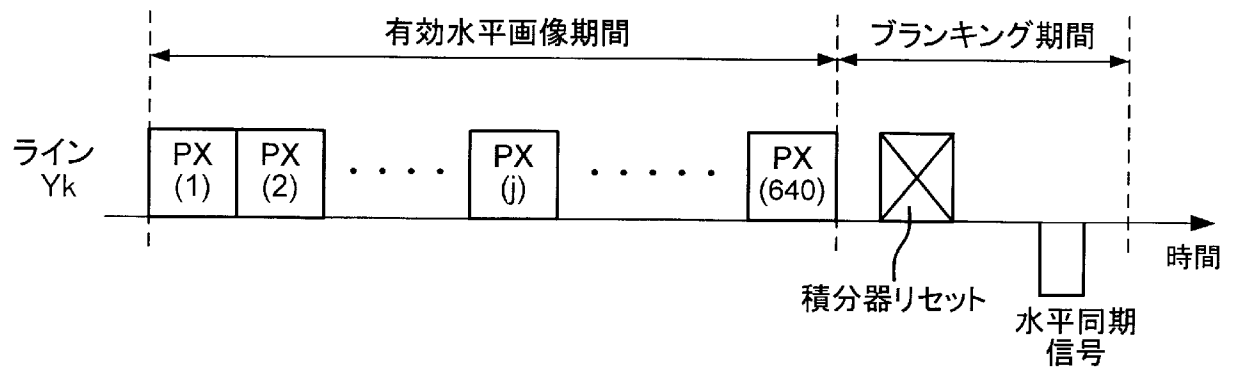
[図10]



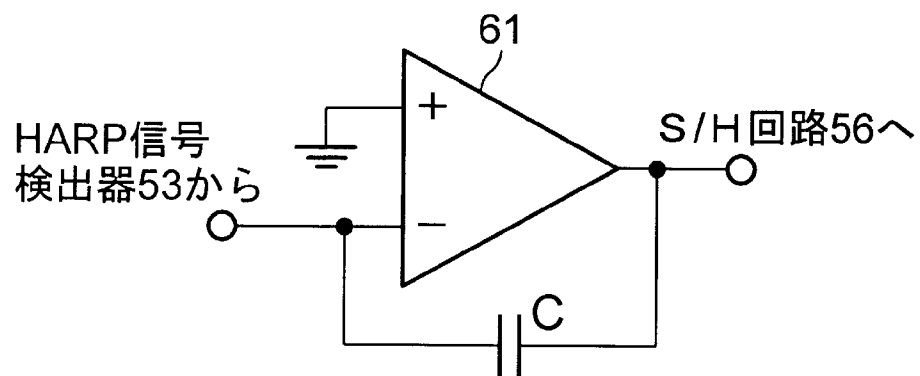
[図11]



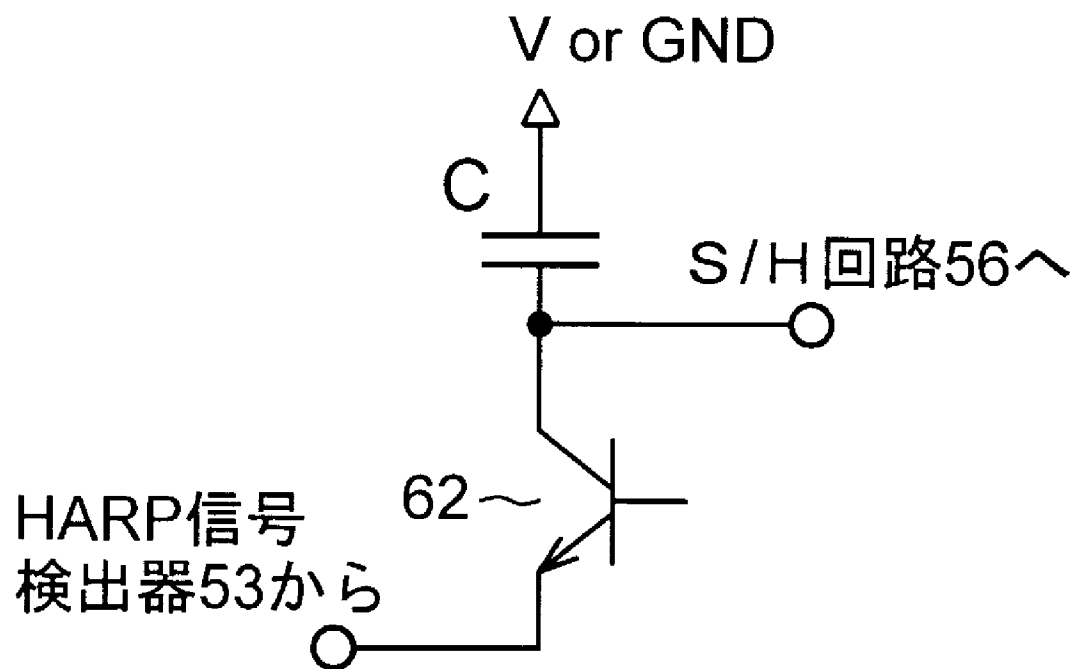
[図12]



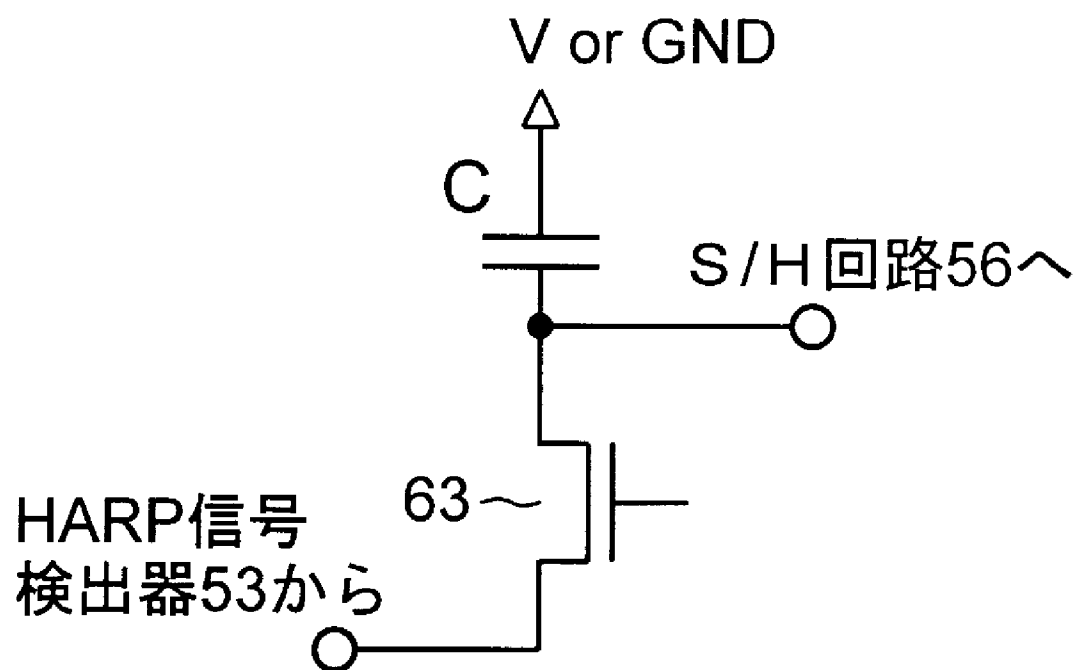
[図13]



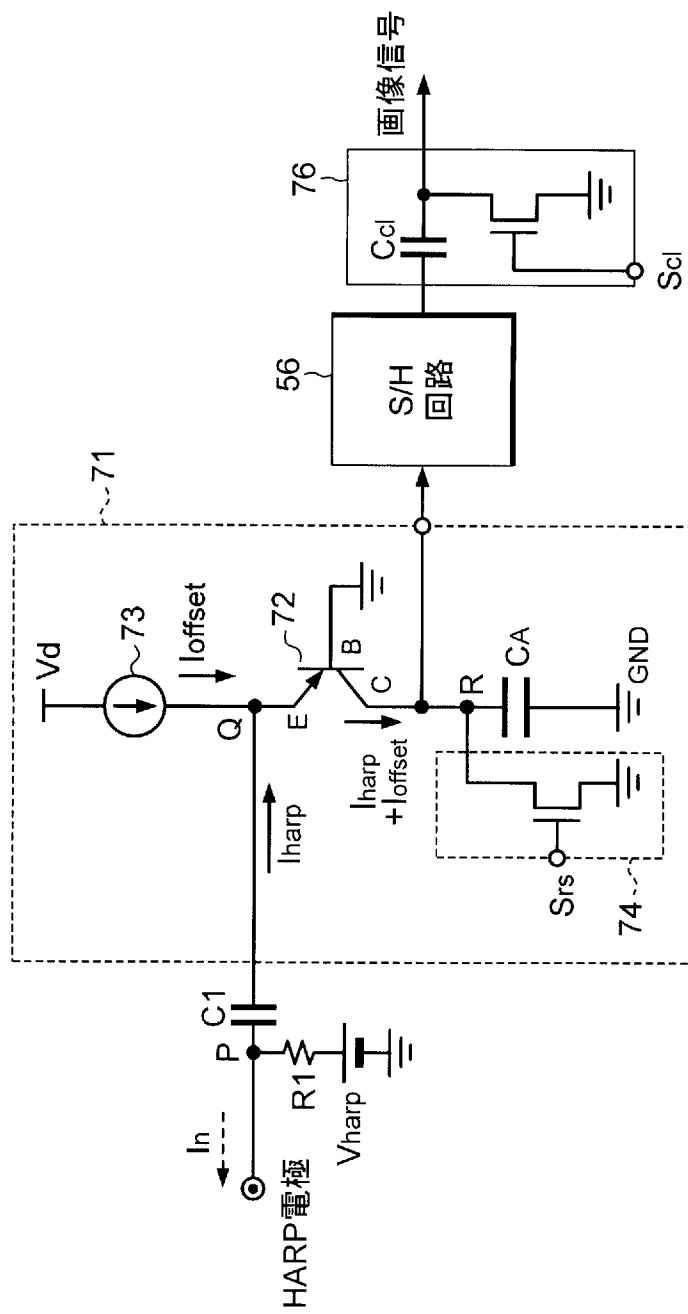
[図14]



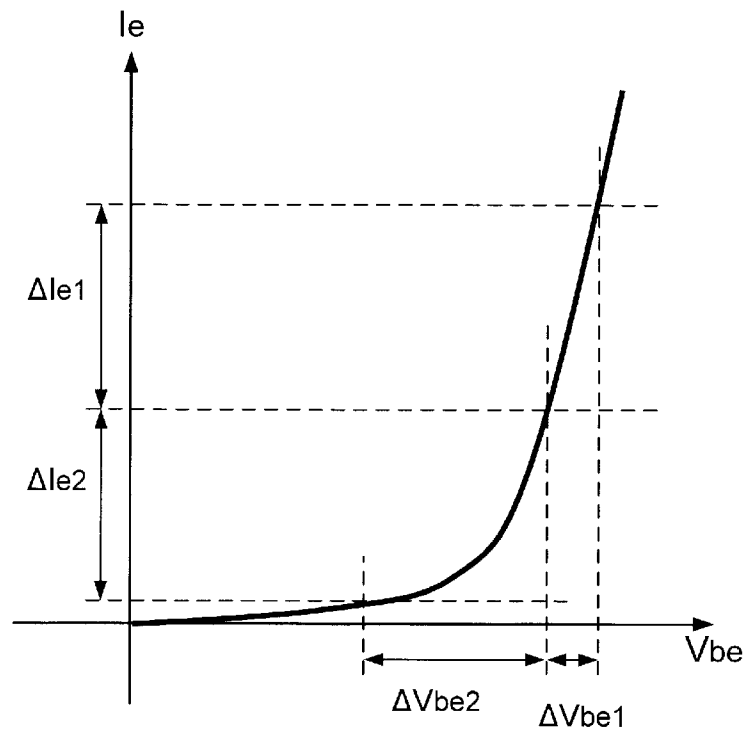
[図15]



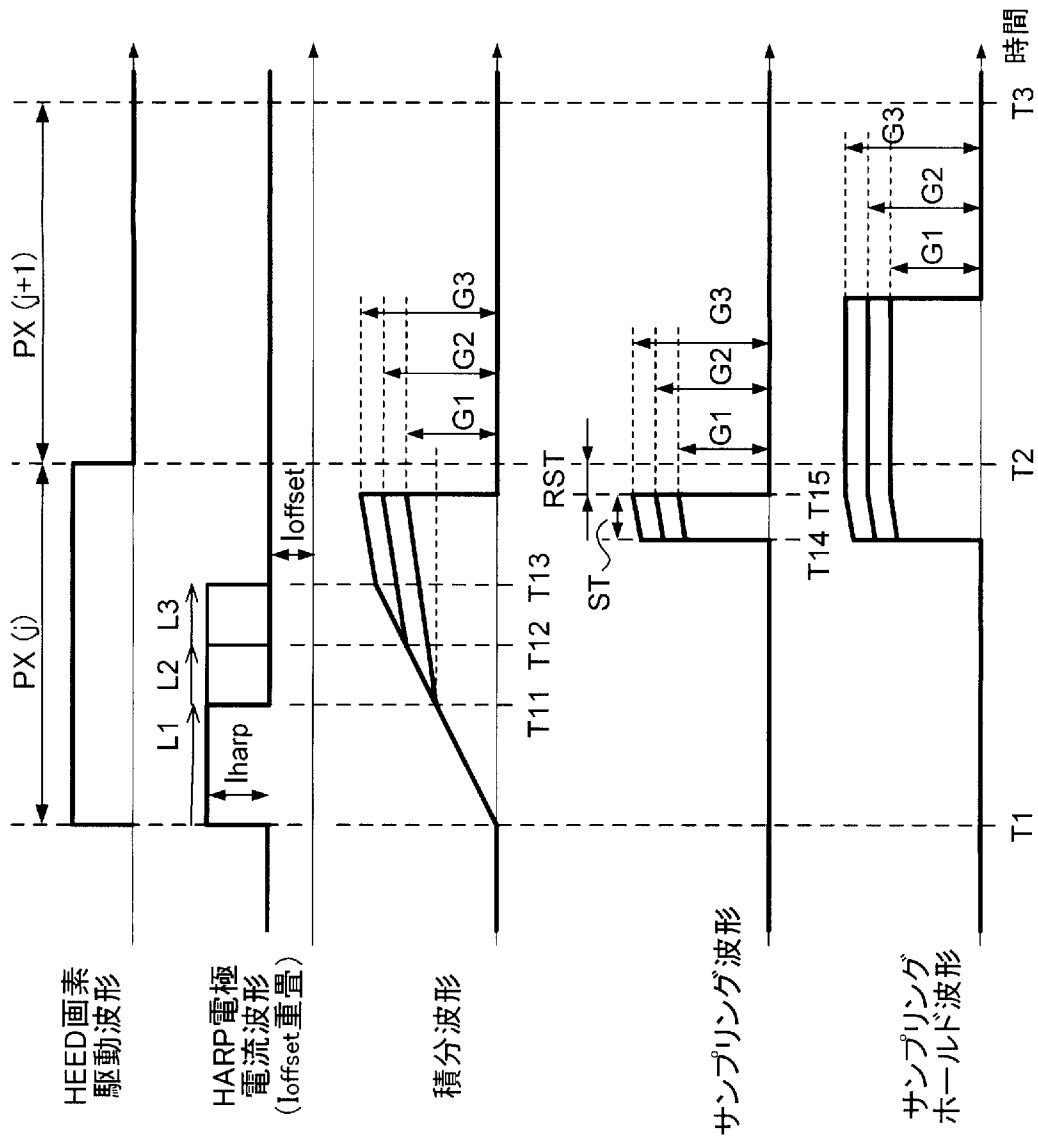
[図16]



[図17]



[図18]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2009/071579

A. CLASSIFICATION OF SUBJECT MATTER

H04N5/228 (2006.01) i, H04N5/335 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H04N5/228, H04N5/335

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2010
Kokai Jitsuyo Shinan Koho	1971-2010	Toroku Jitsuyo Shinan Koho	1994-2010

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2008-147083 A (Pioneer Corp.), 26 June 2008 (26.06.2008), claims; paragraphs [0004] to [0006], [0012], [0022], [0023], [0031], [0039] (Family: none)	1-4
X	JP 2008-148128 A (Pioneer Corp.), 26 June 2008 (26.06.2008), claims; paragraphs [0004] to [0006], [0012], [0022], [0023], [0030] (Family: none)	1-3
A	JP 2004-72258 A (Nippon Hoso Kyokai), 04 March 2004 (04.03.2004), paragraphs [0003] to [0006] (Family: none)	1-4

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search
24 March, 2010 (24.03.10)

Date of mailing of the international search report
06 April, 2010 (06.04.10)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2009/071579

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 9-154067 A (Fuji Photo Film Co., Ltd.), 10 June 1997 (10.06.1997), paragraph [0029] & US 5912703 A & US 6211914 B1 & KR 10-0220863 B	1-4
A	JP 1-288180 A (Seiko Epson Corp.), 20 November 1989 (20.11.1989), page 3, upper left column, lines 5 to 7 (Family: none)	1-4
A	JP 2008-205638 A (Texas Instruments Japan Ltd.), 04 September 2008 (04.09.2008), paragraphs [0072] to [0078] & US 2008/0210993 A1	1-4
A	JP 2007-109742 A (Rohm Co., Ltd.), 26 April 2007 (26.04.2007), paragraphs [0050] to [0052] (Family: none)	1-4

A. 発明の属する分野の分類 (国際特許分類 (I P C))

Int.Cl. H04N5/228 (2006.01)i, H04N5/335 (2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (I P C))

Int.Cl. H04N5/228, H04N5/335

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 0 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 0 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 0 年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	JP 2008-147083 A (パイオニア株式会社) 2008.06.26, 【特許請求の範囲】【0004】-【0006】【0012】【0022】【0023】【0031】【0039】他 (ファミリーなし)	1 - 4
X	JP 2008-148128 A (パイオニア株式会社) 2008.06.26, 【特許請求の範囲】【0004】-【0006】【0012】【0022】【0023】【0030】他 (ファミリーなし)	1 - 3

☒ C 欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

2 4 . 0 3 . 2 0 1 0

国際調査報告の発送日

0 6 . 0 4 . 2 0 1 0

国際調査機関の名称及びあて先

日本国特許庁 (I S A / J P)

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

吉川 康男

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 8 1

5 P

4 2 3 8

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2004-72258 A (日本放送協会) 2004. 03. 04, 【0003】 - 【0006】 他 (ファミリーなし)	1 - 4
A	JP 9-154067 A (富士写真フイルム株式会社) 1997. 06. 10, 【0029】 他 & US 5912703 A & US 6211914 B1 & KR 10-0220863 B	1 - 4
A	JP 1-288180 A (セイコーエプソン株式会社) 1989. 11. 20, 3 頁左上 欄 5 - 7 行、他 (ファミリーなし)	1 - 4
A	JP 2008-205638 A (日本テキサス・インスツルメンツ株式会社) 2008. 09. 04, 【0072】 - 【0078】 他 & US 2008/0210993 A1	1 - 4
A	JP 2007-109742 A (ローム株式会社) 2007. 04. 26, 【0050】 - 【0052】 他 (ファミリーなし)	1 - 4