



(12) 发明专利

(10) 授权公告号 CN 118858905 B

(45) 授权公告日 2025. 03. 18

(21) 申请号 202411346862.X

(22) 申请日 2024.09.26

(65) 同一申请的已公布的文献号

申请公布号 CN 118858905 A

(43) 申请公布日 2024.10.29

(73) 专利权人 杭州广立微电子股份有限公司

地址 310013 浙江省杭州市西湖区西斗门

路3号天堂软件园A幢15楼F1座

(72) 发明人 吴振雄 杨璐丹 林均铭

(74) 专利代理机构 杭州华进联浙知识产权代理

有限公司 33250

专利代理师 方道杰

(51) Int. Cl.

G01R 31/28 (2006.01)

(56) 对比文件

CN 105095594 A, 2015.11.25

CN 117665525 A, 2024.03.08

审查员 范明莉

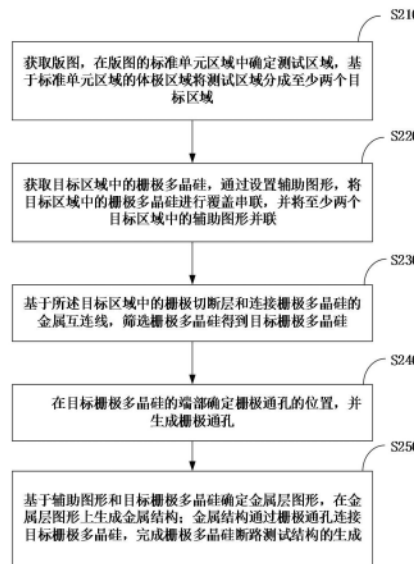
权利要求书3页 说明书15页 附图8页

(54) 发明名称

栅极多晶硅断路测试结构及生成方法、装置、设备和介质

(57) 摘要

本申请涉及一种栅极多晶硅断路测试结构及生成方法、装置、设备和介质,其中,该方法通过获取版图,在版图的标准单元区域中确定至少两个目标区域;获取目标区域中的栅极多晶硅,通过设置辅助图形,将目标区域中的栅极多晶硅进行覆盖串联,并将至少两个目标区域中的辅助图形并联;基于目标区域中的栅极切断层和连接栅极多晶硅的金属互连线,筛选栅极多晶硅得到目标栅极多晶硅;基于辅助图形和目标栅极多晶硅生成金属结构;金属结构通过栅极通孔连接栅极多晶硅,解决了相关技术中存在手动搭建栅极多晶硅测试结构效率低,质量差的问题,实现了通过获取到的版图信息使用脚本快速生成测试结构,提高了测试结构生成的效率和准确性。



1. 一种栅极多晶硅断路测试结构的生成方法,其特征在于,所述方法包括:

获取版图,在所述版图的标准单元区域中确定测试区域,并将所述测试区域分成至少两个目标区域;

获取所述目标区域中的栅极多晶硅,通过设置辅助图形,将所述目标区域中的所述栅极多晶硅进行覆盖串联,并将所述至少两个目标区域中的辅助图形并联;

基于所述目标区域中的栅极切断层和连接栅极多晶硅的金属互连线,筛选所述栅极多晶硅得到目标栅极多晶硅;

在所述目标栅极多晶硅的端部确定栅极通孔的位置,并生成所述栅极通孔;

基于所述辅助图形和目标栅极多晶硅确定金属层图形,基于所述金属层图形生成金属结构;所述金属结构通过所述栅极通孔连接所述目标栅极多晶硅,完成所述栅极多晶硅断路测试结构的生成。

2. 根据权利要求1所述的栅极多晶硅断路测试结构的生成方法,其特征在于,所述将所述测试区域分成至少两个目标区域,包括:

获取所述测试区域中的体极区域,基于所述体极区域将所述测试区域划分得到至少两个大小相同的子区域;

将所述子区域分别内缩第一预设尺寸后,得到目标区域。

3. 根据权利要求1所述的栅极多晶硅断路测试结构的生成方法,其特征在于,所述获取所述目标区域中的栅极多晶硅,通过设置辅助图形,将所述目标区域中的所述栅极多晶硅进行覆盖串联,并将所述至少两个目标区域中的辅助图形并联,包括:

获取所述目标区域中的栅极多晶硅,基于所述栅极多晶硅设置第一辅助图形,以覆盖并蛇形串联所述栅极多晶硅;

确定所述第一辅助图形的一端为始端,所述第一辅助图形的另一端为终端;基于所述目标区域的边界和所述始端设置第二辅助图形,利用所述第二辅助图形将所述至少两个目标区域中的所述第一辅助图形的始端连接到一起形成共始端。

4. 根据权利要求3所述的栅极多晶硅断路测试结构的生成方法,其特征在于,获取所述目标区域中的栅极多晶硅,基于所述栅极多晶硅设置第一辅助图形,以覆盖并蛇形串联所述栅极多晶硅,包括:

获取所述目标区域中的栅极多晶硅,将所述栅极多晶硅的宽度扩大至第二预设尺寸,生成所述第一辅助图形A;

在所述第一辅助图形A的两端以延伸扩展方式添加第一辅助图形B,将相邻的所述第一辅助图形A首尾连接;

基于所述第一辅助图形A和所述第一辅助图形B,形成呈蛇形的第一辅助图形。

5. 根据权利要求3所述的栅极多晶硅断路测试结构的生成方法,其特征在于,所述基于所述目标区域的边界和所述始端设置第二辅助图形,利用所述第二辅助图形将所述至少两个目标区域中的所述第一辅助图形的始端连接到一起形成共始端,包括:

获取所述目标区域中,靠近所述第一辅助图形的始端的竖直边界,以所述竖直边界作为基准,在所述目标区域外部扩展出第二辅助图形A;

在至少两个第二辅助图形A上方生成第二辅助图形B,以将各个所述第二辅助图形A连接;

在所述第一辅助图形的始端和所述第二辅助图形A之间生成第二辅助图形C,以将所述第一辅助图形的始端和所述第二辅助图形A连接;

基于所述第二辅助图形A、所述第二辅助图形B以及所述第二辅助图形C,形成第二辅助图形。

6.根据权利要求3所述的栅极多晶硅断路测试结构的生成方法,其特征在于,所述栅极多晶硅断路测试结构的测试端口包括所述共始端和至少一个所述第一辅助图形的终端,所述测试端口用于检测所述测试区域中所述标准单元区域的栅极多晶硅断路情况。

7.根据权利要求1所述的栅极多晶硅断路测试结构的生成方法,其特征在于,基于所述目标区域中的栅极切断层和连接栅极多晶硅的金属互连线,筛选所述栅极多晶硅得到目标栅极多晶硅,包括:

获取所述目标区域中的电源线区域、栅极切断层的栅极切断图形和连接栅极多晶硅的金属互连线;

将与所述电源线区域不重合的所述栅极切断图形识别为浮动栅极切断图形;

从所述栅极多晶硅中筛选出与所述电源线区域不重合,且不接触所述浮动栅极切断图形和所述连接栅极多晶硅的金属互连线的图形,作为所述目标栅极多晶硅。

8.根据权利要求1所述的栅极多晶硅断路测试结构的生成方法,其特征在于,在所述目标栅极多晶硅的端部确定栅极通孔的位置,并生成所述栅极通孔,包括:

基于设计规则,利用所述目标栅极多晶硅的图形边内缩处理,在所述目标栅极多晶硅的图形区域的端部内确定至少一个栅极通孔的位置。

9.根据权利要求4所述的栅极多晶硅断路测试结构的生成方法,其特征在于,基于所述辅助图形和目标栅极多晶硅确定金属层图形,基于所述金属层图形生成金属结构,包括:

将所述第一辅助图形A去掉用于覆盖所述目标栅极多晶硅的宽度为第二预设尺寸的部分,形成剩余图形;

将所述剩余图形延伸至覆盖所述栅极通孔处,并与所述第一辅助图形B以及所述第二辅助图形进行合并,形成金属层图形;

基于所述金属层图形生成金属结构。

10.根据权利要求1所述的栅极多晶硅断路测试结构的生成方法,其特征在于,所述栅极多晶硅断路测试结构中并联有至少两个测试单元;所述测试单元为所述目标区域中串联的所述栅极多晶硅。

11.一种栅极多晶硅断路测试结构的生成装置,其特征在于,所述装置包括:

目标区域确定模块,用于获取版图,在所述版图的标准单元区域中确定测试区域,并将所述测试区域分成至少两个目标区域;

辅助图形生成模块,用于获取所述目标区域中的栅极多晶硅,通过设置辅助图形,将所述目标区域中的所述栅极多晶硅进行覆盖串联,并将所述至少两个目标区域中的辅助图形并联;

目标栅极多晶硅筛选模块,用于基于所述目标区域中的栅极切断层和连接栅极多晶硅的金属互连线,筛选所述栅极多晶硅得到目标栅极多晶硅;

栅极通孔生成模块,用于在所述目标栅极多晶硅的端部确定栅极通孔的位置,并生成所述栅极通孔;

测试结构生成模块,用于基于所述辅助图形和目标栅极多晶硅确定金属层图形,基于所述金属层图形生成金属结构;所述金属结构通过所述栅极通孔连接所述目标栅极多晶硅,完成所述栅极多晶硅断路测试结构的生成。

12.一种栅极多晶硅断路测试结构,其特征在于,所述测试结构基于上述权利要求1至权利要求10中任一项所述的方法生成;

所述测试结构包括:目标栅极多晶硅、金属结构和栅极通孔;所述金属结构通过所述栅极通孔连接标准单元区域内的所述目标栅极多晶硅。

13.一种计算机可读存储介质,其上存储有计算机程序,其特征在于,所述计算机程序被处理器执行时实现权利要求1至权利要求10中任一项所述的栅极多晶硅断路测试结构的生成方法的步骤。

14.一种计算机设备,包括存储器和处理器,所述存储器存储有计算机程序,其特征在于,所述处理器执行所述计算机程序时实现权利要求1至权利要求10中任一项所述的栅极多晶硅断路测试结构的生成方法的步骤。

栅极多晶硅断路测试结构及生成方法、装置、设备和介质

技术领域

[0001] 本申请涉及芯片测试技术领域,特别是涉及栅极多晶硅断路测试结构及生成方法、装置、设备和介质。

背景技术

[0002] 随着集成电路工艺节点的不断缩减到14nm或以下,栅极多晶硅的尺寸也在不断减小。光刻过程中由于光学临近效应,从而导致实际光刻后的栅极多晶硅有断路的风险。因此有必要搭建测试结构来测试标准单元区域中的晶体管的相关属性,来量化上述风险。

[0003] 传统的测试结构搭建方式是在EDA软件中手动完成,比较适合小版图的测试结构搭建。如果版图面积过大,手动处理的方式就比较耗时且繁琐了。而且手动绘图比较容易出现人工失误导致结构错误,达不到测试所要求的功能。

[0004] 针对相关技术中存在手动搭建测试结构效率低质量差的问题,目前还没有提出有效的解决方案。

发明内容

[0005] 在本实施例中提供了一种栅极多晶硅断路测试结构及生成方法、装置、设备和介质,以解决相关技术中搭建测试结构效率低质量差的问题。

[0006] 第一方面,在本实施例中提供了一种栅极多晶硅断路测试结构的生成方法,所述方法包括:

[0007] 获取版图,在所述版图的标准单元区域中确定测试区域,并将所述测试区域分成至少两个目标区域;

[0008] 获取所述目标区域中的栅极多晶硅,通过设置辅助图形,将所述目标区域中的所述栅极多晶硅进行覆盖串联,并将所述至少两个目标区域中的辅助图形并联;

[0009] 基于所述目标区域中的栅极切断层和连接栅极多晶硅的金属互连线,筛选所述栅极多晶硅得到目标栅极多晶硅;

[0010] 在所述目标栅极多晶硅的端部确定栅极通孔的位置,并生成所述栅极通孔;

[0011] 基于所述辅助图形和目标栅极多晶硅确定金属层图形,基于所述金属层图形生成金属结构;所述金属结构通过所述栅极通孔连接所述目标栅极多晶硅,完成所述栅极多晶硅断路测试结构的生成。

[0012] 在其中的一些实施例中,所述将所述测试区域分成至少两个目标区域,包括:

[0013] 获取所述测试区域中的体极区域,基于所述体极区域将所述测试区域划分得到至少两个大小相同的子区域;

[0014] 将所述子区域分别内缩第一预设尺寸后,得到目标区域。

[0015] 在其中的一些实施例中,所述获取所述目标区域中的栅极多晶硅,通过设置辅助图形,将所述目标区域中的所述栅极多晶硅进行覆盖串联,并将所述至少两个目标区域中的辅助图形并联,包括:

[0016] 获取所述目标区域中的栅极多晶硅,基于所述栅极多晶硅设置第一辅助图形,以覆盖并蛇形串联所述栅极多晶硅;

[0017] 确定所述第一辅助图形的一端为始端,所述第一辅助图形的另一端为终端;基于所述目标区域的边界和所述始端设置第二辅助图形,利用所述第二辅助图形将所述至少两个目标区域中的所述第一辅助图形的始端连接到一起形成共始端。

[0018] 在其中的一些实施例中,获取所述目标区域中的栅极多晶硅,基于所述栅极多晶硅设置第一辅助图形,以覆盖并蛇形串联所述栅极多晶硅,包括:

[0019] 获取所述目标区域中的栅极多晶硅,将所述栅极多晶硅的宽度扩大至第二预设尺寸,生成所述第一辅助图形A;

[0020] 在所述第一辅助图形A的两端以延伸扩展方式添加第一辅助图形B,将相邻的所述第一辅助图形A首尾连接;

[0021] 基于所述第一辅助图形A和所述第一辅助图形B,形成呈蛇形的第一辅助图形。

[0022] 在其中的一些实施例中,所述基于所述目标区域的边界和所述始端设置第二辅助图形,利用所述第二辅助图形将所述至少两个目标区域中的所述第一辅助图形的始端连接到一起形成共始端,包括:

[0023] 获取所述目标区域中,靠近所述第一辅助图形的始端的竖直边界,以所述竖直边界作为基准,在所述目标区域外部扩展出第二辅助图形A;

[0024] 在至少两个第二辅助图形A上方生成第二辅助图形B,以将各个所述第二辅助图形A连接;

[0025] 在所述第一辅助图形的始端和所述第二辅助图形A之间生成第二辅助图形C,以将所述第一辅助图形的始端和所述第二辅助图形A连接;

[0026] 基于所述第二辅助图形A、所述第二辅助图形B以及所述第二辅助图形C,形成第二辅助图形。

[0027] 在其中的一些实施例中,所述栅极多晶硅断路测试结构的测试端口包括所述共始端和至少一个第一辅助图形的终端,所述测试端口用于检测所述测试区域中所述标准单元区域的栅极多晶硅断路情况。

[0028] 在其中的一些实施例中,基于所述目标区域中的栅极切断层和连接栅极多晶硅的金属互连线,筛选所述栅极多晶硅得到目标栅极多晶硅,包括:

[0029] 获取所述目标区域中的电源线区域、栅极切断层的栅极切断图形和连接栅极多晶硅的金属互连线;

[0030] 将与所述电源线区域不重合的所述栅极切断图形识别为浮动栅极切断图形;

[0031] 从所述栅极多晶硅中筛选出与所述电源线区域不重合,且不接触所述浮动栅极切断图形和所述连接栅极多晶硅的金属互连线的图形,作为所述目标栅极多晶硅。

[0032] 在其中的一些实施例中,在所述目标栅极多晶硅的端部确定栅极通孔的位置,并生成所述栅极通孔,包括:

[0033] 基于设计规则,利用所述目标栅极多晶硅的图形边内缩处理,在所述目标栅极多晶硅的图形区域的端部内确定至少一个栅极通孔的位置。

[0034] 在其中的一些实施例中,基于所述辅助图形和目标栅极多晶硅确定金属层图形,基于所述金属层图形生成金属结构,包括:

[0035] 将所述第一辅助图形A去掉用于覆盖所述目标栅极多晶硅的宽度为第二预设尺寸的部分,形成剩余图形;

[0036] 将所述剩余图形延伸至覆盖所述栅极通孔处,并与所述第一辅助图形B以及所述第二辅助图形进行合并,形成金属层图形;

[0037] 基于所述金属层图形生成金属结构。

[0038] 在其中的一些实施例中,所述栅极多晶硅断路测试结构中并联有至少两个测试单元;所述测试单元为所述目标区域中串联的所述栅极多晶硅。

[0039] 第二方面,本申请还提供了一种栅极多晶硅断路测试结构的生成装置,所述装置包括:

[0040] 目标区域确定模块,用于获取版图,在所述版图的标准单元区域中确定测试区域,并将所述测试区域分成至少两个目标区域;

[0041] 辅助图形生成模块,用于获取所述目标区域中的栅极多晶硅,通过设置辅助图形,将所述目标区域中的所述栅极多晶硅进行覆盖串联,并将所述至少两个目标区域中的辅助图形并联;

[0042] 目标栅极多晶硅筛选模块,用于基于所述目标区域中的栅极切断层和连接栅极多晶硅的金属互连线,筛选所述栅极多晶硅得到目标栅极多晶硅;

[0043] 栅极通孔生成模块,用于在所述目标栅极多晶硅的端部确定栅极通孔的位置,并生成所述栅极通孔;

[0044] 测试结构生成模块,用于基于所述辅助图形和目标栅极多晶硅确定金属层图形,基于所述金属层图形生成金属结构;所述金属结构通过所述栅极通孔连接所述目标栅极多晶硅,完成所述栅极多晶硅断路测试结构的生成。

[0045] 第三方面,本申请还提供了一种栅极多晶硅断路测试结构,所述测试结构基于第一方面所述的方法生成;所述测试结构包括:目标栅极多晶硅、金属结构和栅极通孔;所述金属结构通过所述栅极通孔连接所述标准单元区域内的目标栅极多晶硅。

[0046] 第四方面,本申请还提供了一种计算机可读存储介质。所述计算机可读存储介质,其上存储有计算机程序,所述计算机程序被处理器执行时实现第一方面所述的栅极多晶硅断路测试结构的生成方法。

[0047] 第五方面,本申请还提供了一种计算机设备。所述计算机设备包括存储器和处理器,所述存储器存储有计算机程序,所述处理器执行所述计算机程序时实现第一方面所述的栅极多晶硅断路测试结构的生成方法。

[0048] 与相关技术相比,在本实施例中提供的栅极多晶硅断路测试结构及生成方法、装置、设备和介质,通过获取版图,在所述版图的标准单元区域中确定测试区域,并将所述测试区域分成至少两个目标区域;获取所述目标区域中的栅极多晶硅,通过设置辅助图形,将所述目标区域中的所述栅极多晶硅进行覆盖串联,并将所述至少两个目标区域中的辅助图形并联;基于所述目标区域中的栅极切断层和连接栅极多晶硅的金属互连线,筛选所述栅极多晶硅得到目标栅极多晶硅;在所述目标栅极多晶硅的端部确定栅极通孔的位置,并生成所述栅极通孔;基于所述辅助图形和目标栅极多晶硅确定金属层图形,基于所述金属层图形生成金属结构;所述金属结构通过所述栅极通孔连接所述目标栅极多晶硅,完成所述栅极多晶硅断路测试结构的生成,解决了相关技术中存在手动搭建栅极多晶硅测试结构效

率低,质量差的问题,实现了通过获取到的版图信息使用脚本快速生成测试结构,提高了测试结构生成的效率和准确性。

[0049] 本申请的一个或多个实施例的细节在以下附图和描述中提出,以使本申请的其他特征、目的和优点更加简明易懂。

附图说明

[0050] 此处所说明的附图用来提供对本申请的进一步理解,构成本申请的一部分,本申请的示意性实施例及其说明用于解释本申请,并不构成对本申请的不当限定。在附图中:

[0051] 图1为一个实施例中栅极多晶硅断路测试结构的生成方法的终端的硬件结构框图;

[0052] 图2为一个实施例中栅极多晶硅断路测试结构的生成方法的流程示意图;

[0053] 图3为一个实施例中栅极多晶硅断路测试结构的结构示意图;

[0054] 图4为一个实施例中目标区域的结构示意图;

[0055] 图5为一个实施例中第一辅助图形的形成过程示意图;

[0056] 图6为另一个实施例第一辅助图形的形成过程示意图;

[0057] 图7为一个实施例中第二辅助图形的示意图;

[0058] 图8为一个实施例中目标栅极多晶硅的示意图;

[0059] 图9为一个实施例中栅极通孔的形成过程示意图;

[0060] 图10为一个实施例中金属结构的局部示意图;

[0061] 图11为一个优选实施例中栅极多晶硅断路测试结构的生成方法的流程示意图;

[0062] 图12为一个优选实施例中栅极多晶硅断路测试结构实际效果示意图;

[0063] 图13为一个实施例中栅极多晶硅断路测试结构的生成装置的结构框图。

具体实施方式

[0064] 为更清楚地理解本申请的目的、技术方案和优点,下面结合附图和实施例,对本申请进行了描述和说明。

[0065] 除另作定义外,本申请所涉及的技术术语或者科学术语应具有本申请所属技术领域具备一般技能的人所理解的一般含义。在本申请中的“一”、“一个”、“一种”、“该”、“这些”等类似的词并不表示数量上的限制,它们可以是单数或者复数。在本申请中所涉及的术语“包括”、“包含”、“具有”及其任何变体,其目的是涵盖不排除他的包含;例如,包含一系列步骤或模块(单元)的过程、方法和系统、产品或设备并未限定于列出的步骤或模块(单元),而可包括未列出的步骤或模块(单元),或者可包括这些过程、方法、产品或设备固有的其他步骤或模块(单元)。在本申请中所涉及的“连接”、“相连”、“耦接”等类似的词语并不限于物理的或机械连接,而可以包括电气连接,无论是直接连接还是间接连接。在本申请中所涉及的“多个”是指两个或两个以上。“和/或”描述关联对象的关联关系,表示可以存在三种关系,例如,“A和/或B”可以表示:单独存在A,同时存在A和B,单独存在B这三种情况。通常情况下,字符“/”表示前后关联的对象是一种“或”的关系。在本申请中所涉及的术语“第一”、“第二”、“第三”等,只是对相似对象进行区分,并不代表针对对象的特定排序。

[0066] 在本实施例中提供的方法实施例可以在终端、计算机或者类似的运算装置中执

行。比如在终端上运行,图1是本实施例的栅极多晶硅断路测试结构的生成方法的终端的硬件结构框图。如图1所示,终端可以包括一个或多个(图1中仅示出一个)处理器102和用于存储数据的存储器104,其中,处理器102可以包括但不限于微处理器MCU或可编程逻辑器件FPGA等的处理装置。上述终端还可以包括用于通信功能的传输设备106以及输入输出设备108。本领域普通技术人员可以理解,图1所示的结构仅为示意,其并不对上述终端的结构造成限制。例如,终端还可包括比图1中所示更多或者更少的组件,或者具有与图1所示出的不同配置。

[0067] 存储器104可用于存储计算机程序,例如,应用软件的软件程序以及模块,如在本实施例中的栅极多晶硅断路测试结构的生成方法对应的计算机程序,处理器102通过运行存储在存储器104内的计算机程序,从而执行各种功能应用以及数据处理,即实现上述的方法。存储器104可包括高速随机存储器,还可包括非易失性存储器,如一个或者多个磁性存储装置、闪存、或者其他非易失性固态存储器。在一些实例中,存储器104可进一步包括相对于处理器102远程设置的存储器,这些远程存储器可以通过网络连接至终端。上述网络的实例包括但不限于互联网、企业内部网、局域网、移动通信网及其组合。

[0068] 传输设备106用于经由一个网络接收或者发送数据。上述的网络包括终端的通信供应商提供的无线网络。在一个实例中,传输设备106包括一个网络适配器(Network Interface Controller,简称为NIC),其可通过基站与其他网络设备相连从而可与互联网进行通讯。在一个实例中,传输设备106可以为射频(Radio Frequency,简称为RF)模块,其用于通过无线方式与互联网进行通讯。

[0069] 在本实施例中提供了一种栅极多晶硅断路测试结构的生成方法,图2是本实施例的栅极多晶硅断路测试结构的生成方法的流程图,如图2所示,该流程包括如下步骤:

[0070] 步骤S210,获取版图,在版图的标准单元区域中确定测试区域,并将测试区域分成至少两个目标区域VLDZONE_BNY。

[0071] 具体的,在版图的标准单元区域中选择测试区域,本实施例中选取矩形的测试区域,但在一些实施例中,也可以选择其他规则或者不规则的测试区域。可以把芯片chip裁切成n块大小相同的矩形,再选择整个矩形区域中全是标准单元区域的矩形作为测试区域。集成电路的版图设计中大量使用标准单元来组成电路,由于标准单元区域内版图按照一定规则排列;标准单元区域内包括栅极多晶硅poly、栅极切断层polycut等内容。本实施例中的所有操作均在标准单元区域中进行。测试区域中的目标区域VLDZONE_BNY优选为矩形,也可以取圆形或异形。在本实施例中,将测试区域分成至少两个目标区域VLDZONE_BNY,后续可以得到并联有至少两个测试单元的测试结构。其中,每个目标区域VLDZONE_BNY对应的局部测试结构,设置为并联形式,每个目标区域VLDZONE_BNY上都设置测试端口,以接入电压/电流。因为测试区域的面积较大时,整体串联的测试结构电阻较大,会影响测试效果,所以,通过划分目标区域VLDZONE_BNY,生成并联的多测试端口的栅极多晶硅断路测试结构,不仅减小总电阻,也能同时针对测试区域进行全面检测,改善测试质量和测试效率,或者可基于测试需求来选择要并联测试的目标区域的测试单元。

[0072] 其中,pickup区域指的是body区域,也即体极区域。版图上体现为PMOS的ntap,NMOS的ptap.pickup区域标准地排列在标准单元区域中,并且和相邻的标准单元区域在一些层上有明显的图形差别,可以通过代码语句将pickup区域识别出来。在本实施例中,基于

标准单元区域的体极区域将测试区域分成至少两个目标区域;但在其他的实施例中,可以根据具体的应用场景需求,基于标准单元中的其他结构图形来进行分割测试区域得到至少两个目标区域,甚至在一些实施例中,可以进行手动划分,来得到更符合测试需求的目标区域。

[0073] 步骤S220,获取目标区域VLDZONE_BNY中的栅极多晶硅poly,通过设置辅助图形,将目标区域VLDZONE_BNY中的栅极多晶硅进行覆盖串联,并将至少两个目标区域VLDZONE_BNY中的辅助图形并联。

[0074] 具体的,辅助图形包括第一辅助图形P0_conn_all、P0_turn和第二辅助图形P0_conn_pin。通过设置第一辅助图形,将目标区域VLDZONE_BNY中的栅极多晶硅进行覆盖串联,由于栅极多晶硅通常以长条形状并列排布,覆盖串联指第一辅助图形能够覆盖所选的栅极多晶硅,并且覆盖栅极多晶硅的第一辅助图形以串联的形式连接成一个连续图形。第一辅助图形可以采用蛇形的串联结构,也可采用Z形等形式的串联结构。通过设置第二辅助图形P0_conn_pin,将至少两个目标区域VLDZONE_BNY中的第一辅助图形并联。

[0075] 步骤S230,基于目标区域VLDZONE_BNY中的栅极切断层polycut和连接栅极多晶硅的金属层M0的局部互连线Metal0poly_vldzone,筛选栅极多晶硅得到目标栅极多晶硅P0seed0。

[0076] 具体的,为了不影响对栅极多晶硅断路判断的准确性,需要在标准单元区域中找到符合测试场景的栅极多晶硅。首先需要排除接触标准单元内部的栅极切断图形polycut(也即浮动栅极切断图形)的部分栅极多晶硅,其次,栅极上的金属层M0的局部互连线(即连接栅极多晶硅的金属互连线)会将部分相邻的栅极连接起来,需要排除与这部分金属互连线Metal0poly_vldzone连接的栅极多晶硅。排除与浮动栅极切断图形polycut和金属互连线Metal0poly_vldzone连接的栅极多晶硅后,得到目标栅极多晶硅P0seed0。

[0077] 步骤S240,在目标栅极多晶硅P0seed0的端部确定栅极通孔P0seed0_chain_gateVia的位置,并生成栅极通孔P0seed0_chain_gateVia。

[0078] 具体的,栅极通孔P0seed0_chain_gateVia用于连接栅极多晶硅和金属层metal1的金属结构。

[0079] 步骤S250,基于辅助图形和目标栅极多晶硅P0seed0确定金属层图形,在金属层图形上生成金属结构;该金属结构即位于金属层metal1,金属结构通过栅极通孔P0seed0_chain_gateVia连接目标栅极多晶硅P0seed0,完成栅极多晶硅断路测试结构的生成。

[0080] 具体的,测试端口可以设置在金属结构上,也即在金属层metal1,在后续测试时,通过测试端口给栅极多晶硅断路测试结构施加电压/电流,以对各个目标区域VLDZONE_BNY中的栅极多晶硅的断路情况进行测试。栅极多晶硅断路测试结构可以同时并联有至少两个测试单元;测试单元为一个目标区域VLDZONE_BNY中串联的栅极多晶硅。

[0081] 图3为栅极多晶硅断路测试结构的示意图。如图3所示,以两个目标区域VLDZONE_BNY为例,该测试结构利用金属结构和栅极通孔P0seed0_chain_gateVia,将两个目标区域VLDZONE_BNY内的测试单元并联,从而检测各个测试单元中的栅极多晶硅(即目标栅极多晶硅)是否存在断路情况。需要说明的是,图3中只保留了版图中的栅极多晶硅,版图中栅极切断层polycut等其他图形信息并未示出。

[0082] 在本实施例中,通过在标准单元区域内提取栅极多晶硅图形信息,设置辅助图形,

从而生成测试结构所需的金属结构和栅极通孔P0seed0_chain_gateVia,得到最终的能够测试栅极多晶硅断路情况的栅极多晶硅断路测试结构,相比于手动绘制图形生成测试结构的方法,节省了大量的时间,也更好控制设计规则所要求的尺寸,提高了测试结构设计的效率和质量。

[0083] 在其中的一些实施例中,基于上述步骤S210,基于标准单元区域的体极区域(pickup区域)将测试区域分成至少两个目标区域VLDZONE_BNY,包括:

[0084] 步骤S211,获取测试区域中的体极区域(pickup区域),基于体极区域(pickup区域)将测试区域划分得到至少两个大小相同的子区域。

[0085] 具体的,选定体极区域(pickup区域),在体极区域(pickup区域)的两侧获取两个大小相同的子区域。测试区域中可能包括一个以上的体极区域(pickup区域),选定全部或者部分体极区域(pickup区域),可以得到至少两个子区域。子区域的个数可以视实际需要而定。例如,参见图4,当只需要两个子区域时,选取测试区域中靠近中心位置的一个体极区域(pickup区域),通过该体极区域(pickup区域)将测试区域分为两部分,在划分出的两个部分中确定两个大小相同的子区域。在本实施例中,是在测试区域中进行相对均匀划分,即基于体极区域(pickup区域)将测试区域划分得到至少两个大小相同的子区域,但在别的实施例中,可基于测试区域不进行均匀划分,可以得到大小不同的子区域,本专利不做具体的限定。

[0086] 步骤S212,将子区域分别内缩第一预设尺寸后,得到目标区域VLDZONE_BNY。

[0087] 具体的,内缩使目标区域VLDZONE_BNY和子区域之间留存出了走线的空间。

[0088] 在本实施例中,通过定义子区域,规范目标区域VLDZONE_BNY的位置和大小,有助于提升设计的准确性。

[0089] 在其中的一些实施例中,参见图5、图6、图7,基于上述步骤S220,获取目标区域VLDZONE_BNY中的栅极多晶硅,通过设置辅助图形,将目标区域VLDZONE_BNY中的栅极多晶硅进行覆盖串联,并将至少两个目标区域VLDZONE_BNY中的辅助图形并联,具体包括以下步骤:

[0090] 步骤S221,获取目标区域VLDZONE_BNY中的栅极多晶硅,基于栅极多晶硅设置第一辅助图形P0_conn_all、P0_turn,以覆盖并蛇形串联栅极多晶硅。

[0091] 具体的,一个第一辅助图形只针对一个目标区域VLDZONE_BNY中的栅极多晶硅。第一辅助图形为连续的蛇形图形,其宽度大于栅极多晶硅的宽度,能够覆盖当前目标区域VLDZONE_BNY中的全部栅极多晶硅。

[0092] 步骤S222,确定第一辅助图形的一端为始端,第一辅助图形的另一端为终端(对应两个第一辅助图形的PinS21,PinS22);基于目标区域VLDZONE_BNY的边界和始端设置第二辅助图形P0_conn_pin,利用第二辅助图形P0_conn_pin将至少两个目标区域VLDZONE_BNY中的第一辅助图形的始端连接到一起形成共始端PinS1。

[0093] 具体的,第二辅助图形P0_conn_pin起到并联多个第一辅助图形的作用。

[0094] 在本实施例中,通过第一辅助图形和第二辅助图形P0_conn_pin,分步构建得到测试结构的基本框架。

[0095] 在其中的一些实施例中,参见图5,基于上述步骤S221,获取目标区域VLDZONE_BNY中的栅极多晶硅,基于栅极多晶硅设置第一辅助图形,以覆盖并蛇形串联栅极多晶硅,具体

包括以下步骤:

[0096] 步骤S221-1,获取目标区域VLDZONE_BNY中的栅极多晶硅,将栅极多晶硅的宽度扩大至第二预设尺寸后,生成第一辅助图形A(P0_conn_all)。

[0097] 其中,第二预设尺寸是用于生成金属层metal1的金属结构的预设宽度,该金属层metal1的预设宽度是结合设计规则,结构电学性质综合考虑后,设定的一个定值。

[0098] 步骤S221-2,在第一辅助图形A(P0_conn_all)的两端以延伸扩展方式添加第一辅助图形B(P0_turn),将相邻的第一辅助图形A(P0_conn_all)首尾连接。

[0099] 具体的,参见图6,第一辅助图形B(P0_turn)可以通过三步完成:第一步,选取相邻第一辅助图形A(P0_conn_all)之间的间隔区域图形,通过在间隔区域图形上加不同掩模Mask的方式,把间隔区域图形分成Mask1和Mask2,且Mask1和Mask2交替设置。将Mask1的图形向上延伸第三预设尺寸connwidth的长度,取延伸部分的图形记为上间隙辅助图形P0_turn_top;Mask2的图形向下延伸第三预设尺寸connwidth的长度,取延伸部分的图形记为下间隙辅助图形P0_turn_bot。第二步,将每个第一辅助图形A(P0_conn_all)的图形同时向上和向下延伸第三预设尺寸connwidth的长度,取延伸部分的图形记为端部辅助图形P0_turn_pre。第三步,将上间隙辅助图形P0_turn_top、下间隙辅助图形P0_turn_bot以及端部辅助图形P0_turn_pre进行合并,合并后的图形记为第一辅助图形B(P0_turn)。

[0100] 步骤S221-3,基于第一辅助图形A(P0_conn_all)和第一辅助图形B(P0_turn),形成呈蛇形的第一辅助图形。

[0101] 在本实施例中,通过分步构建第一辅助图形A(P0_conn_all)和第一辅助图形B(P0_turn),快速的将栅极多晶硅进行覆盖及蛇形串联。

[0102] 在其中的一些实施例中,参见图7,基于上述步骤S222,基于目标区域VLDZONE_BNY的边界和始端设置第二辅助图形P0_conn_pin,利用第二辅助图形P0_conn_pin将至少两个目标区域VLDZONE_BNY中的第一辅助图形的始端连接到一起形成共始端,具体包括以下步骤:

[0103] 步骤S222-1,获取目标区域VLDZONE_BNY中,靠近第一辅助图形的始端的竖直边界,以竖直边界作为基准,在目标区域VLDZONE_BNY外部扩展出第二辅助图形A(P0_pin_pre0)。

[0104] 具体的,参见图4,竖直边界为目标区域VLDZONE_BNY的边界,在该竖直边界处,延伸出宽度为第四预设尺寸barwidth,长度等于目标区域VLDZONE_BNY高度的矩形,得到图形conn_pin,将图形conn_pin向上延伸第五预设尺寸pinendspace的距离,延长后的图形记为第二辅助图形A(P0_pin_pre0)。将图形conn_pin延长的目的是为了给第二辅助图形B(P0_pin_pre1)到第一辅助图形B(P0_turn)之间留出一段距离,避免违反设计规则所要求的距离。

[0105] 步骤S222-2,在至少两个第二辅助图形A(P0_pin_pre0)上方生成第二辅助图形B(P0_pin_pre1),以将各个第二辅助图形A(P0_pin_pre0)连接。

[0106] 具体的,在第二辅助图形A(P0_pin_pre0)上方用一个高度为第六预设尺寸pinwidth的矩形,将各个第二辅助图形A(P0_pin_pre0)连接起来,该矩形记为第二辅助图形B(P0_pin_pre1)。

[0107] 步骤S222-3,在第一辅助图形的始端和第二辅助图形A(P0_pin_pre0)之间生成第

二辅助图形C (P0_conn_pre), 以将第一辅助图形的始端和第二辅助图形A (P0_pin_pre0) 连接。

[0108] 具体的, 基于步骤S221-1至步骤S221-3的第一辅助图形生成方法, 第一辅助图形的两端为第一辅助图形B (P0_turn) 中的端部辅助图形P0_turn_pre, 令其中一端为终端, 另一端为始端。在确定端部位置的时候, 可以采用如下方法: 由于第一辅助图形最边缘的第一辅助图形B (P0_turn) 只包括一个P0_turn_pre的面积, 中间的第一辅助图形B (P0_turn) 包括两个P0_turn_pre和一个P0_turn_top/P0_turn_bot的面积和, 因此可以通过筛选面积的方式获取到最边缘的第一辅助图形B (P0_turn), 即为第一辅助图形的始端。在最边缘的第一辅助图形B (P0_turn) 和第二辅助图形A (P0_pin_pre0) 之间生成第二辅助图形C (P0_conn_pre)。

[0109] 步骤S222-4, 基于第二辅助图形A (P0_pin_pre0)、第二辅助图形B (P0_pin_pre1) 以及第二辅助图形C (P0_conn_pre), 形成第二辅助图形P0_conn_pin。

[0110] 在本实施例中, 通过在本实施例中, 通过分步构建第二辅助图形A (P0_pin_pre0)、第二辅助图形B (P0_pin_pre1) 和第二辅助图形C (P0_conn_pre), 快速且标准的构建出连接各个第一辅助图形的共始端。

[0111] 在其中的一些实施例中, 参见图7, 基于上述步骤S222, 栅极多晶硅断路测试结构的测试端口包括共始端和至少一个第一辅助图形的终端, 测试端口用于检测测试区域中标准单元区域的栅极多晶硅断路情况。

[0112] 具体的, 测试端口通常包括PinS1和PinS2, 即将共始端作为PinS1, 至少一个第一辅助图形的终端作为PinS2。例如, 测试区域中有两个目标区域VLDZONE_BNY, 将第一目标区域VLDZONE_BNY的第一辅助图形的终端作为第一端PinS21, 将共始端作为PinS1, 测试结构生成后, 在输入端PinS1和第一端PinS21之间接入电压/电流, 可以测试第一目标区域VLDZONE_BNY内的栅极多晶硅的断路情况, 此时, 第二目标区域VLDZONE_BNY内的栅极多晶硅未被接入电路, 不作为测试对象。若将第一目标区域VLDZONE_BNY的第一辅助图形的终端作为第一端PinS21, 将该测试区域内的第二目标区域VLDZONE_BNY的第一辅助图形的终端作为第二端PinS22, 在PinS1&PinS21, PinS1&PinS22之间接入电压/电流, 可以同时并联测试第一目标区域VLDZONE_BNY和第二目标区域VLDZONE_BNY内的栅极多晶硅。

[0113] 在本实施例中, 基于共始端和至少一个第一辅助图形的终端, 设定测试端口, 简化了端口的设置数量和设置方式。

[0114] 在其中的一些实施例中, 参见图8, 基于上述步骤S230, 基于目标区域VLDZONE_BNY中的栅极切断层polycut和连接栅极多晶硅的金属互连线Metal0poly_vldzone, 筛选栅极多晶硅得到目标栅极多晶硅P0seed0, 具体包括以下步骤:

[0115] 步骤S231, 获取目标区域VLDZONE_BNY中的电源线区域Stdcellpowerline、栅极切断层的栅极切断图形polycut和连接栅极多晶硅的金属互连线Metal0poly_vldzone。

[0116] 步骤S232, 将与电源线区域Stdcellpowerline不重合的栅极切断图形polycut识别为浮动栅极切断图形polycut_notPW。

[0117] 步骤S233, 从栅极多晶硅中筛选出与电源线区域Stdcellpowerline不重合, 且不接触浮动栅极切断图形polycut_notPW和连接栅极多晶硅的金属互连线Metal0poly_vldzone的图形, 作为目标栅极多晶硅P0seed0。

[0118] 在本实施例中,先通过对覆盖栅极多晶硅的第一辅助图形进行筛选,筛选出来所需的第一辅助图形部分后,来确定其对应覆盖的栅极多晶硅作为目标栅极多晶硅;其中,用于覆盖栅极多晶硅的第一辅助图形可以采用步骤S221-1中的第一辅助图形A(P0_conn_all)。在其他的实施例中,也可以直接对目标区域内的栅极多晶硅进行筛选,本专利不做具体的限定。

[0119] 具体的,栅极切断层polycut的图形包括在标准单元区域边缘的长条形栅极切断图形polycut,长条形栅极切断图形polycut用于将各个标准单元区域分开;栅极切断层polycut的图形还包括游离于标准单元区域内部的浮动栅极切断图形polycut。由于长条形栅极切断图形polycut和电源线区域Stdcellpowerline存在重合,且电源线区域Stdcellpowerline是有规则排列的,根据这一特征可以用电源线区域Stdcellpowerline代替长条形栅极切断图形polycut,直接将与电源线区域Stdcellpowerline重合的部分栅极多晶硅排除。另一方面,基于电源线区域Stdcellpowerline,还能筛选出浮动栅极切断图形polycut_notPW。

[0120] 在本实施例中,基于电源线区域Stdcellpowerline能够快速准确的对栅极切断层polycut的图形进行识别判断,从而排除无效的栅极多晶硅。

[0121] 在其中的一些实施例中,参见图9,基于上述步骤S240,在目标栅极多晶硅P0seed0的端部确定栅极通孔P0seed0_chain_gateVia的位置,并生成栅极通孔P0seed0_chain_gateVia,包括:

[0122] 步骤S241,基于设计规则,利用目标栅极多晶硅P0seed0的图形边内缩处理,在目标栅极多晶硅P0seed0的端部图形区域内确定至少一个栅极通孔P0seed0_chain_gateVia的位置。

[0123] 具体的,根据设计规则所要求的通孔高度和金属层metal1的宽度,取目标栅极多晶硅P0seed0的水平边向内生长gateViaSizeY+gateViaEnc $\times$ 2的距离,基于原本的水平边和生长后的水平边得到图形P0seed0_chain_M1,将图形P0seed0_chain_M1的竖直边向内收缩至gateViaSizeX的宽度,从而确定栅极通孔P0seed0_chain_gateVia的两条竖直边的位置,继续将图形P0seed0_chain_M1的两边的水平边各向内收缩gateViaEnc的距离,从而确定栅极通孔P0seed0_chain_gateVia的两条水平边的位置。水平方向为版图坐标轴的X轴方向,竖直方向为版图坐标轴的Y轴方向。对目标栅极多晶硅P0seed0的图形边进行内缩处理后,得到大小为gateViaSizeX $\times$ gateViaSizeY的栅极通孔P0seed0_chain_gateVia。

[0124] 在本申请中,为栅极通孔P0seed0_chain_gateVia的设计提供了标准化操作流程,通过内缩处理,能够得到既符合设计规则又匹配当前测试结构的通孔位置。其中, gateViaSizeX、gateViaSizeY、gateViaEnc等数据,可在满足设计规则的前提下,基于设计需求和应用场景设定。

[0125] 在其中的一些实施例中,基于辅助图形和目标栅极多晶硅P0seed0确定金属层图形,基于金属层图形生成金属结构,包括:

[0126] 步骤S251,将第一辅助图形A(P0_conn_all)中去掉用于覆盖目标栅极多晶硅P0seed0的宽度为第二预设尺寸的部分,形成剩余图形P0_conn_seed0。

[0127] 步骤S252,将剩余图形P0_conn_seed0延伸至覆盖所述栅极通孔处,即P0seed0_chain_M1,并与第一辅助图形B(P0_turn)以及第二辅助图形P0_conn_pin进行合并,形成金

属层图形。

[0128] 步骤S2523,在所述金属层图形上生成金属结构。

[0129] 具体的,参见图10、图7和图3,将第一辅助图形A(P0_conn_all)去掉目标栅极多晶硅P0seed0后形成剩余图形,将剩余图形P0_conn_seed0、上述步骤S241中得到的图形P0seed0_chain_M1、第一辅助图形B(P0_turn)以及第二辅助图形P0_conn_pin合并为金属层图形,并基于金属层图形生成金属结构,即金属层metal1的金属结构。在PinS1&PinS21,PinS1&PinS22端通过电流,可以检测各个目标区域VLDZONE_BNY中的标准单元是否有栅极多晶硅出现断路。

[0130] 在本申请中,通过删除与合并各个图形,得到适用于待测目标的金属层图形,从而制作出能够实现测试目的的金属结构。

[0131] 在其中的一些实施例中,栅极多晶硅断路测试结构中并联有至少两个测试单元;测试单元为目标区域VLDZONE_BNY中串联的栅极多晶硅。

[0132] 具体的,串联的栅极多晶硅为目标区域VLDZONE_BNY中筛选出来的目标栅极多晶硅。

[0133] 在本实施例中,金属结构通过栅极通孔连接目标栅极多晶硅,完成栅极多晶硅断路测试结构的生成,通过该栅极多晶硅断路测试结构可以准确测量各个测试单元内的栅极多晶是否断路。

[0134] 下面通过优选实施例对本实施例进行描述和说明。

[0135] 图11是本优选实施例的栅极多晶硅断路测试结构的生成方法的流程图。如图11所示,该栅极多晶硅断路测试结构的生成方法包括如下步骤:

[0136] 步骤S1.从原始版图中获取版图信息,包括:有源区,栅极,用作断开栅极的polycut层,栅极上金属层M0的局部互连线,电源线power line区域,标准单元区域。本实例中的所有操作均在标准单元区域中进行。在chip的版图中选择用作测试的矩形区域范围,通过区域中靠近中心的pickup区域将测试区域分成两个部分,将两块矩形区域缩小定义为VLDZONE_BNY,如图4所示,缩小的目的是留出走线空间。

[0137] 步骤S2.在VLDZONE_BNY区域中选择栅极多晶硅的图形,将栅极多晶硅的图形的竖直边向左右延伸至金属层metal1的预设宽度,延伸后的图形记为P0_conn_all,P0_conn_all图形是搭建最终蛇形测试结构的基础。

[0138] 步骤S3.选取相邻P0_conn_all图形之间的间隔区域图形,通过在间隔区域图形上加不同掩模Mask的方式,把间隔区域图形分成Mask1和Mask2。将Mask1的图形向上延伸connwidth的长度,取延伸部分的图形记为P0_turn_top;Mask2的图形向下延伸connwidth的长度,取延伸部分的图形记为P0_turn_bot。

[0139] 步骤S4.将P0_conn_all图形向上下同时延伸connwidth的长度,取延伸部分的图形记为P0_turn_pre,将P0_turn_top、P0_turn_bot、P0_turn_pre的图形合并,记为P0_turn。至此VLDZONE_BNY内部可以搭建出一个由P0_conn_all和P0_turn组成的蛇形结构。

[0140] 步骤S5.在两块VLDZONE_BNY的左边界向左延伸出两个宽度为barwidth,长度为VLZONE_BNY高度的矩形,记为conn_pin。由于最边缘的P0_turn只包含P0_turn_pre的面积,而中间部分的P0_turn部分的面积都是由两个P0_turn_pre和一个P0_turn_top/P0_turn_bot组成。根据这一特征,可以通过筛选面积的方式取到最边缘的P0_turn,将conn_pin和最

边缘的P0_turn连接起来,用于连接的图形记为P0_conn_pre。

[0141] 步骤S6.将conn_pin的图形向上延伸pinendspace的距离,延长后的图形记为P0_pin_pre0,再用一个高度为pinwidth的矩形,将两个P0_pin_pre0连接起来,记为P0_pin_pre1。将conn_pin延长的目的是为了给P0_pin_pre1到P0_turn之间留出一段距离,避免违反设计规则所要求的距离。

[0142] 步骤S7.将P0_conn_pre、P0_pin_pre0、P0_pin_pre1的图形合并到一起,记为P0_conn_pin。由P0_conn_pin、P0_conn_all、P0_turn就组成了一个蛇形测试结构。一端PinS1在P0_conn_pin上,另外两端PinS21、PinS22分别在两块VLDZONE的最右边缘的P0_turn上。

[0143] 步骤S8.蛇形测试结构搭建完成后,需要在标准单元区域中找到符合测试场景的栅极多晶硅。由于标准单元区域中电源线power line是有规则排列的,标准单元上下也有栅极切断层将各个标准单元分开,这些将标准单元区域分开的栅极切断层与电源线power line的图形有重合的部分,根据这一特征把标准单元内部的位于边缘的栅极切断图形区分出来。并将标准单元内部的浮动栅极切断图形定义为polycut_notPWR。由于存在栅极上金属层M0的局部互连将相邻的栅极连接起来,这种情况影响对栅极多晶硅断路的判断,定义栅极上的金属层M0的局部互联区域为Metal0poly_vldzone。取P0_conn_all与电源线power line不重合的部分,且要求这些部分不接触polycut_notPWR和Metal0poly_vldzone。最后剩余的图形记为P0seed0。

[0144] 步骤S9.根据设计规则所要求的栅极通孔gatevia的高度和金属层metall1的围绕距离,将P0seed0的水平边向内生长($\text{gateViaSizeY} + \text{gateViaEnc} \times 2$)的长度,得到的图形记为P0seed0_chain_M1。接着将P0seed0_chain_M1的宽度沿水平方向向内收缩至gateViaSizeX得到的图形记为M1chain,最后将M1chain的上下两边向内收缩gateViaEnc的高度,得到P0seed0_chain_gateVia。

[0145] 步骤S10.在P0_conn_all中去除P0_conn_all与P0seed0重合的部分,得到的图形记为P0_conn_seed0。

[0146] 步骤S11.将P0_conn_seed0、P0seed0_chain_M1、P0_conn_turn、P0_conn_pin合并后输出成金属层metall1的金属结构,P0seed0_chain_gateVia输出成栅极通孔。在PinS1&PinS21、PinS1&PinS22端通过电流,可以检测两个VLDZONE_BNY中的标准单元是否有栅极多晶硅出现断路。

[0147] 基于上述优选实施例生成的栅极多晶硅断路测试结构的实际效果如图12所示。集成电路的版图设计中大量使用标准单元来组成电路,由于标准单元区域内版图按照一定规则排列,通过获取版图信息后使用脚本来产生测试结构是一种非常快速的方式,解决了相关技术中存在手动搭建栅极多晶硅测试结构效率低,质量差的问题,实现了通过获取到的版图信息使用脚本快速产生测试结构,提高了测试结构生成的效率和准确性。

[0148] 需要说明的是,在上述流程中或者附图的流程图中示出的步骤可以在诸如一组计算机可执行指令的计算机系统中执行,并且,虽然在流程图中示出了逻辑顺序,但是在某些情况下,可以以不同于此处的顺序执行所示出或描述的步骤。

[0149] 在本实施例中还提供了一种栅极多晶硅断路测试结构的生成装置,该装置用于实现上述实施例及优选实施方式,已经进行过说明的不再赘述。以下所使用的术语“模块”、“单元”、“子单元”等可以实现预定功能的软件和/或硬件的组合。尽管在以下实施例中所描

述的装置较佳地以软件来实现,但是硬件,或者软件和硬件的组合的实现也是可能并被构想的。

[0150] 图13是本实施例的栅极多晶硅断路测试结构的生成装置的结构框图,如图6所示,该装置包括:目标区域生成模块10、辅助图形生成模块20、目标栅极多晶硅生成模块30、栅极通孔生成模块40以及测试结构生成模块50。

[0151] 目标区域生成模块10,用于获取版图,在所述版图的标准单元区域中确定测试区域,并将所述测试区域分成至少两个目标区域。

[0152] 辅助图形生成模块20,用于获取所述目标区域中的栅极多晶硅,通过设置辅助图形,将所述目标区域中的所述栅极多晶硅进行覆盖串联,并将所述至少两个目标区域中的辅助图形并联。

[0153] 目标栅极多晶硅筛选模块30,用于基于所述目标区域中的栅极切断层和连接栅极多晶硅的金属互连线,筛选所述栅极多晶硅得到目标栅极多晶硅。

[0154] 栅极通孔生成模块40,用于在所述目标栅极多晶硅的端部确定栅极通孔的位置,并生成所述栅极通孔。

[0155] 测试结构生成模块50,用于基于所述辅助图形和目标栅极多晶硅确定金属层图形,基于所述金属层图形生成金属结构;所述金属结构通过所述栅极通孔连接所述目标栅极多晶硅,完成所述栅极多晶硅断路测试结构的生成。

[0156] 在其中一些实施例中,目标区域生成模块10,还用于获取所述测试区域中的体极区域,基于所述体极区域将所述测试区域划分得到至少两个大小相同的子区域;将所述子区域分别内缩第一预设尺寸后,得到目标区域。

[0157] 在其中一些实施例中,辅助图形生成模块20,还用于获取所述目标区域中的栅极多晶硅,基于所述栅极多晶硅设置第一辅助图形,以覆盖并蛇形串联所述栅极多晶硅;确定所述第一辅助图形的一端为始端,所述第一辅助图形的另一端为终端;基于所述目标区域的边界和所述始端设置第二辅助图形,利用所述第二辅助图形将所述至少两个目标区域中的所述第一辅助图形的始端连接到一起形成共始端。

[0158] 在其中一些实施例中,辅助图形生成模块20,还用于获取所述目标区域中的栅极多晶硅,将所述栅极多晶硅的宽度扩大至第二预设尺寸,生成所述第一辅助图形A;在所述第一辅助图形A的两端以延伸扩展方式添加第一辅助图形B,将相邻的所述第一辅助图形A首尾连接;基于所述第一辅助图形A和所述第一辅助图形B,形成呈蛇形的第一辅助图形。

[0159] 在其中一些实施例中,辅助图形生成模块20,还用于获取所述目标区域中,靠近所述第一辅助图形的始端的竖直边界,以所述竖直边界作为基准,在所述目标区域外部扩展出第二辅助图形A;在至少两个第二辅助图形A上方生成第二辅助图形B,以将各个所述第二辅助图形A连接;在所述第一辅助图形的始端和所述第二辅助图形A之间生成第二辅助图形C,以将所述第一辅助图形的始端和所述第二辅助图形A连接;基于所述第二辅助图形A、所述第二辅助图形B以及所述第二辅助图形C,形成第二辅助图形。

[0160] 在其中一些实施例中,在辅助图形生成模块20中,所述栅极多晶硅断路测试结构的测试端口包括所述共始端和至少一个第一辅助图形的终端,所述测试端口用于检测所述测试区域中所述标准单元区域的栅极多晶硅断路情况。

[0161] 在其中一些实施例中,目标栅极多晶硅生成模块30,还用于获取所述目标区域中

的电源线区域、栅极切断层的栅极切断图形和连接栅极多晶硅的金属互连线;将与所述电源线区域不重合的所述栅极切断图形识别为浮动栅极切断图形;从所述栅极多晶硅中筛选出与所述电源线区域不重合,且不接触所述浮动栅极切断图形和所述连接栅极多晶硅的金属互连线的图形,作为所述目标栅极多晶硅。

[0162] 在其中一些实施例中,栅极通孔生成模块40,还用于基于设计规则,利用所述目标栅极多晶硅的图形边内缩处理,在所述目标栅极多晶硅的图形区域的端部内确定至少一个栅极通孔的位置。

[0163] 在其中一些实施例中,测试结构生成模块50,还用于将所述第一辅助图形A去掉用于覆盖所述目标栅极多晶硅的宽度为第二预设尺寸的部分,形成剩余图形;将所述剩余图形延伸至覆盖所述栅极通孔处,并与所述第一辅助图形B以及所述第二辅助图形进行合并,形成金属层图形;基于所述金属层图形生成金属结构。

[0164] 在其中一些实施例中,所述栅极多晶硅断路测试结构中并联有至少两个测试单元;所述测试单元为所述目标区域中串联的所述栅极多晶硅。

[0165] 需要说明的是,上述各个模块可以是功能模块也可以是程序模块,既可以通过软件来实现,也可以通过硬件来实现。对于通过硬件来实现的模块而言,上述各个模块可以位于同一处理器中;或者上述各个模块还可以按照任意组合的形式分别位于不同的处理器中。

[0166] 在本实施例中还提供了一种计算机设备,包括存储器和处理器,该存储器中存储有计算机程序,该处理器被设置为运行计算机程序以执行上述任一项方法实施例中的步骤。

[0167] 可选地,上述计算机设备还可以包括传输设备以及输入输出设备,其中,该传输设备和上述处理器连接,该输入输出设备和上述处理器连接。

[0168] 需要说明的是,在本实施例中的具体示例可以参考上述实施例及可选实施方式中所描述的示例,在本实施例中不再赘述。

[0169] 此外,结合上述实施例中提供的栅极多晶硅断路测试结构的生成方法,在本实施例中还可以提供一种存储介质来实现。该存储介质上存储有计算机程序;该计算机程序被处理器执行时实现上述实施例中的任意一种栅极多晶硅断路测试结构的生成方法。

[0170] 应该明白的是,这里描述的具体实施例只是用来解释这个应用,而不是用来对它进行限定。根据本申请提供的实施例,本领域普通技术人员在不进行创造性劳动的情况下得到的所有其它实施例,均属本申请保护范围。

[0171] 显然,附图只是本申请的一些例子或实施例,对本领域的普通技术人员来说,也可以根据这些附图将本申请适用于其他类似情况,但无需付出创造性劳动。另外,可以理解的是,尽管在此开发过程中所做的工作可能是复杂和漫长的,但是,对于本领域的普通技术人员来说,根据本申请披露的技术内容进行的某些设计、制造或生产等更改仅是常规的技术手段,不应被视为本申请公开的内容不足。

[0172] “实施例”一词在本申请中指的是结合实施例描述的具体特征、结构或特性可以包括在本申请的至少一个实施例中。该短语出现在说明书中的各个位置并不一定意味着相同的实施例,也不意味着与其它实施例相互排斥而具有独立性或可供选择。本领域的普通技术人员能够清楚或隐含地理解的是,本申请中描述的实施例在没有冲突的情况下,可以与

其它实施例结合。

[0173] 以上所述实施例仅表达了本申请的几种实施方式,其描述较为具体和详细,但不能因此而理解为对专利保护范围的限制。应当指出的是,对于本领域的普通技术人员来说,在不脱离本申请构思的前提下,还可以做出若干变形和改进,这些都属于本申请的保护范围。因此,本申请的保护范围应以所附权利要求为准。

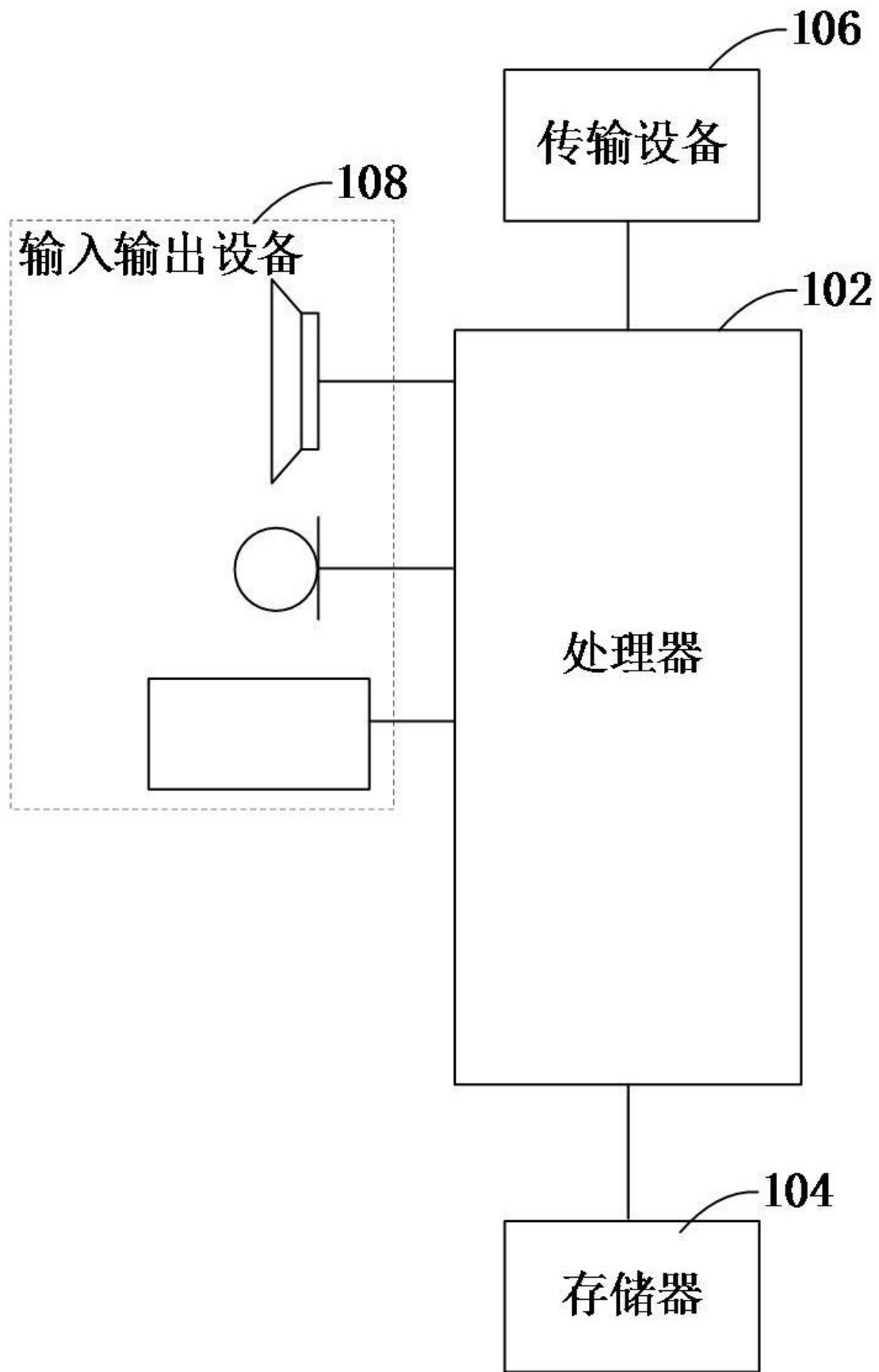


图1

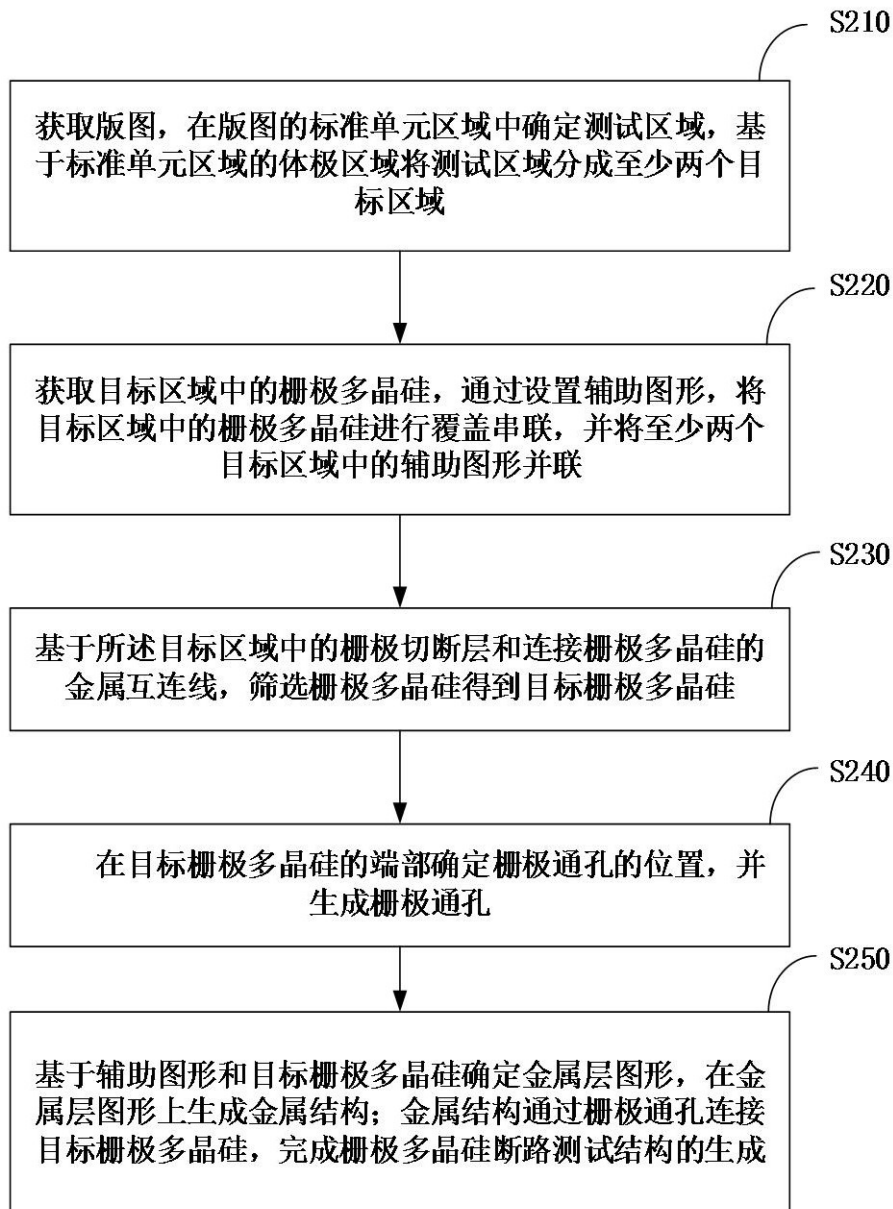


图 2

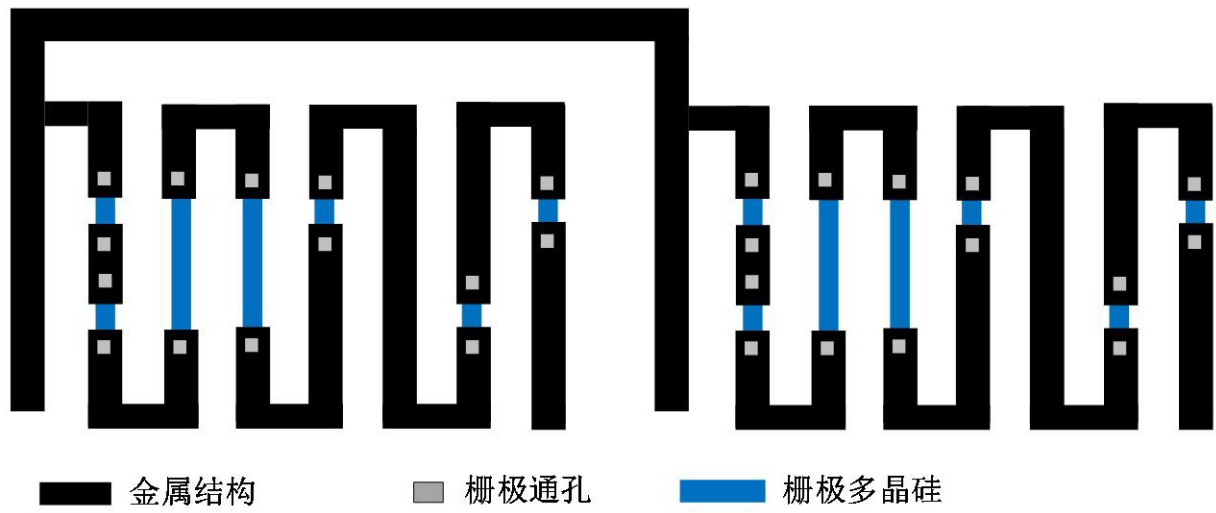


图 3

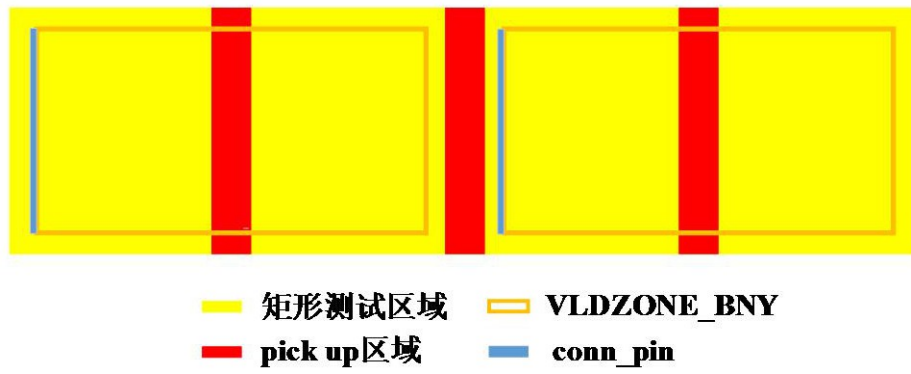


图 4

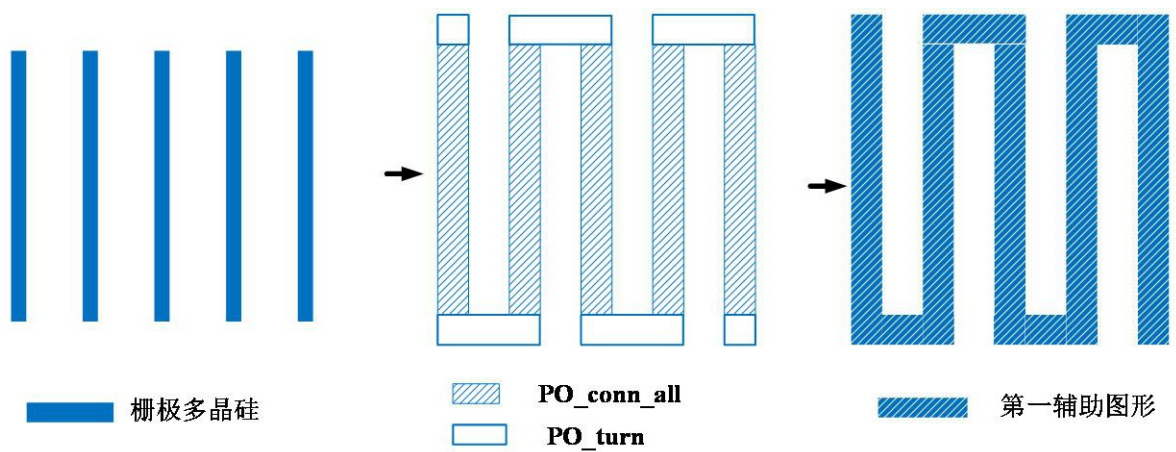


图 5

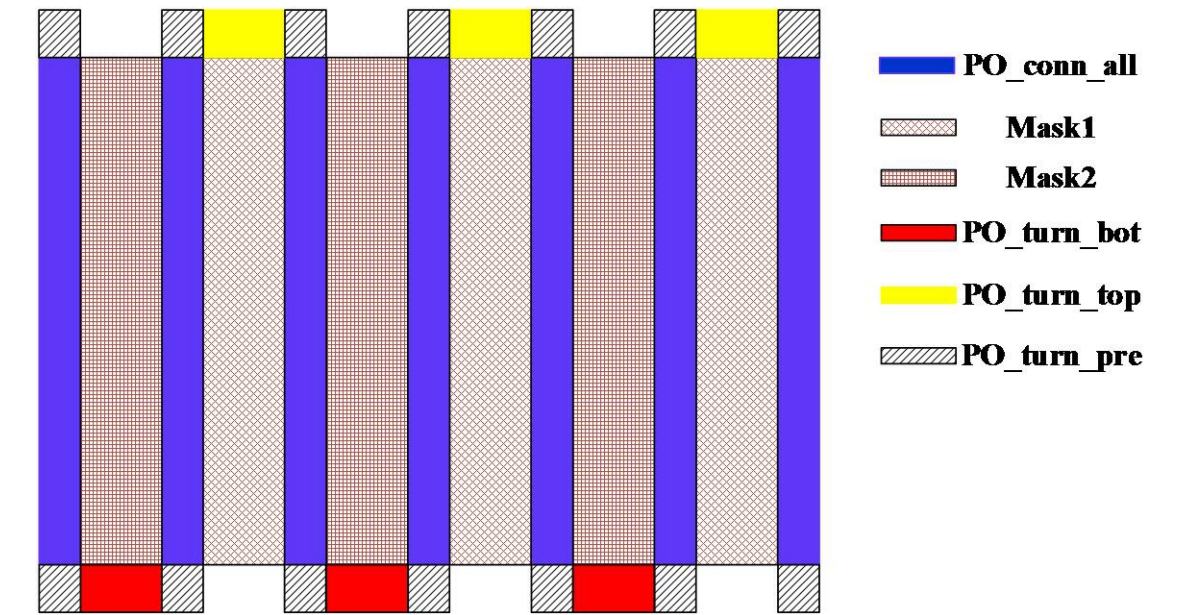


图 6

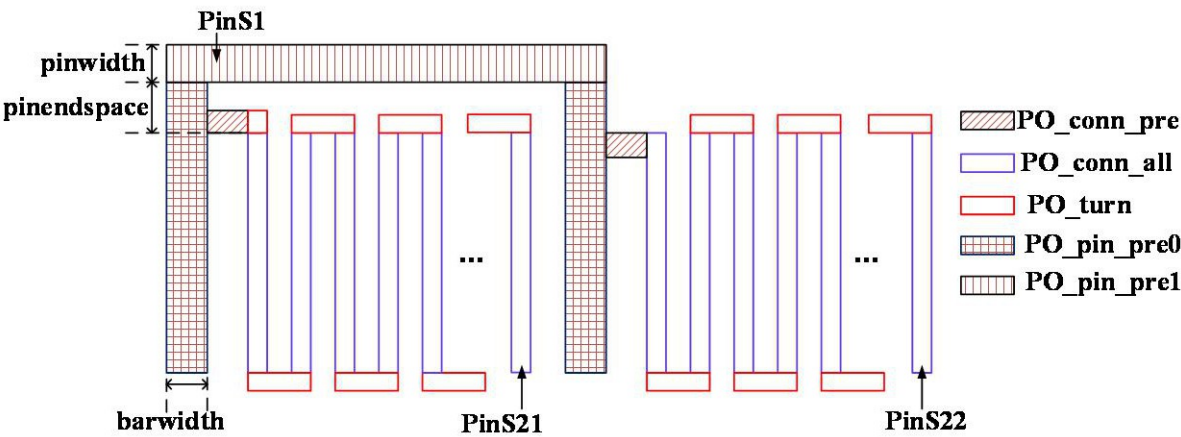


图 7

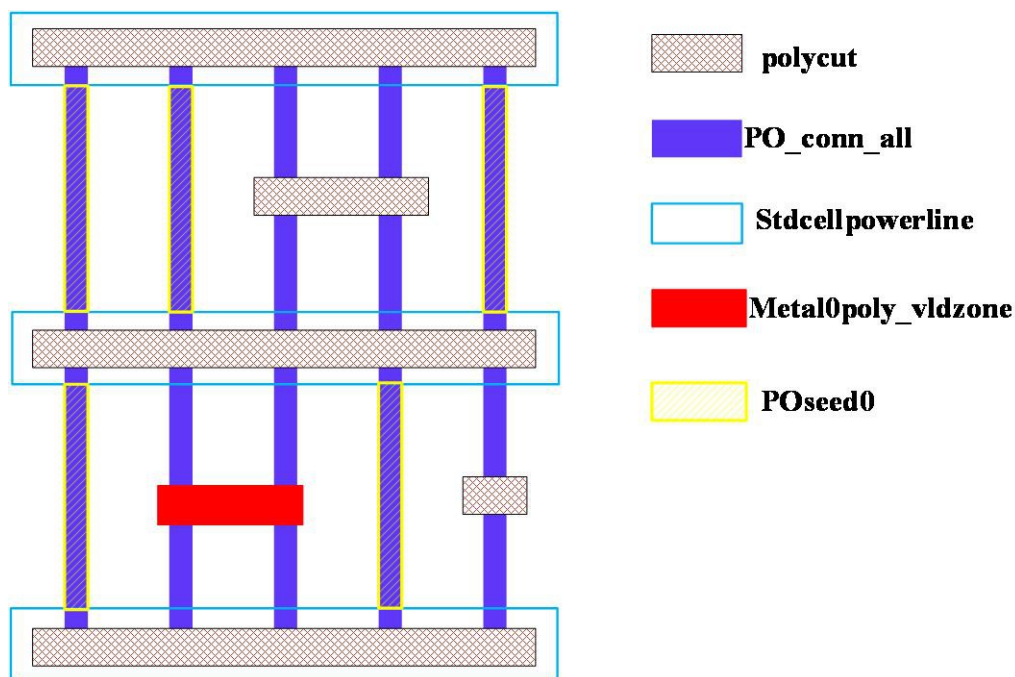


图 8

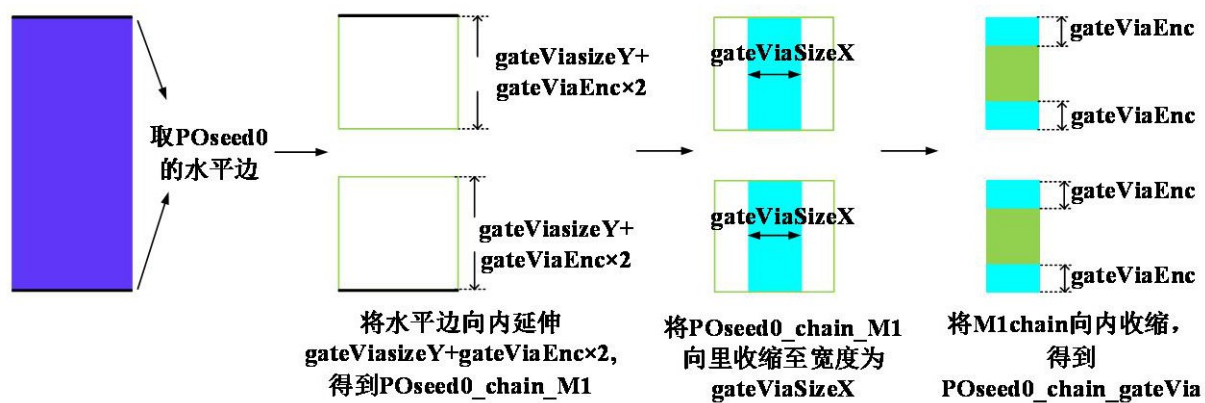


图 9

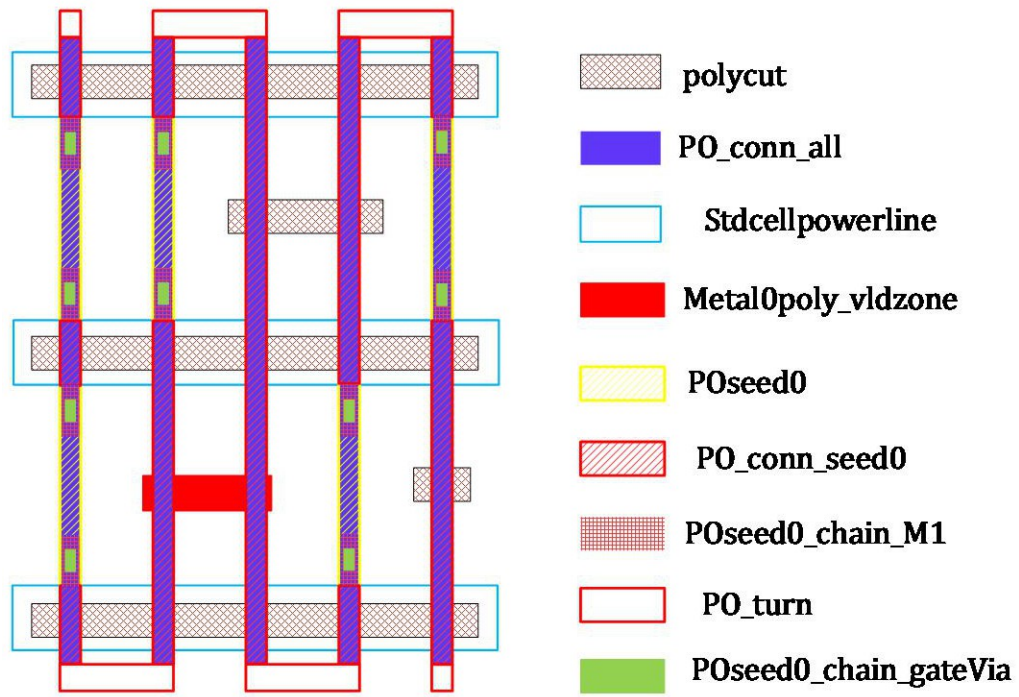


图 10

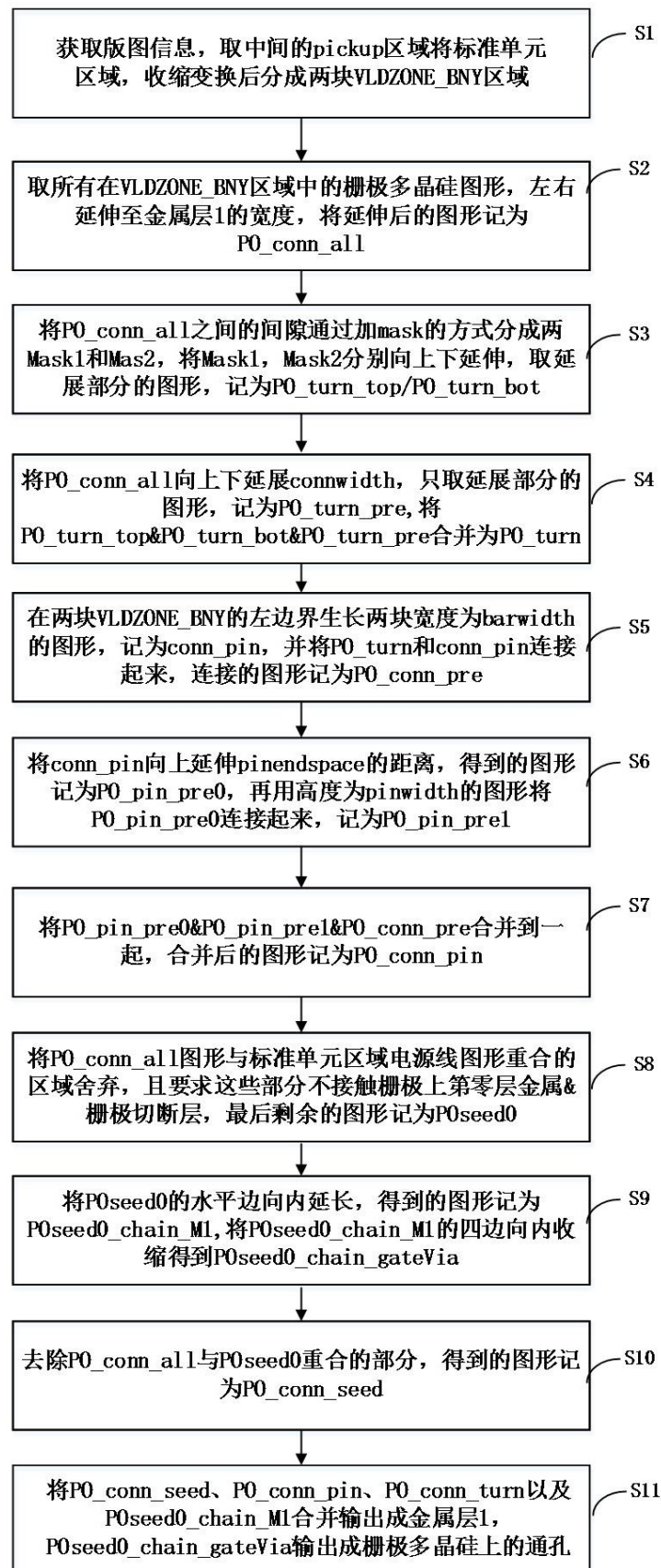


图 11

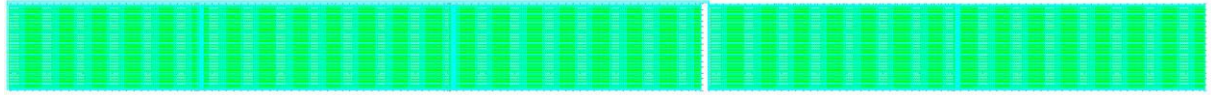


图 12

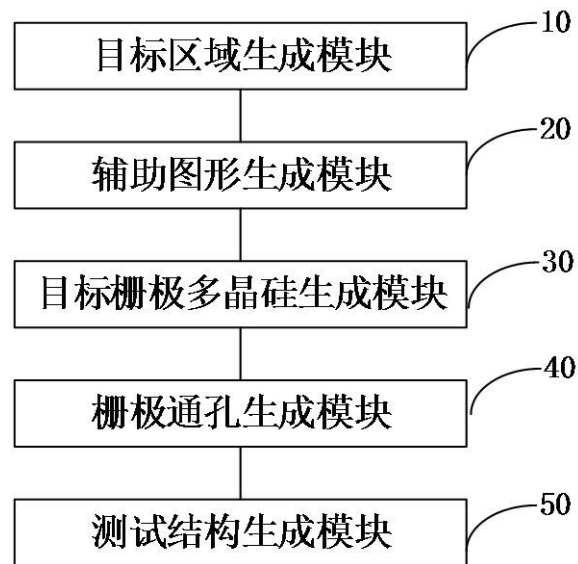


图 13