



(21) 申請案號：106136315

(22) 申請日：中華民國 106 (2017) 年 10 月 23 日

(51) Int. Cl. : **G01R31/303 (2006.01)**

(71) 申請人：瑞昱半導體股份有限公司 (中華民國) REALTEK SEMICONDUCTOR CORPORATION (TW)

新竹市東區新竹科學園區創新二路二號

(72) 發明人：陳柏霖 CHEN, PO-LIN (TW)；郭俊儀 KUO, CHUN-YI (TW)；陳瑩晏 CHEN, YING-YEN (TW)

(74) 代理人：林昱初

申請實體審查：有 申請專利範圍項數：10 項 圖式數：8 共 24 頁

(54) 名稱

積體電路測試裝置

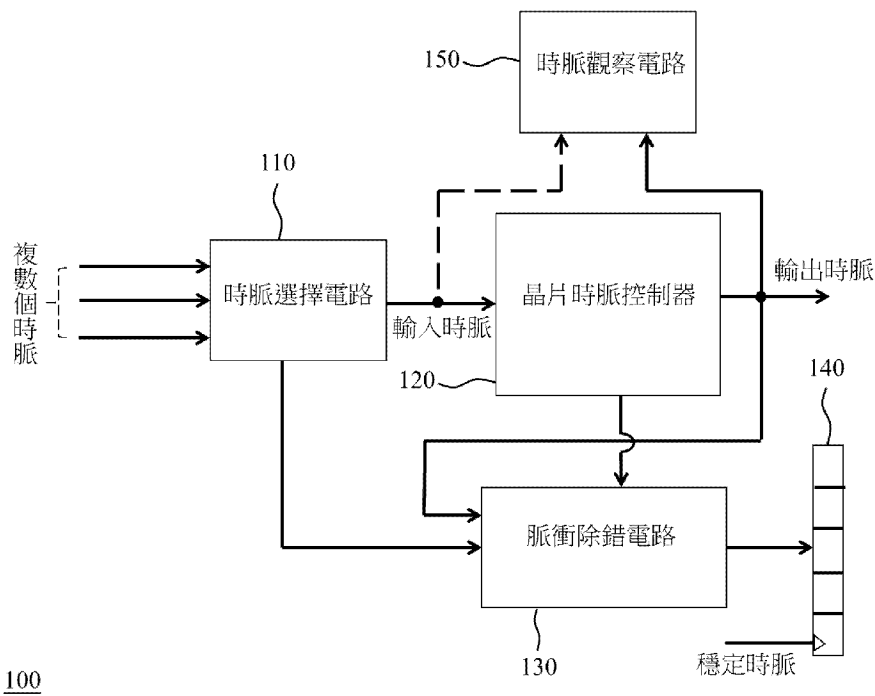
TEST DEVICE FOR INTEGRATED CIRCUIT

(57) 摘要

本發明揭露了一種積體電路測試裝置，該裝置之一實施例包含一晶片時脈控制器、一脈衝除錯電路以及一暫存電路。所述晶片時脈控制器用來依據一輸入時脈產生一輸出時脈，其中該輸出時脈是被用來測試一受測電路，且該受測電路是包含於該積體電路測試裝置中。所述脈衝除錯電路用來依據該輸出時脈之一脈衝數，產生一脈衝紀錄，該脈衝紀錄指出該輸出時脈所關聯之一測試狀態是否正常。所述暫存電路用來依據一穩定時脈儲存及輸出該脈衝紀錄。

The present invention discloses a test device for an integrated circuit. An embodiment of the test device includes an on-chip clock controller (OCC), a pulse debug circuit and a register circuit. The OCC is configured to generate an output clock according to an input clock, in which the output clock is for testing a circuitry under test (CUT) that is included in the test device. The pulse debug circuit is configured to generate a pulse record according to a pulse number of the output clock, in which the pulse record is used to find out whether a test status dependent upon the output clock is normal. The register circuit is configured to store and output the pulse record according to a stable clock.

指定代表圖：



符號簡單說明：

100 . . . 積體電路測試裝置

110 . . . 時脈選擇電路

120 . . . 晶片時脈控制器

130 . . . 脈衝除錯電路

140 . . . 暫存電路

150 . . . 時脈觀察電路

【圖1】

## 【發明說明書】

【中文發明名稱】積體電路測試裝置

【英文發明名稱】Test device for integrated circuit

【技術領域】

【0001】本發明是關於測試裝置，尤其是關於積體電路測試裝置。

【先前技術】

【0002】隨著製程的演進，現今的系統單晶片設計（SoC design）的操作頻率持續攀高。為驗證受測電路（circuitry under test, CUT）的功能與性能，除了使用基本的掃描式測試（scan-based test）來驗證受測電路是否有因製造缺陷帶來的功能異常外，全速測試（at-speed test）也被用來驗證受測電路是否能運作在額定頻率。然而，一般低成本的自動測試機台（automatic test equipment, ATE）無法供應如上述額定頻率般高頻的時脈訊號；即便有能供應高頻時脈訊號的ATE，在ATE經由輸入/輸出墊（I/O pad）輸出高頻時脈訊號至受測電路後，測試者即無法確認該時脈的波形是否正常，上述問題導致了全速測試窒礙難行。

【0003】近年來，某些技術將晶片鎖相迴路（on-chip PLL）輸出的時脈當作全速測試時的時脈來源，再於系統單晶片設計中置入一個可設定的晶片時脈控制器（on-chip-clock controller, OCC），以提供執行全速測試所需的全速時脈及時脈脈衝數量。上述技術使得全速測試得以在系統單晶片設計的驗證流程中實現，並提供了一個可靠的測試結果。

【0004】然而，透過OCC來執行全速測試的過程中，若有測試失敗，測試者通常不易進行除錯（debug），或者除錯過程過於繁瑣。相較於ATE可以確認送入受測電路的訊號樣式（pattern）的正確性，使用OCC的測試方式會遇到下列狀況導致除錯過程更加困難：

- (1) 測試者難以驗證是否因為on-chip PLL未正確送出時脈而導致測試失敗。一般而言，測試者必須針對每一個有置入OCC的時脈域（clock domain），重新產生全速測試訊號樣式（at-speed test pattern），以確認哪些時脈域的測試是失敗的。
- (2) 測試者難以確認OCC是否正確地送出全速測試所需的時脈脈衝數量。
- (3) On-chip PLL的訊號隔離（isolation）沒做好，其導致測試過程中測試訊號樣式更動了On-chip PLL原本的設定值，從而導致送入OCC之輸出時脈的頻率跑掉錯誤(過快)或者是無任何輸出時脈送出，造成測試失敗。

【0005】由於缺少適當的除錯方式，前述第(2)點與第(3)點所述的兩種狀況非常難以驗證，這使得驗證的時間與成本大幅上升。

#### 【發明內容】

【0006】鑑於先前技術的問題，本發明之一目的在於提供一種積體電路測試裝置，以改善先前技術。

【0007】本發明揭露了一種積體電路測試裝置，該裝置之一實施例包含一晶片時脈控制器、一脈衝除錯電路以及一暫存電路。所述晶片時脈控制器用來依據一輸入時脈產生一輸出時脈，其中該輸出時脈是被用來測試一受測電路，且該受測電路是包含於該積體電路測試裝置中。所述脈衝除錯電路用來依

據該輸出時脈之一脈衝數，產生一脈衝紀錄，該脈衝紀錄指出該輸出時脈所關聯之一測試狀態是否正常。所述暫存電路用來依據一穩定時脈儲存及輸出該脈衝紀錄。

【0008】本發明另揭露一種積體電路測試裝置，該裝置之一實施例包含一晶片時脈控制器以及一時脈選擇電路。所述晶片時脈控制器用來依據一輸入時脈產生一輸出時脈，其中該輸出時脈是被用來測試一受測電路，且該受測電路是包含於該積體電路測試裝置中。所述時脈選擇電路用來依據複數個時脈的其中之一產生該輸入時脈，該複數個時脈包含一晶片時脈與一穩定時脈，或者該複數個時脈包含二個不同的晶片時脈。

【0009】有關本發明的特徵、實作與功效，茲配合圖式作較佳實施例詳細說明如下。

#### 【圖式簡單說明】

##### 【0010】

〔圖1〕顯示本發明之積體電路測試裝置的一實施例；

〔圖2〕顯示圖1之時脈選擇電路的一實施例；

〔圖3〕顯示圖1之時脈選擇電路的另一實施例；

〔圖4〕顯示圖1之脈衝除錯電路的一實施例；

〔圖5〕顯示圖1之脈衝除錯電路的另一實施例；

〔圖6〕顯示圖5之脈衝致能器的一實施例；

〔圖7〕顯示圖1之脈衝除錯電路的另一實施例；以及

〔圖8〕顯示圖1之暫存電路的一實施例。

**【實施方式】**

**【0011】** 本發明揭露了一種積體電路測試裝置，能夠驗證一測試時脈之脈衝數是否正確、驗證該測試時脈之頻率是否正確、以及降低該測試時脈之頻率以進行測試，因此，本發明能夠加速測試，並減少測試的成本。

**【0012】** 圖1顯示本發明之積體電路測試裝置的一實施例。圖1之積體電路測試裝置100包含一時脈選擇電路110、一晶片時脈控制器（on-chip-clock controller, OCC）120、一脈衝除錯電路130、一暫存電路140、以及一時脈觀察電路150。時脈選擇電路110用來依據複數個時脈的其中之一產生一輸入時脈，該複數個時脈包含一晶片時脈，該晶片時脈是源自於一晶片鎖相迴路（on-chip PLL），且此晶片鎖相迴路是製作於一受測電路（circuitry under test, CUT）裡，且該受測電路是包含於積體電路測試裝置100中（例如：該積體電路測試裝置100是一積體電路包含該受測電路），其中該受測電路包含一或多個電路部分（circuitry part(s)），該些電路部分的每一個可按照本發明所揭露的方式被測試。OCC 120用來依據該輸入時脈產生一輸出時脈，該輸出時脈是被用來測試該受測電路。脈衝除錯電路130用來依據該輸出時脈之一脈衝數以及OCC 120之控制，產生一脈衝紀錄。暫存電路140用來依據一穩定時脈（例如：自動測試機台（automatic test equipment, ATE）的輸出時脈，或晶體振盪器之輸出時脈）儲存及輸出該脈衝紀錄，該脈衝紀錄指出該輸出時脈所關聯之一測試（例如：全速測試）的狀態是否正確。時脈觀察電路150用來判斷/協助判斷該輸出時脈之頻率是否正確，亦可選擇性地用來判斷/協助判斷該輸入時脈之頻率是否正確，舉例而言，時脈觀察電路150用來依據該輸出時脈產生一除頻時脈，該

除頻時脈被輸出至一裝置（例如：ATE）以供該裝置判斷該輸出時脈之頻率是否正確；另舉例而言，時脈觀察電路150對該輸出時脈進行除頻並取樣，並將取樣結果與一預設值進行比較，從而判斷該輸出時脈之頻率是否正確

【0013】於一實施例中，圖1之時脈選擇電路110與時脈觀察電路150的每一個是選擇性的（optional）；於另一實施例中，圖1之脈衝除錯電路130與暫存電路140是選擇性的。上述實施例是為增加本發明之實施彈性。

【0014】圖2顯示圖1之時脈選擇電路110的一實施例。如圖2所示，時脈選擇電路110包含一選擇電路210與一除頻電路220。選擇電路210之一實施例包含至少一個多工器或其均等，用來選擇前述複數個時脈的其中之一作為一選擇時脈；除頻電路220用來對該選擇時脈進行除頻以產生至少一除頻時脈，然而，若沒有對該選擇時脈進行除頻的需求，除頻電路220是選擇性的；選擇電路210可進一步輸出該選擇時脈作為前述輸入時脈，或輸出該至少一除頻時脈的其中之一作為該輸入時脈。圖3顯示圖2之時脈選擇電路110的一實施例，圖3中，選擇電路210包含多工器310與多工器320，多工器310用來選擇前述複數個時脈的其中之一作為一選擇時脈，多工器320用來輸出該選擇時脈作為該輸入時脈，或輸出複數個除頻時脈的其中之一作為該輸入時脈；除頻電路220則包含複數個正反器330與複數個反相器340，用來依據該選擇時脈產生上述複數個除頻時脈。由於選擇電路與除頻電路的每一個單獨而言為本領域所熟知，因此細節在此省略。

【0015】於一示範性的實施樣態中，時脈選擇電路110先輸出前述選擇時脈作為前述輸入時脈，並於前述脈衝紀錄指出該輸出時脈所關聯的一測試（例如：全速測試）的狀態為異常後，輸出前述除頻時脈作為該輸入時脈，因此，

若後續運作正常，測試者可據以判斷該輸入時脈的頻率過高導致該測試的狀態異常。於另一示範性的實施例中，時脈選擇電路110所接收的複數個時脈包含二個不同的晶片時脈，選擇電路210先選擇該二個不同的晶片時脈的其中之一作為該輸入時脈，並於該脈衝紀錄指出該輸出時脈所關聯的一測試（例如：全速測試）之狀態為異常後，選擇該二個不同的晶片時脈的另一個作為該輸入時脈，因此，若後續運作正常，測試者可據以判斷原先選擇的該晶片時脈有問題。於另一示範性的實施例中，該複數個時脈包含一晶片時脈與一穩定時脈（例如：ATE的輸出時脈，或晶體振盪器之輸出時脈），該晶片時脈的頻率高於該穩定時脈的頻率，選擇電路210先選擇該晶片時脈作為該輸入時脈，並於該脈衝紀錄指出該輸出時脈所關聯的一測試（例如：全速測試）之狀態為異常後，選擇該穩定時脈作為該輸入時脈，因此，若後續運作正常，測試者可據以判斷該晶片時脈本身有問題或該晶片時脈之頻率過高。

【0016】圖4顯示脈衝除錯電路130的一實施例。脈衝除錯電路130包含至少兩個串接的移位暫存器（shift registers）410、420，用來確認OCC 120是否送出至少二個全速的時脈脈衝（at-speed clock pulses）。移位暫存器410、420的每一個可藉由一D型正反器或其等效元件來實現。移位暫存器410、420的每一個依據OCC 120的輸出時脈的觸發（例如：該輸出時脈之上升緣），使輸出值Q等於輸入值D，其中移位暫存器410之輸入值D為一給定值（例如：1），移位暫存器420之輸入值D為移位暫存器410之輸出值Q；另外，移位暫存器410、420依據一重置訊號以重置，該重置訊號例如是一掃描致能訊號的反相訊號，或其等效訊號。當前述受測電路處於一位移模式（shift mode）時（即該受測電路載入測試訊號樣式/卸載測試響應（load test pattern/unload test response）

時)，該重置訊號會保持在一低準位（例如：0），從而將移位暫存器410、420的輸出值Q鎖定為0；當該受測電路處於一擷取模式（capture mode）時，該重置訊號會保持在一高準位（例如：1），從而移位暫存器410、420依據OCC 120之輸出時脈來傳遞輸入值D。在該擷取模式下，若OCC 120正常地輸出至少二個時脈脈衝，移位暫存器420的輸出值Q會等於移位暫存器410的輸入值D，因此測試者可據以判斷OCC 120的輸出時脈所關聯的測試狀態為正常（換言之，OCC 120所接收的輸入時脈與OCC 120所輸出的輸出時脈為正常），此時若OCC 120的輸出時脈是前述晶片時脈，測試者可據以判斷產生該晶片時脈的晶片鎖相迴路的運作是正常的。

【0017】圖5顯示脈衝除錯電路130的另一實施例，其中脈衝致能器122於此實施例中不包含於脈衝除錯電路130中，故以虛線（dashed line）示之。如圖5所示，脈衝除錯電路130包含複數個串接的移位暫存器510、及閘（AND gate）、及閘之輸入端的反相元件（以小圓圈（bubble）表示）、以及或閘（OR gate），每一移位暫存器510的運作類似於前述移位暫存器的運作。圖5中，每一移位暫存器510的輸入值D是由脈衝致能器122所控制，脈衝致能器122可包含於OCC 120中或獨立於OCC 120外，用來控制提供給每一移位暫存器510的輸入值D為1或0，因此脈衝致能器122可透過圖5之電路的運作，控制每一移位暫存器510的輸出值Q為1或0，從而令脈衝除錯電路130產生前述脈衝紀錄。舉例而言，圖5中，透過脈衝致能器122的控制，從右數來的第三個移位暫存器510的輸入值D為1，其餘移位暫存器510的輸入值D為0，接下來，若OCC 120正常地輸出三個時脈脈衝，在三個時脈脈衝後，圖5最右邊的移位暫存器510的輸出值Q會等於1，其反映OCC 120的輸出時脈所關聯的測試狀態為正常。

【0018】 圖6顯示圖5之脈衝致能器122的一實施例。如圖6所示，脈衝致能器122包含複數個串接的移位暫存器610，每個移位暫存器610於一時脈接收端接收一穩定時脈（例如：ATE的輸出時脈，或晶體振盪器之輸出時脈）（未顯示於圖），並依據該穩定時脈接收輸入值D以及送出輸出值Q；此時，於脈衝除錯電路130中，每個及閘依據移位暫存器610所傳輸的值來輸出一相對應的值，每個或閘依據一及閘的輸出值以及一移位暫存器510的輸出值來輸出一相對應的值作為下一個移位暫存器510的輸入值D（除了最後一個或閘之輸出未作為下一個移位暫存器510的輸入值D）。由於移位暫存器、及閘、及閘之輸入端的反相元件、以及或閘的每一個單獨而言為本領域所熟知，因此本領域具有通常知識者可依圖6之揭露充分瞭解圖6之電路運作，其細節在此省略。值得注意的是，在某些測試下，OCC 120的輸出時脈不包含任何時脈脈衝（也就是無任何時脈脈衝輸出），因此，每個移位暫存器610之輸入均會被設為0，從而每個移位暫存器510的輸入與輸出均為0；而為了避免移位暫存器510之輸出均為0導致誤判上述測試的結果為異常，脈衝除錯電路130之最右邊的及閘之二輸入端均設有反相元件，因此該及閘會在上述測試下輸出1，使得脈衝除錯電路130之最右邊的或閘輸出1，以表示該測試之結果為正常。

【0019】 圖7顯示脈衝除錯電路130的另一實施例，其中脈衝致能器122與暫存電路140於此實施例中不包含於脈衝除錯電路130中。如圖7所示，脈衝除錯電路130包含一脈衝轉換器710、一脈衝計數器720、一比較器730以及一暫存器740。脈衝轉換器710用來將脈衝致能器122所輸出的一數值序列轉換為一預定脈衝數，舉例而言，若該數值序列包含N個1，該預定脈衝數即為N。脈衝計數器720用來計數OCC 120之輸出時脈的脈衝數，以產生一計數值。比較器730

用來比較該預定脈衝數與該計數值，以產生該脈衝紀錄，當該預定脈衝數與該計數值相符，該脈衝紀錄即指出OCC 120之輸出時脈所關聯的測試狀態正常。暫存器740用來依據OCC 120之輸出時脈，擷取該脈衝紀錄以及輸出該脈衝紀錄至暫存電路140，暫存器740與前述移位暫存器相仿，可依據一重置訊號進行重置。由於脈衝轉換器、脈衝計數器、比較器與暫存器的每一個單獨而言為本領域所熟知，因此本領域具有通常知識者可依圖7之揭露充分瞭解圖7之電路運作，其細節在此省略。

**【0020】** 圖8顯示暫存電路140之一實施例。如圖8所示，當前述受測電路包含複數個OCC，每個OCC的狀態如前所述般被分析以產生一脈衝紀錄，此時暫存電路140可相對應地包含複數個多工器810以及複數個移位暫存器820。每個多工器810用來輸出一個OCC所關聯的脈衝紀錄至一移位暫存器820（當一致能訊號（例如前述掃描致能訊號）為一第一準位（例如0）時），以及用來傳遞一移位暫存器820所儲存的脈衝紀錄（當該致能訊號為一第二準位（例如1）時）。每個移位暫存器820依據一穩定時脈（例如：ATE的輸出時脈，或晶體振盪器之輸出時脈）以運作，並可依據一重置訊號進行重置。上述脈衝紀錄可輸出至ATE以供其進行分析，從而ATE可依據該些脈衝紀錄判斷每個OCC的輸出時脈所關聯的測試狀態是否正常。由於多工器與移位暫存器的每一個單獨而言為本領域所熟知，因此本領域具有通常知識者可依圖8之揭露充分瞭解圖8之電路運作，其細節在此省略。

**【0021】** 請注意，在實施為可能的前提下，本技術領域具有通常知識者可選擇性地實施前述任一實施例中部分或全部技術特徵，或選擇性地實施前述複數個實施例中部分或全部技術特徵的組合，藉此增加本發明實施時的彈性。

【0022】 綜上所述，本發明能夠驗證OCC之輸出時脈的脈衝數是否正確、驗證該輸出時脈的頻率是否正確、以及降低該輸出時脈的頻率以判斷是否該輸出時脈的原頻率過高，因此，本發明能夠加速積體電路之全速測試，並減少測試的成本。

【0023】 雖然本發明之實施例如上所述，然而該些實施例並非用來限定本發明，本技術領域具有通常知識者可依據本發明之明示或隱含之內容對本發明之技術特徵施以變化，凡此種種變化均可能屬於本發明所尋求之專利保護範疇，換言之，本發明之專利保護範圍須視本說明書之申請專利範圍所界定者為準。

#### 【符號說明】

##### 【0024】

- 100 積體電路測試裝置
- 110 時脈選擇電路
- 120 晶片時脈控制器
- 130 脈衝除錯電路
- 140 暫存電路
- 150 時脈觀察電路
- 210 選擇電路
- 220 除頻電路
- 310、320 多工器
- 330 正反器

340 反相器

410、420 移位暫存器

D 移位暫存器的輸入值

Q 移位暫存器的輸出值

510 移位暫存器

122 脈衝致能器

610 移位暫存器

710 脈衝轉換器

720 脈衝計數器

730 比較器

740 暫存器

810 多工器

820 移位暫存器



201917401

申請日: 106/10/23

IPC分類: G01R 31/303 (2006.01)

**【發明摘要】****【中文發明名稱】** 積體電路測試裝置**【英文發明名稱】** Test device for integrated circuit**【中文】**

本發明揭露了一種積體電路測試裝置，該裝置之一實施例包含一晶片時脈控制器、一脈衝除錯電路以及一暫存電路。所述晶片時脈控制器用來依據一輸入時脈產生一輸出時脈，其中該輸出時脈是被用來測試一受測電路，且該受測電路是包含於該積體電路測試裝置中。所述脈衝除錯電路用來依據該輸出時脈之一脈衝數，產生一脈衝紀錄，該脈衝紀錄指出該輸出時脈所關聯之一測試狀態是否正常。所述暫存電路用來依據一穩定時脈儲存及輸出該脈衝紀錄。

**【英文】**

The present invention discloses a test device for an integrated circuit. An embodiment of the test device includes an on-chip clock controller (OCC), a pulse debug circuit and a register circuit. The OCC is configured to generate an output clock according to an input clock, in which the output clock is for testing a circuitry under test (CUT) that is included in the test device. The pulse debug circuit is configured to generate a pulse record according to a pulse number of the output clock, in which the pulse record is used to find out whether a test status dependent upon the output clock is normal. The register circuit is configured to store and output the pulse record according to a stable clock.

**【指定代表圖】** 圖1

【代表圖之符號簡單說明】

100 積體電路測試裝置

110 時脈選擇電路

120 晶片時脈控制器

130 脈衝除錯電路

140 暫存電路

150 時脈觀察電路

## 【發明申請專利範圍】

【第1項】一種積體電路測試裝置，包含：

一晶片時脈控制器（on-chip-clock controller, OCC），用來依據一輸入時脈產生一輸出時脈，其中該輸出時脈是被用來測試一受測電路，且該受測電路是包含於該積體電路測試裝置中；

一脈衝除錯電路，用來依據該輸出時脈之一脈衝數，產生一脈衝紀錄，該脈衝紀錄指出該輸出時脈所關聯的一測試狀態是否正常；以及

一暫存電路，用來依據一穩定時脈儲存及輸出該脈衝紀錄。

【第2項】如申請專利範圍第1項所述之積體電路測試裝置，進一步包含：

一時脈選擇電路，用來依據複數個時脈的其中之一產生該輸入時脈，該複數個時脈包含一晶片時脈。

【第3項】如申請專利範圍第1項所述之積體電路測試裝置，進一步包含：

一時脈觀察電路，用來依據該輸出時脈產生一除頻時脈，該除頻時脈是被用來判斷該輸出時脈之頻率是否正確。

【第4項】如申請專利範圍第1項所述之積體電路測試裝置，其中該晶片時脈控制器包含一脈衝致能器，該脈衝致能器耦接該脈衝除錯電路，用來提供至少一輸入值給該脈衝除錯電路，其中該輸入值關聯該脈衝紀錄。

【第5項】如申請專利範圍第1項所述之積體電路測試裝置，其中該晶片時脈控制器包含一脈衝致能器，該脈衝致能器耦接該脈衝除錯電路，用來告知該脈衝除錯電路一預定脈衝數，該脈衝除錯電路依據該預定脈衝數與該輸出時脈之該脈衝數產生該脈衝紀錄。

【第6項】一種積體電路測試裝置，包含：

【第6項】一種積體電路測試裝置，包含：

一晶片時脈控制器（on-chip-clock controller, OCC），用來依據一輸入時脈產生一輸出時脈，其中該輸出時脈是被用來測試一受測電路，且該受測電路是包含於該積體電路測試裝置中；以及

一時脈選擇電路，用來依據複數個時脈的其中之一產生該輸入時脈，該複數個時脈包含一晶片時脈與一穩定時脈，或者該複數個時脈包含二個不同的晶片時脈。

【第7項】如申請專利範圍第6項所述之積體電路測試裝置，其中該複數個時脈包含該二個不同的晶片時脈，該時脈選擇電路先選擇該二個不同的晶片時脈的其中之一作為該輸入時脈，並於該輸出時脈所關聯的一測試狀態為異常後，選擇該二個不同的晶片時脈的另一個作為該輸入時脈。

【第8項】如申請專利範圍第6項所述之積體電路測試裝置，其中該複數個時脈包含該晶片時脈與該穩定時脈，該時脈選擇電路先選擇該晶片時脈作為該輸入時脈，並於該輸出時脈所關聯的一測試狀態為異常後，選擇該穩定時脈作為該輸入時脈。

【第9項】如申請專利範圍第6項所述之積體電路測試裝置，其中該時脈選擇電路包含：

一選擇電路，用來選擇該複數個時脈的其中之一作為一選擇時脈；以及

一除頻電路，用來對該選擇時脈進行除頻以產生一除頻時脈，

其中該時脈選擇電路先輸出該選擇時脈作為該輸入時脈，並於該輸出時脈所關聯的一測試狀態為異常後，輸出該除頻時脈作為該輸入時脈。

【第10項】如申請專利範圍第6項所述之積體電路測試裝置，進一步包含：

一時脈觀察電路，用來依據該輸出時脈產生一除頻時脈，該除頻時脈是被用來判斷該輸出時脈之頻率是否符合一頻率設定。















