

(52) CPC특허분류
H04L 7/0079 (2013.01)

명세서

청구범위

청구항 1

임펄스 응답의 피크지점을 기준으로 미리 설정된 단위 시간(Unit Interval, UI)에 기초하여 등화 알고리즘을 수행하는 데이터 수신장치에 있어서,

상기 임펄스 응답의 피크지점으로부터 한 단위시간 이전의 지점으로 샘플링 포인트를 이동하도록 클럭을 발생시키는 클럭 신호 제공부;

입력되는 N개의 양의 카운터값들 및 M개의 음의 카운터값들에 기초하여 제2 계수값을 결정하는 계수값 결정부; 및

입력된 제1 계수값 또는 상기 계수값 결정부에서 결정된 제2 계수값에 의거하여 상기 샘플링 포인트 이후의 임펄스 응답신호들을 상기 단위시간 마다 제거하는 등화기를 포함하는 것을 특징으로 하는 데이터 수신장치.

청구항 2

제1항에 있어서, 상기 계수값 결정부는

출력단이 공통으로 연결되는 차동 구조의 2:1 직렬 변환기; 및

상기 공통으로 연결된 출력단의 출력 공통 레벨을 조절하기 위한 무한 임펄스 응답 필터를 포함하는 것을 특징으로 하는 데이터 수신장치.

청구항 3

제2항에 있어서, 상기 무한 임펄스 응답 필터는

직렬로 연결된 복수의 저항들; 및

상기 저항들 사이에 연결된 가변커패시터를 포함하는 것을 특징으로 하는 데이터 수신장치.

청구항 4

제1항에 있어서, 상기 등화기는

상기 제1 계수값에 의거하여 상기 샘플링 포인트로부터 한 단위시간 이후의 지점에 대응된 임펄스 응답신호 하나를 제거하는 유한 임펄스 응답 등화기; 및

상기 제2 계수값에 의거하여 상기 유한 임펄스 응답 등화기에서 제거된 하나의 임펄스 응답신호의 위치에 대응된 지점으로부터 상기 단위시간 만큼씩 이동하며 대응된 임펄스 응답신호를 모두 제거하는 무한 임펄스 응답 등화기를 포함하는 것을 특징으로 하는 데이터 수신장치.

청구항 5

제4항에 있어서, 상기 유한 임펄스 응답 등화기는

상기 임펄스 응답의 피크 신호를 제거하는 것을 특징으로 하는 데이터 수신장치.

청구항 6

제1항에 있어서, 상기 수신장치는

송신할 신호를 증폭시키는 프리드라이버 회로와; 상기 프리드라이버 회로의 출력 전압을 입력으로 받아 임피던스 매칭을 하는 메인드라이버 회로를 포함하는 송신장치로부터 전달된 데이터를 수신하되,

상기 프리드라이버 회로는

출력 전압을 일정 레벨 이상으로 유지시키는 것을 특징으로 하는 데이터 수신장치.

청구항 7

제6항에 있어서, 상기 프리드라이버 회로는

상기 프리드라이버 회로의 출력 전압을 상기 메인 드라이버 회로 입력단의 문턱 전압 이상으로 유지시키는 것을 특징으로 하는 데이터 수신장치.

청구항 8

임펄스 응답의 피크지점을 기준으로 미리 설정된 단위 시간(Unit Interval, UI)에 기초하여 등화 알고리즘을 수행하는 데이터 수신장치의 등화 알고리즘 제어방법에 있어서,

상기 임펄스 응답의 피크지점으로부터 한 단위시간 이전의 지점으로 샘플링 포인트를 이동하는 단계;

입력된 제1 계수값에 의거하여, 상기 샘플링 포인트로부터 한 단위시간 이후의 지점에 대응된 임펄스 응답신호 하나를 제거하는 제1 제거단계;

입력되는 N개의 양의 카운터값들 및 M개의 음의 카운터값들에 기초하여 제2 계수값을 결정하는 단계; 및

상기 제2 계수값에 의거하여 상기 제1 제거단계에서 제거된 하나의 임펄스 응답신호의 위치에 대응된 지점으로부터 상기 단위시간 만큼씩 이동하며 대응된 임펄스 응답신호를 모두 제거하는 제2 제거단계를 포함하는 것을 특징으로 하는 데이터 수신장치의 등화 알고리즘 제어방법.

청구항 9

제8항에 있어서, 상기 제1 제거단계는

상기 샘플링 포인트로부터 한 단위시간 이후의 임펄스 응답신호인 임펄스 응답의 피크 신호를 제거하는 것을 특징으로 하는 데이터 수신장치의 등화 알고리즘 제어방법.

청구항 10

제8항에 있어서, 상기 제1 제거단계는

유한 임펄스 응답 등화 알고리즘에 의해 구현되는 것을 특징으로 하는 데이터 수신장치의 등화 알고리즘 제어방법.

청구항 11

제8항에 있어서, 상기 제2 계수값 결정단계는

출력단이 공통으로 연결되는 차동 구조의 2:1 직렬 변환기 회로의 출력레벨을 조절하여 상기 제2 계수값을 결정하는 것을 특징으로 하는 데이터 수신 장치의 등화 알고리즘 제어 방법.

청구항 12

제8항에 있어서, 상기 제2 제거단계는

무한 임펄스 응답 등화 알고리즘에 의해 구현되는 것을 특징으로 하는 데이터 수신 장치의 등화 알고리즘 제어 방법.

청구항 13

제8항에 있어서,

상기 데이터 수신장치로 데이터를 송신하는 송신단에 포함된 프리드라이버 회로의 출력 전압을 일정 레벨 이상으로 유지시키는 단계를 더 포함하는 것을 특징으로 하는 데이터 수신장치의 등화 알고리즘 제어방법.

청구항 14

제13항에 있어서, 상기 유지단계는

상기 송신단에 포함되고 상기 프리드라이버 회로의 출력 전압을 입력으로 받는 메인드라이버 회로 입력단의 문턱 전압 이상으로, 상기 프리드라이버 회로의 출력 전압을 유지시키는 것을 특징으로 하는 데이터 송/수신장치의 등화 알고리즘 제어방법.

발명의 설명

기술 분야

- [0001] 본 발명은 데이터 수신 장치 및 그의 등화 알고리즘 제어방법에 관한 것으로서, 특히, 넓은 대역의 신호를 왜곡 없이 효율적으로 수신하기 위한 데이터 수신장치 및 그의 등화 알고리즘 제어방법에 관한 것이다.

배경 기술

- [0002] 고속으로 동작하는 메모리의 수요가 커지고 있으며, 이로 인해 입/출력(Input/Output, I/O) 대역폭도 함께 증가하고 있는 추세이다. 이러한 I/O 대역폭의 증가는 신호 간 간섭(Inter Symbol Interference, ISI)을 유발한다. 상기 신호 간 간섭(ISI)에 의해, 원래의 데이터가 왜곡되고, 전압 마진과 시간 마진이 줄어들게 되어 수신단의 성능이 제한되는 등의 문제가 발생한다.
- [0003] 이로 인해, 등화기법(Equalization)의 필요성이 대두되고 있으며, 데이터 송수신 시스템에서는 송수신되는 신호들의 왜곡을 보상하기 위한 등화기(Equalizer)를 필수적으로 채택하고 있다. 특히, 송신단(Tx)과 수신단(Rx)에 각각 다른 등화기법이 적용되는데, 송신단(Tx)에는 디엠퍼시스 등화기법(De-emphasis equalization)이 사용되고, 수신단(Rx)에는 지속시간 선형 등화기(Continuous Time Linear Equalizer, CTLE)와 판정 궤환 등화기(Decision Feedback Equalizer, DFE)를 채택하는 것이 일반적이다.
- [0004] 송신단(Tx)에 사용되는 디엠퍼시스 등화기법(De-emphasis equalization)은, 통상적으로, 임피던스 변조(impedance modulation) 또는 분할기법(segmentation technique)을 가지고 구현되는데, 상기 임피던스 변조(impedance modulation) 기술은 디엠퍼시스 등화가 수행되는 동안 출력 임피던스를 유지하기 위한 추가적인 임피던스 모듈레이션 루프를 필요로 하는 단점이 있고, 상기 분할기법(segmentation technique)은 수신단을 많은 세그먼트들로 나누어야 하므로 복잡성이 증가하고 전력 소모가 크다는 문제가 있었다.
- [0005] 한편, 수신단(Rx)에 사용되는 판정 궤환 등화기(Decision Feedback Equalizer, DFE)의 경우 유한 임펄스 응답 DFE(Finite Impulse Response DFE, FIR DFE)와 무한 임펄스 응답 DFE(Infinite Impulse Response DFE, IIR DFE)의 두가지가 있으며, 이중 IIR DFE가 주목을 받고 있다. 이는, FIR DFE와 비교하여 강력한 롱테일(long-tail) ISI 소거기능을 가지며, 전력 소모가 적고 및 간단한 구조를 가지기 때문이다. 그러나, IIR DFE의 경우

피드백 경로가 느려서 대역폭을 증가시키는 것이 어렵다는 단점이 있으며, 이를 보상하기 위해, FIR DFE와 IIR DFE를 혼용하는 하이브리드 DFE가 도입되었다. 하지만, 이 경우에도 최대 대역폭이 10Gb/s로 제한된다는 아쉬움이 여전히 남게 된다.

[0006] 그러므로, 송수신단 회로의 복잡성 및 전력 소모를 최소화하면서, 광대역의 신호를 왜곡 없이 수신할 수 있도록 하기 위한 장치 및 방법이 요구되는 실정이다.

선행기술문헌

비특허문헌

- [0007] (비특허문헌 0001) 1. T.-C. Hsueh et al., ISSCC, pp.444-445, Feb.2014.
 (비특허문헌 0002) 2. Y.-H. Song et al., ISSCC, pp.446-447, Feb.2014.
 (비특허문헌 0003) 3. J. Kim et al., ISSCC, pp.1-3, Feb.2015.
 (비특허문헌 0004) 4. S. Shahramian et al., JSSC, pp.1772-1735, Jul.2015.
 (비특허문헌 0005) 5. J. W. Jung et al., JSSC, pp.515-526, Feb.2015.
 (비특허문헌 0006) 6. J. Bulxacchelli et al., JSSC, pp.3232-3248, Dec.2012.

발명의 내용

해결하려는 과제

[0008] 따라서, 본 발명은 송신단의 등화과정을 제거함으로써, 송수신단 회로의 복잡성 및 전력 소모를 최소화하면서, 넓은 대역의 신호를 왜곡 없이 수신할 수 있도록 하는 데이터 송/수신장치 및 그의 등화 알고리즘 제어방법을 제공하고자 한다.

과제의 해결 수단

- [0009] 상기 목적을 달성하기 위해, 본 발명에서 제공하는 데이터 수신장치는 임펄스 응답의 피크지점을 기준으로 미리 설정된 단위 시간(Unit Interval, UI)에 기초하여 등화 알고리즘을 수행하는 데이터 수신장치에 있어서, 상기 임펄스 응답의 피크지점으로부터 한 단위시간 이전의 지점으로 샘플링 포인트를 이동하도록 클럭을 발생시키는 클럭 신호 제공부; 입력되는 N개의 양의 카운터값들 및 M개의 음의 카운터값들에 기초하여 제2 계수값을 결정하는 계수값 결정부; 및 입력된 제1 계수값 또는 상기 계수값 결정부에서 결정된 제2 계수값에 의거하여 상기 샘플링 포인트 이후의 임펄스 응답신호들을 상기 단위시간 마다 제거하는 등화기를 포함한다.
- [0010] 바람직하게는, 상기 계수값 결정부는 출력단이 공통으로 연결되는 차동 구조의 2:1 직렬 변환기; 및 상기 공통으로 연결된 출력단의 출력 공통 레벨을 조절하기 위한 무한 임펄스 응답 필터를 포함할 수 있다.
- [0011] 바람직하게는, 상기 무한 임펄스 응답 필터는 직렬로 연결된 복수의 저항들; 및 상기 저항들 사이에 연결된 가변커패시터를 포함할 수 있다.
- [0012] 바람직하게는, 상기 등화기는 상기 제1 계수값에 의거하여 상기 샘플링 포인트로부터 한 단위시간 이후의 지점에 대응된 임펄스 응답신호 하나를 제거하는 유한 임펄스 응답 등화기; 및 상기 제2 계수값에 의거하여 상기 유한 임펄스 응답 등화기에서 제거된 하나의 임펄스 응답신호의 위치에 대응된 지점으로부터 상기 단위시간 만큼씩 이동하며 대응된 임펄스 응답신호를 모두 제거하는 무한 임펄스 응답 등화기를 포함할 수 있다.
- [0013] 바람직하게는, 상기 유한 임펄스 응답 등화기는 상기 임펄스 응답의 피크 신호를 제거할 수 있다.
- [0014] 바람직하게는, 상기 수신장치는 송신할 신호를 증폭시키는 프리드라이버 회로와; 상기 프리드라이버 회로의 출력 전압을 입력으로 받아 임피던스 매칭을 하는 메인드라이버 회로를 포함하는 송신장치로부터 전달된 데이터를 수신하되, 상기 프리드라이버 회로는 출력 전압을 일정 레벨 이상으로 유지시킬 수 있다.
- [0015] 바람직하게는, 상기 프리드라이버 회로는 상기 프리드라이버 회로의 출력 전압을 상기 메인 드라이버 회로 입력단의 문턱 전압 이상으로 유지시킬 수 있다.

- [0016] 한편, 상기 목적을 달성하기 위해, 본 발명에서 제공하는 데이터 수신장치의 등화 알고리즘 제어 방법은 임펄스 응답의 피크지점을 기준으로 미리 설정된 단위 시간(Unit Interval, UI)에 기초하여 등화 알고리즘을 수행하는 데이터 수신장치의 등화 알고리즘 제어방법에 있어서, 상기 임펄스 응답의 피크지점으로부터 한 단위시간 이전의 지점으로 샘플링 포인트를 이동하는 단계; 입력된 제1 계수값에 의거하여, 상기 샘플링 포인트로부터 한 단위시간 이후의 지점에 대응된 임펄스 응답신호 하나를 제거하는 제1 제거단계; 입력되는 N개의 양의 카운터값들 및 M개의 음의 카운터값들에 기초하여 제2 계수값을 결정하는 단계; 및 상기 제2 계수값에 의거하여 상기 제1 제거단계에서 제거된 하나의 임펄스 응답신호의 위치에 대응된 지점으로부터 상기 단위시간 만큼씩 이동하며 대응된 임펄스 응답신호를 모두 제거하는 제2 제거단계를 포함한다.
- [0017] 바람직하게는, 상기 제1 제거단계는 상기 샘플링 포인트로부터 한 단위시간 이후의 임펄스 응답신호인 임펄스 응답의 피크 신호를 제거할 수 있다.
- [0018] 바람직하게는, 상기 제1 제거단계는 유한 임펄스 응답 등화 알고리즘에 의해 구현될 수 있다.
- [0019] 바람직하게는, 상기 제2 계수값 결정단계는 출력단이 공통으로 연결되는 차동 구조의 2:1 직렬 변환기 회로의 출력레벨을 조절하여 상기 제2 계수값을 결정할 수 있다.
- [0020] 바람직하게는, 상기 제2 제거단계는 무한 임펄스 응답 등화 알고리즘에 의해 구현될 수 있다.
- [0021] 바람직하게는, 상기 데이터 수신장치의 등화 알고리즘 제어방법은 상기 데이터 수신장치로 데이터를 송신하는 송신단에 포함된 프리드라이버 회로의 출력 전압을 일정 레벨 이상으로 유지시키는 단계를 더 포함할 수 있다.
- [0022] 바람직하게는, 상기 유지단계는 상기 송신단에 포함되고 상기 프리드라이버 회로의 출력 전압을 입력으로 받는 메인드라이버 회로 입력단의 문턱 전압 이상으로, 상기 프리드라이버 회로의 출력 전압을 유지시킬 수 있다.

발명의 효과

- [0023] 본 발명의 데이터 수신장치 및 그의 등화알고리즘 제어방법은 임펄스 응답신호의 샘플링 포인트를 이동시켜 샘플링 포인트 이전의 임펄스 응답신호가 제로가 되게 함으로써, 회로의 복잡성 및 전력소모의 원인이 되는 송신단에서의 등화과정을 제거할 수 있다. 따라서, 본 발명은 전력소모 및 회로의 복잡성을 줄이고, 비용 절감을 기대할 수 있다. 또한 본 발명은 보다 안정적인 데이터 수신이 가능한 장점이 있다.

도면의 간단한 설명

- [0024] 도 1은 본 발명의 일 실시 예가 적용된 데이터 송/수신장치에 대한 블록도이다.
- 도 2는 일반적인 송신장치에서 발생할 수 있는 신호 왜곡과, 본 발명에서 이를 개선한 결과를 비교한 도면이다.
- 도 3은 도 1에 예시된 데이터 송/수신장치에 포함된 프리드라이버(PreDRV)에 대한 회로도이다.
- 도 4는 도 1에 예시된 데이터 송/수신장치에 포함된 메인드라이버(MainDRV)에 대한 회로도이다.
- 도 5는 본 발명의 일 실시 예에 따른 데이터 수신장치에 포함된 등화기에 대한 회로도이다.
- 도 6은 본 발명의 일 실시 예에 따른 데이터 수신장치에 포함된 계수값 결정부에 대한 회로도이다.
- 도 7은 본 발명의 일 실시 예에 따른 등화 알고리즘 제어 방법에 대한 개략적인 처리 흐름도이다.
- 도 8은 본 발명의 등화 알고리즘의 동작 개념을 종래의 등화 알고리즘과 비교하여 설명하기 위한 도면이다.
- 도 9는 본 발명의 등화 알고리즘과 종래의 등화 알고리즘 각각에 대하여 샘플링 포인트에서의 임펄스 응답 신호의 진폭을 비교하기 위한 도면이다.
- 도 10은 복수의 채널 조건에 대하여 본 발명의 성능을 비교 분석하기 위한 도면이다.

발명을 실시하기 위한 구체적인 내용

- [0025] 아래에서는 첨부한 도면을 참고로 하여 본 발명의 실시 예에 대하여 설명하되, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 본 발명을 용이하게 실시할 수 있도록 상세히 설명한다. 그러나 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시 예에 한정되지 않는다. 한편 도면에서 본 발명을 명확하게 설명하기 위해서 설명과 관계없는 부분은 생략하였으며, 명세서 전체를 통하여 유사한 부분에 대해서는 유사한 도면 부호를 붙였다. 또한 상세한 설명을 생략하여도 본 기술 분야의 당업자가 쉽게 이해할 수 있는 부분

의 설명은 생략하였다.

- [0026] 명세서 및 청구범위 전체에서, 어떤 부분이 어떤 구성 요소를 포함한다고 할 때, 이는 특별히 반대되는 기재가 없는 한 다른 구성 요소를 제외하는 것이 아니라 다른 구성 요소를 더 포함할 수 있는 것을 의미한다.
- [0027] 도 1은 본 발명의 일 실시 예가 적용된 데이터 송/수신장치에 대한 블록도이다. 도 1을 참조하면, 본 발명의 일 실시 예가 적용된 데이터 송/수신장치는 다음과 같다.
- [0028] 먼저, 송신장치(100)는 송신 클럭 신호 제공부(Tx CLK)(110), 송신 모드 선택부(Tx Mode Sel)(120), 프리드라이버(PreDRV)부(130), 메인드라이버(MainDRV)부(140) 및 정전기 방지 처리부(Electro Static Discharge, ESD)(150)를 포함한다.
- [0029] 송신 클럭 신호 제공부(Tx CLK)(110)는 송신 클럭(Tx Clock)을 발생시키고, 송신 모드 선택부(Tx Mode Sel)(120)는 상기 송신 클럭에 응답하여 듀얼 모드(Dual-mode : Single-ended, Differential)로 동작하는 송신장치(100)의 동작 모드를 결정하고, 정전기 방전 처리부(ESD)(150)는 송신장치(100) 내부에서 발생된 정전기를 제거하는 역할을 한다.
- [0030] 또한, 프리드라이버(PreDRV)부(130) 및 메인드라이버(MainDRV)부(140)는 송신 모드 선택부(Tx Mode Sel)(120)에서 결정된 동작 모드에 의해 동작하며, 프리드라이버(PreDRV)부(130)에서 입력신호를 증폭 및 2:1로 직렬변환하여 출력하면, 메인드라이버(MainDRV)부(140)는 그에 대한 임피던스 매칭을 실시한다. 이를 위해, 프리드라이버(PreDRV)부(130)는 복수의 2:1 직렬변환 및 프리드라이버(2:1 SER/PreDRV)들(131, 135)를 포함하고, 메인드라이버(MainDRV)부(140)는 복수의 메인드라이버(MainDRV)들(141, 145)를 포함한다. 이 때, 메인드라이버(MainDRV)들(141, 145) 각각의 출력은 입력으로 들어오는 복수의 2:1 직렬변환 및 프리드라이버(2:1 SER/PreDRV)들(131, 135) 각각의 출력에 크게 영향을 받게 되는데, 이로 인해 신호 왜곡이 발생할 수도 있게 된다. 즉, 접지(Ground)에서 전원전압(Supply Voltage)까지 올라가는 2:1 직렬변환 및 프리드라이버(2:1 SER/PreDRV)(131) 출력신호의 스윙레벨(Swing Level)로 인해 메인드라이버(MainDRV)(141)의 입력 전압이 입력 NMOS 문턱전압 보다 낮은 값을 가지는 경우가 존재하며, 이 경우 메인드라이버(MainDRV)(141) 출력 신호가 왜곡된다.
- [0031] 도 2는 일반적인 송신장치에서 발생할 수 있는 신호 왜곡과, 본 발명에서 이를 개선한 결과를 비교한 도면으로서, 도 2의 (a)는 일반적인 송신장치에 포함된 프리드라이버의 출력 신호(SWG1)를 나타내고, 도 2의 (b)는 왜곡된 신호를 포함하는 메인 드라이버의 출력신호를 나타내고, 도 2의 (c)는 본 발명에 의해 개선된 프리드라이버의 출력 신호(SWG2)를 나타내고, 도 2의 (d)는 왜곡이 발생하지 않은 메인 드라이버의 출력신호를 나타낸다. 도 2의 (a) 및 (b)를 참조하면, 일반적인(Conventional) 송신장치의 경우, 프리드라이버 출력신호(PreDRV output)의 스윙레벨(SWG1)이 접지(0)에서 전원전압(V_{DD})까지 변함으로써, 그 값이 문턱 전압(V_{th}) 이하인 경우(A)가 존재하며, 이는 도 2의 (b)에 도시된 바와 같이 메인 드라이버의 출력신호(MainDRV output)에 왜곡된 신호 영역(A)을 발생시킨다. 만약, 도 2의 (c)와 같이 프리드라이버의 출력(SWG2)이 문턱 전압(V_{th}) 이상을 유지하게 된다면, 즉, 프리드라이버의 최소 출력값(B)이 문턱 전압(V_{th})을 유지한다면, 도 2의 (d)와 같이 메인 드라이버는 왜곡이 발생하지 않은 깨끗한 신호(B)를 출력하게 될 것이다.
- [0032] 도 2의 (c)와 같이 출력신호의 스윙레벨이 문턱 전압(V_{th}) 이상을 유지하도록 구현된 프리드라이버(PreDRV)에 대한 회로도가 도 3에, 그리고 이에 응답하여 동작하는 메인드라이버(MainDRV)에 대한 회로도가 도 4에 예시되어 있다. 이들 각각에 대하여는 도 3 및 도 4를 참조하여 보다 상세히 설명할 것이다.
- [0033] 다시 도 1을 참조하면, 수신장치(200)는 수신 클럭 신호 제공부(Rx CLK)(210), 정전기 방지 처리부(Electro Static Discharge, ESD)(220), 지속시간 선형 등화기(Continuous Time Linear Equalizer, CTLE)(230), 판정 궤환 등화기(DFE)(240), 무한 임펄스 응답(Infinite Impulse Response) 계수값 결정부(250), 및 수신장치(200)의 동작을 돕는 부수적인 장치들(예컨대, 믹스들(261, 262), 래치들(271, 272) 및 SR 래치들(281, 282) 등)을 포함한다.
- [0034] 수신 클럭 신호 제공부(Rx CLK)(210)는 수신 클럭(Rx Clock)을 발생시킨다. 특히, 수신 클럭 신호 제공부(Rx CLK)(210)는 임펄스 응답의 피크지점을 기준으로 미리 설정된 단위 시간(Unit Interval, UI)에 기초하여 등화 알고리즘을 수행하는 수신장치(200)에 있어서, 상기 임펄스 응답의 피크지점으로부터 한 단위시간(1UI) 이전의 지점으로 샘플링 포인트를 이동하도록 클럭을 발생시킨다.
- [0035] 정전기 방지 처리부(Electro Static Discharge, ESD)(220)는 수신장치(200) 내부에서 발생된 정전기를 제거하

고, 지속시간 선형 등화기(Continuous Time Linear Equalizer, CTLE)(230)는 입력된 신호의 고주파 이득을 보상해서, 이득을 일정하게 유지하도록 한다.

[0036] 판정 제한 등화기(DFE)(240)는 계수값에 의해 유한 임펄스 응답 등화기(Finite Impulse Response DFE, FIR DFE) 또는 무한 임펄스 응답 등화기(Infinite Impulse Response DFE, IIR DFE)로 동작한다. 예를 들어, 외부에서 제1 계수값(h_{FIR})이 입력되면 그에 응답하여 유한 임펄스 응답 등화기(Finite Impulse Response DFE, FIR DFE)로 동작하고, 무한 임펄스 응답(Infinite Impulse Response) 계수값 결정부(250)에서 생성된 제2 계수값(h_{IIR})이 입력되면 그에 응답하여 유한 임펄스 응답 등화기(Finite Impulse Response DFE, FIR DFE)로 동작한다. 즉, 상기 제1 또는 제2 계수값(h_{FIR} 또는 h_{IIR})에 의거하여 상기 샘플링 포인트 이후의 임펄스 응답 신호들을 단위시간(UI) 마다 제거한다. 이러한 판정 제한 등화기(DFE)(240)에 대한 상세 회로도가 도 5에 예시되어 있다. 따라서, 판정 제한 등화기(DFE)(240)에 대하여는 도 5를 참조하여 보다 상세히 설명할 것이다.

[0037] 무한 임펄스 응답(Infinite Impulse Response) 계수값 결정부(250)는 입력되는 N개의 양의 카운터값들 및 M개의 음의 카운터값들에 기초하여 제2 계수값(h_{IIR})을 생성한 후, 판정 제한 등화기(DFE)(240)로 피드백시킨다. 이러한 무한 임펄스 응답(IIR) 계수값 결정부(250)에 대한 상세 회로도가 도 6에 예시되어 있다. 따라서, 무한 임펄스 응답(IIR) 계수값 결정부(250)에 대하여는 도 6을 참조하여 보다 상세히 설명할 것이다.

[0038] 도 3은 도 1에 예시된 데이터 송/수신장치에 포함된 프리드라이버(PreDRV)(131)에 대한 회로도이다. 도 1 및 도 3을 참조하면, 상기 프리드라이버(PreDRV)(131)는 게이트단에 접지를 연결해서 항상 켜져있도록 설계한 복수개의 PMOS(12, 13)와 상기 복수개의 PMOS(12, 13) 출력단에 연결된 액티브 인덕터(11)를 포함한다. 따라서, 그 출력값을 일정 레벨(예컨대, NMOS의 문턱 전압) 이상으로 유지할 수 있으며, 이로 인해 프리드라이버(PreDRV)(131) 뒷단에 연결된 메인 드라이버(MainDRV)(141)의 입력 NMOS가 꺼지지 않는다. 즉, 메인 드라이버(MainDRV)(141)의 입력 NMOS가 꺼짐으로써 발생하는 출력 왜곡 문제를 해결할 수 있다. 한편, 도 3에 클럭신호들(CLK/CLKb)과 입력신호(A,B,Ab,Bb)의 입력단 사이에 표시된 공통 노드(V_{p1} 및 V_{p2})는 차동 구조를 야기시키고, 상기 프리드라이버(PreDRV)(131)의 출력 슬루-레이트(slew-rate)를 향상시키면서, 공통 모드 잡음을 제거하는 효과가 있다.

[0039] 도 4는 도 1에 예시된 데이터 송/수신장치에 포함된 메인드라이버(MainDRV)(141)에 대한 회로도이다. 도 1 및 도 4를 참조하면, 상기 메인드라이버(MainDRV)(141)는 전압 제어장치(voltage regulator)(21)와, 복수의 임피던스 제어부(22, 23)를 포함한다. 전압 제어장치(voltage regulator)(21)는 도 1에 예시된 두 개의 메인 드라이버(MainDRV)(141, 145)들에 의해 공유되고, 각각의 메인드라이버 임피던스는 도 4에 예시된 바와 같이 복수의 임피던스 제어부(22, 23)에서 신호 $Z_{CON_TOP}[4:0]$ 및 신호 $Z_{CON_BOT}[4:0]$ 에 의해 각각 디지털로 제어된다.

[0040] 도 5는 본 발명의 일 실시 예에 따른 데이터 수신장치에 포함된 등화기(241)에 대한 회로도이다. 도 5를 참조하면, 등화기(241)는 유한 임펄스 응답 등화기(31)와, 복수의 무한 임펄스 응답 등화기(32, 33) 및 래치(34)를 포함한다.

[0041] 유한 임펄스 응답 등화기(31)는 입력되는 제1 계수값(h_{FIR})에 의거하여 동작하며, 도 1의 수신 클럭 신호 제공부(Rx CLK)(210)에서 발생된 클럭에 의해 이동된 샘플링 포인트로부터 한 단위시간(1UI) 이후의 지점에 대응된 임펄스 응답신호 하나를 제거한다. 이 때, 상기 샘플링 포인트는 임펄스 응답의 피크 신호가 발생한 지점을 기준으로 한 단위시간(1UI) 이전의 지점으로 이동하였으므로, 결국 유한 임펄스 응답 등화기(31)는 임펄스 응답의 피크신호를 제거하게 된다.

[0042] 무한 임펄스 응답 등화기(32, 33)는 무한 임펄스 응답(Infinite Impulse Response) 계수값 결정부(250)에서 생성된 후 피드백된 제2 계수값(h_{IIR})에 의거하여 동작하며, 유한 임펄스 응답 등화기(31)에서 제거된 하나의 임펄스 응답신호의 위치에 대응된 지점으로부터 상기 단위시간(UI) 만큼씩 이동하며 대응된 임펄스 응답신호를 모두 제거한다. 결과적으로, 무한 임펄스 응답 등화기(32, 33)는 상기 샘플링 포인트로부터 두 단위시간(2UI) 이후의 지점에 대응된 임펄스 응답신호 및 그 이후의 임펄스 응답신호들을 모두 제거한다. 이 때, 도 1을 참조하면, 피드백 지연을 줄이기 위해, 무한 임펄스 응답 등화기(32, 33)의 합산기와 읍셋 제너레이터가 래치에 병합되며, SR 래치 또는 2차 래치가 IIR DFE의 피드백 경로에 존재하지 않음을 알 수 있다.

[0043] 도 6은 본 발명의 일 실시 예에 따른 데이터 수신장치에 포함된 계수값 결정부(251)에 대한 회로도이다. 도 6을 참조하면, 상기 계수값 결정부(251)는 출력단이 공통으로 연결되는 차동 구조의 2:1 직렬 변환기 구조를

가지며, 상기 공통으로 연결된 출력단의 출력 공통 레벨을 조절하기 위한 무한 임펄스 응답 필터(41)를 포함한다. 또한 상기 무한 임펄스 응답 필터(41)는 상기 출력단(OUT/OUTb) 사이에 직렬로 연결된 복수의 저항들(R) 및 상기 저항들(R) 사이에 연결된 가변커패시터를 포함한다. 도 6의 예에서, 상기 출력 공통 레벨은 입력되는 N개의 양의 카운터값들(P_CNT[7:0]) 및 M개의 음의 카운터값들(N_CNT[7:0])에 의해 조절된다. 본 실시예에서 N=8이고, M=8이지만, 실시예에 따라 N과 M 값은 서로 다른 자연수일 수 있다. 예를 들어, 상기 출력 공통 레벨을 높여서 도 1에 예시된 등화기(241)에 포함된 합산부(summer)의 이득을 낮추거나, 반대로 상기 출력 공통 레벨을 낮춰서 상기 합산부(summer)의 이득을 높일 수 있다.

[0044] 도 7은 본 발명의 일 실시 예에 따른 등화 알고리즘 제어 방법에 대한 개략적인 처리 흐름도이고, 도 8은 본 발명의 등화 알고리즘의 동작 개념을 종래의 등화 알고리즘과 비교하여 설명하기 위한 도면이다. 특히, 도 8의 (a), (b), (c)는 종래의 등화 알고리즘에 대한 개념을 설명하기 위한 도면이고, 도 8의 (d), (e), (f)는 본 발명의 등화 알고리즘의 동작 개념을 설명하기 위한 도면이다.

[0045] 도 1 및 도 7 및 도 8을 참조하면, 임펄스 응답의 피크지점을 기준으로 미리 설정된 단위 시간(Unit Interval, UI)에 기초하여 등화 알고리즘을 수행하는 데이터 수신장치의 등화 알고리즘 제어방법은 다음과 같다.

[0046] 먼저, 이후의 설명에서는 단위 시간으로 이동하는 시간축에 대응한 임펄스 응답 신호를 커서라고 명명하고, 샘플링 포인트로 결정된 지점의 임펄스 응답신호를 메인커서(C_{main}), 상기 메인커서(C_{main})이전의 커서를 프리커서(C_{pre}), 상기 메인커서(C_{main})이후의 커서들을 모두 포스트커서(C_{post})로 명명할 것이다.

[0047] 도 8의 (a)를 참조하면, 종래에는 임펄스 응답 신호의 피크 지점을 샘플링 포인트로 결정하고, 샘플링 포인트의 임펄스 응답 신호를 메인 커서(C_{main})로 결정하였다. 그리고, 송신단의 등화 알고리즘(예컨대, Tx De-Emphasis)을 이용하여, 상기 메인 커서(C_{main}) 이전의 프리커서(C_{pre})를 제거하고, 프리커서(C_{pre})의 진폭에 따라 메인 커서(C_{main})의 진폭을 변경시켰다. 도 8의 (b)는 이러한 송신단의 등화 알고리즘 처리 결과를 나타낸다. 도 8의 (b)를 참조하면, 진폭이 낮아진 메인커서(C_{main})와 프리커서(C_{pre})가 도시되어 있다. 한편, 도 8의 (c)는 수신단의 DFE에서 포스트 커서포스트커서(C_{post})들을 제거한 결과를 나타낸다. 이 경우, 도 8의 (b)와 같은 임펄스 응답 곡선을 만들기 위해, 종래에서 사용한 송신단의 등화 알고리즘(예컨대, Tx De-Emphasis)은 회로의 복잡성 및 전력 소비를 증가시키는 등의 문제가 있었다.

[0048] 따라서, 본 발명의 단계 S110에서는, 도 8의 (d)와 같이 샘플링 포인트를 임펄스 응답의 피크지점으로부터 한 단위시간(UI) 이전의 지점으로 이동시킨다. 즉, 메인 커서의 위치를 도 8의 (d)와 같이 이동시킨다(S110). 따라서, 메인 커서(C_{main})와 프리커서(C_{pre})의 위치는 도 8(d)에 예시된 바와 같고, 프리커서(C_{pre})의 값이 이미 0이므로, 종래의 경우와 같이 송신단의 등화 알고리즘(예컨대, Tx De-Emphasis)을 적용할 필요가 없게 된다.

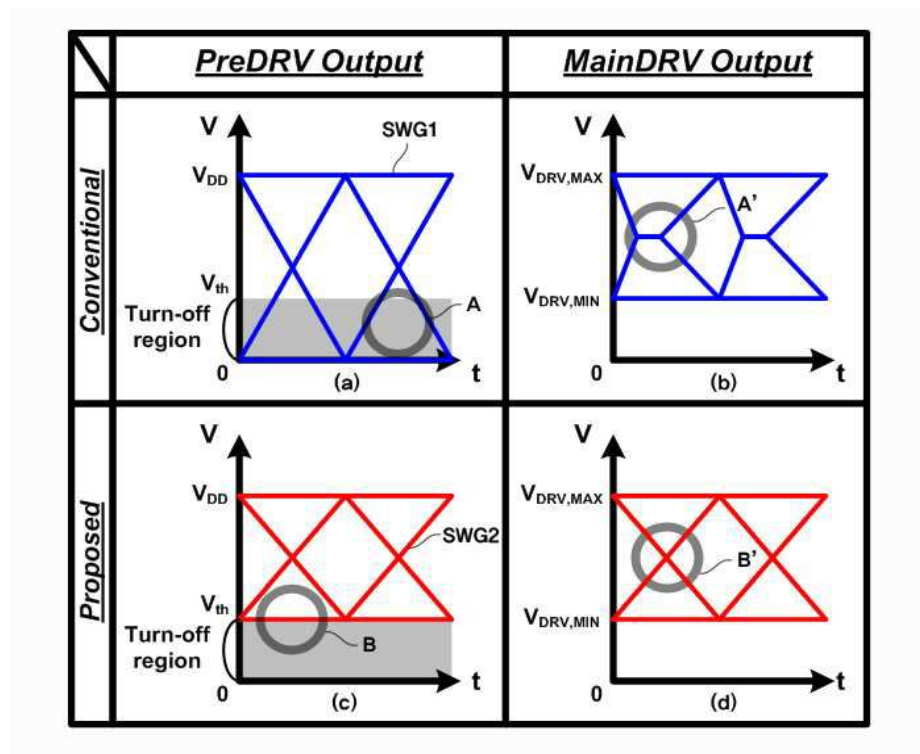
[0049] 그리고, 단계 S120에서는, 판정 제한 등화기(DFE)(240)가 입력되는 제1 계수값(h_{FIR})에 의거하여, 상기 샘플링 포인트로부터 한 단위시간(UI) 이후의 지점에 대응된 임펄스 응답신호 하나(즉, 첫 번째 포스트 커서, C_{post_1st})를 제거한다. 이 때, 단계 S120은 유한 임펄스 응답 등화(FIR DFE) 알고리즘에 의해 구현할 수 있다. 단계 S120의 처리 결과는 도 8의 (e)에 예시된 바와 같다. 도 8의 (d) 및 (e)를 참조하면, 상기 첫 번째 포스트 커서(C_{post_1st})는 결국 임펄스 응답의 피크 신호인 것을 알 수 있다.

[0050] 단계 S130에서는, 도 1의 무한 임펄스 응답(Infinite Impulse Response) 계수값 결정부(250)가 제2 계수값(h_{IIR})을 생성한 후, 판정 제한 등화기(DFE)(240)로 피드백시킨다. 이를 위해, 무한 임펄스 응답(Infinite Impulse Response) 계수값 결정부(250)는 입력되는 N개의 양의 카운터값들 및 M개의 음의 카운터값들을 이용하여, 출력단이 공통으로 연결되는 차동 구조의 2:1 직렬 변환기 회로의 출력레벨을 조절할 수 있다.

[0051] 단계 S140에서는, 판정 제한 등화기(DFE)(240)가 상기 제2 계수값(h_{IIR})에 의거하여 남은 포스트 커서들(C_{post_remain})을 모두 제거한다. 이를 위해, 판정 제한 등화기(DFE)(240)는 상기 단계 S120에서 제거된 하나의 임펄스 응답신호(즉, 첫 번째 포스트 커서(C_{post_1st}))의 위치에 대응된 지점으로부터 상기 단위시간(UI) 만큼씩 이동하며 대응된 임펄스 응답신호들남은 포스트 커서들(C_{post_remain})을 모두 제거한다. 이 때, 단계 S140은 무한 임펄스 응답 등화(IIR DFE) 알고리즘에 의해 구현할 수 있다. 단계 S140의 처리 결과는 도 8의 (f)에 예시된 바와 같다.

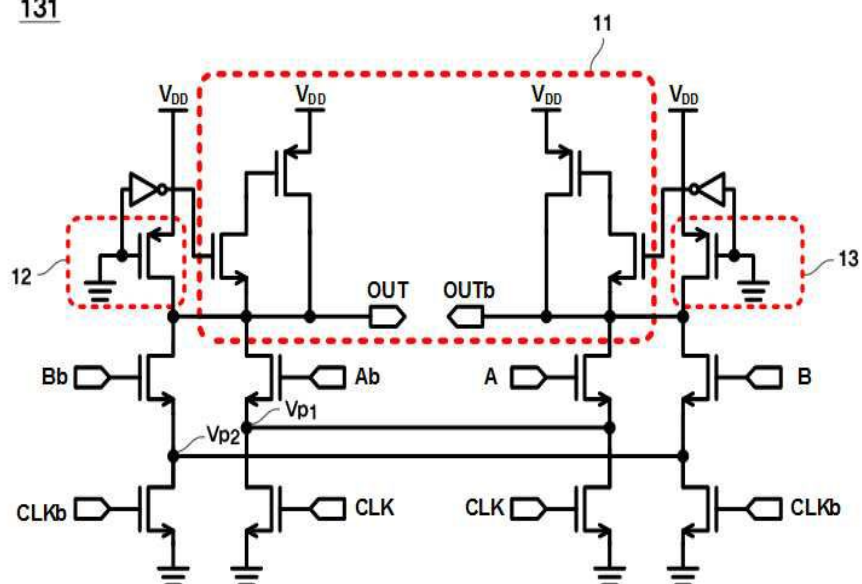
- [0052] 한편, 본 발명의 일 실시 예에 따른 등화 알고리즘 제어 방법은 도 1에 예시된 송신장치(100)에 포함된 프리드라이버 회로(130)의 출력 전압을 일정 레벨(예컨대, 메인 드라이버 회로 입력단의 문턱 전압) 이상으로 유지시키는 단계(미도시)를 더 포함할 수 있다.
- [0053] 도 9는 본 발명의 등화 알고리즘과 종래의 등화 알고리즘 각각에 대하여 샘플링 포인트에서의 임펄스 응답 신호의 진폭을 비교하기 위한 도면이다. 도 9의 (a)는 비선형 임펄스 응답의 지수 곡선을 나타낸 그래프이고, 도 9의 (b)는 상기 지수 곡선 중 종래의 등화 알고리즘을 적용했을 때 남게 되는 메인커서의 진폭을 나타내고, 도 9의 (c)는 상기 지수 곡선 중 본 발명의 등화 알고리즘을 적용했을 때 남게 되는 메인커서의 진폭을 나타낸다.
- [0054] 도 9의 (b)를 참조하면, 종래의 경우 포지션(D)가 프리커서가 되므로, 프리커서를 제거한 후 남게 되는 메인커서의 진폭은 F로 표시된 부분이 된다. 한편, 도 9의 (c)를 참조하면, 본 발명의 경우 포지션(D)가 메인커서이므로 그 진폭은 E로 표시된 부분이다. 따라서, 종래의 경우 메인커서의 진폭은 0.41V이고, 본 발명의 경우 메인커서의 진폭이 0.59V로서, 44% 향상된 특성을 갖는 것을 알 수 있다. 이와 같이 메인 커서의 진폭이 커지면, 결과적으로 eye height가 높아짐으로써 데이터 전송 특성이 좋아지는 효과가 있다.
- [0055] 도 10은 복수의 채널 조건에 대하여 본 발명의 성능을 비교 분석하기 위한 도면이다. 도 10의 (a)는 3개의 채널(CH1, CH2, CH3) 각각에 대한 채널 손실(channel loss) 곡선을 나타내고, 도 10의 (b) 내지 (d)는 상기과 같은 채널 손실을 갖는 채널들 각각의 테스트 조건에 대한 배스터브 곡선(bathtub curve)을 나타낸다. 먼저, 도 10의 (b)는 32Gb/s의 신호를 CH1에 반영한 경우에 대한 배스터브 곡선(bathtub curve)을 나타낸다. 도 10의 (b)를 참조하면, 10^{-9} BER 일 때, 1tap FIR에 의한 등화 알고리즘을 적용한 경우 eye 폭이 존재하지 않는 반면, 본 발명의 ROE를 적용한 경우 eye 폭을 0.38UI 까지 넓힌 것을 알 수 있다. 도 10의 (c) 및 도 10의 (d)는 28Gb/s의 신호를 CH2 및 CH3에 반영한 경우 각각에 대한 배스터브 곡선(bathtub curve)을 나타낸다. 도 10의 (c)를 참조하면, 10^{-9} BER 일 때, 본 발명의 ROE를 적용한 경우 eye 폭이 0.56UI 이고, 도 10의 (d)를 참조하면, 10^{-9} BER 일 때, 본 발명의 ROE를 적용한 경우 eye 폭이 0.29UI 로서, 1tap FIR에 의한 등화 알고리즘을 적용한 경우와 비교하여 그 기능이 현저하게 향상된 것을 알 수 있다.
- [0056] 상술한 예시적인 시스템에서, 방법들은 일련의 단계 또는 블록으로써 순서도를 기초로 설명되고 있지만, 본 발명은 단계들의 순서에 한정되는 것은 아니며, 어떤 단계는 상술한 바와 다른 단계와 다른 순서로 또는 동시에 발생할 수 있다.
- [0057] 또한, 당업자라면 순서도에 나타난 단계들이 배타적이지 않고, 다른 단계가 포함되거나 순서도의 하나 또는 그 이상의 단계가 본 발명의 범위에 영향을 미치지 않고 삭제될 수 있음을 이해할 수 있을 것이다.

도면2

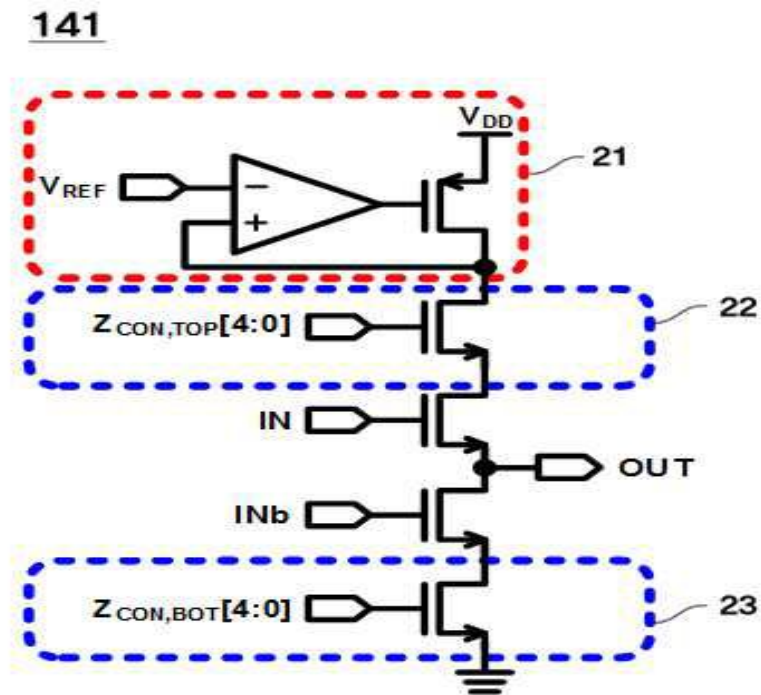


도면3

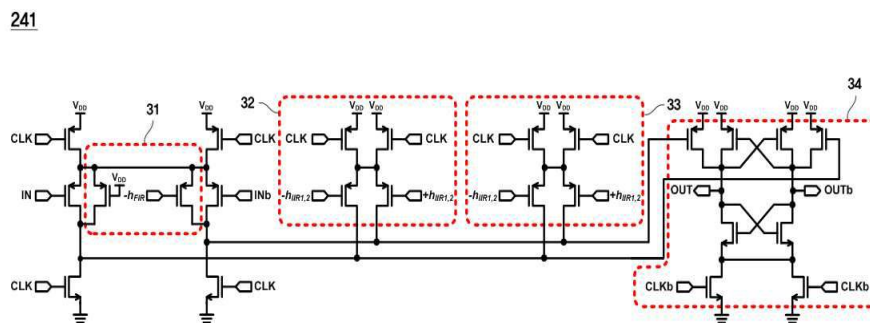
131



도면4

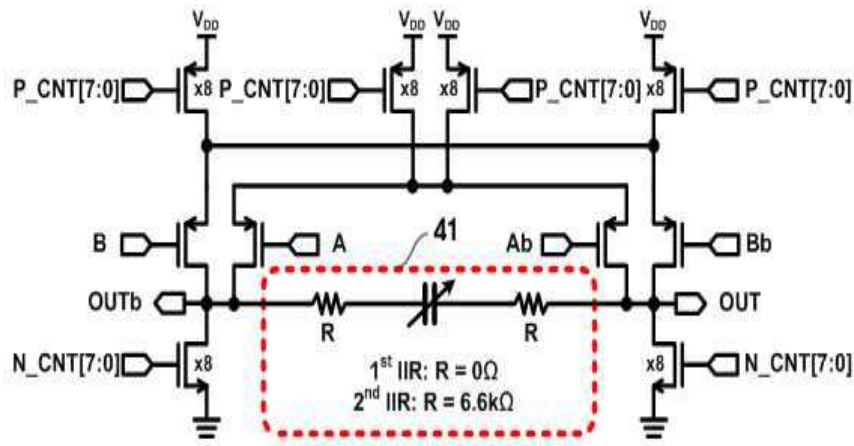


도면5

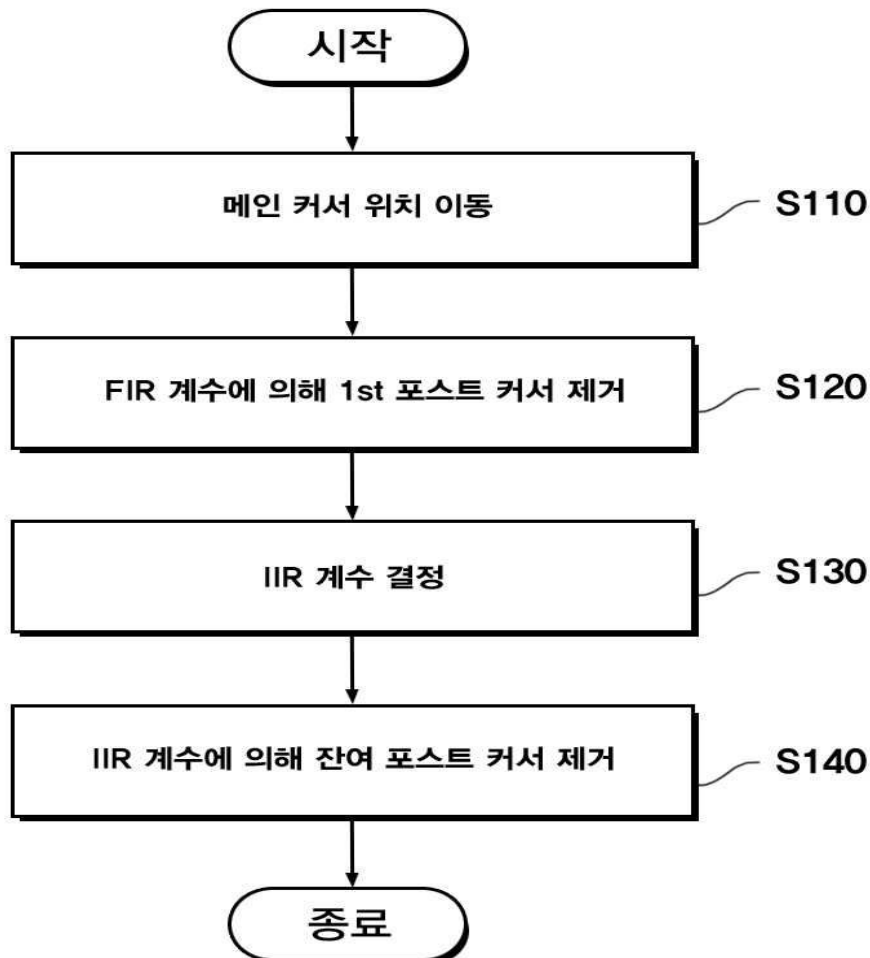


도면6

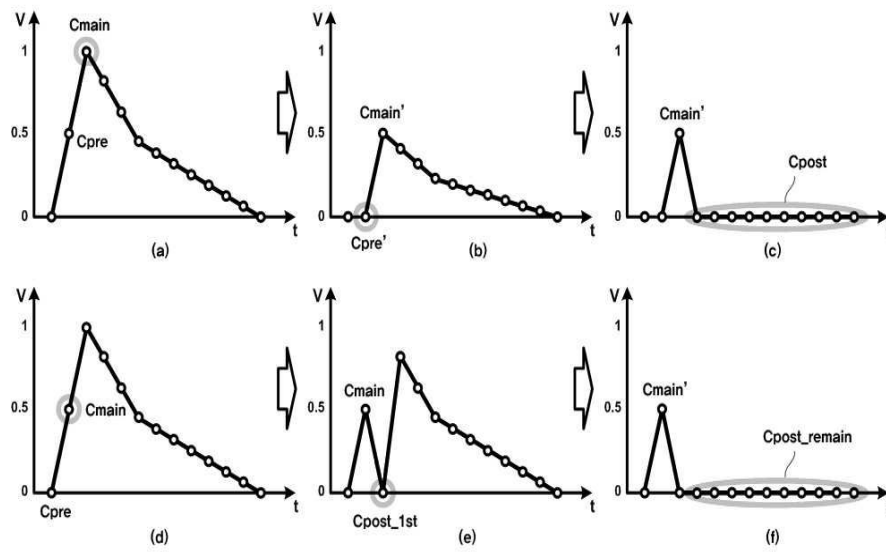
251



도면7

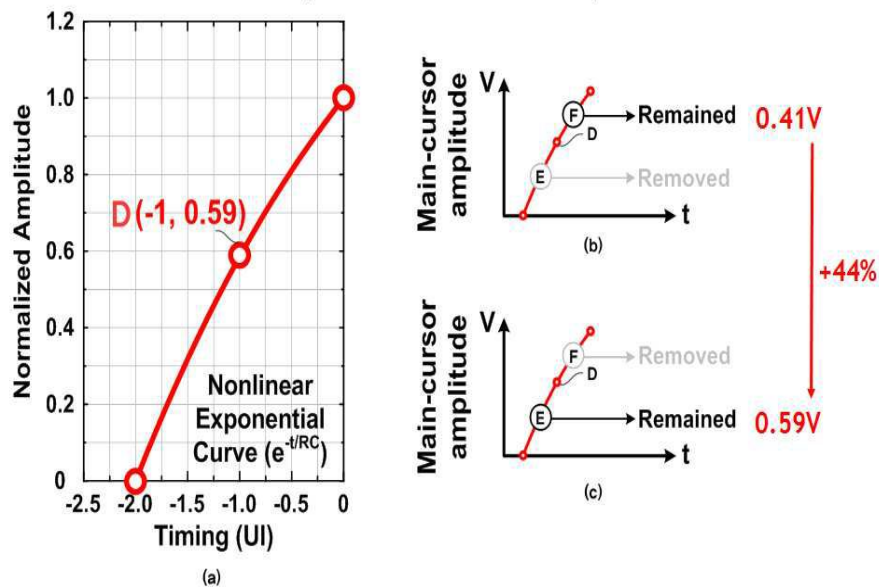


도면8



도면9

Analysis of Nonlinear Curve Pre-cursor Cancellation
(Conventional vs ROE)



도면10

