

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 2 区分

【発行日】平成 16 年 9 月 30 日 (2004.9.30)

【公開番号】特開 2000-307084 (P2000-307084A)

【公開日】平成 12 年 11 月 2 日 (2000.11.2)

【出願番号】特願 平 11-115871

【国際特許分類第 7 版】

H 0 1 L 27/108

H 0 1 L 21/8242

H 0 1 L 21/768

【F I】

H 0 1 L 27/10 6 8 1 B

H 0 1 L 21/90 C

H 0 1 L 27/10 6 2 1 C

H 0 1 L 27/10 6 8 1 F

【手続補正書】

【提出日】平成 15 年 9 月 18 日 (2003.9.18)

【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

半導体基板の主面上に、その第 1 方向に延在するワード線と一体に構成されたゲート電極を備えたメモリセル選択用 M I S F E T が形成され、前記メモリセル選択用 M I S F E T の上部の第 1 絶縁膜には、前記第 1 方向と交差する第 2 方向に延在する配線溝が形成され、前記配線溝の内部には、前記メモリセル選択用 M I S F E T のソース、ドレインの一方と電氣的に接続されたビット線が形成され、前記ビット線の上には、前記ソース、ドレインの他方と電氣的に接続された情報蓄積用容量素子が形成されたメモリセルを有する半導体集積回路装置であって、前記配線溝の内壁には底面部および側面部に第 2 絶縁膜が形成され、前記第 2 絶縁膜の側面部の厚さは前記配線溝の高さ方向に略同じ厚さであり、前記ビット線は、前記第 2 絶縁膜の内側に形成され、前記第 1 絶縁膜と前記第 2 絶縁膜の上面の高さと略同じ高さを有していることを特徴とする半導体集積回路装置。

【請求項 2】

請求項 1 記載の半導体集積回路装置であって、前記ビット線の幅は、互いに隣接する前記ビット線同士の間隔よりも狭いことを特徴とする半導体集積回路装置。

【請求項 3】

請求項 1 記載の半導体集積回路装置において、前記ビット線の一部は、前記配線溝の下部の前記第 1 絶縁膜に形成された第 1 コンタクトホール内に埋め込まれ、前記ソース、ドレインの一方と直接接続されていることを特徴とする半導体集積回路装置。

【請求項 4】

半導体基板の主面上に、その第 1 方向に延在するワード線と一体に構成されたゲート電極を備えたメモリセル選択用 M I S F E T が形成され、前記メモリセル選択用 M I S F E T の上部の第 1 絶縁膜には、前記第 1 方向と交差する第 2 方向に延在する配線溝が形成され、前記配線溝の内部には、前記メモリセル選択用 M I S F E T のソース、ドレインの一方と電氣的に接続されたビット線が形成され、前記ビット線の上には、前記ソース、ドレインの他方と電氣的に接続された情報蓄積用容量素子が形成されたメモリセルを有する半

導体集積回路装置であって、前記配線溝の内壁には側面部に第2絶縁膜が形成され、前記第2絶縁膜の側面部の厚さは前記配線溝の高さ方向に略同じ厚さであり、前記ビット線は、前記第2絶縁膜の内側に形成され、前記第1絶縁膜と前記第2絶縁膜の上面の高さと略同じ高さを有しており、前記ビット線は、前記配線溝の下部の前記第1絶縁膜に形成された第1コンタクトホール内に埋め込まれたプラグを介して、前記ソース、ドレインの一方と電氣的に接続されていることを特徴とする半導体集積回路装置。

【請求項5】

請求項3または4記載の半導体集積回路装置において、前記第1コンタクトホールは、前記第1方向の径が前記第2方向の径よりも大きい平面パターンで構成され、その一部は前記メモリセル選択用MISFETが形成された活性領域上に延在し、他の一部は前記ビット線の直下の素子分離領域上に延在していることを特徴とする半導体集積回路装置。

【請求項6】

請求項1記載の半導体集積回路装置において、前記メモリセル選択用MISFETが形成された活性領域は、前記第2方向に沿って細長く延び、かつその中央部の片側が前記第1方向に凸状に突き出した平面パターンで構成されていることを特徴とする半導体集積回路装置。

【請求項7】

以下の工程を含むことを特徴とする半導体集積回路装置の製造方法；

- (a) 半導体基板の主面上に、その第1方向に延在するワード線と一体に構成されたゲート電極を備えたメモリセル選択用MISFETを形成した後、前記メモリセル選択用MISFETの上部に第1絶縁膜を形成する工程、
- (b) 前記第1絶縁膜をエッチングすることによって、前記メモリセル選択用MISFETのソース、ドレインの他方に達する第2コンタクトホールを形成した後、前記第2コンタクトホールの内部にプラグを形成する工程、
- (c) 前記第1絶縁膜の上部に前記第1絶縁膜とはエッチング速度が異なる第3絶縁膜を形成し、前記第3絶縁膜の上部に前記第3絶縁膜とはエッチング速度が異なる第4絶縁膜を形成する工程、
- (d) 前記第3絶縁膜をエッチングのストッパに用いて前記第4絶縁膜をエッチングすることによって、前記第1方向と交差する第2方向に延在する配線溝を形成する工程、
- (e) 前記配線溝の内部を含む前記第4絶縁膜上に、前記配線溝の幅の2分の1よりも小さい膜厚を有する第2絶縁膜を形成する工程、
- (f) 前記配線溝の内部の前記第2絶縁膜およびその下部の前記第3絶縁膜および前記第1絶縁膜を順次エッチングすることによって、前記メモリセル選択用MISFETのソース、ドレインの一方に達する第1コンタクトホールを形成する工程、
- (g) 前記第1コンタクトホールの内部を含む前記第2絶縁膜上に、ビット線の材料となる第1導電膜を堆積した後、化学的機械研磨法を用いて前記第1導電膜および前記第4絶縁膜上の前記第2絶縁膜をそれぞれ研磨することによって、前記配線溝内に前記第4絶縁膜とほぼ同じ高さの前記第2絶縁膜および前記第1導電膜を形成し、前記第1コンタクトホール内に前記配線溝と一体のビット線を形成する工程。

【請求項8】

以下の工程を含むことを特徴とする半導体集積回路装置の製造方法；

- (a) 半導体基板の主面上に、その第1方向に延在するワード線と一体に構成されたゲート電極を備えたメモリセル選択用MISFETを形成した後、前記メモリセル選択用MISFETの上部に第1絶縁膜を形成する工程、
- (b) 前記第1絶縁膜をエッチングすることによって、前記メモリセル選択用MISFETのソース、ドレインの一方に達する第1コンタクトホールおよび前記ソース、ドレインの他方に達する第2コンタクトホールを形成した後、前記第1および第2コンタクトホールのそれぞれの内部にプラグを形成する工程、
- (c) 前記第1絶縁膜の上部に前記第1絶縁膜とはエッチング速度が異なる第3絶縁膜を形成し、前記第3絶縁膜の上部に前記第3絶縁膜とはエッチング速度が異なる第4絶縁膜

を形成する工程、

(d) 前記第3絶縁膜をエッチングのストッパに用いて前記第4絶縁膜をエッチングすることによって、前記第1方向と交差する第2方向に延在する配線溝を形成する工程、

(e) 前記配線溝の内部を含む前記第4絶縁膜上に第2絶縁膜を形成した後、前記第2絶縁膜を異方的にエッチングすることによって、前記配線溝の側壁にサイドウォールスペーサを形成する工程、

(f) 前記配線溝の下部の前記第3絶縁膜をエッチングすることによって、前記第1コンタクトホールに形成されたプラグに達する第1スルーホールを形成する工程、

(g) 前記第1スルーホールの内部を含む前記第4絶縁膜上に、ビット線の方法となる第1導電膜を堆積した後、化学的機械研磨法を用いて前記第1導電膜を研磨することによって、前記配線溝内に前記第4絶縁膜とほぼ同じ高さの前記第2絶縁膜および前記第1導電膜を形成し、前記第1スルーホールに接続するビット線を形成する工程。

【請求項9】

請求項7または8記載の半導体集積回路装置の製造方法において、前記ワード線と一体に構成されたゲート電極の幅および間隔をフォトリソグラフィの解像限界で決まる最小寸法で形成し、前記配線溝の幅および間隔をフォトリソグラフィの解像限界で決まる最小寸法で形成することを特徴とする半導体集積回路装置の製造方法。

【請求項10】

請求項7記載の半導体集積回路装置の製造方法において、

前記(f)工程で前記メモリセル選択用MISFETのソース、ドレインの一方に達する第1コンタクトホールを形成した後、前記第1コンタクトホールを通して前記ソース、ドレインの一方に前記ソース、ドレインと同一導電型の不純物イオンを注入することを特徴とする半導体集積回路装置の製造方法。

【請求項11】

請求項7または8記載の半導体集積回路装置の製造方法において、前記(g)工程で前記第1スルーホールの内部にビット線の方法となる高融点金属膜を堆積した後、前記半導体基板をアニールすることによって、前記高融点金属膜と前記半導体基板またはプラグとの界面にシリサイド層を形成することを特徴とする半導体集積回路装置の製造方法。

【請求項12】

請求項7または8記載の半導体集積回路装置の製造方法において、さらに、

(h) 前記第4絶縁膜の上部に第5絶縁膜を形成した後、前記第5絶縁膜およびその下部の前記第4絶縁膜、前記第3絶縁膜を順次エッチングすることによって、前記第2コンタクトホールに達する第2スルーホールを形成する工程、

(i) 前記第2スルーホールの内部にプラグを形成した後、前記第5絶縁膜の上部に前記第5絶縁膜とはエッチング速度が異なる第6絶縁膜を形成し、次いで前記第6絶縁膜の上部に第7絶縁膜を形成した後、前記第7絶縁膜およびその下部の前記第6絶縁膜に溝を形成する工程、

(j) 前記溝の内部に情報蓄積用容量素子を形成し、前記第2スルーホールおよびその下部の前記第2コンタクトホールを通して、前記情報蓄積用容量素子と前記メモリセル選択用MISFETのソース、ドレインの他方とを電氣的に接続する工程、を含むことを特徴とする半導体集積回路装置の製造方法。

【請求項13】

請求項12記載の半導体集積回路装置の製造方法において、前記第5絶縁膜および前記第4絶縁膜のエッチングは、前記第3絶縁膜をエッチングのストッパに用いることを特徴とする半導体集積回路装置の製造方法。

【請求項14】

請求項12記載の半導体集積回路装置の製造方法において、さらに、

(k) 前記(a)工程で周辺回路のMISFETを形成する工程、

(l) 前記(g)工程で周辺回路の第1層配線を形成する工程、

(m) 前記(j)工程で情報蓄積用容量素子を形成した後、前記情報蓄積用容量素子の上面に保護膜を形成する工程。

部に第 8 絶縁膜を形成し、次いで前記第 8 絶縁膜、前記第 7 絶縁膜、前記第 6 絶縁膜および前記第 5 絶縁膜をエッチングすることによって、前記周辺回路の第 1 層配線に達するスルーホールを形成する工程、
を含むことを特徴とする半導体集積回路装置の製造方法。

【請求項 15】

請求項 14 記載の半導体集積回路装置の製造方法において、前記第 8 絶縁膜および前記第 7 絶縁膜のエッチングは、前記第 6 絶縁膜をエッチングのストッパに用いることを特徴とする半導体集積回路装置の製造方法。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0005

【補正方法】変更

【補正の内容】

【0005】

なお、上記した C O B 構造を採用する D R A M については、例えば特開平 7 - 1 2 2 6 5 4 号公報や特開平 7 - 1 0 6 4 3 7 号公報に記載がある。また、国際公開 W O 9 8 / 2 8 7 9 5 号公報の図 1 8 ~ 図 2 5 には、ビット線を形成する溝の側壁にシリコン窒化膜のサイドウォールを形成してビット線を埋め込むことにより、ビット線とキャパシタ接続プラグを側壁により分離する開示がある。また、特願平 1 0 - 1 6 4 6 3 9 号（特開平 1 1 - 3 5 4 7 4 9 号公報）の図 1 6 ~ 図 2 2 には、ビット線を形成する溝にシリコン酸化膜あるいはシリコン窒化膜（【0064】~【0065】参照）による側壁を形成し、その中にビット線を埋め込む開示がある。