

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5415565号
(P5415565)

(45) 発行日 平成26年2月12日 (2014. 2. 12)

(24) 登録日 平成25年11月22日 (2013. 11. 22)

(51) Int. Cl.

F I

G 0 9 G 3 / 3 0 (2006. 01)

G 0 9 G 3 / 2 0 (2006. 01)

H 0 1 L 5 1 / 5 0 (2006. 01)

G 0 9 G 3 / 3 0 K

G 0 9 G 3 / 2 0 6 2 4 B

G 0 9 G 3 / 2 0 6 1 1 H

G 0 9 G 3 / 2 0 6 4 2 A

G 0 9 G 3 / 2 0 6 4 2 C

請求項の数 9 (全 42 頁) 最終頁に続く

(21) 出願番号 特願2011-549089 (P2011-549089)
 (86) (22) 出願日 平成22年9月6日 (2010. 9. 6)
 (86) 国際出願番号 PCT/JP2010/005454
 (87) 国際公開番号 W02012/032560
 (87) 国際公開日 平成24年3月15日 (2012. 3. 15)
 審査請求日 平成23年11月17日 (2011. 11. 17)

(73) 特許権者 000005821
 パナソニック株式会社
 大阪府門真市大字門真1006番地
 (74) 代理人 100109210
 弁理士 新居 広守
 (72) 発明者 小野 晋也
 日本国大阪府門真市大字門真1006番地
 パナソニック株式会社内

審査官 橋本 直明

最終頁に続く

(54) 【発明の名称】 表示装置およびその駆動方法

(57) 【特許請求の範囲】

【請求項 1】

マトリクス状に配置された複数の発光画素を有する表示装置であって、
 発光画素列ごとに配置され、発光画素の輝度を決定する信号電圧を前記発光画素に与える第1信号線及び第2信号線と、
 第1電源線及び第2電源線と、
 発光画素行ごとに配置された走査線と、
 発光画素行ごとに配置された第1制御線、第2制御線及び第3制御線を備え、
 前記複数の発光画素は、複数の発光画素行を一駆動ブロックとした2以上の駆動ブロックを構成し、

前記複数の発光画素のそれぞれは、

一方の端子が前記第2電源線に接続され、前記信号電圧に応じた信号電流が流れることにより発光する発光素子と、

ソース及びドレインの一方が前記発光素子の他方の端子に接続され、ゲートソース間に印加される前記信号電圧を前記信号電流に変換する駆動トランジスタと、

一方の端子が前記駆動トランジスタのゲートに接続された第1容量素子と、

一方の端子が前記第1容量素子の他方の端子に接続され、他方の端子が前記第3制御線に接続された第2容量素子と、

ゲートが前記第1制御線に接続され、ソース及びドレインの一方が前記第1容量素子の他方の端子に接続され、ソース及びドレインの他方が前記駆動トランジスタのソースに接

続された第1スイッチングトランジスタと、

ゲートが前記第2制御線に接続され、ソース及びドレインが前記第1電源線と前記駆動トランジスタのソース及びドレインの他方の端子との間に挿入された第2スイッチングトランジスタとを備え、

k (kは自然数) 番目の駆動ブロックに属する前記発光画素は、さらに、

ゲートが前記走査線に接続され、ソース及びドレインの一方が前記駆動トランジスタのゲートに接続され、ソース及びドレインの他方が前記第1信号線に接続された第3スイッチングトランジスタを備え、

(k+1) 番目の駆動ブロックに属する前記発光画素は、さらに、

ゲートが前記走査線に接続され、ソース及びドレインの一方が前記駆動トランジスタのゲートに接続され、ソース及びドレインの他方が前記第2信号線に接続された第4スイッチングトランジスタを備え、

前記第1制御線及び前記第3制御線は、同一駆動ブロック内の全発光画素では共通化されており、異なる駆動ブロック間では独立している

表示装置。

【請求項2】

さらに、前記第2制御線は、同一駆動ブロック内の全発光画素では共通化されており、異なる駆動ブロック間では独立している

請求項1に記載の表示装置。

【請求項3】

さらに、前記第1信号線、前記第2信号線、前記第1制御線、前記第2制御線、前記第3制御線及び前記走査線を制御して前記発光画素を駆動する駆動回路を具備し、

前記駆動回路は、

前記第2制御線からの制御信号により前記第2スイッチングトランジスタをオフ状態とすることで、k番目の駆動ブロックの有する全ての前記駆動トランジスタへの電源電圧の印加を停止し、

前記走査線からの走査信号により前記第3スイッチングトランジスタをオン状態とすることで、前記第1信号線から基準電圧をk番目の駆動ブロックの有する全ての前記駆動トランジスタのゲートに同時に印加し、

前記第1スイッチングトランジスタがオン状態で前記第3制御線の電圧レベルを変化させることで、前記駆動トランジスタのゲートーソース間電圧が閾値電圧以上となる初期化電圧をk番目の駆動ブロックの有する全ての前記駆動トランジスタのソースに同時に印加し、

前記走査線からの走査信号により前記第3スイッチングトランジスタをオフ状態とすることで、前記第1信号線とk番目の駆動ブロックの有する全ての前記駆動トランジスタのゲートとを同時に非導通にし、

前記第2制御線からの制御信号により前記第2スイッチングトランジスタをオフ状態とすることで、(k+1)番目の駆動ブロックの有する全ての前記駆動トランジスタへの電源電圧の印加を停止し、

前記走査線からの走査信号により前記第4スイッチングトランジスタをオン状態とすることで、前記第2信号線から前記基準電圧を(k+1)番目の駆動ブロックの有する全ての前記駆動トランジスタのゲートに同時に印加し、

前記第1スイッチングトランジスタがオン状態で前記第3制御線の電圧レベルを変化させることで、前記初期化電圧を(k+1)番目の駆動ブロックの有する全ての前記駆動トランジスタのソースに同時に印加し、

前記走査線からの走査信号により前記第4スイッチングトランジスタをオフ状態とすることで、前記第2信号線と(k+1)番目の駆動ブロックの有する全ての前記駆動トランジスタのゲートとを同時に非導通にする

請求項1または2に記載の表示装置。

【請求項4】

前記信号電圧は、前記発光素子を発光させるための輝度信号電圧、及び、前記駆動トランジスタの閾値電圧に対応した電圧を前記第1容量素子に記憶させるための基準電圧からなり、

前記表示装置は、さらに、

前記信号電圧を前記第1信号線及び前記第2信号線に出力する信号線駆動回路と、

前記信号線駆動回路が前記信号電圧を出力するタイミングを制御するタイミング制御回路とを備え、

前記タイミング制御回路は、前記信号線駆動回路に前記第1信号線へ前記輝度信号電圧を出力させている間には前記第2信号線へ前記基準電圧を出力させ、前記信号線駆動回路に前記第2信号線へ前記輝度信号電圧を出力させている間には前記第1信号線へ前記基準電圧を出力させる

10

請求項1～3のうちいずれか1項に記載の表示装置。

【請求項5】

全ての前記発光画素を書き換える時間を T_f とし、前記駆動ブロックの総数を N とすると、

前記駆動トランジスタの閾値電圧を検出する時間は、

最大で T_f / N である

請求項1～4のうちいずれか1項に記載の表示装置。

【請求項6】

複数の信号線のうちの信号線から供給された輝度信号電圧または基準電圧を当該電圧に対応した信号電流に変換する駆動トランジスタと、前記信号電流が流れることにより発光する発光素子とを備える発光画素がマトリクス状に配置され、複数の前記発光画素行を一駆動ブロックとした2以上の駆動ブロックを構成する表示装置の駆動方法であって、

20

k (k は自然数)番目の駆動ブロックの有する全ての前記駆動トランジスタのゲートに接続された第1容量素子に、前記駆動トランジスタの閾値電圧に対応した電圧を同時に保持させる第1閾値保持ステップと、

前記第1閾値保持ステップの後、 k 番目の駆動ブロックの有する前記発光画素において、前記第1容量素子に、前記閾値電圧に対応した電圧に前記輝度信号電圧が加算された加算電圧を発光画素行順に保持させる第1輝度保持ステップと、

前記第1閾値保持ステップの後、 $(k+1)$ 番目の駆動ブロックの有する全ての前記第1容量素子に、前記駆動トランジスタの閾値電圧に対応した電圧を同時に保持させる第2閾値保持ステップとを含み、

30

前記第1閾値保持ステップは、

発光画素列ごとに配置された第1信号線から前記基準電圧を k 番目の駆動ブロックの有する全ての前記駆動トランジスタのゲートに同時に印加する第1基準電圧印加ステップと

、
前記第1基準電圧印加ステップの後、発光画素行ごとに配置された第3制御線から、前記駆動トランジスタのゲートーソース間電圧が閾値電圧以上となる初期化電圧を k 番目の駆動ブロックの有する全ての前記駆動トランジスタのソースに同時に印加する第1初期化電圧印加ステップと、

40

前記第1初期化電圧印加ステップの後、前記第1信号線と k 番目の駆動ブロックの有する全ての前記駆動トランジスタのゲートとを同時に非導通にする第1非導通ステップとを含み、

前記第2閾値保持ステップは、

発光画素列ごとに配置された、前記第1信号線と異なる第2信号線から前記基準電圧を $(k+1)$ 番目の駆動ブロックの有する全ての前記駆動トランジスタのゲートに同時に印加する第2基準電圧印加ステップと、

前記第2基準電圧印加ステップの後、発光画素行ごとに配置された第3制御線から、前記初期化電圧を $(k+1)$ 番目の駆動ブロックの有する全ての前記駆動トランジスタのソースに同時に印加する第2初期化電圧印加ステップと、

50

前記第 2 初期化電圧印加ステップの後、前記第 2 信号線と (k + 1) 番目の駆動ブロックの有する全ての前記駆動トランジスタのゲートとを同時に非導通にする第 2 非導通ステップとを含む

表示装置の駆動方法。

【請求項 7】

前記発光素子は、一方の端子が第 2 電源線に接続され、他方の端子が前記駆動トランジスタのソース及びドレインの一方に接続され、

前記第 1 基準電圧印加ステップでは、

ゲートが発光画素行ごとに配置された走査線に接続され、ソース及びドレインの一方が前記駆動トランジスタのゲートに接続され、ソース及びドレインの他方が前記第 1 信号線に接続された第 3 スイッチングトランジスタを導通させることにより、前記第 1 信号線から前記基準電圧を前記駆動トランジスタのゲートに印加し、

前記第 2 基準電圧印加ステップでは、

ゲートが発光画素行ごとに配置された走査線に接続され、ソース及びドレインの一方が前記駆動トランジスタのゲートに接続され、ソース及びドレインの他方が前記第 2 信号線に接続された第 4 スイッチングトランジスタを導通させることにより、前記第 2 信号線から前記基準電圧を前記駆動トランジスタのゲートに印加し、

第 1 初期化電圧印加ステップ及び第 2 初期化電圧印加ステップでは、

ゲートが、発光画素行ごとに配置された第 2 制御線に接続され、ソース及びドレインが第 1 電源線と前記駆動トランジスタのソース及びドレインの他方の端子との間に挿入された第 2 スイッチングトランジスタを非導通にすることにより前記駆動トランジスタへの電源電圧の印加を停止すると共に、ゲートが、発光画素行ごとに配置された第 1 制御線に接続され、ソース及びドレインの一方が前記第 1 容量素子の他方の端子に接続され、ソース及びドレインの他方が前記駆動トランジスタのソースに接続された第 1 スイッチングトランジスタを導通させた状態で、発光画素行ごとに配置された第 3 制御線から、前記第 1 スイッチングトランジスタを介して前記初期化電圧を前記駆動トランジスタのソースに印加し、

前記第 1 非導通ステップでは、

前記第 3 スイッチングトランジスタを非導通にすることにより、前記第 1 信号線と前記駆動トランジスタのゲートとを非導通にし、

前記第 2 非導通ステップでは、

前記第 4 スイッチングトランジスタを非導通にすることにより、前記第 2 信号線と前記駆動トランジスタのゲートとを非導通にし、

前記第 1 輝度保持ステップでは、

前記第 3 スイッチングトランジスタを導通させることにより、前記第 1 信号線から前記輝度信号電圧を前記駆動トランジスタのゲートに印加する

請求項 6 に記載の表示装置の駆動方法。

【請求項 8】

さらに、

前記第 1 輝度保持ステップの後、前記駆動トランジスタのドレイン電流として、k 番目の駆動ブロックの有する全ての前記発光素子に、同時に前記信号電流を流して発光させる第 1 発光ステップを含む

請求項 6 または 7 に記載の表示装置の駆動方法。

【請求項 9】

さらに、

前記第 2 閾値保持ステップの後、(k + 1) 番目の駆動ブロックの有する前記発光画素において、前記第 1 容量素子に、前記閾値電圧に対応した電圧に前記輝度信号電圧が加算された加算電圧を発光画素行順に保持させる第 2 輝度保持ステップと、

前記第 2 輝度保持ステップの後、前記駆動トランジスタのドレイン電流として、(k + 1) 番目の駆動ブロックの有する全ての前記発光素子に、同時に前記信号電流を流して発

10

20

30

40

50

光させる第2発光ステップとを含む

請求項8に記載の表示装置の駆動方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、表示装置およびその駆動方法に関し、特に電流駆動型の発光素子を用いた表示装置およびその駆動方法に関する。

【背景技術】

【0002】

電流駆動型の発光素子を用いた表示装置として、有機エレクトロルミネッセンス（EL）素子を用いた表示装置が知られている。この自発光する有機EL素子を用いた有機EL表示装置は、液晶表示装置に必要なバックライトが不要で装置の薄型化に最適である。また、視野角にも制限がないため、次世代の表示装置として実用化が期待されている。また、有機EL表示装置に用いられる有機EL素子は、各発光素子の輝度がそこに流れる電流値により制御される点で、液晶セルがそこに印加される電圧により制御されるのとは異なる。

【0003】

有機EL表示装置では、通常、画素を構成する有機EL素子がマトリクス状に配置される。複数の行電極（走査線）と複数の列電極（データ線）との交点に有機EL素子を設け、選択した行電極と複数の列電極との間にデータ信号に相当する電圧を印加するようにして有機EL素子を駆動するものをパッシブマトリクス型の有機ELディスプレイと呼ぶ。

【0004】

一方、複数の走査線と複数のデータ線との交点にスイッチング薄膜トランジスタ（TFT：Thin Film Transistor）を設け、このスイッチングTFTに駆動素子のゲートを接続し、選択した走査線を通じてこのスイッチングTFTをオンさせて信号線からデータ信号を駆動素子に入力する。この駆動素子によって有機EL素子を駆動するものをアクティブマトリクス型の有機EL表示装置と呼ぶ。

【0005】

アクティブマトリクス型の有機EL表示装置は、各行電極（走査線）を選択している期間のみ、それに接続された有機EL素子が発光するパッシブマトリクス型の有機EL表示装置とは異なり、次の走査（選択）まで有機EL素子を発光させることが可能であるため、デューティ比が上がってもディスプレイの輝度減少を招くようなことはない。従って、アクティブマトリクス型の有機EL表示装置は、低電圧で駆動でき、低消費電力化が可能となる。しかしながら、アクティブマトリクス型の有機ELディスプレイでは、駆動トランジスタの特性のばらつきに起因して、同じデータ信号を与えても、各画素において有機EL素子の輝度が異なり、輝度むらが発生するという欠点がある。

【0006】

この問題に対し、例えば、特許文献1では、駆動トランジスタの特性のばらつきによる輝度ムラの補償方法として、簡単な画素回路で、画素ごとの特性バラツキを補償する方法が開示されている。

【0007】

図13は、特許文献1に記載された従来の画像表示装置の構成を示すブロック図である。同図に記載された画像表示装置500は、画素アレイ部502と、これを駆動する駆動部からなる。画素アレイ部502は、行ごとに配置された走査線701～70mと、列ごとに配置された信号線601～60nと、両者が交差する部分に配置された行列状の発光画素501と、行ごとに配置された給電線801～80mとを備える。また、駆動部は、信号セレクタ503と、走査線駆動部504と、給電線駆動部505とを備える。

【0008】

走査線駆動部504は、各走査線701～70mに水平周期（1H）で順次制御信号を供給して発光画素501を行単位で線順次走査する。給電線駆動部505は、この線順次

10

20

30

40

50

走査に合わせて各給電線 801～80m に第1電圧と第2電圧で切り換える電源電圧を供給する。信号セクタ503は、この線順次走査に合わせて映像信号となる輝度信号電圧と基準電圧とを切り換えて列状の信号線601～60nに供給する。

【0009】

ここで、列状の信号線601～60nは、それぞれ、列ごとに2本配置されており、一方の信号線は奇数行の発光画素501に基準電圧及び信号電圧を供給し、他方の信号線は偶数行の発光画素501に基準電圧及び信号電圧を供給している。

【0010】

図14は、特許文献1に記載された従来の画像表示装置の有する発光画素の回路構成図である。なお、同図には1行目かつ1列目の発光画素501を記載している。この発光画素501に対して走査線701、給電線801及び信号線601が配されている。なお、信号線601は2本あるうちの1本が、発光画素501に接続されている。発光画素501は、スイッチングトランジスタ511と、駆動トランジスタ512と、保持容量513と、発光素子514とを備える。スイッチングトランジスタ511は、ゲートが走査線701に、ソース及びドレインの一方が信号線601に、その他方が駆動トランジスタ512のゲートにそれぞれ接続されている。駆動トランジスタ512は、ソースが発光素子514のアノードに、ドレインが給電線801にそれぞれ接続されている。発光素子514は、カソードが接地配線515に接続されている。保持容量513は、駆動トランジスタ512のソース及びゲートに接続されている。

【0011】

上記構成において、給電線駆動部505は、信号線601が基準電圧である状態で、給電線801を第1電圧（高電圧）から第2電圧（低電圧）に切り換える。走査線駆動部504は、同じく信号線601が基準電圧である状態で、走査線701の電圧を“H”レベルにしてスイッチングトランジスタ511を導通させ、基準電圧を駆動トランジスタ512のゲートに印加するとともに、駆動トランジスタ512のソースを第2電圧に設定する。以上の動作により、駆動トランジスタ512の閾値電圧 V_{th} の補正のための準備が完了する。続いて、給電線駆動部505は、信号線601の電圧が基準電圧から信号電圧に切り換わる前の補正期間で、給電線801の電圧を第2電圧から第1電圧に切り換えて、駆動トランジスタ512の閾値電圧 V_{th} に相当する電圧を保持容量513に保持させる。次に、スイッチングトランジスタ511の電圧を“H”レベルにして信号電圧を保持容量513に保持させる。つまり、この信号電圧は、先に保持された駆動トランジスタ512の閾値電圧 V_{th} に相当する電圧に加算されて保持容量513に書き込まれる。そして、駆動トランジスタ512は、第1電圧にある給電線801から電流の供給を受け、上記保持電圧に応じた駆動電流を発光素子514に流す。

【0012】

上述した動作では、信号線601は列ごとに2本配置されていることにより、各信号線が基準電圧にある時間帯を長くしている。よって、駆動トランジスタ512の閾値電圧 V_{th} に相当する電圧を保持容量513に保持するための補正期間を確保するようにしている。

【0013】

図15は、特許文献1に記載された画像表示装置の動作タイミングチャートである。同図には、上から順に、1ライン目の走査線701及び給電線801、2ライン目の走査線702及び給電線802、3ライン目の走査線703及び給電線803、奇数行の発光画素に割り当てられた信号線、偶数行の発光画素に割り当てられた信号線の信号波形が記載されている。走査線に印加される走査信号は、1水平期間（1H）ずつ順次1ラインごとにシフトしていく。1ライン分の走査線に印加される走査信号は、2個のパルスを含んでいる。1番目のパルスは時間幅が長く1H以上である。2番目のパルスは時間幅が狭く、1Hの一部である。1番目のパルスは上述した閾値補正期間に対応し、2番目のパルスは信号電圧サンプリング期間及び移動度補正期間に対応している。また、給電線に供給される電源パルスも1H周期で1ラインごとにシフトしていく。これに対して、各信号線は2

10

20

30

40

50

Hに1回、信号電圧が印加され、基準電圧にある時間帯を1H以上確保することが可能となる。

【0014】

以上のように、特許文献1に記載された従来の画像表示装置では、発光画素ごとに駆動トランジスタ512の閾値電圧 V_{th} がばらついても、十分な閾値補正期間が確保されることにより、発光画素ごとに当該ばらつきはキャンセルされ、画像の輝度ムラ抑止が図られる。

【先行技術文献】

【特許文献】

【0015】

【特許文献1】特開2008-122633号公報

【発明の概要】

【発明が解決しようとする課題】

【0016】

しかしながら、特許文献1に記載された従来の画像表示装置は、発光画素行ごとに配置された走査線及び給電線の信号レベルのオンオフが多い。例えば、閾値補正期間を発光画素行ごとに設定しなければならない。また、信号線からスイッチングトランジスタを介して輝度信号電圧がサンプリングされると、引き続いて発光期間を設けなければならない。よって、画素行ごとの閾値補正タイミング及び発光タイミングを設定する必要がある。このため、表示パネルが大面積化されるにつれ、行数も増加するので、各駆動回路から出力される信号が多くなり、また、その信号切り換えの周波数が高くなり、走査線駆動回路及び給電線駆動回路の信号出力負荷が大きくなる。

【0017】

また、特許文献1に記載された従来の画像表示装置は、駆動トランジスタの閾値電圧 V_{th} の補正期間は2H未満であり、高精度の補正が要求される表示装置としては限界がある。

【0018】

上記課題に鑑み、本発明は、駆動回路の出力負荷が低減され、高精度の閾値電圧補正により表示品質が向上した表示装置を提供することを目的とする。

【課題を解決するための手段】

【0019】

上記目的を達成するために、本発明の一態様に係る表示装置は、マトリクス状に配置された複数の発光画素を有する表示装置であって、発光画素列ごとに配置され、発光画素の輝度を決定する信号電圧を前記発光画素に与える第1信号線及び第2信号線と、第1電源線及び第2電源線と、発光画素行ごとに配置された走査線と、発光画素行ごとに配置された第1制御線、第2制御線及び第3制御線を備え、前記複数の発光画素は、複数の発光画素行を一駆動ブロックとした2以上の駆動ブロックを構成し、前記複数の発光画素のそれぞれは、一方の端子が前記第2電源線に接続され、前記信号電圧に応じた信号電流が流れることにより発光する発光素子と、ソース及びドレインの一方が前記発光素子の他方の端子に接続され、ゲートソース間に印加される前記信号電圧を前記信号電流に変換する駆動トランジスタと、一方の端子が前記駆動トランジスタのゲートに接続された第1容量素子と、一方の端子が前記第1容量素子の他方の端子に接続され、他方の端子が前記第3制御線に接続された第2容量素子と、ゲートが前記第1制御線に接続され、ソース及びドレインの一方が前記第1容量素子の他方の端子に接続され、ソース及びドレインの他方が前記駆動トランジスタのソースに接続された第1スイッチングトランジスタと、ゲートが前記第2制御線に接続され、ソース及びドレインが前記第1電源線と前記駆動トランジスタのソース及びドレインの他方の端子との間に挿入された第2スイッチングトランジスタとを備え、 k (k は自然数)番目の駆動ブロックに属する前記発光画素は、さらに、ゲートが前記走査線に接続され、ソース及びドレインの一方が前記駆動トランジスタのゲートに接続され、ソース及びドレインの他方が前記第1信号線に接続された第3スイッチングト

10

20

30

40

50

ランジスタを備え、 $(k+1)$ 番目の駆動ブロックに属する前記発光画素は、さらに、ゲートが前記走査線に接続され、ソース及びドレインの一方が前記駆動トランジスタのゲートに接続され、ソース及びドレインの他方が前記第2信号線に接続された第4スイッチングトランジスタを備え、前記第1制御線及び前記第3制御線は、同一駆動ブロック内の全発光画素では共通化されており、異なる駆動ブロック間では独立していることを特徴とする。

【発明の効果】

【0020】

本発明の表示装置およびその駆動方法によれば、駆動トランジスタの閾値補正期間及びタイミングを駆動ブロック内で一致させることが可能となるので信号レベルのオンからオフもしくはオフからオンへの切り換え回数を減らすことができ、発光画素の回路を駆動する駆動回路の負荷が低減する。上記駆動ブロック化及び発光画素列ごとに配置された2本の信号線により、駆動トランジスタの閾値補正期間を1フレーム期間に対して大きくとることができるので、高精度な駆動電流が発光素子に流れ、画像表示品質が向上する。

【図面の簡単な説明】

【0021】

【図1】図1は、本発明の実施の形態1に係る表示装置の電氣的な構成を示すブロック図である。

【図2A】図2Aは、本発明の実施の形態1に係る表示装置における奇数駆動ブロックの発光画素の具体的な回路構成図である。

【図2B】図2Bは、本発明の実施の形態1に係る表示装置における偶数駆動ブロックの発光画素の具体的な回路構成図である。

【図3】図3は、本発明の実施の形態1に係る表示装置の有する表示パネルの一部を示す回路構成図である。

【図4A】図4Aは、本発明の実施の形態1に係る表示装置の駆動方法の動作タイミングチャートである。

【図4B】図4Bは、本発明の実施の形態1に係る駆動方法により発光した駆動ブロックの状態遷移図である。

【図5】図5は、本発明の実施の形態1に係る表示装置の有する発光画素の状態遷移図である。

【図6】図6は、本発明の実施の形態1に係る表示装置の動作フローチャートである。

【図7】図7は、走査線及び信号線の波形特性を説明する図である。

【図8】図8は、本発明の実施の形態2に係る表示装置の有する表示パネルの一部を示す回路構成図である。

【図9A】図9Aは、本発明の実施の形態2に係る表示装置の駆動方法の動作タイミングチャートである。

【図9B】図9Bは、本発明の実施の形態2に係る駆動方法により発光した駆動ブロックの状態遷移図である。

【図10A】図10Aは、本発明の実施の形態3に係る表示装置における奇数駆動ブロックの発光画素の具体的な回路構成図である。

【図10B】図10Bは、本発明の実施の形態3に係る表示装置における偶数駆動ブロックの発光画素の具体的な回路構成図である。

【図11】図11は、本発明の実施の形態3に係る表示装置の駆動方法の動作タイミングチャートである。

【図12】図12は、本発明の表示装置を内蔵した薄型フラットTVの外観図である。

【図13】図13は、特許文献1に記載された従来の画像表示装置の構成を示すブロック図である。

【図14】図14は、特許文献1に記載された従来の画像表示装置の有する発光画素の回路構成図である。

【図15】図15は、特許文献1に記載された画像表示装置の動作タイミングチャートで

10

20

30

40

50

ある。

【発明を実施するための形態】

【0022】

上記目的を達成するために、本発明の一態様に係る表示装置は、マトリクス状に配置された複数の発光画素を有する表示装置であって、発光画素列ごとに配置され、発光画素の輝度を決定する信号電圧を前記発光画素に与える第1信号線及び第2信号線と、第1電源線及び第2電源線と、発光画素行ごとに配置された走査線と、発光画素行ごとに配置された第1制御線、第2制御線及び第3制御線を備え、前記複数の発光画素は、複数の発光画素行を一駆動ブロックとした2以上の駆動ブロックを構成し、前記複数の発光画素のそれぞれは、一方の端子が前記第2電源線に接続され、前記信号電圧に応じた信号電流が流れることにより発光する発光素子と、ソース及びドレインの一方が前記発光素子の他方の端子に接続され、ゲートソース間に印加される前記信号電圧を前記信号電流に変換する駆動トランジスタと、一方の端子が前記駆動トランジスタのゲートに接続された第1容量素子と、一方の端子が前記第1容量素子の他方の端子に接続され、他方の端子が前記第3制御線に接続された第2容量素子と、ゲートが前記第1制御線に接続され、ソース及びドレインの一方が前記第1容量素子の他方の端子に接続され、ソース及びドレインの他方が前記駆動トランジスタのソースに接続された第1スイッチングトランジスタと、ゲートが前記第2制御線に接続され、ソース及びドレインが前記第1電源線と前記駆動トランジスタのソース及びドレインの他方の端子との間に挿入された第2スイッチングトランジスタとを備え、 k (k は自然数) 番目の駆動ブロックに属する前記発光画素は、さらに、ゲートが前記走査線に接続され、ソース及びドレインの一方が前記駆動トランジスタのゲートに接続され、ソース及びドレインの他方が前記第1信号線に接続された第3スイッチングトランジスタを備え、 $(k+1)$ 番目の駆動ブロックに属する前記発光画素は、さらに、ゲートが前記走査線に接続され、ソース及びドレインの一方が前記駆動トランジスタのゲートに接続され、ソース及びドレインの他方が前記第2信号線に接続された第4スイッチングトランジスタを備え、前記第1制御線及び前記第3制御線は、同一駆動ブロック内の全発光画素では共通化されており、異なる駆動ブロック間では独立している。

【0023】

本態様によれば、第1容量素子と駆動トランジスタのソースとの電流パスを接続する第1スイッチングトランジスタ、駆動トランジスタに電源電圧を供給するための第2スイッチングトランジスタ、駆動トランジスタの閾値電圧及び輝度信号電圧に対応する電圧を保持する第1容量素子及び第1容量素子に駆動トランジスタの閾値電圧を検出し記録するための電圧を発生させるための第2容量素子が配置された発光画素回路、駆動ブロック化された各発光画素への制御線、走査線及び信号線の配置により、駆動トランジスタの閾値補正期間及びそのタイミングを同一駆動ブロック内で一致させることが可能となる。よって、電流パスを制御する信号を出力し信号電圧を制御する駆動回路の負荷が低減する。また、さらに、上記駆動ブロック化及び発光画素列ごとに配置された2本の信号線により、駆動トランジスタの閾値補正期間を、全発光画素を書き換える時間である1フレーム期間 T_f のなかで大きくとることができる。これは、 k 番目の駆動ブロックにおいて輝度信号がサンプリングされている期間に、 $(k+1)$ 番目の駆動ブロックにおいて閾値補正期間が設けられることによるものである。よって、閾値補正期間は、発光画素行ごとに分割されるのではなく、駆動ブロックごとに分割される。よって、表示領域が大面積化されるほど、発光デューティを減少させることなく、1フレーム期間に対する相対的な閾値補正期間を長く設定することが可能となる。これにより、高精度に補正された輝度信号電圧に基づいた駆動電流が発光素子に流れ、画像表示品質が向上する。

【0024】

また、本発明の一態様に係る表示装置は、さらに、前記第2制御線は、同一駆動ブロック内の全発光画素では共通化されており、異なる駆動ブロック間では独立していてもよい。

【0025】

本態様によれば、駆動トランジスタに電源電圧を供給するための第2スイッチングトランジスタを、第2制御線により同一ブロック内で同時制御することにより、同一ブロック内での同時発光を実現することが可能となり、さらに、第2制御線への信号を出力する駆動回路の出力本数が低減でき、駆動回路の規模を小さくできる。

【0026】

また、本発明の一態様に係る表示装置は、さらに、前記第1信号線、前記第2信号線、前記第1制御線、前記第2制御線、前記第3制御線及び前記走査線を制御して前記発光画素を駆動する駆動回路を具備し、前記駆動回路は、前記第2制御線からの制御信号により前記第2スイッチングトランジスタをオフ状態とすることで、 k 番目の駆動ブロックの有する全ての前記駆動トランジスタへの電源電圧の印加を停止し、前記走査線からの走査信号により前記第3スイッチングトランジスタをオン状態とすることで、前記第1信号線から基準電圧を k 番目の駆動ブロックの有する全ての前記駆動トランジスタのゲートに同時に印加し、前記第1スイッチングトランジスタがオン状態で前記第3制御線の電圧レベルを変化させることで、前記駆動トランジスタのゲートソース間電圧が閾値電圧以上となる初期化電圧を k 番目の駆動ブロックの有する全ての前記駆動トランジスタのソースに同時に印加し、前記走査線からの走査信号により前記第3スイッチングトランジスタをオフ状態とすることで、前記第1信号線と k 番目の駆動ブロックの有する全ての前記駆動トランジスタのゲートとを同時に非導通にし、前記第2制御線からの制御信号により前記第2スイッチングトランジスタをオフ状態とすることで、 $(k+1)$ 番目の駆動ブロックの有する全ての前記駆動トランジスタへの電源電圧の印加を停止し、前記走査線からの走査信号により前記第4スイッチングトランジスタをオン状態とすることで、前記第2信号線から前記基準電圧を $(k+1)$ 番目の駆動ブロックの有する全ての前記駆動トランジスタのゲートに同時に印加し、前記第1スイッチングトランジスタがオン状態で前記第3制御線の電圧レベルを変化させることで、前記初期化電圧を $(k+1)$ 番目の駆動ブロックの有する全ての前記駆動トランジスタのソースに同時に印加し、前記走査線からの走査信号により前記第4スイッチングトランジスタをオフ状態とすることで、前記第2信号線と $(k+1)$ 番目の駆動ブロックの有する全ての前記駆動トランジスタのゲートとを同時に非導通にするものである。

【0027】

本態様によれば、前記第1信号線、前記第2信号線、前記第1制御線、前記第2制御線、前記第3制御線及び前記走査線の電圧を制御する駆動回路が、閾値補正期間、信号電圧書き込み期間及び発光期間を制御する。

【0028】

また、本発明の一態様に係る表示装置は、前記信号電圧は、前記発光素子を発光させるための輝度信号電圧、及び、前記駆動トランジスタの閾値電圧に対応した電圧を前記第1容量素子に記憶させるための基準電圧からなり、前記表示装置は、さらに、前記信号電圧を前記第1信号線及び前記第2信号線に出力する信号線駆動回路と、前記信号線駆動回路が前記信号電圧を出力するタイミングを制御するタイミング制御回路とを備え、前記タイミング制御回路は、前記信号線駆動回路に前記第1信号線へ前記輝度信号電圧を出力させている間には前記第2信号線へ前記基準電圧を出力させ、前記信号線駆動回路に前記第2信号線へ前記輝度信号電圧を出力させている間には前記第1信号線へ前記基準電圧を出力させるものである。

【0029】

本態様によれば、 k 番目の駆動ブロックにおいて輝度信号がサンプリングされている期間に、 $(k+1)$ 番目の駆動ブロックにおいて閾値補正期間が設けられる。よって、閾値補正期間は、発光画素行ごとに分割されるのではなく、駆動ブロックごとに分割される。よって、表示領域が大面積化されるほど、相対的な閾値補正期間を長く設けることが可能となる。

【0030】

また、本発明の一態様に係る表示装置は、全ての前記発光画素を書き換える時間を T_f

とし、前記駆動ブロックの総数をNとすると、前記駆動トランジスタの閾値電圧を検出する時間は、最大で T_f / N である。

【0031】

また、本発明は、このような特徴的な手段を備える表示装置として実現することができるだけでなく、表示装置に含まれる特徴的な手段をステップとする表示装置の駆動方法として実現することができる。

【0032】

(実施の形態1)

本実施の形態における表示装置は、マトリクス状に配置された複数の発光画素を有する表示装置であって、発光画素列ごとに配置された第1信号線及び第2信号線と、発光画素行ごとに配置された第1制御線、第2制御線及び第3制御線とを備え、複数の発光画素は、複数の発光画素行を一単位とした2以上の駆動ブロックを構成し、複数の発光画素のそれぞれは、駆動トランジスタと、一端子が駆動トランジスタのゲートに接続された第1容量素子と、駆動トランジスタのドレインに接続された発光素子と、ゲートが第1制御線に接続され駆動トランジスタのソースと第1容量素子の他端子の間に挿入された第1スイッチングトランジスタと、ゲートが第2制御線に接続され駆動トランジスタのドレイン電流のオンオフを切り換える第2スイッチングトランジスタと、第1容量素子の他端子と第3制御線との間に挿入された第2容量素子とを備え、奇数番目の駆動ブロックに属する発光画素は、さらに、第1信号線と駆動トランジスタのゲートとの間に挿入された第3スイッチングトランジスタを備え、偶数番目の駆動ブロックに属する発光画素は、さらに、第2信号線と駆動トランジスタのゲートとの間に挿入された第4スイッチングトランジスタを備え、第1制御線、第2制御線及び第3制御線は、同一駆動ブロックの全発光画素では共通化されている。これにより、駆動トランジスタの閾値補正期間及び発光期間を駆動ブロック内で一致させることが可能となる。よって、駆動回路の負担負荷が低減する。また、閾値補正期間を1フレーム期間に対して大きくとることができるので、画像表示品質が向上する。

【0033】

以下、本発明の実施の形態について、図面を参照しながら説明する。

【0034】

図1は、本発明の実施の形態1に係る表示装置の電氣的な構成を示すブロック図である。同図における表示装置1は、表示パネル10と、タイミング制御回路20と、電圧制御回路30とを備える。表示パネル10は、複数の発光画素11A及び11Bと、信号線群12と制御線群13と走査／制御線駆動回路14と、信号線駆動回路15とを備える。

【0035】

発光画素11A及び11Bは、表示パネル10上に、マトリクス状に配置されている。ここで、発光画素11A及び11Bは、複数の発光画素行を一駆動ブロックとする2以上の駆動ブロックを構成している。発光画素11Aは、 k (k は自然数) 番目の駆動ブロックを構成し、また、発光画素11Bは $(k+1)$ 番目の駆動ブロックを構成する。但し、表示パネル10をN個の駆動ブロックに分割したとすると、 $(k+1)$ はN以下の自然数である。これは、例えば、発光画素11Aは奇数番目の駆動ブロックを構成し、発光画素11Bは偶数番目の駆動ブロックを構成するということを意味する。

【0036】

信号線群12は、発光画素列ごとに配置された複数の信号線からなる。ここで、各発光画素列につき2本の信号線が配置されており、奇数番目の駆動ブロックの発光画素は第1信号線に接続され、偶数番目の駆動ブロックの発光画素は第1信号線と異なる第2信号線に接続されている。

【0037】

制御線群13は、発光画素ごとに配置された走査線及び制御線からなる。

【0038】

走査／制御線駆動回路14は、制御線群13の各走査線へ走査信号を、また、各制御線

へ制御信号を出力することにより、発光画素の有する回路素子を駆動する。

【0039】

信号線駆動回路15は、信号線群12の各信号線へ輝度信号または基準信号を出力することにより、発光画素の有する回路素子を駆動する。

【0040】

タイミング制御回路20は、走査／制御線駆動回路14から出力される走査信号及び制御信号の出力タイミングを制御する。また、タイミング制御回路20は、信号線駆動回路15から第1信号線及び第2信号線に出力される輝度信号または基準信号を出力するタイミングを制御し、第1信号線に輝度信号を出力している間には第2信号線に対し基準電圧を出力しており、第2信号線に輝度信号を出力している間には第1信号線に対し基準電圧を出力している。つまり、タイミング制御回路20は、第1信号線及び第2信号線に対し輝度信号及び基準信号を互いに排他的に出力させる。

10

【0041】

電圧制御回路30は、走査／制御線駆動回路14から出力される走査信号及び制御信号の電圧レベルを制御する。

【0042】

図2Aは、本発明の実施の形態1に係る表示装置における奇数駆動ブロックの発光画素の具体的な回路構成図であり、図2Bは、本発明の実施の形態1に係る表示装置における偶数駆動ブロックの発光画素の具体的な回路構成図である。図2A及び図2Bに記載された発光画素11A及び11Bは、いずれも、有機EL（エレクトロルミネッセンス）素子113と、駆動トランジスタ114と、スイッチングトランジスタ115、116及び117と、静電保持容量118及び119と、第1制御線131と、第2制御線132と、走査線133と、第3制御線134と、第1信号線151と、第2信号線152とを備える。

20

【0043】

図2A及び図2Bにおいて、有機EL素子113は、カソードが第2電源線である電源線112に接続されアノードが駆動トランジスタ114のドレインに接続された発光素子であり、駆動トランジスタ114の駆動電流が流れることにより発光する。

【0044】

駆動トランジスタ114は、ソースがスイッチングトランジスタ116のソース及びドレインの一方に接続され、ドレインが有機EL素子113のアノードに接続された駆動トランジスタである。駆動トランジスタ114は、ゲートソース間に印加された信号電圧を、当該信号電圧に対応したドレイン電流に変換する。そして、このドレイン電流を駆動電流として有機EL素子113に供給する。駆動トランジスタ114は、p型の薄膜トランジスタ（p型TFT）で構成される。

30

【0045】

スイッチングトランジスタ115は、ゲートが走査線133に接続され、ソース及びドレインの一方が駆動トランジスタ114のゲートに接続されている。また、そのソース及びドレインの他方は、奇数駆動ブロックの発光画素11Aにおいては、第1信号線151に接続され、第3スイッチングトランジスタとして機能し、偶数駆動ブロックの発光画素11Bにおいては、第2信号線152に接続され、第4スイッチングトランジスタとして機能する。

40

【0046】

スイッチングトランジスタ116は、ゲートが第2制御線132に接続され、ソース及びドレインの他方が第1電源線である電源線110に接続された第2スイッチングトランジスタである。スイッチングトランジスタ116は、駆動トランジスタ114のドレイン電流をオンオフさせる機能を有する。

【0047】

なお、スイッチングトランジスタ116は、そのソース及びドレインが電源線110と駆動トランジスタ114のソースとの間に接続されている。この配置により、駆動トラン

50

ジスタ114のドレイン電流をオンオフさせることが可能となる。

【0048】

スイッチングトランジスタ117は、ゲートが第1制御線131に接続され、ソース及びドレインの一方が静電保持容量118の他方の端子に接続され、ソース及びドレインの他方が駆動トランジスタ114のソースに接続された第1スイッチングトランジスタである。スイッチングトランジスタ117は、信号線からの輝度信号電圧書き込み期間においてはオフ状態となることにより、当該期間において静電保持容量118及び119から駆動トランジスタ114へのリーク電流が発生しないので、静電保持容量118及び119に正確な信号電圧と駆動トランジスタ114の閾値電圧に対応した電圧を保持させる機能を有する。また、スイッチングトランジスタ117により、上記期間は上記リーク電流を抑制するための高速書き込みに制約されないので、正確な輝度信号電圧の書き込みに必要な書き込み期間を確保することが可能となる。一方、閾値電圧検出期間及び発光期間においてはオン状態となることにより、駆動トランジスタ114のソースを静電保持容量118及び119に接続し、正確に静電保持容量118に閾値電圧及び信号電圧に対応した電荷を保持させ、駆動トランジスタ114が静電保持容量118に保持された電圧を反映した駆動電流を発光素子に供給させる機能を有する。スイッチングトランジスタ115、116及び117は、p型の薄膜トランジスタ(p型TFT)で構成される。

10

【0049】

静電保持容量118は、一方の端子である第1電極が駆動トランジスタ114のゲートに接続され、他方の端子である第2電極がスイッチングトランジスタ117のソース及びドレインの一方に接続された第1容量素子である。静電保持容量118は、第1信号線151または第2信号線152から供給された信号電圧及び駆動トランジスタ114の閾値電圧に対応した電荷を保持し、例えば、スイッチングトランジスタ115がオフ状態となった後に、駆動トランジスタ114から有機EL素子113へ供給する信号電流を制御する機能を有する。

20

【0050】

静電保持容量119は、静電保持容量118の第2電極と第3制御線134との間に接続された第2容量素子である。まず、電圧制御回路30により第3制御線134を高電位側へ変化させて静電保持容量118の一方の端子と他方の端子間に駆動トランジスタ114の閾値電圧よりも大きな電圧を発生させた後、スイッチングトランジスタ117の導通により、定常状態において、静電保持容量118及び119によって、駆動トランジスタ114のソース電位を記憶する。なお静電保持容量118と119との間のノードの定常状態での電位とは駆動トランジスタ114のゲート電圧に閾値電圧を加えた電圧となる。輝度信号電圧がスイッチングトランジスタ115を介して静電保持容量118の第1電極に印加された場合でも、そのソース電位の情報は静電保持容量118と静電保持容量119との間のノードに残っている。よって、上記輝度信号電圧の印加により、第1信号線151もしくは第2信号線152における輝度信号電圧と基準電圧との電圧差が、静電保持容量118に印加されることになる。その後、上記信号電圧の保持から発光までのタイミングが発光画素行ごとに異なっても、静電保持容量118の第2電極の電位が静電保持容量119により確定されるので静電保持容量118の第1電極の電位も確定され、駆動トランジスタ114のゲート電圧が確定される。

30

40

【0051】

第1制御線131は、走査／制御線駆動回路14に接続され、発光画素11A及び11Bを含む画素行に属する各発光画素に接続されている。これにより、第1制御線131は、駆動トランジスタ114のソースと静電保持容量118及び静電保持容量119の間のノードとを導通または非導通とする状態を発生する機能を有する。

【0052】

第2制御線132は、走査／制御線駆動回路14に接続され、発光画素11A及び11Bを含む画素行に属する各発光画素に接続されている。これにより、第2制御線132は、駆動トランジスタ114のソースドレイン間電流をオンオフするタイミングを供給す

50

る機能を有する。

【0053】

第3制御線134は、走査／制御線駆動回路14に接続され、発光画素11A及び11Bを含む画素行に属する各発光画素に接続されている。これにより、第3制御線134は、電圧レベルを切り換えることにより、駆動トランジスタ114の閾値電圧を検出する環境を整える機能を有する。

【0054】

走査線133は、発光画素11A及び11Bを含む画素行に属する各発光画素へ輝度信号電圧または基準電圧である信号電圧を書き込むタイミングを供給する機能を有する。

【0055】

第1信号線151及び第2信号線152は、信号線駆動回路15に接続され、それぞれ、発光画素11A及び11Bを含む画素列に属する各発光画素へ接続され、駆動TFTの閾値電圧を検出するための基準電圧と、発光強度を決定する信号電圧とを供給する機能を有する。

【0056】

なお、図2A及び図2Bには記載されていないが、電源線110及び電源線112は、それぞれ、正電源線及び負電源線であり、他の発光画素にも接続されており電圧源に接続されている。

【0057】

次に、第1制御線131、第2制御線132、第3制御線134、走査線133、第1信号線151及び第2信号線152の発光画素間における接続関係について説明する。

【0058】

図3は、本発明の実施の形態1に係る表示装置の有する表示パネルの一部を示す回路構成図である。同図には、2つの隣接する駆動ブロック及び各制御線、各走査線及び各信号線が記載されている。図面及び以下の説明では、各制御線、各走査線及び各信号線を“符号（ブロック番号、当該ブロックにおける行番号）”、または、“符号（ブロック番号）”で表している。

【0059】

前述したように、駆動ブロックとは、複数の発光画素行で構成され、表示パネル10の中には2以上の駆動ブロックが存在する。例えば、図3に記載された各駆動ブロックは、m行の発光画素行で構成されている。

【0060】

図3の上段に記載されたk番目の駆動ブロックでは、第1制御線131(k)が当該駆動ブロック内の全発光画素11Aの有するスイッチングトランジスタ117のゲートに共通して接続されている。また、第2制御線132(k)が当該駆動ブロック内の全ての発光画素11Aの有するスイッチングトランジスタ116のゲートに共通して接続されている。また、第3制御線134(k)が当該駆動ブロック内の全ての発光画素11Aの有する静電保持容量119に共通して接続されている。一方、走査線133(k, 1)～走査線133(k, m)は、それぞれ、発光画素行ごとに個別に接続されている。具体的には、第1制御線131は、走査／制御線駆動回路14に接続され、発光画素11A及び11Bを含む画素行に属する各発光画素に接続されている。

【0061】

また、図3の下段に記載された(k+1)番目の駆動ブロックでも、k番目の駆動ブロックと同様の接続がなされている。ただし、k番目の駆動ブロックに接続された第1制御線131(k)と(k+1)番目の駆動ブロックに接続された第1制御線131(k+1)とは、異なる制御線であり、走査／制御線駆動回路14から個別の制御信号が出力される。また、k番目の駆動ブロックに接続された第2制御線132(k)と(k+1)番目の駆動ブロックに接続された第2制御線132(k+1)とは、異なる制御線であり、走査／制御線駆動回路14から個別の制御信号が出力される。また、k番目の駆動ブロックに接続された第3制御線134(k)と(k+1)番目の駆動ブロックに接続された第3

10

20

30

40

50

制御線 134 ($k+1$) とは、異なる制御線であり、走査／制御線駆動回路 14 から個別の制御信号が出力される。つまり、第 1 制御線 131、第 2 制御線 132 及び第 3 制御線 134 は、同一駆動ブロック内の全発光画素では共通化されており、異なる駆動ブロック間では独立している。ここで、同一の駆動ブロック内において、制御線が共通化されているとは、走査／制御線駆動回路 14 から出力される一の制御信号が、同一の駆動ブロック内の制御線に同時に供給されることをいう。例えば、同一の駆動ブロック内では、走査／制御線駆動回路 14 に接続された一本の制御線が、発光画素行ごとに配置された第 1 制御線 131 に分岐している。また、制御線が、異なる駆動ブロック間では独立しているとは、走査／制御線駆動回路 14 から出力される個別の制御信号が、複数の駆動ブロックに対して供給されることをいう。例えば、第 1 制御線 131 が、走査／制御線駆動回路 14 に、駆動ブロックごとに、個別に接続されている。

10

【0062】

また、 k 番目の駆動ブロックでは、第 1 信号線 151 が当該駆動ブロック内の全ての発光画素 11A の有するスイッチングトランジスタ 115 のソース及びドレインの他方に接続されている。一方、($k+1$) 番目の駆動ブロックでは、第 2 信号線 152 が当該駆動ブロック内の全発光画素 11B の有するスイッチングトランジスタ 115 のソース及びドレインの他方に接続されている。

【0063】

上記駆動ブロック化により、駆動トランジスタ 114 のソースと静電保持容量 118 及び静電保持容量 119 間のノードとの接続を制御する第 1 制御線 131 の本数が削減される。また、駆動トランジスタ 114 のソースへの電源電圧印加のオンオフを制御する第 2 制御線 132 の本数が削減される。また、駆動トランジスタ 114 の閾値電圧 V_{th} を検出する V_{th} 検出回路を制御する第 3 制御線 134 の本数が削減される。よって、これらの制御線に駆動信号を出力する走査／制御線駆動回路 14 の出力本数が低減し、回路規模の削減を可能にする。

20

【0064】

次に、本実施の形態に係る表示装置 1 の駆動方法について図 4A を用いて説明する。なお、ここでは、図 2A 及び図 2B に記載された具体的回路構成を有する画像表示装置についての駆動方法を詳細に説明する。

【0065】

図 4A は、本発明の実施の形態 1 に係る表示装置の駆動方法の動作タイミングチャートである。同図において、横軸は時間を表している。また縦方向には、上から順に、 k 番目の駆動ブロックの走査線 133 ($k, 1$)、133 ($k, 2$) 及び 133 (k, m)、第 1 信号線 151、第 1 制御線 131 (k)、第 2 制御線 132 (k) 及び第 3 制御線 134 (k) に発生する電圧の波形図が示されている。また、これらに続き、($k+1$) 番目の駆動ブロックの走査線 133 ($k+1, 1$)、133 ($k+1, 2$) 及び 133 ($k+1, m$)、第 2 信号線 152、第 1 制御線 131 ($k+1$)、第 2 制御線 132 ($k+1$) 及び第 3 制御線 134 ($k+1$) に発生する電圧の波形図が示されている。また、図 5 は、本発明の実施の形態 1 に係る表示装置の有する発光画素の状態遷移図である。また、図 6 は、本発明の実施の形態 1 に係る表示装置の動作フローチャートである。

30

40

【0066】

まず、時刻 t_0 の直前では、走査線 133 ($k, 1$) ~ 133 (k, m) の電圧レベルは全て HIGH であり、第 2 制御線 132 (k) も HIGH である。第 2 制御線 132 (k) を HIGH とした瞬間から、スイッチングトランジスタ 116 はオフ状態となる。これにより、有機 EL 素子 113 は消光し、 k ブロックにおける発光画素の一斉発光が終了する。同時に、 k ブロックにおける非発光期間が開始する。

【0067】

次に、時刻 t_0 において、走査／制御線駆動回路 14 は、走査線 133 ($k, 1$) ~ 133 (k, m) の電圧レベルを同時に HIGH から LOW に変化させ、スイッチングトランジスタ 115 をオン状態とする。また、この時、既に第 2 制御線 132 (k) は HIGH

50

Hでありスイッチングトランジスタ116はオフとなっており、信号線駆動回路15は、第1信号線151の信号電圧を、輝度信号電圧から駆動トランジスタ114がオフとなる基準電圧に変化させてある(図6のS11)。これにより、図5(b)に示すように、基準電圧VRが駆動トランジスタ114のゲートに印加されることにより、k番目の駆動ブロックに属する全ての発光画素がリセットされる。上記基準電圧を駆動トランジスタ114のゲートに印加する動作は、第1基準電圧印加ステップに相当する。なお、第2制御線132(k)をLOWからHIGHに変化させ、スイッチングトランジスタ116をオフとするタイミングは、必ずしも時刻t0以前である必要はなく、t0からt1の間であってもよい。

【0068】

10

ここで、時刻t0以前の発光期間では、信号電圧Vdata(負の電圧値)に対応した電圧V'を、駆動トランジスタ114の閾値電圧Vthで補正した電圧($-V' + V_{th}$)が、静電保持容量118に保持されているとする。

【0069】

この状態で、時刻t0において、スイッチングトランジスタ115をオン状態にして、第1信号線151からVdataに代わって基準電圧VRが静電保持容量118の第1電極に印加されると、静電保持容量118の第2電極の電位VMは、式1で表される。

【0070】

【数1】

$$V_M = V_M(0) \quad (\text{式1})$$

20

【0071】

次に、時刻t1において、走査／制御線駆動回路14は、第3制御線134(k)の電圧レベルをLOWからHIGHに変化させる(図6のS12)。このとき、第3制御線134(k)の電圧レベルをΔVだけ変化させたとすると、静電保持容量118の第2電極は、静電保持容量118と静電保持容量119との容量比により分配される電圧分だけ上昇する。ここで、静電保持容量118及び静電保持容量119の静電容量を、それぞれ、C1及びC2とすると、静電保持容量118の第2電極の電位VMは、式2で表される。

30

【0072】

【数2】

$$V_M = \frac{C_2}{C_1 + C_2} \Delta V + V_M(0) \quad (\text{式2})$$

【0073】

この第3制御線134(k)のLOWからHIGHへの変化により、駆動トランジスタ114のソースゲート間電圧であるVsgには、駆動トランジスタ114の閾値電圧Vthよりも大きな電圧が発生するように予めΔVが設定されている。つまり、静電保持容量118に発生する電位差を、駆動トランジスタの閾値電圧が検出できる電位差とし、閾値電圧の検出過程への準備が完了する。第3制御線134(k)の電圧レベルをΔVだけ変化させる上記動作は、第1初期化電圧印加ステップに相当する。

40

【0074】

ここで、静電保持容量118の第1電極の電位をVGとすると、時刻t1における静電保持容量118に保持された電圧($V_M - V_G$)は、式3で表される。

【0075】

【数 3】

$$V_M - V_G = \frac{C_2}{C_1 + C_2} \Delta V + V_M(0) - V_R \quad (\text{式3})$$

【0076】

このとき、第2制御線132(k)の電圧レベルはHIGHに維持されているので正電源線110から駆動トランジスタ114への電流供給はなく、図5(c)に示すように、
10 静電保持容量118に保持された電圧に対応した放電電流が駆動トランジスタ114及び有機EL素子113へと流れ始める。

【0077】

時刻t1から時刻t2の間、上記放電電流により、上記式3で表された静電保持容量118に保持された電圧は、式4のように、駆動トランジスタ114の閾値電圧Vthに漸近していく。

【0078】

【数 4】

$$V_M - V_G \rightarrow V_{th} \quad (\text{式4})$$

20

【0079】

そして、図5(d)に示すように、静電保持容量118に保持された電圧が、駆動トランジスタ114の閾値電圧Vthとなったとき、上記放電電流が停止する。このときのV_G及びV_Mは、式5で表される。

【0080】

【数 5】

$$V_G = V_R, V_M = V_R + V_{th} \quad (\text{式5})$$

30

【0081】

なお、閾値電圧Vthに相当する電圧を静電保持容量118に保持させるために流れる放電電流は微少であるため、静電保持容量118に保持された電圧が駆動トランジスタ114の閾値電圧Vthに漸近して定常状態となるまでには時間を要する。よって、この期間が長いほど、静電保持容量118に保持される電圧は安定し、この期間を十分長く確保することにより、高精度な電圧補償が実現される。

40

【0082】

以上、時刻t1～時刻t2の間では、駆動トランジスタ114の閾値電圧Vthの補正が、k番目の駆動ブロック内において同時に実行され、k番目の駆動ブロックの全発光画素11Aの有する静電保持容量118には駆動トランジスタ114の閾値電圧Vthに相当する電圧が同時に保持される。

【0083】

次に、時刻t2において、走査／制御線駆動回路14は、走査線133(k,1)～133(k,m)の電圧レベルを同時にLOWからHIGHに変化させ、スイッチングトランジスタ115をオフ状態とする(図6のS13)。これにより、k番目の駆動ブロックに属する発光画素の閾値検出動作を完了させる。上記スイッチングトランジスタ115を

50

オフ状態として駆動トランジスタ 114 のゲートへの基準電圧の供給を停止させる動作は、第 1 非導通ステップに相当する。

【0084】

上述した第 1 基準電圧印加ステップ、第 1 初期化電圧印加ステップ及び第 1 非導通ステップは、第 1 閾値保持ステップに相当する。

【0085】

次に、時刻 t_2 ～時刻 t_3 の期間において、走査／制御線駆動回路 14 は、第 1 制御線 131 (k) の電圧レベルを LOW から HIGH に変化させ、スイッチングトランジスタ 117 をオフ状態とする。これにより、k 番目の駆動ブロックに属する発光画素への輝度信号電圧の書き込みの準備が完了する。輝度信号電圧の書き込み期間に、スイッチングトランジスタ 117 がオフ状態となっていることにより、静電保持容量 118 の第 2 電極と駆動トランジスタ 114 のソースとの電流パスが遮断される。よって、書き込み間内において、静電保持容量 118 から駆動トランジスタ 114 への放電電流が流れず、当該輝度信号電圧に対応した正確な電圧が静電保持容量 118 に保持される。また、上記電流パスの遮断により、上記期間は上記放電電流を抑制するためのスイッチングトランジスタ 115 を高速にオフからオンへ更にオンからオフする高速書き込み動作を必要としないので、正確な輝度信号電圧を書き込むために必要な本来の書き込み期間を確保することが可能となる。

【0086】

次に、時刻 t_3 ～時刻 t_4 の間に、走査／制御線駆動回路 14 は、走査線 133 (k、1) ～133 (k、m) の電圧レベルを、順次、HIGH → LOW → HIGH に変化させ、スイッチングトランジスタ 115 を、発光画素行ごとに順次オン状態とする。また、この時、信号線駆動回路 15 は、第 1 信号線 151 の信号電圧を基準電圧から輝度信号電圧 V_{data} に変化させる (図 6 の S14)。これにより、図 5 (e) に示すように、駆動トランジスタ 114 のゲートに輝度信号電圧 V_{data} が印加される。このとき、静電保持容量 118 の第 2 電極における電位 V_M は、信号電圧の変化量 ($V_{data} - V_R$) が C_1 及び C_2 で分配された電圧と、時刻 t_2 における V_M 電位である ($V_R + V_{th}$) との和となり、式 6 で表される。

【0087】

【数 6】

$$V_M = \frac{C_1}{C_1 + C_2} (V_{data} - V_R) + V_R + V_{th} \quad (式6)$$

【0088】

静電保持容量 118 に保持される電位差 V_{sg} は、上記式 6 で規定された V_M と V_G の電位である V_{data} との差分であり、式 7 で表される。

【0089】

【数 7】

$$V_{sg} = \frac{C_2}{C_1 + C_2} (V_R - V_{data}) + V_{th} \quad (式7)$$

【0090】

つまり、静電保持容量 118 には、この輝度信号電圧 V_{data} に応じた電圧と、先に

10

20

30

40

50

保持された駆動トランジスタ 114 の閾値電圧 V_{th} に相当する電圧とが加算された加算電圧が書き込まれる。上記加算電圧の書き込み動作は、第 1 輝度保持ステップに相当する。

【0091】

以上、時刻 t_3 ～時刻 t_4 の期間では、補正された輝度信号電圧の書き込みが、 k 番目の駆動ブロック内で発光画素行ごとに、順次実行されている。

【0092】

次に、時刻 t_4 おいて、第 1 制御線 131 (k) の電圧レベルを HIGH から LOW に変化させる。また、ほぼ同時に、第 2 制御線 132 (k) 及び第 3 制御線 134 (k) の電圧レベルを HIGH から LOW に変化させる (図 6 の S15)。これにより、図 5 (a) に示すように、上記加算電圧に応じた駆動電流が有機 EL 素子 113 に流れる。つまり、 k 番目の駆動ブロック内の全発光画素 11A では、同時に発光が開始される。上記発光動作は、第 1 発光ステップに相当する。

【0093】

以上、第 2 制御線 132 (k) の電圧レベルを HIGH から LOW に変化させた上記時刻以降の期間では、有機 EL 素子 113 の発光が、 k 番目の駆動ブロック内において同時に実行されている。ここで、駆動トランジスタ 114 を流れるドレイン電流 i_d は、式 7 で規定された V_{sg} から、駆動トランジスタ 114 の閾値電圧 V_{th} を減じた電圧値を用いて、式 8 で表される。

【0094】

【数 8】

$$i_d = \frac{\beta}{2} \cdot \frac{C_2}{C_1 + C_2} \cdot (V_R - V_{data}) \quad (\text{式 8})$$

【0095】

ここで、 β は移動度およびゲート絶縁膜容量およびトランジスタのチャネル領域のサイズに関する特性パラメータである。式 8 から、有機 EL 素子 113 を発光させるためのドレイン電流 i_d は、駆動トランジスタ 114 の閾値電圧 V_{th} に依存しない電流となっていることが解る。

【0096】

以上、発光画素行を駆動ブロック化することにより、駆動ブロック内では、駆動トランジスタ 114 の閾値電圧 V_{th} 補償が同時に実行される。また、有機 EL 素子 113 の発光も駆動ブロック内で同時に実行される。これにより、駆動トランジスタ 114 の駆動電流のオンオフの制御を駆動ブロック内で同期できる。よって、第 1 制御線 131、第 2 制御線 132 及び第 3 制御線 134 を駆動ブロック内で共通化できる。

【0097】

また、走査線 133 ($k, 1$) ～133 (k, m) においては、走査／制御線駆動回路 14 とは個別に接続されているが、閾値電圧補償期間においては、駆動パルスのタイミングが同一である。よって、走査／制御線駆動回路 14 は、出力するパルス信号の高周波化を抑制することができるので、駆動回路の出力負荷を低減できる。

【0098】

上述した、駆動回路の出力負荷の小さい駆動方法は、特許文献 1 に記載された従来の画像表示装置 500 では実現困難である。図 14 に記載された画素回路図においても、駆動トランジスタ 512 の閾値電圧 V_{th} を補償しているが、当該閾値電圧に相当する電圧が保持容量 513 に保持された後、駆動トランジスタ 512 のソース電位は変動し確定しない。このため、画像表示装置 500 では、閾値電圧 V_{th} を保持した後、続いて輝度信号電圧が加算された加算電圧の書き込みを即座に実行しなければならない。また、上記加算

10

20

30

40

50

電圧もソース電位の変動の影響を受けるため、続いて発光動作を即座に実行しなければならない。つまり、従来の画像表示装置 500 では、発光画素行ごとに、上述した閾値電圧補償、輝度信号電圧書き込み及び発光を実行しなければならない、図 14 に記載された発光画素 501 では駆動ブロック化はできない。

【0099】

これに対し、本発明の表示装置 1 の有する発光画素 11A 及び 11B は、前述したように、駆動トランジスタ 114 のソースと電源線 110 との間にスイッチングトランジスタ 116 が付加され、駆動トランジスタ 114 のソースと静電保持容量 118 の第 2 電極との間にスイッチングトランジスタ 117 が付加されている。これにより、駆動トランジスタ 114 のゲート及びソース電位が安定化されるので、閾値電圧補正による電圧の書き込みから輝度信号電圧の加算書き込みまでの時間、または、当該加算書き込みから発光までの時間を、発光画素行ごとに任意に設定することが可能となる。この回路構成により、駆動ブロック化が可能となり、同一駆動ブロック内での閾値補正期間及び発光期間を一致させることが可能となる。

10

【0100】

ここで、特許文献 1 に記載された、2 本の信号線を用いた従来の画像表示装置と、本発明の駆動ブロック化された表示装置とで、閾値電圧検出期間により規定される発光デューティの比較を行う。

【0101】

図 7 は、走査線及び信号線の波形特性を説明する図である。同図において、各画素行の 1 水平期間 t_{1H} における閾値電圧 V_{th} の検出期間は、基準電圧が各画素の有する静電保持容量に印加される期間であり、走査線が HIGH レベル状態の期間である PW_S に相当する。なお、図 7 に記載された走査線の波形特性において、信号線と上記静電保持容量とを接続するためのスイッチングトランジスタが p 型である場合には、走査線の波形は、HIGH レベルと LOW レベルとが反転する波形となる。このときには、各画素行の 1 水平期間 t_{1H} における閾値電圧 V_{th} の検出期間となる PW_S は、LOW レベル状態となる。

20

【0102】

また、信号線においては、1 水平期間 t_{1H} は、信号電圧を供給する期間である PW_D と、基準電圧を供給する期間である t_D とを含む。また、 PW_S の立ち上がり時間及び立ち下がり時間を、それぞれ、 $t_{R(S)}$ 及び $t_{F(S)}$ とし、 PW_D の立ち上がり時間及び立ち下がり時間を、それぞれ、 $t_{R(D)}$ 及び $t_{F(D)}$ とすると、1 水平期間 t_{1H} は式 9 のように表される。

30

【0103】

【数 9】

$$t_{1H} = t_D + PW_D + t_{R(D)} + t_{F(D)} \quad (\text{式 9})$$

【0104】

さらに、 $PW_D = t_D$ と仮定すると、1 水平期間 t_{1H} は式 10 のように表される。

40

【0105】

【数 10】

$$t_D + PW_D + t_{R(D)} + t_{F(D)} = 2t_D + t_{R(D)} + t_{F(D)} \quad (\text{式 10})$$

【0106】

式 9 及び式 10 より、 t_D は式 11 で表される。

【0107】

【数 1 1】

$$t_D = (t_{1H} - t_{R(D)} - t_{F(D)}) / 2 \quad (\text{式 1 1})$$

【0 1 0 8】

また、V t h 検出期間は基準電圧発生期間内に開始し終了しなければならないので、V t h 検出時間を最大で確保したとして、 t_D は式 1 2 で表される。

【0 1 0 9】

【数 1 2】

$$t_D = PW_S + t_{R(S)} + t_{F(S)} \quad (\text{式 1 2})$$

10

【0 1 1 0】

式 1 1 及び式 1 2 より、 PW_S は式 1 3 のように表される。

【0 1 1 1】

【数 1 3】

$$PW_S = (t_{1H} - t_{R(D)} - t_{F(D)} - 2t_{R(S)} - 2t_{F(S)}) / 2 \quad (\text{式 1 3})$$

【0 1 1 2】

20

上記式 1 3 に対して、例として、走査線本数が 1 0 8 0 本（＋ブランキング 3 0 本）の垂直解像度を有し、1 2 0 H z 駆動するパネルの発光デューティを比較する。

【0 1 1 3】

従来の画像表示装置において、2 本の信号線を有する場合の 1 水平期間 t_{1H} は、1 本の信号線を有する場合の 2 倍であるから、

$t_{1H} = \{1 \text{ 秒} / (120 \text{ H z} \times 1110 \text{ 本})\} \times 2 = 7.5 \mu\text{S} \times 2 = 15 \mu\text{S}$
 となる。ここで、 $t_{R(D)} = t_{F(D)} = 2 \mu\text{S}$ 、 $t_{R(S)} = t_{F(S)} = 1.5 \mu\text{S}$ とし、これらを式 1 3 に代入すると、V t h の検出期間である PW_S は、 $2.5 \mu\text{S}$ となる。

【0 1 1 4】

30

ここで、十分な精度を有するための V t h 検出期間が $1000 \mu\text{S}$ 必要であるとする、当該 V t h 検出に必要な水平期間は、 $1000 \mu\text{S} / 2.5 \mu\text{S} = 400$ 水平期間、が少なくとも非発光期間として必要となる。よって、2 本の信号線を用いた従来の画像表示装置の発光デューティは、 $(1110 \text{ 水平期間} - 400 \text{ 水平期間}) / 1110 \text{ 水平期間} = 64\%$ 以下となる。

【0 1 1 5】

次に、本発明の駆動ブロック化された表示装置の発光デューティを求める。上記条件と同様に、十分な精度を有するための V t h 検出期間が $1000 \mu\text{S}$ 必要であるとする、ブロック駆動の場合には、図 4 A に記載された期間 A（閾値検出準備期間＋閾値検出期間）が上記 $1000 \mu\text{S}$ に相当する。この場合、1 フレームの非発光期間は、上記期間 A と書き込み期間とを含むことから、少なくとも $1000 \mu\text{S} \times 2 = 2000 \mu\text{S}$ となる。よって、本発明の駆動ブロック化された画像表示装置の発光デューティは、 $(1 \text{ フレーム時間} - 2000 \mu\text{S}) / 1 \text{ フレーム時間}$ であり、1 フレーム時間として $(1 \text{ 秒} / 120 \text{ H z})$ を代入して、 76% 以下となる。

40

【0 1 1 6】

以上の比較結果より、2 本の信号線を用いた従来の画像表示装置に対して、本発明のようにブロック駆動を組み合わせることにより、同じ閾値検出期間を設定したとしても発光デューティをより長く確保することができる。よって、発光輝度が十分確保され、かつ、駆動回路の出力負荷が低減された長寿命の表示装置を実現することが可能となる。

【0 1 1 7】

50

逆に言えば、2本の信号線を用いた従来の画像表示装置と、本発明のようにブロック駆動を組み合わせた表示装置とを同じ発光デューティに設定した場合、本発明の表示装置の方が、閾値検出期間を長く確保できることが解る。

【0118】

再び、本実施の形態に係る表示装置1の駆動方法について説明する。

【0119】

一方、時刻 t_5 では、 $(k+1)$ 番目の駆動ブロックにおける駆動トランジスタ114の閾値電圧補正が開始される。

【0120】

まず、時刻 t_5 の直前では、走査線133($k+1, 1$)~133($k+1, m$)の電圧レベルは全てHIGHであり、第2制御線132($k+1$)もHIGHである。第2制御線132($k+1$)をHIGHとした瞬間から、スイッチングトランジスタ116はオフ状態となる。これにより、有機EL素子113は消光し、 $(k+1)$ ブロックにおける発光画素の一斉発光が終了する。同時に、 $(k+1)$ ブロックにおける非発光期間が開始する。

10

【0121】

次に、時刻 t_5 において、走査／制御線駆動回路14は、走査線133($k+1, 1$)~133($k+1, m$)の電圧レベルを同時にHIGHからLOWに変化させ、スイッチングトランジスタ115をオン状態とする。また、この時、既に第2制御線132($k+1$)はHIGHとなってスイッチングトランジスタ116はオフとなっており、信号線駆動回路15は、第2信号線152の信号電圧を、輝度信号電圧から基準電圧に変化させてある(図6のS21)。これにより、基準信号電圧VRが駆動トランジスタ114のゲートに印加されることにより、 $(k+1)$ 番目の駆動ブロックに属する全ての発光画素がリセットされる。上記基準電圧を駆動トランジスタ114のゲートに印加する動作は、第2基準電圧印加ステップに相当する。

20

【0122】

次に、時刻 t_6 において、走査／制御線駆動回路14は、第3制御線134($k+1$)の電圧レベルをLOWからHIGHに変化させる(図6のS22)。

【0123】

この第3制御線134($k+1$)のLOWからHIGHへの変化により、駆動トランジスタ114のソースゲート間電圧である V_{sg} には、駆動トランジスタ114の閾値電圧 V_{th} よりも大きな電圧が発生するように予め ΔV が設定されている。つまり、静電保持容量118に発生する電位差を、駆動トランジスタの閾値電圧が検出できる電位差とし、閾値電圧の検出過程への準備が完了する。第3制御線134(k)の電圧レベルを ΔV だけ変化させる上記動作は、第2初期化電圧印加ステップに相当する。

30

【0124】

このとき、第2制御線131($k+1$)の電圧レベルはHIGHに維持されているので電源線110から駆動トランジスタ114への電流供給はなく、静電保持容量118に保持された電圧に対応した放電電流が駆動トランジスタ114及び有機EL素子113へと流れ始める。

40

【0125】

以上、時刻 t_6 ~時刻 t_7 の間では、駆動トランジスタ114の閾値電圧 V_{th} の補正が、 $(k+1)$ 番目の駆動ブロック内において同時に実行され、 $(k+1)$ 番目の駆動ブロックの全発光画素11Bの有する静電保持容量118には駆動トランジスタ114の閾値電圧 V_{th} に相当する電圧が同時に保持される。

【0126】

次に、時刻 t_7 において、走査／制御線駆動回路14は、走査線133($k+1, 1$)~133($k+1, m$)の電圧レベルを同時にLOWからHIGHに変化させ、スイッチングトランジスタ115をオフ状態とする(図6のS23)。これにより、 $(k+1)$ 番目の駆動ブロックに属する発光画素の閾値検出動作を完了させる。上記スイッチングトラ

50

ンジスタ115をオフ状態として駆動トランジスタ114のゲートへの基準電圧の供給を停止させる動作は、第2非導通ステップに相当する。

【0127】

上述した第2基準電圧印加ステップ、第2初期化電圧印加ステップ及び第2非導通ステップは、第2閾値保持ステップに相当する。

【0128】

次に、時刻 t_8 ～時刻 t_9 の期間において、走査／制御線駆動回路14は、走査線133($k+1, 1$)～133($k+1, m$)の電圧レベルを、順次、HIGH→LOW→HIGHに変化させ、スイッチングトランジスタ115を、発光画素行ごとに順次オン状態とする。また、この時、信号線駆動回路15は、第2信号線152の信号電圧を基準電圧VRから輝度信号電圧Vdataに変化させる(図6のS24)。これにより、駆動トランジスタ114のゲートに輝度信号電圧Vdataが印加される。このとき、静電保持容量118には、この輝度信号電圧Vdataに応じた電圧と、先に保持された駆動トランジスタ114の閾値電圧Vthに相当する電圧とが加算された加算電圧が書き込まれる。上記加算電圧の書き込み動作は、第2輝度保持ステップに相当する。

10

【0129】

以上、時刻 t_8 ～時刻 t_9 の期間では、補正された輝度信号電圧の書き込みが、($k+1$)番目の駆動ブロック内で発光画素行ごとに、順次実行されている。

【0130】

次に、時刻 t_9 において、第1制御線131($k+1$)の電圧レベルをHIGHからLOWに変化させる。また、ほぼ同時に、第2制御線132($k+1$)及び第3制御線134($k+1$)の電圧レベルをHIGHからLOWに変化させる(図6のS25)。これにより、上記加算電圧に応じた駆動電流が有機EL素子113に流れる。つまり、($k+1$)番目の駆動ブロック内の全発光画素11Bでは、一斉に発光が開始される。上記発光動作は、第2発光ステップに相当する。

20

【0131】

以上、時刻 t_9 以降の期間では、有機EL素子113の発光が、($k+1$)番目の駆動ブロック内において同時に実行されている。

【0132】

以上の動作が、表示パネル10内の($k+2$)番目の駆動ブロック以降においても順次実行される。

30

【0133】

図4Bは、本発明の実施の形態1に係る駆動方法により発光した駆動ブロックの状態遷移図である。同図には、ある発光画素列における、駆動ブロックごとの発光期間及び非発光期間が表されている。縦方向は複数の駆動ブロックを、また、横軸は経過時間を示す。ここで、非発光期間とは、上述した閾値補正期間及び輝度信号電圧の書き込み期間を含む。

【0134】

本発明の実施の形態1に係る表示装置の駆動方法によれば、発光期間は、同一駆動ブロックで一斉に設定される。よって、駆動ブロック間では、行走査方向に対して発光期間が階段状に現れる。

40

【0135】

以上、スイッチングトランジスタ116及び117、ならびに静電保持容量119が配置された発光画素回路、駆動ブロック化された各発光画素への制御線、走査線及び信号線の配置、及び上記駆動方法により、駆動トランジスタ114の閾値補正期間及びそのタイミングを同一駆動ブロック内で一致させることが可能となる。また、さらに、発光期間及びそのタイミングも同一駆動ブロック内で一致させることが可能となる。よって、各スイッチングトランジスタの導通及び非導通を制御する信号や電流パスを制御する信号を出力する走査／制御線駆動回路14や信号電圧を制御する信号線駆動回路15の負荷が低減する。また、さらに、上記駆動ブロック化及び発光画素列ごとに配置された2本の信号線に

50

より、駆動トランジスタ 114 の閾値補正期間を、全発光画素を書き換える時間である 1 フレーム期間 T_f のなかで大きくとることができる。これは、 k 番目の駆動ブロックにおいて輝度信号がサンプリングされている期間に、 $(k+1)$ 番目の駆動ブロックにおいて閾値補正期間が設けられることによるものである。よって、閾値補正期間は、発光画素行ごとに分割されるのではなく、駆動ブロックごと分割される。よって、表示領域が大面積化されても走査／制御線駆動回路 14 の出力数をさほど増大させることなく、かつ、発光デューティを減少させることなく、1 フレーム期間に対する相対的な閾値補正期間を長く設定することが可能となる。これにより、高精度に補正された輝度信号電圧に基づいた駆動電流が発光素子に流れ、表示品質が向上する。

【0136】

10

例えば、表示パネル 10 を N 個の駆動ブロックに分割した場合、各発光画素に与えられる閾値補正期間は、最大 T_f / N となる。ここで本発明における閾値補正期間は、図 4A に記載されたタイミングチャートにおけるリセット期間と閾値検出期間とで構成される。これに対し、発光画素行ごとに異なるタイミングで閾値補正期間を設定する場合、発光画素行が M 行 ($M \gg N$) であるとする、最大 T_f / M となる。また、特許文献 1 に記載されたような信号線を発光画素列ごとに 2 本配置した場合でも、最大 $2 T_f / M$ である。

【0137】

また、駆動ブロック化により、駆動トランジスタ 114 のソースと静電保持容量 118 の第 2 電極との導通を制御する第 1 制御線、駆動トランジスタ 114 のドレインへの電圧印加のオンオフを制御する第 2 制御線、また、静電保持容量 118 の第 2 電極の電位を制

20

【0138】

例えば、特許文献 1 に記載された従来の画像表示装置 500 では、発光画素行あたり 2 本の制御線（給電線及び走査線）が配置されている。画像表示装置 500 が M 行の発光画素行から構成されているとすると、制御線は合計 $2 M$ 本となる。

【0139】

これに対し、本発明の実施の形態 1 に係る表示装置 1 では、走査／制御線駆動回路 14 から、発光画素行あたり 1 本の走査線、駆動ブロックごとに 3 本の制御線が出力される。よって、表示装置 1 が M 行の発光画素行から構成されているとすると、制御線（走査線を含む）の合計は $(M + 3 N)$ 本となる。

30

【0140】

大面積化がなされ、発光画素の行数が大きい場合、 $M \gg N$ が実現されるので、この場合には、本発明に係る表示装置 1 の制御線本数は、従来の画像表示装置 500 の制御線本数に比べ、約 $1 / 2$ に削減することができる。

【0141】

（実施の形態 2）

以下、本発明の実施の形態 2 について、図面を参照しながら説明する。

【0142】

図 8 は、本発明の実施の形態 2 に係る表示装置の有する表示パネルの一部を示す回路構成図である。同図には、2 つの隣接する駆動ブロック及び各制御線、各走査線及び各信号線が記載されている。図面及び以下の説明では、各制御線、各走査線及び各信号線を“符号（ブロック番号、当該ブロックにおける行番号）”または“符号（ブロック番号）”で表している。

40

【0143】

同図に記載された表示装置は、図 3 に記載された表示装置 1 と比較して、各発光画素の回路構成は同様であるが、第 2 制御線 132 が駆動ブロックごとに共通化されておらず、発光画素行ごとに、図示されていない走査／制御線駆動回路 14 に接続されている点のみが異なる。以下、図 3 に記載された実施の形態 1 に係る表示装置 1 と同じ点は説明を省略し、異なる点のみ説明する。

50

【0144】

図8の上段に記載されたk番目の駆動ブロックでは、第2制御線132(k, 1)～132(k, m)が当該駆動ブロック内の発光画素行ごとに配置されており、各発光画素11Aの有するスイッチングトランジスタ116のゲートに個別に接続されている。また、第1制御線131(k)が、当該駆動ブロック内の全発光画素11Aの有するスイッチングトランジスタ117のゲートに共通して接続されている。また、第3制御線134(k)が当該駆動ブロック内の全発光画素11Aの有する静電保持容量119に共通して接続されている。一方、走査線133(k, 1)～走査線133(k, m)は、それぞれ、発光画素行ごとに個別に接続されている。また、図8の下段に記載された(k+1)番目の駆動ブロックでも、k番目の駆動ブロックと同様の接続がなされている。ただし、k番目の駆動ブロックに接続された第1制御線131(k)と(k+1)番目の駆動ブロックに接続された第1制御線131(k+1)とは、異なる制御線であり、走査／制御線駆動回路14から個別の制御信号が出力される。同様に、k番目の駆動ブロックに接続された第3制御線134(k)と(k+1)番目の駆動ブロックに接続された第3制御線134(k+1)とは、異なる制御線であり、走査／制御線駆動回路14から個別の制御信号が出力される。

10

【0145】

また、k番目の駆動ブロックでは、第1信号線151が当該駆動ブロック内の全発光画素11Aの有するスイッチングトランジスタ115のソース及びドレインの他方に接続されている。一方、(k+1)番目の駆動ブロックでは、第2信号線152が当該駆動ブロック内の全発光画素11Bの有するスイッチングトランジスタ115のソース及びドレインの他方に接続されている。

20

【0146】

上記駆動ブロック化により、Vth検出回路を制御する第1制御線131及び第3制御線134の本数が削減される。よって、これらの制御線に駆動信号を出力する走査／制御線駆動回路14の負荷が低減する。

【0147】

次に、本実施の形態に係る画像表示装置の駆動方法について図9Aを用いて説明する。

【0148】

図9Aは、本発明の実施の形態2に係る表示装置の駆動方法の動作タイミングチャートである。同図において、横軸は時間を表している。また縦方向には、上から順に、k番目の駆動ブロックの走査線133(k, 1)、133(k, 2)及び133(k, m)、第1信号線151、第1制御線131(k)、第2制御線132(k, 1)、132(k, 2)及び132(k, m)、及び第3制御線134(k)に発生する電圧の波形図が示されている。また、これらに続き、(k+1)番目の駆動ブロックの走査線133(k+1, 1)、133(k+1, 2)及び133(k+1, m)、第2信号線152、第1制御線131(k+1)、第2制御線132(k+1, 1)、132(k+1, 2)及び132(k+1, m)、及び第3制御線134(k+1)に発生する電圧の波形図が示されている。

30

【0149】

本実施の形態に係る駆動方法は、図4Aに記載された実施の形態1に係る駆動方法と比較して、駆動ブロック内での発光期間を一致させず、発光画素行ごとに信号電圧の書き込み期間と発光期間を設定している点のみが異なる。

40

【0150】

まず、時刻t20において、走査／制御線駆動回路14は、走査線133(k, 1)の電圧レベルをHIGHからLOWに変化させ、スイッチングトランジスタ115をオン状態とする。また、この時、信号線駆動回路15は、第1信号線151の電圧を、輝度信号電圧Vdataから基準電圧に変化させる。これにより、k番目の駆動ブロックの1行目に属する発光画素が消光する。その後、走査／制御線駆動回路14は、順次、走査線133(k, 2)～走査線133(k, m)の電圧レベルをHIGHからLOWに変化させる

50

ことにより、 k 番目の駆動ブロックに属する発光画素は、行順次に消光する。

【0151】

また、時刻 t_{20} ～時刻 t_{21} の間に、走査／制御線駆動回路 14 は、第 2 制御線 132 ($k, 1$)～第 2 制御線 132 (k, m) の電圧レベルを、順次、LOW から HIGH に変化させ、駆動トランジスタ 114 と電源線 110 とを非導通とする。これにより、 k 番目の駆動ブロックに属する発光画素の有する駆動トランジスタ 114 への電源電圧の供給を停止する。

【0152】

次に、時刻 t_{21} において、走査／制御線駆動回路 14 は、走査線 133 ($k, 1$)～133 (k, m) の電圧レベルを同時に HIGH から LOW に変化させ、スイッチングトランジスタ 115 をオン状態とする。また、この時、既に第 2 制御線 132 ($k, 1$)～132 (k, m) は HIGH となってスイッチングトランジスタ 116 はオフ状態となっている。また、この時、既に第 1 制御線 131 (k) は LOW となってスイッチングトランジスタ 117 はオン状態となっている。さらに、信号線駆動回路 15 は、第 1 信号線 151 の電圧を輝度信号電圧から基準電圧に変化させる (図 6 の S11)。これにより、基準電圧が駆動トランジスタ 114 のゲートに印加される。上記基準電圧を駆動トランジスタ 114 のゲートに印加する動作は、第 1 基準電圧印加ステップに相当する。

【0153】

次に、時刻 t_{22} において、走査／制御線駆動回路 14 は、第 3 制御線 134 (k) の電圧レベルを LOW から HIGH に変化させる (図 6 の S12)。このとき、第 3 制御線 134 (k) の電圧レベルを ΔV だけ変化させたとすると、静電保持容量 118 の第 2 電極は、静電保持容量 118 と静電保持容量 119 との容量比により分配される電圧分だけ上昇する。

【0154】

この第 3 制御線 134 (k) の LOW から HIGH への変化により、駆動トランジスタ 114 のソースゲート間電圧である V_{sg} には、駆動トランジスタ 114 の閾値電圧 V_{th} よりも大きな電圧が発生するように予め ΔV が設定されている。つまり、静電保持容量 118 に発生する電位差を、駆動トランジスタの閾値電圧が検出できる電位差とし、閾値電圧の検出過程への準備が完了する。第 3 制御線 134 (k) の電圧レベルを ΔV だけ変化させる上記動作は、第 1 初期化電圧印加ステップに相当する。

【0155】

このとき、第 2 制御線 132 ($k, 1$)～132 (k, m) の電圧レベルは HIGH に維持されているので電源線 110 から駆動トランジスタ 114 への電流供給はなく、静電保持容量 118 に保持された電圧に対応した放電電流が駆動トランジスタ 114 及び有機 EL 素子 113 へと流れ始める。

【0156】

時刻 t_{22} から時刻 t_{23} の間、上記放電電流により、静電保持容量 118 に保持された電圧は、駆動トランジスタ 114 の閾値電圧 V_{th} に漸近していく。

【0157】

そして、静電保持容量 118 に保持された電圧が、駆動トランジスタ 114 の閾値電圧 V_{th} となったとき、上記放電電流が停止する。

【0158】

なお、閾値電圧 V_{th} に相当する電圧を静電保持容量 118 に保持させるために流れる放電電流は微少であるため、静電保持容量 118 に保持された電圧が駆動トランジスタ 114 の閾値電圧 V_{th} に漸近して定常状態となるまでには時間を要する。よって、この期間が長いほど、静電保持容量 118 に保持される電圧は安定し、この期間を十分長く確保することにより、高精度な電圧補償が実現される。

【0159】

以上、時刻 t_{22} ～時刻 t_{23} の期間では、駆動トランジスタ 114 の閾値電圧 V_{th} の補正が、 k 番目の駆動ブロック内において同時に実行され、 k 番目の駆動ブロックの全

10

20

30

40

50

発光画素11Aの有する静電保持容量118には駆動トランジスタ114の閾値電圧 V_{th} に相当する電圧が同時に保持される。

【0160】

次に、時刻 t_{23} において、走査／制御線駆動回路14は、走査線133(k, 1)～133(k, m)の電圧レベルを同時にLOWからHIGHに変化させ、スイッチングトランジスタ115をオフ状態とする(図6のS13)。これにより、k番目の駆動ブロックに属する発光画素の閾値検出動作を完了させる。上記スイッチングトランジスタ115をオフ状態として駆動トランジスタ114のゲートへの基準電圧の供給を停止させる動作は、第1非導通ステップに相当する。

【0161】

上述した第1基準電圧印加ステップ、第1初期化電圧印加ステップ及び第1非導通ステップは、第1閾値保持ステップに相当する。

【0162】

次に、時刻 t_{23} ～時刻 t_{24} の期間において、走査／制御線駆動回路14は、第1制御線131(k)の電圧レベルをLOWからHIGHに変化させ、スイッチングトランジスタ117をオフ状態とする。これにより、k番目の駆動ブロックに属する発光画素への輝度信号電圧の書き込みの準備が完了する。輝度信号電圧の書き込み期間に、スイッチングトランジスタ117がオフ状態となっていることにより、静電保持容量118の第2電極と駆動トランジスタ114のソースとの電流パスが遮断される。よって、書き込み間内において、静電保持容量118から駆動トランジスタ114への放電電流が流れず、当該輝度信号電圧に対応した正確な電圧が静電保持容量118に保持される。また、上記期間

【0163】

その後、時刻 t_{23} ～時刻 t_{24} の期間に、走査／制御線駆動回路14は、走査線133(k, 1)～133(k, m)の電圧レベルを、順次、HIGH→LOW→HIGHに変化させ、スイッチングトランジスタ115を、発光画素行ごとに順次オン状態とする。また、この時、信号線駆動回路15は、第1信号線151の信号電圧を基準電圧から輝度信号電圧 V_{data} に変化させる(図6のS14)。これにより、駆動トランジスタ114のゲートに輝度信号電圧 V_{data} が印加される。このとき、静電保持容量118には、この輝度信号電圧 V_{data} に応じた電圧と、先に保持された駆動トランジスタ114の閾値電圧 V_{th} に相当する電圧とが加算された加算電圧が書き込まれる。上記加算電圧の書き込み動作は、第1輝度保持ステップに相当する。

【0164】

以上、時刻 t_{23} ～時刻 t_{24} の期間では、補正された輝度信号電圧の書き込みが、k番目の駆動ブロック内で発光画素行ごとに、順次実行されている。

【0165】

次に、時刻 t_{24} において、走査／制御線駆動回路14は、第1制御線131(k)の電圧レベルをHIGHからLOWに変化させる。また、ほぼ同時に、第3制御線134(k)の電圧レベルをHIGHからLOWに変化させる。これにより、上記加算電圧に応じた駆動電流を有機EL素子113に流す準備が完了する。

【0166】

次に、時刻 t_{25} 以降において、走査／制御線駆動回路14は、第2制御線132(k, 1)～132(k, m)の電圧レベルを、行順次に、HIGHからLOWに変化させる(図6のS15)。これにより、k番目の駆動ブロック内の全発光画素11Aでは、発光画素行ごとに、上記加算電圧に応じた駆動電流が有機EL素子113に流れ発光が開始される。上記発光動作は、第1発光ステップに相当する。

【0167】

以上、発光画素行を駆動ブロック化することにより、駆動ブロック内では、駆動トランジスタ114の閾値電圧 V_{th} 補償が同時に実行される。また、有機EL素子113の発

10

20

30

40

50

光も駆動ブロック内で同時に実行される。これにより、駆動トランジスタ114の駆動電流のオンオフの制御を駆動ブロック内で同期できる。よって、第1制御線131、第2制御線132及び第3制御線134を駆動ブロック内で共通化できる。

【0168】

以上、時刻 t_{25} 以降では、補正された輝度信号電圧に対応した発光が、 k 番目の駆動ブロック内で発光画素行ごとに、順次実行されている。ここで、駆動トランジスタ114を流れるドレイン電流 i_d は、実施の形態1で記載した式7で規定された V_{sg} から、駆動トランジスタ114の閾値電圧 V_{th} を減じた電圧値を用いて、式8で規定される。式8から、有機EL素子113を発光させるためのドレイン電流 i_d は、駆動トランジスタ114の閾値電圧 V_{th} に依存しない電流となっていることが解る。

10

【0169】

以上、発光画素行を駆動ブロック化することにより、駆動ブロック内では、駆動トランジスタ114の閾値電圧 V_{th} 補償が同時に実行される。これにより、第1制御線131及び第3制御線134を駆動ブロック内で共通化できる。

【0170】

また、走査線133($k, 1$)～133(k, m)においては、走査／制御線駆動回路14とは個別に接続されているが、閾値電圧補償期間においては、駆動パルスのタイミングが同一である。よって、走査／制御線駆動回路14は、出力するパルス信号の高周波化を抑制することができるので、駆動回路の出力負荷を低減できる。

【0171】

20

本実施の形態においても、実施の形態1と同様の観点から、特許文献1に記載された、2本の信号線を用いた従来の画像表示装置と比較して、発光デューティをより長く確保することができるという利点がある。

【0172】

よって、発光輝度が十分確保され、かつ、駆動回路の出力負荷が低減された長寿命の画像表示装置を実現することが可能となる。

【0173】

また、2本の信号線を用いた従来の画像表示装置と、本発明のようにブロック駆動を組み合わせた表示装置とを同じ発光デューティに設定した場合、本発明の表示装置の方が、閾値検出期間を長く確保することが解る。

30

【0174】

再び、本実施の形態に係る表示装置の駆動方法について説明する。

【0175】

一方、時刻 t_{28} では、($k+1$)番目の駆動ブロックにおける駆動トランジスタ114の閾値電圧補正が開始される。

【0176】

まず、 k 番目の駆動ブロックに属する m 行目の発光画素11Aの消光動作が完了した直後である時刻 t_{26} において、走査／制御線駆動回路14は、走査線133($k+1, 1$)の電圧レベルをHIGHからLOWに変化させ、スイッチングトランジスタ115をオン状態とする。また、この時、信号線駆動回路15は、第2信号線152の電圧を、輝度信号電圧 V_{data} から基準電圧に変化させてある。これにより、($k+1$)番目の駆動ブロックの1行目に属する発光画素が消光する。その後、走査／制御線駆動回路14は、順次、走査線133($k+1, 2$)～走査線133($k+1, m$)の電圧レベルをHIGHからLOWに変化させることにより、($k+1$)番目の駆動ブロックに属する発光画素は、行順次に消光する。

40

【0177】

また、時刻 t_{26} ～時刻 t_{27} の間に、走査／制御線駆動回路14は、第2制御線132($k+1, 1$)～第2制御線132($k+1, m$)の電圧レベルを、順次、LOWからHIGHに変化させ、駆動トランジスタ114と電源線110とを非導通とする。これにより、($k+1$)番目の駆動ブロックに属する発光画素の有する駆動トランジスタ114

50

への電源電圧の供給を停止する。

【0178】

次に、 k 番目の駆動ブロックに属する全ての発光画素 11A の閾値電圧検出期間が終了した直後の時刻 t_{27} において、走査／制御線駆動回路 14 は、走査線 133 ($k+1, 1$) ~ 133 ($k+1, m$) の電圧レベルを同時に HIGH から LOW に変化させ、スイッチングトランジスタ 115 をオン状態とする。また、この時、既に第 2 制御線 132 ($k+1, 1$) ~ 132 ($k+1, m$) は HIGH となってスイッチングトランジスタ 116 はオフ状態となっている。また、この時、既に第 1 制御線 131 ($k+1$) は LOW となってスイッチングトランジスタ 117 はオン状態となっている。さらに、信号線駆動回路 15 は、第 2 信号線 152 の電圧を輝度信号電圧から基準電圧に変化させる (図 6 の S 21)。これにより、基準電圧が駆動トランジスタ 114 のゲートに印加される。上記基準電圧を駆動トランジスタ 114 のゲートに印加する動作は、第 2 基準電圧印加ステップに相当する。

10

【0179】

次に、時刻 t_{28} において、走査／制御線駆動回路 14 は、第 3 制御線 134 ($k+1$) の電圧レベルを LOW から HIGH に変化させる (図 6 の S 22)。このとき、第 3 制御線 134 ($k+1$) の電圧レベルを ΔV だけ変化させたとすると、静電保持容量 118 の第 2 電極は、静電保持容量 118 と静電保持容量 119 との容量比により分配される電圧分だけ上昇する。

20

【0180】

この第 3 制御線 134 ($k+1$) の LOW から HIGH への変化により、駆動トランジスタ 114 のソースゲート間電圧である V_{sg} には、駆動トランジスタ 114 の閾値電圧 V_{th} よりも大きな電圧が発生するように予め ΔV が設定されている。つまり、静電保持容量 118 に発生する電位差を、駆動トランジスタの閾値電圧が検出できる電位差とし、閾値電圧の検出過程への準備が完了する。第 3 制御線 134 (k) の電圧レベルを ΔV だけ変化させる上記動作は、第 2 初期化電圧印加ステップに相当する。

【0181】

このとき、第 2 制御線 132 ($k+1, 1$) ~ 132 ($k+1, m$) の電圧レベルは HIGH に維持されているので電源線 110 から駆動トランジスタ 114 への電流供給はなく、静電保持容量 118 に保持された電圧に対応した放電電流が駆動トランジスタ 114 及び有機 EL 素子 113 へと流れ始める。

30

【0182】

時刻 t_{28} から時刻 t_{29} の間、上記放電電流により、静電保持容量 118 に保持された電圧は、駆動トランジスタ 114 の閾値電圧 V_{th} に漸近していく。

【0183】

そして、静電保持容量 118 に保持された電圧が、駆動トランジスタ 114 の閾値電圧 V_{th} となったとき、上記放電電流が停止する。

【0184】

以上、時刻 t_{28} ~ 時刻 t_{29} の期間では、駆動トランジスタ 114 の閾値電圧 V_{th} の補正が、($k+1$) 番目の駆動ブロック内において同時に実行され、($k+1$) 番目の駆動ブロックの全発光画素 11B の有する静電保持容量 118 には駆動トランジスタ 114 の閾値電圧 V_{th} に相当する電圧が同時に保持される。

40

【0185】

次に、時刻 t_{29} において、走査／制御線駆動回路 14 は、走査線 133 ($k+1, 1$) ~ 133 ($k+1, m$) の電圧レベルを同時に LOW から HIGH に変化させ、スイッチングトランジスタ 115 をオフ状態とする (図 6 の S 23)。これにより、($k+1$) 番目の駆動ブロックに属する発光画素の閾値検出動作を完了させる。上記スイッチングトランジスタ 115 をオフ状態として駆動トランジスタ 114 のゲートへの基準電圧の供給を停止させる動作は、第 2 非導通ステップに相当する。

【0186】

50

上述した第2基準電圧印加ステップ、第2初期化電圧印加ステップ及び第2非導通ステップは、第2閾値保持ステップに相当する。

【0187】

次に、時刻 t_{29} ～時刻 t_{30} の期間において、走査／制御線駆動回路14は、第1制御線131 ($k+1$) の電圧レベルをLOWからHIGHに変化させ、スイッチングトランジスタ117をオフ状態とする。これにより、($k+1$) 番目の駆動ブロックに属する発光画素への輝度信号電圧の書き込みの準備が完了する。輝度信号電圧の書き込み期間に、スイッチングトランジスタ117がオフ状態となっていることにより、静電保持容量118の第2電極と駆動トランジスタ114のソースとの電流パスが遮断される。よって、書き込み間内において、静電保持容量118から駆動トランジスタ114への放電電流が流れず、当該輝度信号電圧に対応した正確な電圧が静電保持容量118に保持される。

10

【0188】

その後、時刻 t_{29} ～時刻 t_{30} の期間に、走査／制御線駆動回路14は、走査線133 ($k+1, 1$) ～133 ($k+1, m$) の電圧レベルを、順次、HIGH→LOW→HIGHに変化させ、スイッチングトランジスタ115を、発光画素行ごとに順次オン状態とする。また、この時、信号線駆動回路15は、第2信号線152の信号電圧を基準電圧から輝度信号電圧 V_{data} に変化させる(図6のS24)。これにより、駆動トランジスタ114のゲートに輝度信号電圧 V_{data} が印加される。このとき、静電保持容量118には、この輝度信号電圧 V_{data} に応じた電圧と、先に保持された駆動トランジスタ114の閾値電圧 V_{th} に相当する電圧とが加算された加算電圧が書き込まれる。上記加算電圧の書き込み動作は、第2輝度保持ステップに相当する。

20

【0189】

以上、時刻 t_{29} ～時刻 t_{30} の期間では、補正された輝度信号電圧の書き込みが、($k+1$) 番目の駆動ブロック内で発光画素行ごとに、順次実行されている。

【0190】

次に、時刻 t_{30} において、走査／制御線駆動回路14は、第1制御線131 ($k+1$) の電圧レベルをHIGHからLOWに変化させる。また、ほぼ同時に、第3制御線134 ($k+1$) の電圧レベルをHIGHからLOWに変化させる。これにより、上記加算電圧に応じた駆動電流を有機EL素子113に流す準備が完了する。

【0191】

30

次に、時刻 t_{31} 以降において、走査／制御線駆動回路14は、第2制御線132 ($k+1, 1$) ～132 ($k+1, m$) の電圧レベルを、行順次に、HIGHからLOWに変化させる(図6のS25)。これにより、($k+1$) 番目の駆動ブロック内の全発光画素11Bでは、発光画素行ごとに、上記加算電圧に応じた駆動電流が有機EL素子113に流れ発光が開始される。上記発光動作は、第2発光ステップに相当する。

【0192】

以上、時刻 t_{31} 以降では、補正された輝度信号電圧に対応した発光が、($k+1$) 番目の駆動ブロック内で発光画素行ごとに、順次実行されている。

【0193】

以上の動作が、表示パネル10内の($k+2$) 番目の駆動ブロック以降においても順次実行される。

40

【0194】

図9Bは、本発明の実施の形態2に係る駆動方法により発光した駆動ブロックの状態遷移図である。同図には、ある発光画素列における、駆動ブロックごとの発光期間及び非発光期間が表されている。縦方向は複数の駆動ブロックを、また、横軸は経過時間を示す。ここで、非発光期間とは、上述した閾値補正期間を含む。

【0195】

本発明の実施の形態2に係る画像表示装置の駆動方法によれば、発光期間は、同一駆動ブロック内でも発光画素行ごとに順次設定される。よって、駆動ブロック内においても、行走査方向に対して発光期間が連続的に現れる。

50

【0196】

以上、実施の形態2においても、スイッチングトランジスタ116及び117、ならびに静電保持容量119が配置された発光画素回路、駆動ブロック化された各発光画素への制御線、走査線及び信号線の配置、及び上記駆動方法により、駆動トランジスタ114の閾値補正期間及びそのタイミングを同一駆動ブロック内で一致させることが可能となる。よって、電流パスを制御する信号を出力する走査／制御線駆動回路14や信号電圧を制御する信号線駆動回路15の負荷が低減する。また、さらに、上記駆動ブロック化及び発光画素列ごとに配置された2本の信号線により、駆動トランジスタ114の閾値補正期間を、全発光画素を書き換える時間である1フレーム期間 T_f のなかで大きくとることができる。これは、 k 番目の駆動ブロックにおいて輝度信号がサンプリングされている期間に、
($k+1$)番目の駆動ブロックにおいて閾値補正期間が設けられることによるものである。よって、閾値補正期間は、発光画素行ごとに分割されるのではなく、駆動ブロックごと分割される。よって、表示領域が大面積化されるほど、発光デューティを減少させることなく、1フレーム期間に対する相対的な閾値補正期間を長く設定することが可能となる。これにより、高精度に補正された輝度信号電圧に基づいた駆動電流が発光素子に流れ、画像表示品質が向上する。

10

【0197】

例えば、表示パネル10を N 個の駆動ブロックに分割した場合、各発光画素に与えられる閾値補正期間は、最大 T_f/N となる。

20

【0198】

(実施の形態3)

以下、本発明の実施の形態3について、図面を参照しながら説明する。

【0199】

図10Aは、本発明の実施の形態3に係る表示装置における奇数駆動ブロックの発光画素の具体的な回路構成図であり、図10Bは、本発明の実施の形態3に係る表示装置における偶数駆動ブロックの発光画素の具体的な回路構成図である。図10A及び図10Bに記載された発光画素21A及び21Bは、いずれも、有機EL(エレクトロルミネッセンス)素子213と、駆動トランジスタ214と、スイッチングトランジスタ215、216及び217と、静電保持容量118及び119と、第1制御線131と、第2制御線132と、走査線133と、第3制御線134と、第1信号線151と、第2信号線152とを備える。

30

【0200】

同図に記載された発光画素21A及び21Bは、図2A及び図2Bに記載された発光画素11A及び11Bと比較して、各トランジスタが n 型であること、及び、有機EL素子213の端子接続関係が逆であることが回路構成として異なる。各走査線、各制御線及び各信号線は、図2A及び図2Bに記載された発光画素11A及び11Bと同様に、各トランジスタ及び静電保持容量と接続されている。以下、実施の形態1に係る表示装置1と同じ点は説明を省略し、異なる点のみ説明する。

【0201】

図10A及び図10Bにおいて、有機EL素子213は、アノードが第2電源線である電源線112に接続されカソードが駆動トランジスタ214のドレインに接続された発光素子であり、駆動トランジスタ214の駆動電流が流れることにより発光する。

40

【0202】

駆動トランジスタ214は、ソースがスイッチングトランジスタ216のソース又はドレインの一方に接続され、ドレインが有機EL素子213のカソードに接続された駆動トランジスタである。駆動トランジスタ214は、ゲートソース間に印加された信号電圧を、当該信号電圧に対応したドレイン電流に変換する。そして、このドレイン電流を駆動電流として有機EL素子213に供給する。駆動トランジスタ214は、 n 型の薄膜トランジスタ(n 型TFT)で構成される。

【0203】

50

スイッチングトランジスタ215は、ゲートが走査線133に接続され、ソース及びドレインの一方が駆動トランジスタ214のゲートに接続されている。また、そのソース及びドレインの他方は、奇数駆動ブロックの発光画素21Aにおいては、第1信号線151に接続され、第3スイッチングトランジスタとして機能する。一方、偶数駆動ブロックの発光画素21Bにおいては、第2信号線152に接続され、第4スイッチングトランジスタとして機能する。

【0204】

スイッチングトランジスタ216は、ゲートが第2制御線132に接続され、ソース及びドレインの他方が第1電源線である電源線110に接続された第2スイッチングトランジスタである。スイッチングトランジスタ216は、駆動トランジスタ214のドレイン電流をオンオフさせる機能を有する。

10

【0205】

なお、スイッチングトランジスタ216は、そのソース及びドレインが電源線110と駆動トランジスタ214のソースとの間に接続されていればよい。この配置により、駆動トランジスタ214のドレイン電流をオンオフさせることが可能となる。

【0206】

スイッチングトランジスタ217は、ゲートが第1制御線131に接続され、ソース及びドレインの一方が静電保持容量118の他方の端子に接続され、ソース及びドレインの他方が駆動トランジスタ214のソースに接続された第1スイッチングトランジスタである。スイッチングトランジスタ217は、信号線からの信号電圧書き込み期間においてはオフ状態となることにより、静電保持容量118に正確な信号電圧に対応した電圧を保持させる機能を有する。一方、閾値電圧検出期間及び発光期間においては、オン状態となることにより、駆動トランジスタ214のソースを静電保持容量118及び119に接続し、正確に静電保持容量118に閾値電圧及び信号電圧に対応した電荷を保持させ、駆動トランジスタ214が静電保持容量118に保持された電圧を反映した駆動電流を発光素子に供給させる機能を有する。スイッチングトランジスタ215、216及び217は、n型の薄膜トランジスタ(n型TFT)で構成される。

20

【0207】

静電保持容量118は、一方の端子である第1電極が駆動トランジスタ214のゲートに接続され、他方の端子である第2電極がスイッチングトランジスタ217のソース及びドレインの一方に接続された第1容量素子である。静電保持容量118は、第1信号線151または第2信号線152から供給された信号電圧及び駆動トランジスタ214の閾値電圧に対応した電荷を保持し、例えば、スイッチングトランジスタ215がオフ状態となった後に、駆動トランジスタ214から有機EL素子213へ供給する信号電流を制御する機能を有する。

30

【0208】

静電保持容量119は、静電保持容量118の第2電極と第3制御線134との間に接続された第2容量素子である。静電保持容量119は、まず、スイッチングトランジスタ217の導通により、定常状態において駆動トランジスタ214のソース電位を記憶する。

40

【0209】

なお、図10A及び図10Bには記載されていないが、電源線110及び電源線112は、それぞれ、負電源線及び正電源線であり、他の発光画素にも接続されており電圧源に接続されている。

【0210】

また、第1制御線131、第2制御線132及び第3制御線134の発光画素間における接続関係は、図3に記載された各制御線の接続関係と同様に、それぞれ、駆動ブロックごとに共通化されている。

【0211】

上記駆動ブロック化により、駆動トランジスタ214のソースと静電保持容量118及

50

び119の間のノードとの接続を制御する第1制御線131の本数が削減される。また、駆動トランジスタ214のソースへの電源電圧印加のオンオフを制御する第2制御線132の本数が削減される。また、駆動トランジスタ214の閾値電圧 V_{th} を検出する V_{th} 検出回路を制御する第3制御線134の本数が削減される。よって、これらの制御線に駆動信号を出力する走査／制御線駆動回路14の出力本数が低減し、回路規模の削減を可能にする。

【0212】

次に、本実施の形態に係る表示装置の駆動方法について図11を用いて説明する。なお、ここでは、図10A及び図10Bに記載された具体的回路構成を有する表示装置についての駆動方法を詳細に説明する。

10

【0213】

図11は、本発明の実施の形態3に係る表示装置の駆動方法の動作タイミングチャートである。また、図6は、本発明の実施の形態3に係る表示装置の動作フローチャートである。

【0214】

まず、時刻 t_{30} の直前では、走査線133($k, 1$)～133(k, m)の電圧レベルは全てLOWであり、第2制御線132(k)もLOWである。第2制御線132(k)をLOWとした瞬間から、スイッチングトランジスタ216はオフ状態となる。これにより、有機EL素子213は消光し、 k ブロックにおける発光画素の一斉発光が終了する。同時に、 k ブロックにおける非発光期間が開始する。

20

【0215】

次に、時刻 t_{30} において、走査／制御線駆動回路14は、走査線133($k, 1$)～133(k, m)の電圧レベルを同時にLOWからHIGHに変化させ、スイッチングトランジスタ215をオン状態とする。また、この時、既に第2制御線132(k)はLOWとなっており、信号線駆動回路15は、第1信号線151の信号電圧を、輝度信号電圧から駆動トランジスタ214がオフとなる基準電圧に変化させてある(図6のS11)。これにより、基準電圧 V_R が駆動トランジスタ214のゲートに印加されることにより、 k 番目の駆動ブロックに属する全ての発光画素がリセットされる。上記基準電圧を駆動トランジスタ114のゲートに印加する動作は、第1基準電圧印加ステップに相当する。

30

【0216】

次に、時刻 t_{31} において、走査／制御線駆動回路14は、第3制御線134(k)の電圧レベルをHIGHからLOWに変化させる(図6のS12)。このとき、第3制御線134(k)の電圧レベルを ΔV だけ変化させたとすると、静電保持容量118の第2電極の電位は、静電保持容量118と静電保持容量119との容量比により分配される電圧分だけ下降する。

【0217】

この第3制御線134(k)のHIGHからLOWへの変化により、駆動トランジスタ214のソースゲート間電圧である V_{gs} には、駆動トランジスタ214の閾値電圧 V_{th} よりも大きな電圧が発生するように予め ΔV が設定されている。つまり、静電保持容量118に発生する電位差を、駆動トランジスタの閾値電圧が検出できる電位差とし、閾値電圧の検出過程への準備が完了する。第3制御線134(k)の電圧レベルを ΔV だけ変化させる上記動作は、第1初期化電圧印加ステップに相当する。

40

【0218】

このとき、第2制御線132(k)の電圧レベルはLOWに維持されているので電源線112から駆動トランジスタ214への電流供給はなく、静電保持容量118に保持された電圧に対応した放電電流が駆動トランジスタ214及び有機EL素子213へと流れ始める。

【0219】

時刻 t_{31} から時刻 t_{32} の間、上記放電電流により、静電保持容量118に保持され

50

た電圧は、駆動トランジスタ 214 の閾値電圧 V_{th} に漸近していく。

【0220】

そして、静電保持容量 118 に保持された電圧が、駆動トランジスタ 214 の閾値電圧 V_{th} となったとき、上記放電電流が停止する。

【0221】

なお、閾値電圧 V_{th} に相当する電圧を静電保持容量 118 に保持させるために流れる放電電流は微少であるため、静電保持容量 118 に保持された電圧が駆動トランジスタ 214 の閾値電圧 V_{th} に漸近して定常状態となるまでには時間を要する。よって、この期間が長いほど、静電保持容量 118 に保持される電圧は安定し、この期間を十分長く確保することにより、高精度な電圧補償が実現される。

10

【0222】

以上、時刻 t_{31} ～時刻 t_{32} の期間では、駆動トランジスタ 214 の閾値電圧 V_{th} の補正が、 k 番目の駆動ブロック内において同時に実行され、 k 番目の駆動ブロックの全発光画素 21A の有する静電保持容量 118 には駆動トランジスタ 214 の閾値電圧 V_{th} に相当する電圧が同時に保持される。

【0223】

次に、時刻 t_{32} において、走査／制御線駆動回路 14 は、走査線 133 ($k, 1$) ～133 (k, m) の電圧レベルを同時に HIGH から LOW に変化させ、スイッチングトランジスタ 215 をオフ状態とする (図 6 の S13)。これにより、 k 番目の駆動ブロックに属する発光画素の閾値検出動作を完了させる。上記スイッチングトランジスタ 215 をオフ状態として駆動トランジスタ 214 のゲートへの基準電圧の供給を停止させる動作は、第 1 非導通ステップに相当する。

20

【0224】

上述した第 1 基準電圧印加ステップ、第 1 初期化電圧印加ステップ及び第 1 非導通ステップは、第 1 閾値保持ステップに相当する。

【0225】

次に、時刻 t_{32} ～時刻 t_{33} の期間において、走査／制御線駆動回路 14 は、第 1 制御線 131 (k) の電圧レベルを HIGH から LOW に変化させ、スイッチングトランジスタ 217 をオフ状態とする。これにより、 k 番目の駆動ブロックに属する発光画素への輝度信号電圧の書き込みの準備が完了する。輝度信号電圧の書き込み期間に、スイッチングトランジスタ 217 がオフ状態となっていることにより、静電保持容量 118 の第 2 電極と駆動トランジスタ 214 のソースとの電流パスが遮断される。よって、書き込み期間内において、静電保持容量 118 から駆動トランジスタ 214 への放電電流が流れず、当該輝度信号電圧に対応した正確な電圧が静電保持容量 118 に保持される。また、上記期間は上記放電電流を抑制するための高速書き込みを必要としないので、正確な輝度信号電圧の書き込みに必要な本来の書き込み期間を確保することが可能となる。

30

【0226】

次に、時刻 t_{33} ～時刻 t_{34} の間に、走査／制御線駆動回路 14 は、走査線 133 ($k, 1$) ～133 (k, m) の電圧レベルを、順次、LOW → HIGH → LOW に変化させ、スイッチングトランジスタ 215 を、発光画素行ごとに順次オン状態とする。また、この時、信号線駆動回路 15 は、第 1 信号線 151 の信号電圧を基準電圧から輝度信号電圧 V_{data} に変化させる (図 6 の S14)。これにより、駆動トランジスタ 214 のゲートに輝度信号電圧 V_{data} が印加される。ここで、静電保持容量 118 には、この輝度信号電圧 V_{data} に応じた電圧と、先に保持された駆動トランジスタ 214 の閾値電圧 V_{th} に相当する電圧とが加算された加算電圧が書き込まれる。上記加算電圧の書き込み動作は、第 1 輝度保持ステップに相当する。

40

【0227】

以上、時刻 t_{33} ～時刻 t_{34} の期間では、補正された輝度信号電圧の書き込みが、 k 番目の駆動ブロック内で発光画素行ごとに、順次実行されている。

【0228】

50

次に、時刻 t_{34} おいて、第 1 制御線 131 (k) の電圧レベルを LOW から HIGH に変化させる。また、ほぼ同時に、第 2 制御線 132 (k) 及び第 3 制御線 134 (k) の電圧レベルを LOW から HIGH に変化させる (図 6 の S15)。これにより、上記加算電圧に応じた駆動電流が有機 EL 素子 213 に流れる。つまり、k 番目の駆動ブロック内の全発光画素 21A では、同時に発光が開始される。上記発光動作は、第 1 発光ステップに相当する。

【0229】

第 2 制御線 132 (k) の電圧レベルを LOW から HIGH に変化させた上記時刻以降の期間では、有機 EL 素子 213 の発光が、k 番目の駆動ブロック内において同時に実行されている。

10

【0230】

以上、発光画素行を駆動ブロック化することにより、駆動ブロック内では、駆動トランジスタ 214 の閾値電圧 V_{th} 補償が同時に実行される。また、有機 EL 素子 213 の発光も駆動ブロック内で同時に実行される。これにより、駆動トランジスタ 214 の駆動電流のオンオフの制御を駆動ブロック内で同期できる。よって、第 1 制御線 131、第 2 制御線 132 及び第 3 制御線 134 を駆動ブロック内で共通化できる。

【0231】

また、走査線 133 (k, 1) ~ 133 (k, m) においては、走査／制御線駆動回路 14 とは個別に接続されているが、閾値電圧補償期間においては、駆動パルスのタイミングが同一である。よって、走査／制御線駆動回路 14 は、出力するパルス信号の高周波化を抑制することができるので、駆動回路の出力負荷を低減できる。

20

【0232】

本実施の形態においても、実施の形態 1 と同様の観点から、特許文献 1 に記載された、2 本の信号線を用いた従来の画像表示装置と比較して、発光デューティをより長く確保することができるという利点がある。

【0233】

よって、発光輝度が十分確保され、かつ、駆動回路の出力負荷が低減された長寿命の表示装置を実現することが可能となる。

【0234】

また、2 本の信号線を用いた従来の画像表示装置と、本発明のようにブロック駆動を組み合わせた表示装置とを同じ発光デューティに設定した場合、本発明の表示装置の方が、閾値検出期間を長く確保することが解る。

30

【0235】

再び、本実施の形態に係る表示装置の駆動方法について説明する。

【0236】

一方、時刻 t_{35} 以降では、(k+1) 番目の駆動ブロックにおける駆動トランジスタ 214 の閾値電圧補正が開始される。

【0237】

(k+1) 番目の駆動ブロックにおける時刻 t_{35} ~ 時刻 t_{36} の期間のリセット動作、時刻 t_{36} ~ 時刻 t_{37} の期間の閾値電圧補正動作、及び時刻 t_{38} ~ 時刻 t_{39} の期間の書き込み動作は、それぞれ、k 番目の駆動ブロックにおける t_{30} ~ 時刻 t_{31} の期間のリセット動作、時刻 t_{31} ~ 時刻 t_{32} の期間の閾値電圧補正動作、及び時刻 t_{33} ~ 時刻 t_{34} の期間の書き込み動作と同様の動作であるので、ここでは説明を省略する。

40

【0238】

本発明の実施の形態 3 に係る表示装置の駆動方法によれば、発光期間は、同一駆動ブロックで一斉に設定される。よって、駆動ブロック間では、行走査方向に対して発光期間が階段状に現れる。

【0239】

以上、スイッチングトランジスタ 216 及び 217、ならびに静電保持容量 119 が配置された発光画素回路、駆動ブロック化された各発光画素への制御線、走査線及び信号線

50

の配置、及び上記駆動方法により、駆動トランジスタ 214 の閾値補正期間及びそのタイミングを同一駆動ブロック内で一致させることが可能となる。また、さらに、発光期間及びそのタイミングも同一駆動ブロック内で一致させることが可能となる。よって、各スイッチングトランジスタの導通及び非導通を制御する信号や電流パスを制御する信号を出力する走査／制御線駆動回路 14 や信号電圧を制御する信号線駆動回路 15 の負荷が低減する。また、さらに、上記駆動ブロック化及び発光画素列ごとに配置された 2 本の信号線により、駆動トランジスタ 214 の閾値補正期間を、全発光画素を書き換える時間である 1 フレーム期間 T_f のなかで大きくとることができる。

【0240】

また、駆動ブロック化により、駆動トランジスタ 214 のソースと静電保持容量 118 の第 2 電極との導通を制御する第 1 制御線、駆動トランジスタ 214 のドレインへの電圧印加のオンオフを制御する第 2 制御線、また、静電保持容量 118 の第 2 電極の電位を制御する第 3 制御線を駆動ブロック内で共通化できる。よって、走査／制御線駆動回路 14 から出力される制御線の本数が削減される。よって、駆動回路の負荷が低減する。

【0241】

以上、実施の形態 1～3 について説明したが、本発明に係る表示装置は、上述した実施の形態に限定されるものではない。実施の形態 1～3 における任意の構成要素を組み合わせて実現される別の実施の形態や、実施の形態 1～3 に対して本発明の主旨を逸脱しない範囲で当業者が思いつく各種変形を施して得られる変形例や、本発明に係る表示装置を内蔵した各種機器も本発明に含まれる。

【0242】

例えば、実施の形態 3 に係る表示装置の回路構成を用いて、実施の形態 2 に係る表示装置 1 のように、発光画素行ごとに順次発光させることが可能である。この場合には、第 2 制御線 132 を駆動ブロックごとに共通化せず、発光画素行ごとに、走査／制御線駆動回路 14 に接続することにより上記順次発光が実現される。

【0243】

また、例えば、本発明に係る表示装置は、図 12 に記載されたような薄型フラット TV に内蔵される。本発明に係る表示装置が内蔵されることにより、映像信号を反映した高精度な画像表示が可能な薄型フラット TV が実現される。

【産業上の利用可能性】

【0244】

本発明は、特に、画素信号電流により画素の発光強度を制御することで輝度を変動させるアクティブ型の有機 EL フラットパネルディスプレイに有用である。

【符号の説明】

【0245】

- 1 表示装置
- 10 表示パネル
- 11A、11B、21A、21B、501 発光画素
- 12 信号線群
- 13 制御線群
- 14 走査／制御線駆動回路
- 15 信号線駆動回路
- 20 タイミング制御回路
- 30 電圧制御回路
- 110、112 電源線
- 113、213 有機 EL 素子
- 114、214、512 駆動トランジスタ
- 115、116、117、215、216、217、511 スwitchングトランジスタ
- 118、119 静電保持容量

10

20

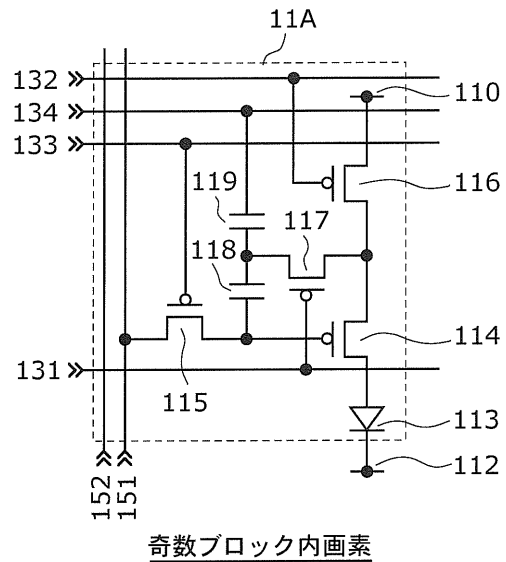
30

40

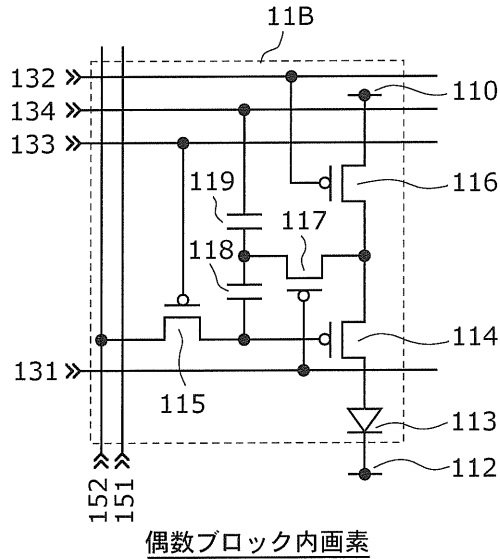
50

- 10

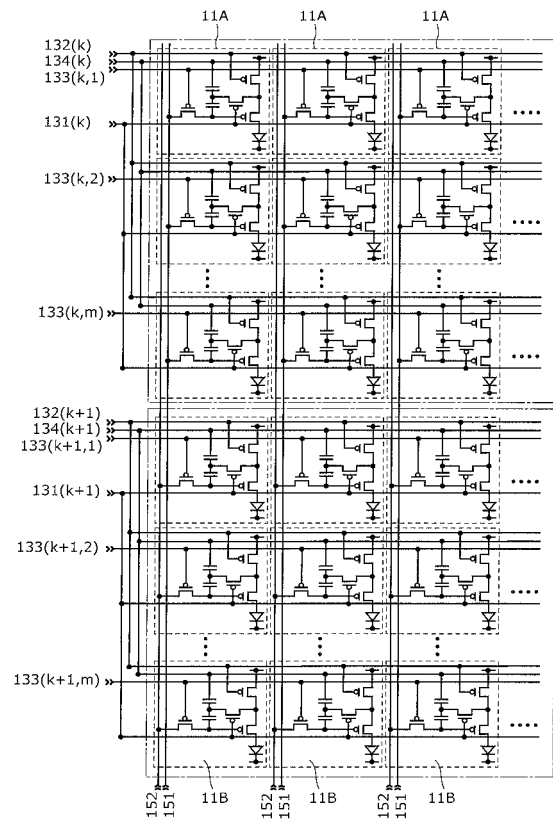
【図 2 A】



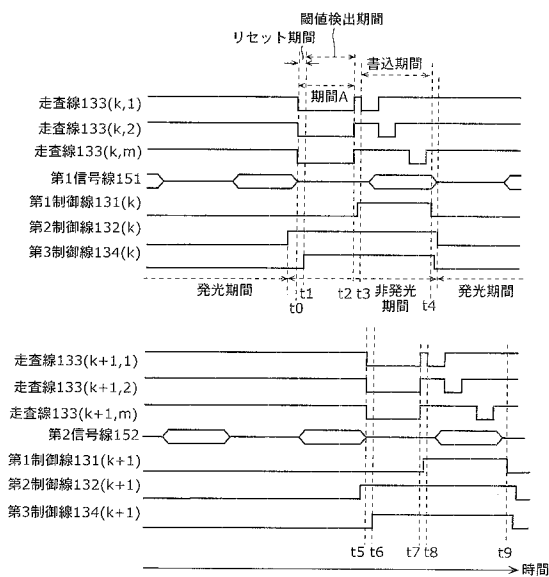
【図 2 B】



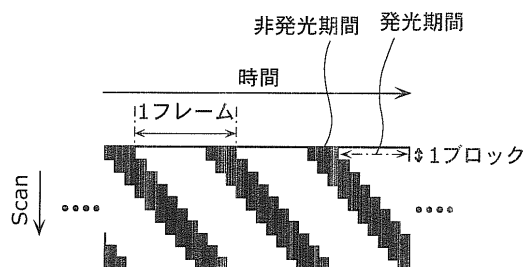
【図 3】



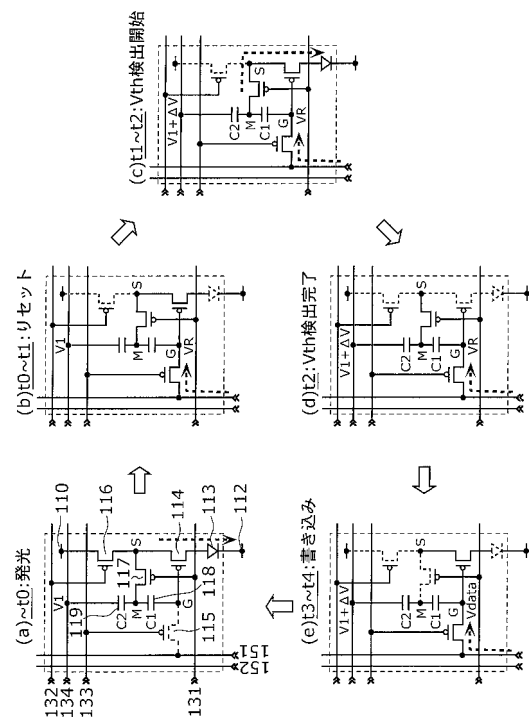
【図 4 A】



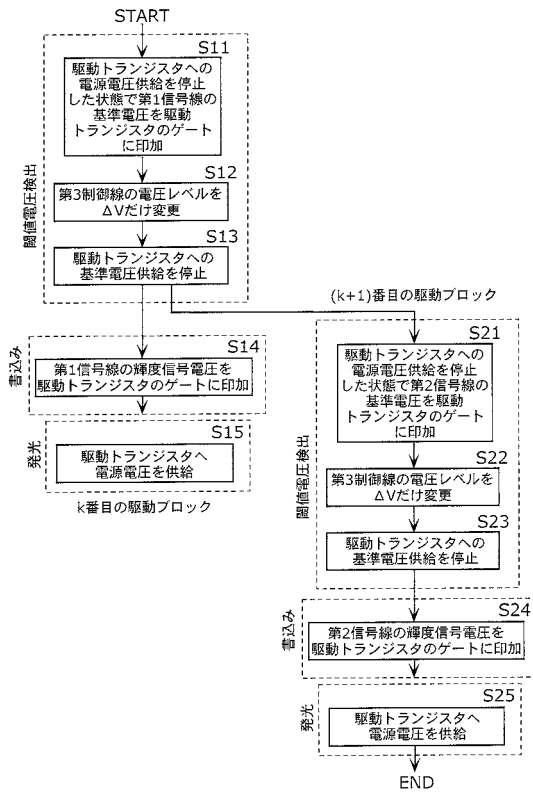
【図 4 B】



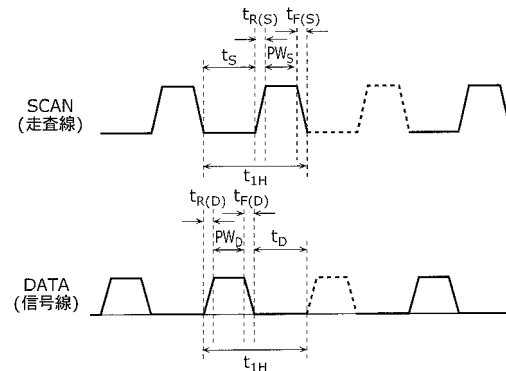
【図 5】



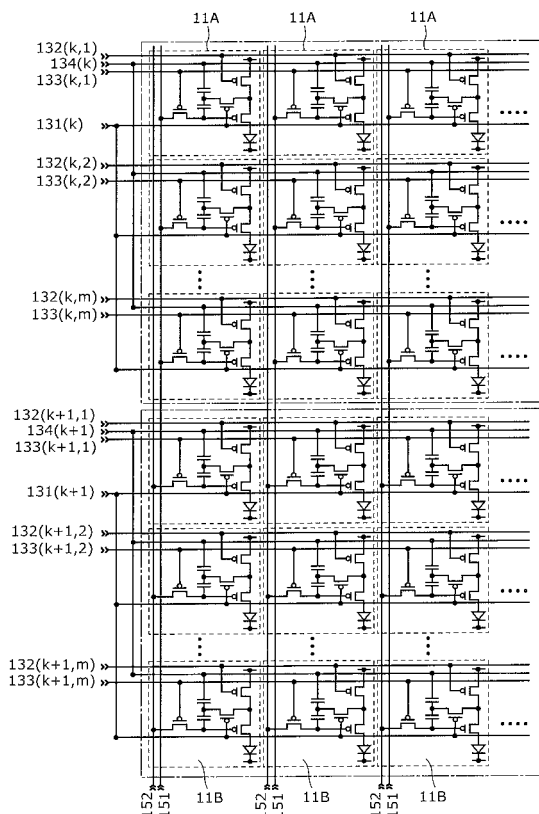
【图 6】



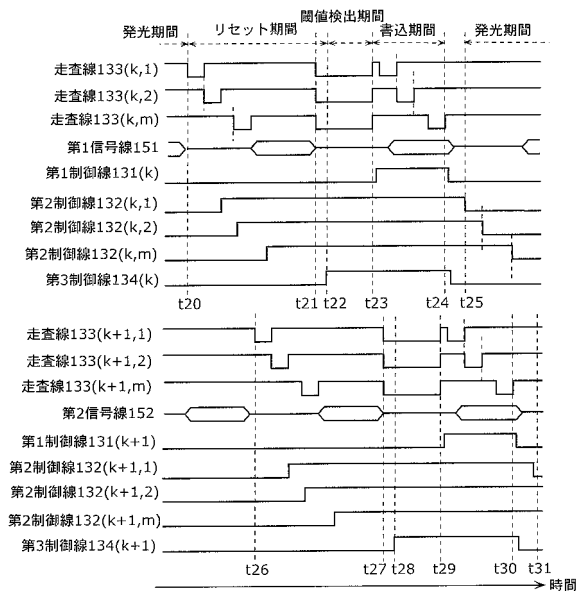
【図 7】



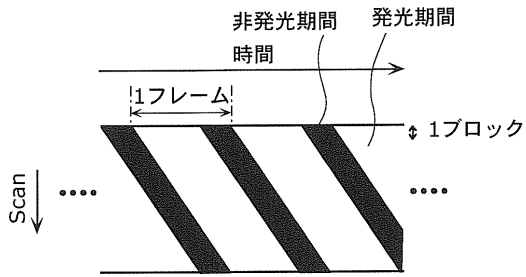
【图 8】



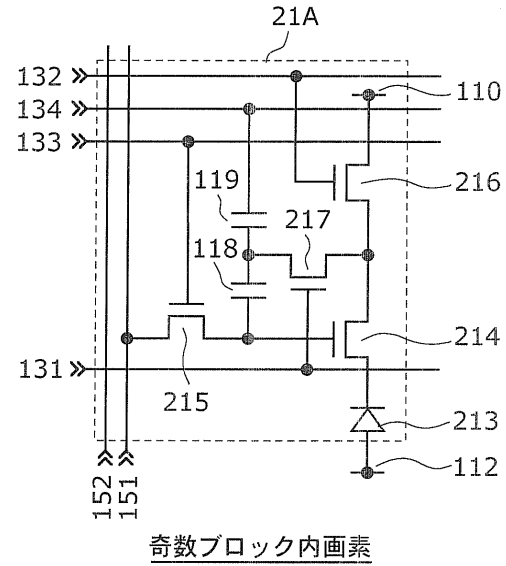
【図 9 A】



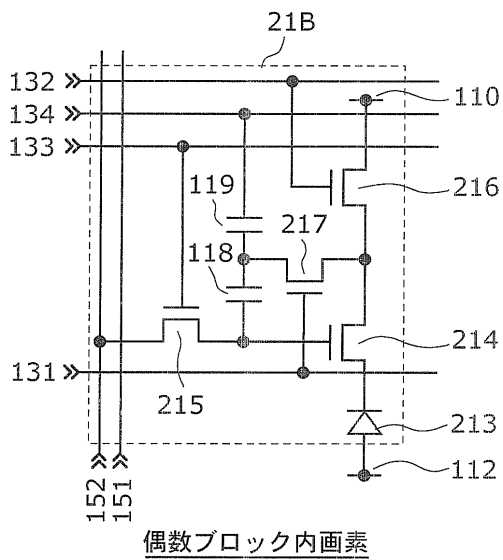
【図 9 B】



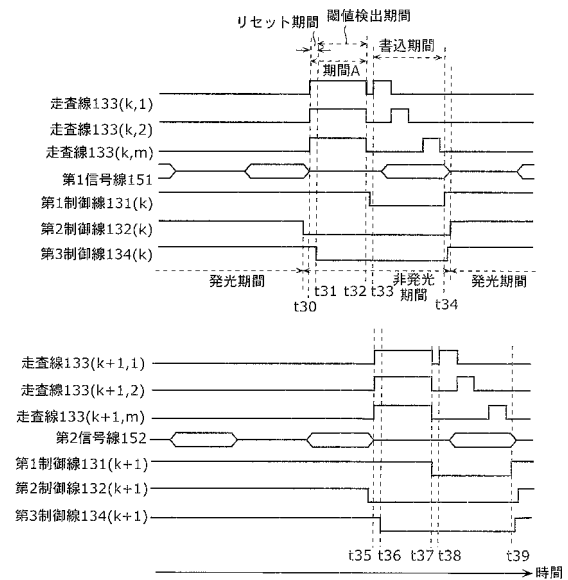
【図 10 A】



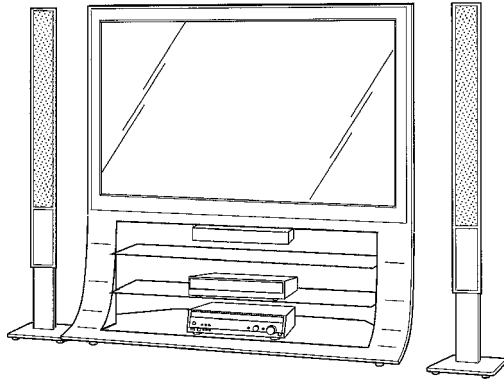
【図 10 B】



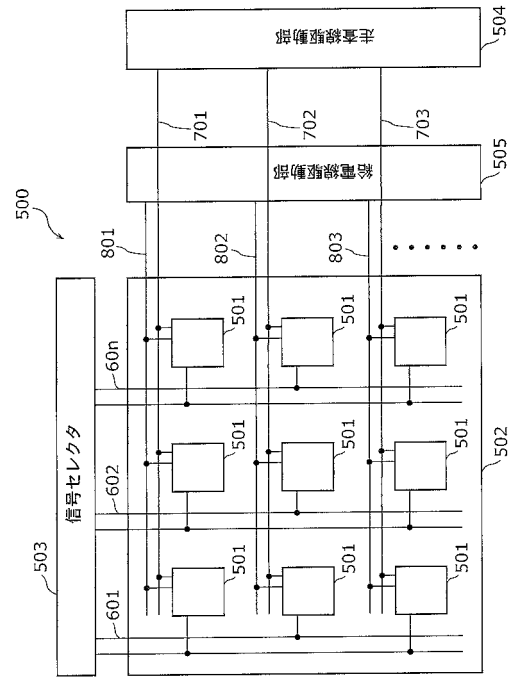
【図 11】



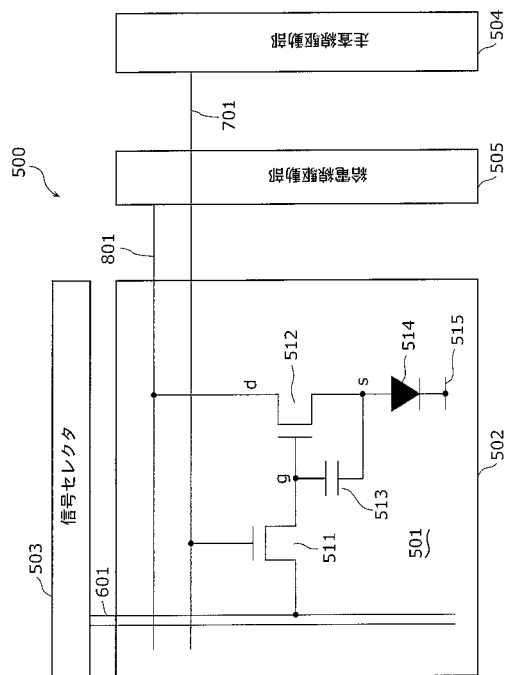
【図 1 2】



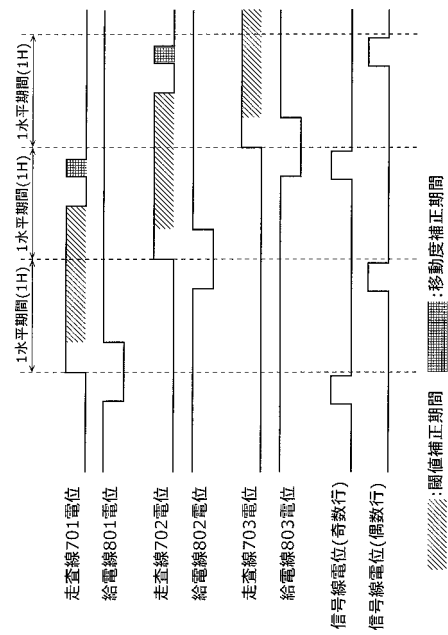
【図 1 3】



【図 1 4】



【図 1 5】



フロントページの続き

(51)Int.Cl.	F I		
	G 0 9 G	3/20	6 1 1 G
	G 0 9 G	3/20	6 2 1 E
	G 0 9 G	3/20	6 1 2 J
	G 0 9 G	3/20	6 2 3 C
	G 0 9 G	3/20	6 2 3 D
	G 0 9 G	3/30	J
	H 0 5 B	33/14	A

(56)参考文献 特開2003-186439 (JP, A)
特開2008-122633 (JP, A)
特開2003-195809 (JP, A)
特開2010-054564 (JP, A)
特開2009-237041 (JP, A)
特開2009-139928 (JP, A)
特開2009-216869 (JP, A)
国際公開第2009/011092 (WO, A1)
国際公開第2008/152817 (WO, A1)
国際公開第2010/041426 (WO, A1)

(58)調査した分野(Int.Cl., DB名)
G 0 9 G 3 / 3 0
G 0 9 G 3 / 2 0
H 0 1 L 5 1 / 5 0