

①⑨ RÉPUBLIQUE FRANÇAISE
INSTITUT NATIONAL
DE LA PROPRIÉTÉ INDUSTRIELLE
COURBEVOIE

①① N° de publication :
(à n'utiliser que pour les
commandes de reproduction)

3 049 763

②① N° d'enregistrement national : **16 52782**

⑤① Int Cl⁸ : **H 01 L 23/14** (2017.01), H 01 L 21/02

①②

DEMANDE DE BREVET D'INVENTION

A1

②② Date de dépôt : 31.03.16.

③③ Priorité :

④③ Date de mise à la disposition du public de la
demande : 06.10.17 Bulletin 17/40.

⑤⑥ Liste des documents cités dans le rapport de
recherche préliminaire : *Se reporter à la fin du
présent fascicule*

⑥① Références à d'autres documents nationaux
apparentés :

○ Demande(s) d'extension :

⑦① Demandeur(s) : *SOITEC* — FR.

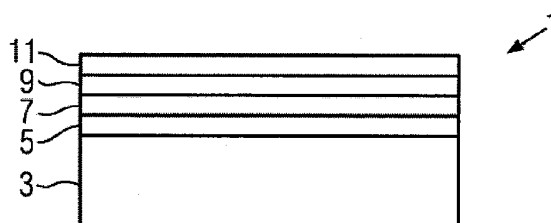
⑦② Inventeur(s) : CASTEX ARNAUD et KONONCHUK
OLEG.

⑦③ Titulaire(s) : *SOITEC*.

⑦④ Mandataire(s) : WOLFGANG NEUBECK - GRUNEC-
KER.

⑤④ **SUBSTRAT SEMI-CONDUCTEUR SUR ISOLANT POUR APPLICATIONS RF.**

⑤⑦ L'invention se rapporte à un substrat de semi-conduc-
teur sur isolant (1) pour une utilisation dans des applications
RF, en particulier un substrat de silicium sur isolant, com-
prenant une couche supérieure semi-conductrice (11), une
couche d'oxyde enterrée (9) et une couche de passivation
(7) sur un substrat de support en silicium (3) et à un procédé
correspondant. L'invention se rapporte également à un dis-
positif RF (17). De plus, une couche de pénétration (5) est
introduite entre la couche de passivation (7) et le substrat de
support en silicium (3) pour assurer une résistivité élevée de
caractéristiques RF sous-jacentes tout en permettant de
maintenir des mouvements de dislocation dans le substrat
de support (3) faibles.



FR 3 049 763 - A1



Substrat semi-conducteur sur isolant pour applications RF

L'invention se rapporte à un substrat de semi-conducteur sur isolant pour une utilisation dans des applications RF, en particulier un substrat de silicium sur isolant, comprenant une couche supérieure semi-conductrice, une couche d'oxyde enterrée et une couche de passivation sur un substrat de support en silicium et à un procédé correspondant. L'invention se rapporte également à un dispositif RF.

Des substrats connus pour des applications fréquence radio (RF) comprennent une structure à trois couches de silicium Si sur dioxyde de silicium SiO₂, à son tour sur une couche de Si polycristallin. Cette structure à trois couches est prévue sur un substrat de support massif à résistivité élevée avec une faible teneur en oxygène interstitiel (« Oi faible »). Pour un tel substrat, la teneur en oxygène interstitiel est dans une plage comprise entre 5 et 10 ppma au lieu de 20 à 25 ppma pour des substrats à Oi standard ou de 25 à 30 ppma pour des substrats à Oi élevé. Dans ce contexte, résistivité élevée se rapporte typiquement à des valeurs de résistivité de 3000 Ωm ou plus. Cette résistivité élevée globale est nécessaire dans des dispositifs RF afin de limiter ou de supprimer des signaux parasites provenant de tous les matériaux sous le dispositif actif, appelés également pertes de substrat.

La couche de Si polycristallin est nécessaire pour supprimer d'autres pertes parasites qui peuvent se produire en raison de charges de surface qui existent à l'interface entre le substrat de support et la couche de dioxyde de silicium sous l'influence d'un champ électrique. Cette couche de Si polycristallin agit comme une couche de passivation et peut par conséquent réduire des pertes de signal.

L'oxygène interstitiel est connu pour produire des donneurs thermiques à la suite de traitements thermiques et diminue donc la résistivité globale du substrat de support augmentant ainsi les pertes de substrat, d'où la nécessité d'un substrat à Oi faible. L'utilisation d'Oi faible n'est, cependant, pas sans inconvénients.

Un contenu en Oi faible rend le silicium plus sensible à la migration de dislocations. Les atomes d'oxygène interstitiel ont tendance à se lier à des atomes de silicium et à s'agréger en petit précipité de SiO₂ qui empêche la dislocation de migrer

dans le réseau cristallin. Avec une teneur en Oi faible, il y a moins de précipités de SiO_2 présents dans le matériau, ce qui conduit à une augmentation de la migration des dislocations lors d'un traitement thermique pendant la fabrication du substrat de semi-conducteur sur isolant et/ou des dispositifs RF conduisant à une modification indésirable de la structure cristalline et à l'apparition de ce qu'on appelle des lignes de glissement. La migration des dislocations peut aussi conduire à une déformation plastique du substrat, ce qui, lors d'un traitement CMOS, peut conduire à des problèmes de recouvrement lors de la lithographie.

Un objectif de la présente invention est donc de fournir un substrat de semi-conducteur sur isolant amélioré approprié pour des applications RF qui surmonte ou au moins réduit les problèmes identifiés précédemment.

Ce objectif est atteint avec un substrat de semi-conducteur sur isolant conformément à l'invention, en particulier un substrat de silicium sur isolant, comprenant une couche supérieure semi-conductrice, une couche d'oxyde enterrée et une couche de passivation sur un substrat de support en silicium, caractérisé en ce qu'une couche de pénétration est prévue entre la couche de passivation et le substrat de support en silicium, dans lequel la couche de pénétration est une couche de silicium à résistivité plus élevée et avec une teneur en oxygène interstitiel inférieure par rapport au substrat de support en silicium.

Selon l'invention, une couche spécifique, la couche de pénétration avec une teneur en Oi faible, est introduite de telle sorte qu'un substrat de support puisse être utilisé, dans lequel le problème de ligne de glissement et de recouvrement peut être réduit en diminuant la capacité des dislocations de migrer au sein du substrat de support. En effet, la teneur en Oi faible est uniquement nécessaire jusqu'à une certaine profondeur, en partant de la couche de silicium, en fonction de jusqu'où un signal RF d'un dispositif RF qui sera préparé sur le substrat va pénétrer dans le substrat de semi-conducteur sur isolant.

Selon un mode de réalisation, la couche de passivation et la couche de pénétration peuvent être du même matériau. Dans ce cas, les impacts négatifs du désaccord de maille à l'interface peuvent être réduits voire même supprimés.

Selon un mode de réalisation, la couche de passivation peut être une couche polycristalline et la couche de pénétration peut être un matériau monocristallin. La couche polycristalline agit comme un piège pour les charges et permet une réduction des pertes

parasites, tandis que la couche monocristalline a l'avantage que des couches avec une faible rugosité de surface peuvent être obtenues indépendamment de l'épaisseur de la couche.

- Selon une variante, la couche de pénétration peut être une couche polycristalline.
- 5 Dans ce cas, la couche polycristalline est prévue avec une épaisseur suffisante pour remplir les deux rôles, la réduction des pertes parasites liées à la surface et les pertes de substrat.

- Selon un mode de réalisation de l'invention, une teneur en oxygène interstitiel faible peut se rapporter à une concentration inférieure à 15 ppma, en particulier entre 5 et
- 10 10 ppma. Dans cette plage de concentration, le niveau de la résistivité désiré peut être atteint dans la couche de passivation pour réduire les pertes de substrat. En outre, le terme de résistivité élevée peut se rapporter à une résistivité de 2000 Ωm ou plus, en particulier 3000 Ωm ou plus, et ce même après des traitements thermiques d'une durée d'au moins 1 heure à des températures supérieures à 450 °C. Il doit être entendu que
- 15 d'autres impuretés qui influencent normalement le comportement électrique du silicium, également connues en tant que donneurs et accepteurs, ont une concentration inférieure à $1 \times 10^{12} \text{ cm}^{-3}$, afin d'obtenir la relation entre la teneur en oxygène interstitiel et le niveau de résistivité.

- Selon un mode de réalisation, la couche de passivation et la couche de
- 20 pénétration ont une épaisseur combinée d'environ 3 μm à 30 μm , en particulier de 4 μm à 10 μm , encore plus en particulier d'environ 5 μm . Par rapport aux substrats de semi-conducteur sur isolant de l'art antérieur avec des substrats de support en silicium à O_i faible ayant une épaisseur typiquement de 725 μm , seulement une partie mince du substrat de semi-conducteur sur isolant sera soumise à la migration de dislocations dans
- 25 des régions à O_i faible. Ainsi, les étapes de lithographie de fabrication ultérieure d'un dispositif peuvent être simplifiées.

- L'objectif de l'invention est également atteint avec un dispositif de fréquence radio (RF). Le dispositif RF selon l'invention comprend des structures de dispositif isolées électriquement, en particulier des lignes conductrices au sein d'un dispositif peuvent être
- 30 isolées électriquement les unes aux autres, ayant une distance minimale d entre elles prévues sur et/ou dans un substrat de semi-conducteur sur isolant tel que décrit ci-dessus et qui est caractérisé en ce que l'épaisseur de la couche d'oxyde enterrée, de la couche de passivation et de la couche de pénétration prises ensembles est telle que des signaux

RF pénètrent au plus dans la couche de pénétration. Ainsi, en ajustant l'épaisseur de la couche de pénétration à la dimension particulière d de la conception RF, des pertes de substrat peuvent être réduites tandis que la fabricabilité, en particulier en ce qui concerne le recouvrement pendant la lithographie, peut être maintenue élevée.

- 5 Selon un mode de réalisation de l'invention, l'épaisseur de la couche d'oxyde enterrée, de la couche de passivation et de la couche de pénétration prises ensembles peut être telle qu'elle ne dépasse pas de dix fois, en particulier de 5 fois, la distance d .

10 L'objectif de l'invention est également atteint avec le procédé de fabrication d'un substrat de semi-conducteur sur isolant tel que décrit ci-dessus, dans lequel la couche de pénétration est formée par croissance épitaxiale sur le substrat de support et la couche supérieure semi-conductrice et la couche d'oxyde enterrée sont transférées sur la couche de passivation par un procédé de transfert de couches, en particulier comprenant un procédé de liaison. De préférence, à la fois la couche de passivation et la couche de pénétration sont obtenues par croissance épitaxiale.

15 L'objectif est en outre atteint avec un procédé alternatif de fabrication d'un substrat de semi-conducteur sur isolant tel que décrit ci-dessus, dans lequel la couche de pénétration est transférée sur le substrat de support par un procédé de transfert de couches, en particulier un procédé de liaison. Ceci pourrait être réalisé par exemple en liant le substrat de support et le substrat à O_i faible, puis en effectuant une gravure en retrait du substrat à O_i à l'épaisseur désirée, ou en appliquant un procédé de type SmartCut® comprenant les étapes de former une zone de séparation prédéterminée à l'intérieur du substrat à O_i , lier le substrat à O_i au substrat de support et détacher le résidu du substrat à O_i , p. ex. par un traitement thermique, pour obtenir la couche de pénétration sur le substrat de support.

25 Avec les procédés mentionnés ci-dessus, les substrats avantageux peuvent être obtenus.

30 L'objectif de l'invention est également atteint avec un procédé de fabrication d'un dispositif de fréquence radio tel que décrit ci-dessus et comprenant les étapes de : fournir une pluralité de substrats de semi-conducteur sur isolant avec différentes épaisseurs de la couche de pénétration, former des dispositifs de fréquence radio sur ou dans les substrats de semi-conducteur sur isolant, déterminer la profondeur de pénétration des signaux RF dans la pluralité de substrats de semi-conducteur sur isolant, choisir le substrat de semi-conducteur sur isolant avec l'épaisseur de la couche de pénétration pour

laquelle le signal RF pénètre au plus dans la couche de pénétration. De cette manière, une épaisseur de la couche de pénétration optimisée peut être déterminée de telle sorte que la fabricabilité soit optimisée tout en maintenant les dispositifs RF en état de marche.

Des bénéfices et avantages supplémentaires des modes de réalisations divulgués
5 deviendront apparents par la description et les dessins. Les bénéfices et/ou avantages peuvent être obtenus individuellement par les différents modes de réalisation et des caractéristiques de la description et des dessins, qui n'ont pas toutes besoin d'être fournies pour obtenir un ou plusieurs de ces bénéfices et/ou avantages.

Les objectifs et caractéristiques ci-dessus ainsi que d'autres objectifs et
10 caractéristiques de la présente invention deviendront plus évidents à partir de la description suivante et de modes de réalisation préférés donnés en liaison avec les dessins d'accompagnement, dans lesquels :

La Figure 1 illustre un premier mode de réalisation du substrat de semi-conducteur sur isolant conformément à l'invention.

15 La Figure 2 illustre un deuxième mode de réalisation du substrat de semi-conducteur sur isolant conformément à l'invention.

La Figure 3 illustre un troisième mode de réalisation de l'invention, à savoir un dispositif RF sur un substrat de semi-conducteur sur isolant conformément à l'invention.

La Figure 4 illustre un quatrième mode de réalisation de l'invention, à savoir un
20 procédé de fabrication d'un substrat de semi-conducteur sur isolant conformément à l'invention.

La Figure 5 illustre un cinquième mode de réalisation de l'invention, à savoir un procédé alternatif de fabrication d'un substrat de semi-conducteur sur isolant conformément à l'invention.

25 La Figure 6 illustre un sixième mode de réalisation de l'invention, à savoir un procédé pour choisir l'épaisseur de la couche de pénétration d'un substrat de semi-conducteur sur isolant conformément à l'invention.

La Figure 1 illustre schématiquement un substrat de semi-conducteur sur isolant (substrat Sol) 1 conformément à un premier mode de réalisation de l'invention. Le
30 substrat Sol 1 conformément à ce mode de réalisation est destiné à une utilisation en tant

que matériau de départ pour la fabrication de dispositifs de fréquence radio (RF), p. ex. utilisés dans des dispositifs de communication, tels que téléphones mobiles, des Smartphones, des tablettes ou des ordinateurs personnels.

Le substrat Sol 1 comprend un substrat de support de silicium 3, une couche de pénétration 5, une couche de passivation 7, une couche d'oxyde enterrée 9 et une couche supérieure semi-conductrice 11.

Le substrat de support de silicium 3 est un substrat de silicium (Si) standard ou une plaquette de Si, avec une résistivité standard de 15 Ωm , une teneur en oxygène interstitiel d'environ 20 à 25 ppma et une épaisseur de l'ordre de 700 à 750 μm . La couche d'oxyde enterrée 7, également appelée couche box, dans ce mode de réalisation, est une couche de dioxyde de silicium (SiO_2) avec une épaisseur typique de 100 à 1000 nm. La couche semi-conductrice dans ce mode de réalisation est une couche de silicium avec une épaisseur d'environ 50 nm à 200 nm.

La couche de pénétration 5 et la couche de passivation 7 sont prises en sandwich entre le substrat de Si 3 et la couche d'oxyde enterrée 9.

Dans ce mode de réalisation, la couche de pénétration 5 dans ce mode de réalisation est une couche de silicium avec une couche à résistivité élevée, avec une valeur de résistivité de 2000 Ωm ou plus, en particulier une couche de 3000 Ωm ou plus, et une teneur en oxygène interstitiel faible se rapporte à une concentration d'oxygène interstitiel inférieure à 15 ppma, en particulier de 5 à 10 ppma. Comme déjà mentionné ci-dessus, une telle valeur de résistivité est maintenue même après un traitement thermique d'au moins 1 heure à une température supérieure à 450 °C. Conformément à l'invention, la couche de pénétration 5 a donc une résistivité plus élevée et une teneur en oxygène interstitiel inférieure à celle du substrat de support de silicium 3. La couche de pénétration 5 dans ce mode de réalisation est une couche monocristalline.

La couche de passivation 7 dans ce mode de réalisation est une couche de Si polycristallin avec une épaisseur typique d'environ 200 à 2500 nm.

Le substrat Sol présente un intérêt particulier pour des applications RF. Un problème associé aux dispositifs RF est l'occurrence de pertes de signal. La couche de passivation 7 et la couche de pénétration 5 sont introduites dans la structure du substrat Sol pour réduire les pertes. Des pertes parasites se produisent lorsqu'un signal passe à travers une ligne de signal d'un dispositif RF présent dans ou sur la couche de Si. Des

signaux parasites passent à travers la couche d'oxyde enterrée dans le substrat de Si et peuvent atteindre d'autres lignes de signal du dispositif RF. Les pertes correspondantes sont appelées pertes de substrat.

5 Pour réduire les pertes, la couche de pénétration 5 est une couche à résistance élevée à teneur en Oi faible, et donc avec une résistance beaucoup plus élevée qu'un substrat standard de Si à Oi normal. En raison de la haute résistance, les pertes peuvent être réduites.

10 En outre, des pertes qui pourraient survenir en raison de l'accumulation de charges de surface à la surface de la couche de pénétration 5 sont réduites par la présence de la couche de passivation 7 polycristalline empêchant la contribution de telles charges de surface à la conduction électrique et réduisant donc ainsi des pertes de signal liées à des charges de surface.

15 En combinant une couche de pénétration 5 à Oi faible avec un substrat en Si 3 standard avec une concentration en Oi normale au lieu d'utiliser seulement un substrat de Si à Oi faible comme dans l'art antérieur, il devient possible de réduire l'occurrence de lignes de glissement indésirables et la migration de dislocations ayant un impact négatif sur le rendement de production.

20 L'épaisseur de la couche d'oxyde enterrée 9, de la couche de passivation 7 et de la couche de pénétration 5 sont ainsi choisies de telle sorte que les signaux parasites provenant du signal traversant une conception RF atteignent au plus la couche de pénétration 5 et ne « voient » donc pas la résistance plus faible dans le substrat de support de Si 3 standard. Par conséquent, les couches prises ensembles ont une épaisseur combinée d'au moins 3 μm et d'au plus 30 μm , en particulier au plus 10 μm , plus en particulier au plus 5 μm .

25 En même temps, un substrat de Si 3 standard peut être utilisé, ce qui permet aux fabriques de dispositif RF d'utiliser des procédés de fabrication CMOS standard.

30 La Figure 2 illustre schématiquement un substrat de semi-conducteur sur isolant (substrat Sol) 13 conformément à un deuxième mode de réalisation de l'invention. Des caractéristiques du deuxième mode de réalisation qui sont les mêmes que dans le premier mode de réalisation portent le même signe de référence, et il est fait référence à leur description ci-dessus.

La différence entre le deuxième et le premier mode de réalisation est que, dans le substrat Sol 14 du deuxième mode de réalisation, la couche de passivation et la couche de pénétration sont faites du même matériau, à savoir en silicium, et ont la même structure cristalline, à savoir une structure polycristalline. Elles forment donc une couche de passivation modifiée 15 avec une épaisseur qui va bien au-delà de l'épaisseur des couches de passivation dans l'art antérieur.

La Figure 3 illustre schématiquement un dispositif de fréquence radio (RF) 17 selon un troisième mode de réalisation de l'invention. Le dispositif RF 17 est agencé sur ou dans le substrat Sol 1, en particulier dans la couche de Si 11 comme illustré à la Figure 1. Des caractéristiques du troisième mode de réalisation qui sont les mêmes que dans les premier et deuxième modes de réalisation portent le même signe de référence et il est fait référence à leur description ci-dessus. En alternative, le substrat Sol 13 tel qu'illustré à la Figure 2 pourrait être utilisé.

Le dispositif RF 17 comprend une pluralité de structures de dispositif isolées électriquement 19a, 19b, 19c avec une distance minimale d entre deux structures, ici 19a, 19b. Lorsqu'un signal RF passe à travers la structure de dispositif 19b, des signaux parasites 21 passent à travers le substrat Sol. Conformément à l'invention, leur impact est réduit par la couche de pénétration 5 et la couche de passivation 7 comme expliqué en détail ci-dessus en ce qui concerne les premier et deuxième modes de réalisation.

Selon ce mode de réalisation de l'invention, l'épaisseur d' est choisie de telle sorte qu'elle ne dépasse pas de dix fois, en particulier de cinq fois, la distance d du dispositif RF 17. Dans ce cas, les signaux parasites RF 21 peuvent uniquement atteindre la couche de pénétration 5 avec sa résistivité plus élevée et ne passent pas à travers le substrat de support de Si 3 qui est meilleur conducteur.

La Figure 4 illustre un quatrième mode de réalisation de l'invention, à savoir un premier procédé de fabrication d'un substrat de semi-conducteur sur isolant conformément au premier ou au deuxième mode de réalisation de l'invention. À nouveau, des caractéristiques du quatrième mode de réalisation qui sont les mêmes que dans les premier à troisième modes de réalisation portent le même signe de référence, et il est fait référence à leur description ci-dessus.

L'étape a) consiste à fournir un substrat en Si 3 standard à teneur en oxygène interstitiel (O_i) normale d'environ 20 à 25 ppma. Ce type de substrat est couramment utilisé dans l'industrie des semi-conducteurs.

Au cours de l'étape b) une couche de Si monocristallin, la couche de pénétration 5 est d'abord obtenue par croissance homo-épitaxiale sur le substrat de support en Si 3. Les conditions de croissance sont choisies de telle sorte qu'une teneur en O_i inférieure de 5 à ppma concentration d'oxygène soit réalisée. Une résistivité plus élevée d'au moins 2000 Ω m ou plus, en particulier 3000 Ω m, peut donc être obtenue par rapport au substrat de support en Si 3 est obtenue dans la couche épitaxiale.

À la suite de la croissance épitaxiale, les conditions de croissance sont changées pour obtenir ensuite une couche polycristalline correspondant à la couche de passivation 7.

10 L'épaisseur d'' des deux couches 5 et 7 est déterminée conformément aux paramètres décrits ci-dessus en ce qui concerne les modes de réalisation 1 à 3 pour réaliser l'épaisseur d' des couches 5, 7 et 9.

Selon une alternative, l'étape b) pourrait être remplacée par l'étape b') au cours de laquelle la couche de passivation modifiée 15, remplissant le rôle à la fois de la couche de pénétration 5 et de la couche de passivation 7 en même temps, est réalisée par croissance en tant que couche polycristalline directement sur le substrat de support en Si 3.

20 L'étape c) consiste en la préparation d'un substrat donneur 23 comprenant un substrat donneur de silicium 25 avec une couche de dioxyde de silicium 27 et une zone de séparation prédéterminée 29 dans le substrat donneur de Si 25, p. ex. réalisée par implantation ionique comme cela est connu dans l'art.

Pendant l'étape d), le substrat donneur 23 est attaché, p. ex. par liaison, par l'intermédiaire de la surface de la couche de dioxyde de silicium 27 à la surface de la couche de passivation 7 dans la première alternative ou à la couche de passivation modifiée 15 dans la deuxième alternative.

30 Pendant l'étape e), un traitement de détachement, p. ex. un traitement thermique, est effectué pour réaliser un détachement au niveau de la zone de séparation prédéterminée 29 pour transférer ainsi une couche de Si 31 du substrat donneur de Si 23 et la couche de dioxyde de silicium 27 sur la couche de passivation 7 dans la première alternative ou sur la couche de passivation modifiée 15 dans la deuxième alternative. La couche 27 correspond donc à la couche d'oxyde enterrée 9 et la couche 31 à la couche supérieure semi-conductrice des premier et deuxième modes de réalisation.

En utilisant cette méthode, le substrat de Sol 1 conformément au premier mode de réalisation ou le substrat de Sol 13 conformément au deuxième mode de réalisation peut être obtenu. Ce substrat peut ensuite être utilisé pour la fabrication de dispositifs RF, p. ex. en utilisant des étapes de procédé CMOS.

5 La Figure 5 illustre un cinquième mode de réalisation de l'invention, à savoir un procédé alternatif de fabrication d'un substrat de semi-conducteur sur isolant conformément à l'invention. Le procédé illustré à la Figure 5 est approprié à la fabrication d'un substrat Sol 1 conformément au premier mode de réalisation. Des caractéristiques du cinquième mode de réalisation qui sont les mêmes que dans le premier mode de
10 réalisation et que dans le procédé conformément au quatrième mode de réalisation portent le même signe de référence et il est fait référence à leur description ci-dessus.

L'étape a) consiste à fournir un substrat de support en Si 3 standard, p. ex. une plaquette de Si, et donc avec une teneur en oxygène interstitiel normale et une résistivité normale et à fournir un substrat de Si 33 à teneur en oxygène interstitiel faible, p. ex. une
15 plaquette de Si à Oi faible, ayant une teneur en Oi de 5 à 10 ppma et une résistivité supérieure à 2000 Ωm , en particulier supérieure à 3000 Ωm .

L'étape b) consiste à attacher, p. ex. par liaison, le substrat de support de Si 3 au substrat de Si à Oi faible 33.

Pendant l'étape c), le substrat de Si à Oi faible 33 est gravé en retrait pour obtenir
20 une couche de pénétration 5 d'épaisseur désirée tel que décrit ci-dessus.

L'étape d) consiste ensuite à faire croître la couche de passivation en Si polycristallin 7 au-dessus de la couche de pénétration 5, typiquement avec une épaisseur de 200 à 2500 nm.

Selon une alternative, au cas où la teneur en oxygène interstitiel faible du substrat de Si 33 est de nature polycristalline, la gravure en retrait de l'étape c) peut être utilisée
25 pour obtenir une couche de passivation modifiée remplissant le rôle de la couche de passivation 7 et de la couche de pénétration 5 en même temps. Dans cette alternative, l'étape d) n'est alors pas réalisée.

L'étape e) consiste à préparer un substrat donneur 23 comprenant un substrat
30 donneur de Si 25 avec une couche de dioxyde de silicium 27 et une zone de séparation

prédéterminée 29 dans le substrat donneur 25 Si, p. ex. réalisée par implantation ionique comme cela est connu dans l'art.

Pendant l'étape f), le substrat donneur 23 est attaché, p. ex. par liaison, par l'intermédiaire de la surface de la couche de dioxyde de silicium 27 à la surface de la
5 couche de passivation 7.

Pendant l'étape g) un traitement de détachement, p. ex. un traitement thermique, est réalisé pour obtenir un détachement au niveau de la zone de séparation prédéterminée 29 pour transférer ainsi une couche de Si 31 du substrat donneur de Si 23 et la couche de dioxyde de silicium 27 sur la couche de passivation 7. La couche 27
10 correspond donc à la couche d'oxyde enterrée 9 et la couche 31 à la couche supérieure semi-conductrice 11 du premier. Un substrat Sol 1 conformément au premier mode de réalisation est donc obtenu.

La Figure 6 illustre un sixième mode de réalisation de l'invention, à savoir un procédé pour choisir l'épaisseur de la couche de pénétration d'un substrat de semi-
15 conducteur sur isolant conformément à l'invention. Le choix dépend des dispositifs RF à fabriquer sur ou dans le substrat Sol 1, 13 conformément à l'invention. Les signes de référence utilisés dans ce qui suit se rapportent aux caractéristiques déjà décrites ci-dessus et portant le même signe de référence.

La première étape a) consiste à fournir une pluralité de substrats de semi-
20 conducteur sur isolant 1 avec différentes épaisseurs de la couche de pénétration 5. Les épaisseurs sont choisies de telle sorte que l'ensemble de l'épaisseur de la couche d'oxyde enterrée 9, de la couche de passivation 7 et de la couche de pénétration 5 prises ensembles reste dans une plage comprise entre environ 3 μm et jusqu'à environ 30 μm . Cela vaut également pour le substrat Sol 13 conformément au deuxième mode de
25 réalisation et pour la couche de passivation modifiée 15.

À l'étape suivante b), des dispositifs de fréquence radio, comme le dispositif RF 17, sont formés sur ou dans les substrats de semi-conducteur sur isolant 1, 13. Pour chacun des différents substrats Sol avec différentes épaisseurs de la couche de pénétration 5, les mêmes dispositifs RF 17 vont être fabriqués en utilisant le même
30 procédé de fabrication.

Par la suite pendant l'étape c), la profondeur de pénétration des signaux RF parasites est déterminée en déterminant le signal parasite dans des structures de

dispositif RF avoisinantes, p. ex. 19a ou 19c dans le cas où la référence passe seulement à travers la structure 19b. En alternative, l'atténuation du signal parasite peut également être déterminée.

Enfin, conformément à l'étape d), le substrat de semi-conducteur sur isolant 1 ou 13 avec l'épaisseur de la couche de pénétration 5 (ou de la couche de passivation modifiée 15) pour laquelle le signal RF parasite pénètre au plus dans la couche de pénétration 5 (ou dans la couche de passivation modifiée 15) est choisi. Parmi les substrats Sol 1 ou 13 satisfaisant à la condition, celui avec la couche de pénétration 5 la plus mince (ou la couche de passivation modifiée 15 la plus mince) est celui avec des paramètres d'épaisseur optimisés.

À la suite de cette boucle de rétroaction, la production en masse de substrats Sol 1 ou 13 avec une épaisseur optimisée de la couche de pénétration 5 ou de la couche de passivation modifiée 15 peut alors être démarrée.

Dans les modes de réalisation ci-dessus, la couche semi-conductrice 11 était faite de silicium et la couche d'oxyde enterrée de SiO_2 . Conformément à d'autres variantes, d'autres matériaux appropriés, comme le SiGe ou le GaAs, peuvent également être utilisés. Au lieu du Si polycristallin, d'autres couches de piégeage de charges pourraient également être utilisées pour la couche de passivation 7.

REVENDEICATIONS

- 10 1. Substrat de semi-conducteur sur isolant, en particulier substrat de silicium sur isolant, comprenant une couche supérieure semi-conductrice (11), une couche d'oxyde enterrée (9) et une couche de passivation (7) sur un substrat de support en silicium (3), caractérisé en ce qu'une couche de pénétration (5) est prévue entre la couche de passivation (7) et le substrat de support en silicium (3), dans lequel la couche de pénétration (5) est une couche de silicium à résistivité plus élevée et avec une teneur en oxygène interstitiel inférieure par rapport au substrat de support en silicium (3).
- 15 2. Substrat de semi-conducteur sur isolant selon la revendication 1, dans lequel la couche de passivation (5) et la couche de pénétration (7) sont du même matériau.
- 20 3. Substrat de semi-conducteur sur isolant selon la revendication 1 ou 2, dans lequel la couche de passivation (7) est une couche polycristalline et la couche de pénétration (5) est un matériau monocristallin.
- 25 4. Substrat de semi-conducteur sur isolant selon l'une quelconque des revendications 1 ou 2, dans lequel la couche de pénétration (13) est une couche polycristalline.
5. Substrat de semi-conducteur sur isolant selon l'une quelconque des revendications 1 à 4, dans lequel une faible teneur en oxygène interstitiel se rapporte à une concentration inférieure à 15 ppma, en particulier de 5 à 10 ppma.
- 30 6. Substrat de semi-conducteur sur isolant selon l'une quelconque des revendications 1 à 5, dans lequel le terme résistivité élevée se rapporte à une résistivité de 2000 Ωm ou plus, en particulier 3000 Ωm ou plus.
7. Substrat de semi-conducteur sur isolant selon l'une quelconque des revendications 1 à 6, dans lequel la couche d'oxyde enterrée (9), la couche de passivation (7) et la couche de pénétration (5) ont une épaisseur combinée de 3

μm à $30\ \mu\text{m}$, en particulier de $4\ \mu\text{m}$ à $10\ \mu\text{m}$, encore plus en particulier d'environ $5\ \mu\text{m}$.

5 8. Dispositif de fréquence radio avec des structures de dispositif isolées électriquement (19a, 19b, 19c) ayant une distance minimale d entre elles prévues sur et/ou dans un substrat de semi-conducteur sur isolant selon l'une quelconque des revendications 1 à 6, caractérisé en ce que l'épaisseur (d') de la couche d'oxyde enterrée (9), de la couche de passivation (7) et de la couche de pénétration (5) prises ensembles est telle que des signaux RF pénètrent au plus dans la couche de pénétration (5).

10 9. Dispositif de fréquence radio selon la revendication 8, dans lequel l'épaisseur de la couche d'oxyde enterrée (9), la couche de passivation (7) et la couche de pénétration (5) prises ensembles est telle qu'elle ne dépasse pas de dix fois, en particulier de cinq fois, la distance d .

15 10. Procédé de fabrication d'un substrat de semi-conducteur sur isolant selon l'une quelconque des revendications 1 à 7, dans lequel la couche de pénétration est formée par croissance épitaxiale sur le substrat de support et la couche supérieure semi-conductrice et la couche d'oxyde enterrée sont transférées sur la couche de passivation par un procédé de transfert de couche, en particulier comprenant un procédé de liaison.

20 11. Procédé de fabrication d'un substrat de semi-conducteur sur isolant selon l'une quelconque des revendications 1 à 7, dans lequel la couche de pénétration est transférée sur le substrat de support par un procédé de transfert de couche, en particulier un procédé de liaison.

25 12. Procédé de fabrication d'un dispositif de fréquence radio selon l'une quelconque des revendications 8 et 9, comprenant les étapes de :

- fourniture d'une pluralité de substrats de semi-conducteur sur isolant avec différentes épaisseurs de la couche de pénétration
- formation de dispositifs de fréquence radio sur ou dans les substrats de semi-conducteur sur isolant

30 - détermination de la profondeur de pénétration de signaux RF dans la pluralité de substrats de semi-conducteur sur isolant

- choix du substrat de semi-conducteur sur isolant avec l'épaisseur de la couche de pénétration pour laquelle le signal RF pénètre au plus dans la couche de pénétration.

1/4

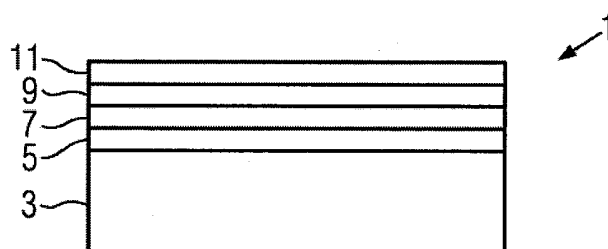


FIG. 1

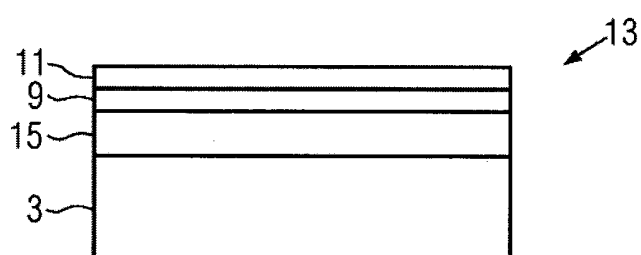


FIG. 2

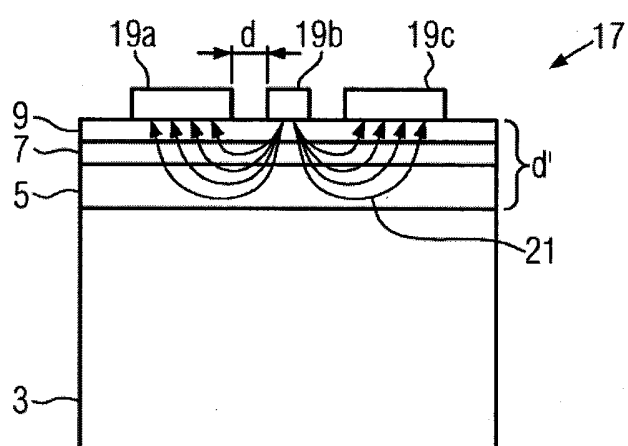


FIG. 3

2/4

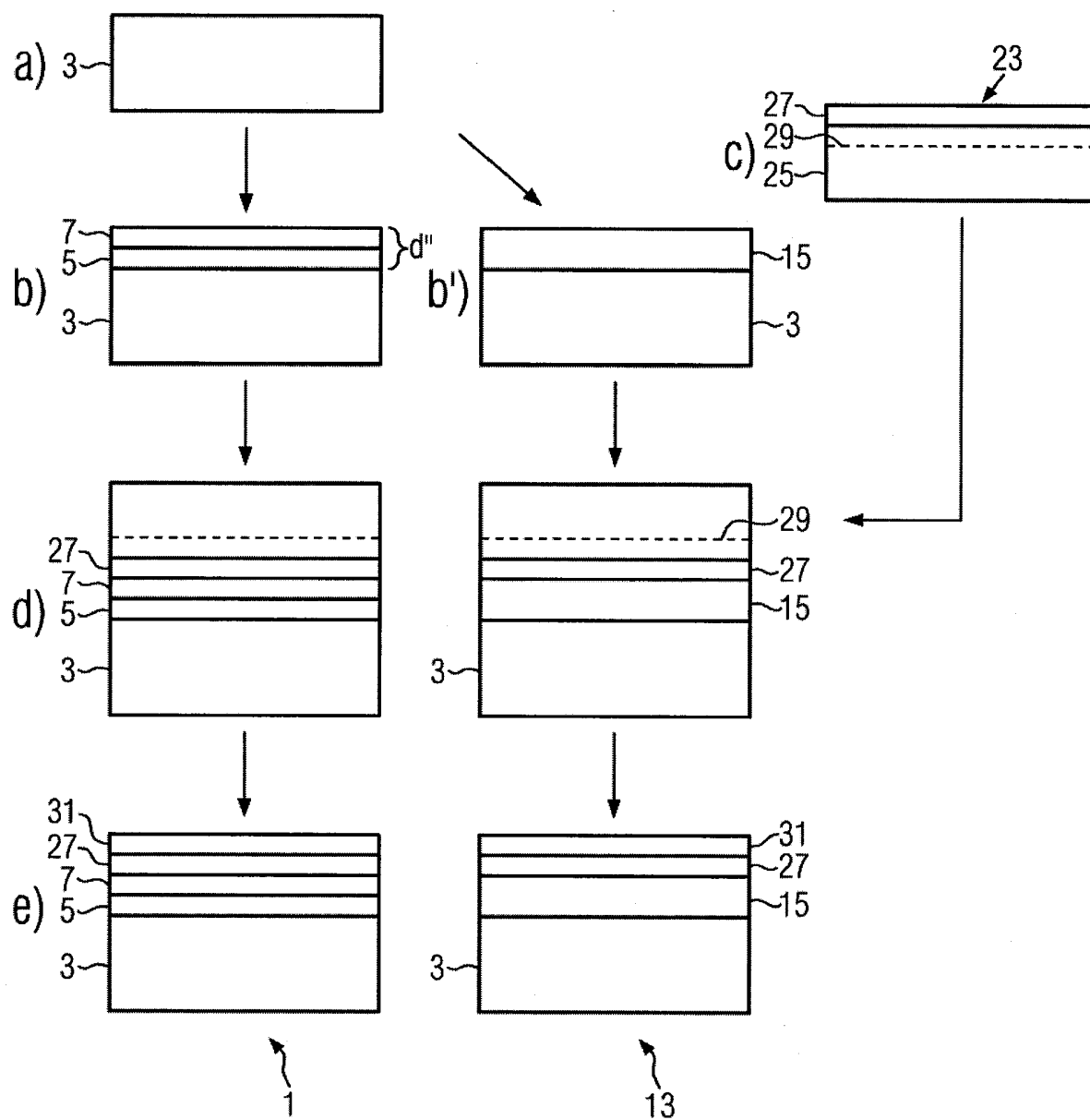
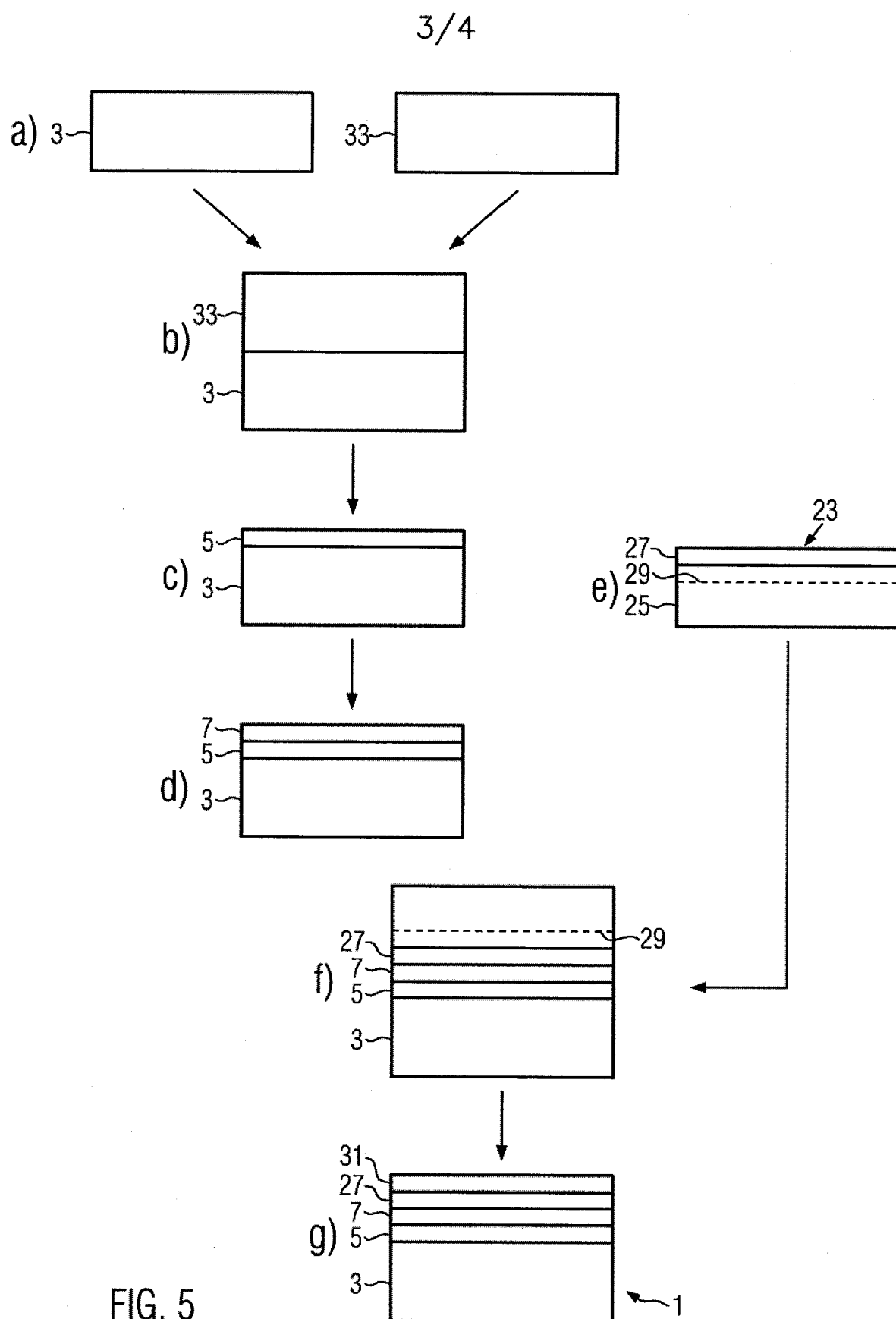


FIG. 4



4/4

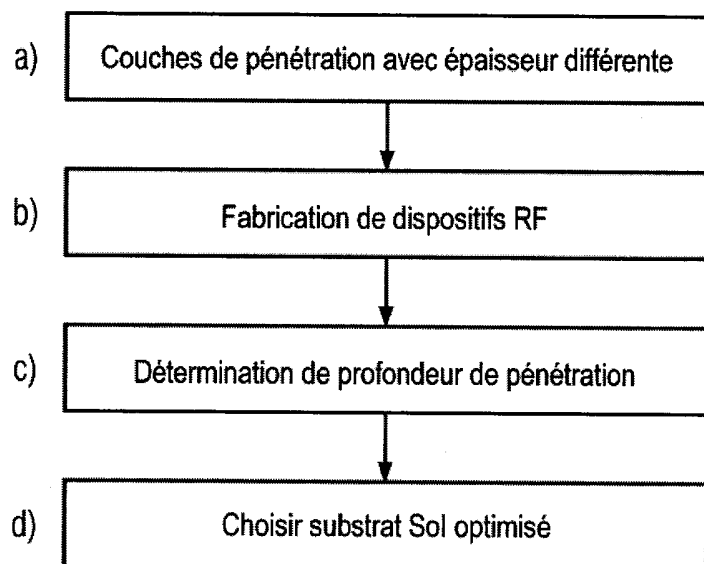


FIG. 6



RAPPORT DE RECHERCHE PRÉLIMINAIRE

établi sur la base des dernières revendications
déposées avant le commencement de la recherche

N° d'enregistrement
national

FA 824949
FR 1652782

DOCUMENTS CONSIDÉRÉS COMME PERTINENTS		Revendication(s) concernée(s)	Classement attribué à l'invention par l'INPI
Catégorie	Citation du document avec indication, en cas de besoin, des parties pertinentes		
X	WO 2015/112308 A1 (SUNEDISON SEMICONDUCTOR LTD [SG]; PEIDOUS IGOR [US]) 30 juillet 2015 (2015-07-30) * alinéa [0025] - alinéa [0060]; figures 1,4 *	1-12	H01L23/14 H01L21/02
X	US 2014/084290 A1 (ALLIBERT FREDERIC [FR] ET AL) 27 mars 2014 (2014-03-27) * alinéa [0017]; figures 1,3,4a-4d * * alinéa [0063] - alinéa [0146] *	1,10,11	
A	US 2012/235283 A1 (LIBBERT JEFFREY L [US] ET AL) 20 septembre 2012 (2012-09-20) * alinéa [0003] - alinéa [0006] * * alinéa [0094] *	1,10	
			DOMAINES TECHNIQUES RECHERCHÉS (IPC)
			H01L
Date d'achèvement de la recherche		Examineur	
15 novembre 2016		Hedouin, Mathias	

CATÉGORIE DES DOCUMENTS CITÉS

X : particulièrement pertinent à lui seul

Y : particulièrement pertinent en combinaison avec un autre document de la même catégorie

A : arrière-plan technologique

O : divulgation non-écrite

P : document intercalaire

T : théorie ou principe à la base de l'invention

E : document de brevet bénéficiant d'une date antérieure à la date de dépôt et qui n'a été publié qu'à cette date de dépôt ou qu'à une date postérieure.

D : cité dans la demande

L : cité pour d'autres raisons

& : membre de la même famille, document correspondant

ANNEXE AU RAPPORT DE RECHERCHE PRÉLIMINAIRE**RELATIF A LA DEMANDE DE BREVET FRANÇAIS NO. FR 1652782 FA 824949**

La présente annexe indique les membres de la famille de brevets relatifs aux documents brevets cités dans le rapport de recherche préliminaire visé ci-dessus.

Les dits membres sont contenus au fichier informatique de l'Office européen des brevets à la date du **15-11-2016**

Les renseignements fournis sont donnés à titre indicatif et n'engagent pas la responsabilité de l'Office européen des brevets, ni de l'Administration française

Document brevet cité au rapport de recherche		Date de publication	Membre(s) de la famille de brevet(s)	Date de publication
WO 2015112308 A1		30-07-2015	KR 20160111495 A	26-09-2016
			TW 201539651 A	16-10-2015
			WO 2015112308 A1	30-07-2015

US 2014084290 A1		27-03-2014	CN 103460371 A	18-12-2013
			EP 2689453 A1	29-01-2014
			FR 2973158 A1	28-09-2012
			JP 2014509087 A	10-04-2014
			KR 20140027153 A	06-03-2014
			SG 193529 A1	30-10-2013
			TW 201308396 A	16-02-2013
			US 2014084290 A1	27-03-2014
			WO 2012127006 A1	27-09-2012

US 2012235283 A1		20-09-2012	CN 103430298 A	04-12-2013
			EP 2686878 A1	22-01-2014
			JP 2014512091 A	19-05-2014
			KR 20140019350 A	14-02-2014
			TW 201241994 A	16-10-2012
			US 2012235283 A1	20-09-2012
			US 2012238070 A1	20-09-2012
WO 2012125632 A1	20-09-2012			
