

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 3 区分

【発行日】平成30年11月22日 (2018.11.22)

【公表番号】特表2017-535221(P2017-535221A)

【公表日】平成29年11月24日 (2017.11.24)

【年通号数】公開・登録公報2017-045

【出願番号】特願2017-540329(P2017-540329)

【国際特許分類】

H 0 3 F 3/217 (2006.01)

H 0 3 F 3/24 (2006.01)

【 F I 】

H 0 3 F 3/217

H 0 3 F 3/24

【手続補正書】

【提出日】平成30年10月9日 (2018.10.9)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

変調器回路であって、

入力データストリームを受信するための手段と、

前記入力データストリームを複数のデータストリーム部分に分割するための手段と、

複数の信号処理ブランチであって、各信号処理ブランチが変調信号を生成するために前記複数のデータストリーム部分のうちのそれぞれのデータストリーム部分にデルタ シグマ変調を実行するためのデルタ シグマ変調器と、該ブランチの前記デルタ シグマ変調器による変調のために入力データをアップサンプリングおよび周波数シフトするための手段と、を含む前記複数の信号処理ブランチと、

出力信号を形成するために前記複数の信号処理ブランチのそれぞれからの個別の前記変調信号を合成し、前記出力信号を出力するための手段とを含むことを特徴とする変調器回路。

【請求項 2】

デルタ シグマ変調器のそれぞれがバンドパス・デルタ シグマ変調器であることを特徴とする請求項 1 に記載の変調器回路。

【請求項 3】

デルタ シグマ変調器のそれぞれがブランチ数に大まかに反比例したブランチ変調レートで動作するよう構成されることを特徴とする請求項 1 または 2 に記載の変調器回路。

【請求項 4】

前記変調レートが数式  $f_b = f_s / M$  によって少なくとも近似的に定義されており、ここで「 $f_b$ 」はブランチ変調レート、「 $f_s$ 」は単一のデルタ シグマ変調器を用いて所与の搬送波周波数を有する信号を処理するために要求される基本変調レート、「M」はブランチ数であることを特徴とする請求項 3 に記載の変調器回路。

【請求項 5】

前記分割手段が前記入力データストリームを時系列で大まかに連続したブロックのシーケンスに分割するよう動作可能で、各ブロックは異なる一つの前記データストリーム部分を形成することを特徴とする請求項 1 から 4 の何れか 1 項に記載の変調器回路。

**【請求項 6】**

前記大まかに連続したブロックの各々が、少なくとも 1 つの前記シーケンスの隣接ブロックと共通の部分を有することを特徴とする請求項 5 に記載の変調器回路。

**【請求項 7】**

前記ブロックが所望のノイズフロアをもたらすように設定された長さを有することを特徴とする請求項 5 または 6 に記載の変調器回路。

**【請求項 8】**

前記複数の信号処理ブランチのそれぞれが、入力データをアップサンプリングおよび周波数シフトするための前記手段の入力側において、関連するデータストリーム部分をバッファするための個別の入力バッファを有することを特徴とする請求項 1 から 7 の何れか 1 項に記載の変調器回路。

**【請求項 9】**

少なくとも 1 つのノイズシェーピングフィルタをさらに含み、前記ノイズシェーピングフィルタはマルチビット乗算を利用するよう動作可能であることを特徴とする請求項 1 から 8 の何れか 1 項に記載の変調器回路。

**【請求項 10】**

前記ノイズシェーピングフィルタがリプログラマブル・ノイズシェーピングフィルタを含むことを特徴とする請求項 9 に記載の変調器回路。

**【請求項 11】**

前記変調器回路は、それぞれのデータストリーム部分の処理と後続のデータストリーム部分の処理との間の前記デルタ シグマ変調器のそれぞれをその当初の内部状態へリセットするよう動作可能であることを特徴とする請求項 1 から 10 の何れか 1 項に記載の変調器回路。

**【請求項 12】**

前記デルタ シグマ変調器のそれぞれは特定の長さを超えるデータストリーム部分を処理する際に前記デルタ シグマ変調器が不安定になる結果となるであろうオーダーのものであって、各データストリーム部分のサイズは前記デルタ シグマ変調器が不安定になる前記特定の長さよりも短くなるように設定されることを特徴とする請求項 11 に記載の変調器回路。

**【請求項 13】**

デルタ シグマ変調を行うためのデルタ シグマ変調器を有する複数の信号処理ブランチを備える変調器回路により実行される方法であって、前記方法は、

入力データストリームを受信することと、

前記入力データストリームを複数のデータストリーム部分へ分割することと、

前記複数の信号処理ブランチのそれぞれにおいて、変調信号を生成するために、前記複数のデータストリーム部分のうちのそれぞれのデータストリーム部分をアップサンプリングおよび周波数シフトして周波数シフトされた前記データストリーム部分にデルタ シグマ変調を実行することと、

出力信号を形成するために前記複数の信号処理ブランチのそれぞれからの個別の前記変調信号を合成することと、

前記出力信号を出力することを含むことを特徴とする方法。

**【請求項 14】**

変調器回路であって、

入力データストリームを受信するための手段と、

前記入力データストリームを複数のデータストリーム部分へ分割するための手段と、

複数の信号処理ブランチであって、それぞれの信号処理ブランチが、変調信号を生成するために前記複数のデータストリーム部分のうちのそれぞれのデータストリーム部分にデルタ シグマ変調を行うためのバンドパス・デルタ シグマ変調器を含む複数の信号処理ブランチと、

出力信号を形成するために前記複数の信号処理ブランチのそれぞれからの個別の前記変

調信号を合成し、前記出力信号を出力するための手段とを含むことを特徴とする変調器回路。

【請求項 15】

デルタ シグマ変調を行うためのデルタ シグマ変調器を有する複数の信号処理ブラン  
チを含む変調器回路により実行される方法であって、前記方法は、

入力データストリームを受信することと、

前記入力データストリームを複数のデータストリーム部分へ分割することと、

前記複数の信号処理ブランチのそれぞれにおいて、変調信号を生成するために前記複数  
のデータストリーム部分のうちのそれぞれのデータストリーム部分にバンドパス・デルタ  
シグマ変調を行うことと、

出力信号を形成するために前記複数の信号処理ブランチのそれぞれからの個別の前記変  
調信号を合成することと、

前記出力信号を出力することとを含むことを特徴とする方法。

【請求項 16】

変調器回路であって、

入力データストリームを受信するための手段と、

前記入力データストリームを、時系列で大まかに連続したブロックのシーケンスを含ん  
だ複数のデータストリーム部分であって、各ブロックが前記データストリーム部分の異な  
る一つを形成し、前記ブロックが所望のノイズフロアをもたらすために設定された長さ  
を有する、時系列で大まかに連続したブロックのシーケンスを含んだ複数のデータストリー  
ム部分に分割する手段と、

複数の信号処理ブランチであって、信号処理ブランチのそれぞれが変調信号を生成する  
ために前記複数のデータストリーム部分のうちのそれぞれのデータストリーム部分にデル  
タ シグマ変調を行うためのデルタ シグマ変調器を含む複数の信号処理ブランチと、

出力信号を形成するために前記複数の信号処理ブランチのそれぞれからの個別の前記変  
調信号を合成して、前記出力信号を出力するための手段とを含むことを特徴とする変調器  
回路。

【請求項 17】

デルタ シグマ変調を行うためのデルタ シグマ変調器を有する複数の信号処理ブラン  
チを含む変調器回路により実行される方法であって、前記方法は、

入力データストリームを受信することと、

前記入力データストリームを、時系列で大まかに連続したブロックのシーケンスを含ん  
だ複数のデータストリーム部分であって、各ブロックが前記データストリーム部分の異な  
る一つを形成し、前記ブロックが所望のノイズフロアをもたらすために設定された長さ  
を有する、時系列で大まかに連続したブロックのシーケンスを含んだ複数のデータストリー  
ム部分に分割することと、

前記複数の信号処理ブランチのそれぞれにおいて、変調信号を生成するために前記複数  
のデータストリーム部分のうちのそれぞれのデータストリーム部分にデルタ シグマ変調  
を行うことと、

出力信号を形成するために前記複数の信号処理ブランチのそれぞれからの個別の前記変  
調信号を合成することと、

前記出力信号を出力することとを含むことを特徴とする方法。

【請求項 18】

変調器回路であって、

それぞれが個別の出力信号を提供する第一の回路部分および第二の回路部分と、

各回路部分の個別の前記出力信号から合成出力信号を生成するための手段と、を有し、

ここで、前記生成は、前記合成出力信号を形成するために、個別の前記出力信号のそれ  
ぞれへの個別の窓関数の適用と、結果として生じる前記信号の加算と、を含み、

各回路部分は、

入力データストリームを受信するための手段と、

前記入力データストリームを複数のデータストリーム部分に分割するための手段と、  
複数の信号処理ブランチであって、各信号処理ブランチが変調信号を生成するために  
前記複数のデータストリーム部分のうちのそれぞれのデータストリーム部分にデルタ シ  
グマ変調を行うためのデルタ シグマ変調器を含む複数の信号処理ブランチと、  
個別の前記出力信号を形成するための前記複数の信号処理ブランチのそれぞれからの  
個別の前記変調信号を合成するための手段とを含むことを特徴とする変調器回路。

【請求項 19】

個別の窓関数の前記適用は、前記第一および前記第二の出力信号のそれぞれへの個別の時間依存重みの適用を含むことを特徴とする請求項 18 に記載の変調器回路。

【請求項 20】

前記第一および前記第二の出力信号に適用される個別の前記時間依存重みは合計して定数（例えば 1）を与えることを特徴とする請求項 19 に記載の変調器回路。

【請求項 21】

個別の前記時間依存重みは実質上三角波形のように時間で変化することを特徴とする請求項 19 または 20 に記載の変調器回路。

【請求項 22】

前記実質上三角波形は、前記三角波の側面が実質上線形である実質上連続した三角波形を含むことを特徴とする請求項 21 に記載の変調器回路。

【請求項 23】

個別の前記時間依存重みは階段波形のように時間で変化することを特徴する請求項 19 または 20 に記載の変調器回路。

【請求項 24】

個別の前記時間依存重みは階段状ではあるが大まかには三角波形のように時間で変化することを特徴とする請求項 23 に記載の変調器回路。

【請求項 25】

前記第一の回路部分の前記複数のデータストリーム部分は前記第二の回路部分のさらなる前記複数のデータストリーム部分と比較して時間的にオフセットがあることを特徴とする請求項 19 から 24 の何れか 1 項に記載の変調器回路。

【請求項 26】

第一の個別の前記出力信号に適用される重みは前記複数のデータストリーム部分のうちの  
それぞれのデータストリーム部分の始めと終わりでは実質上ゼロであり、第二の個別の前  
記出力信号に適用される重みは前記さらなる複数のデータストリーム部分のうちのそれぞ  
れのデータストリーム部分の始めと終わりでは実質上ゼロであることを特徴とする請求項 1  
9 から 25 の何れか 1 項に記載の変調器回路。

【請求項 27】

第一の回路部分および第二の回路部分を含む変調器回路によって実行される方法であっ  
て、前記方法は、

前記第一および第二の回路部分のそれぞれにおいて個別の出力信号を生成することと、  
各回路部分の個別の前記出力信号から合成出力信号を生成することと、  
を含み、

ここで、合成出力信号の前記生成は、前記合成出力信号を形成するために、個別の前記  
出力信号のそれぞれへの個別の窓関数の適用と、結果として生じる前記信号の加算とを含  
み、

前記第一および第二の回路部分のそれぞれにおける個別の出力信号の生成は、  
入力データストリームを受信することと、  
前記入力データストリームを複数のデータストリーム部分へ分割することと、  
複数の信号処理ブランチのそれぞれにおいて、変調信号を生成するために、前記複数の  
のデータストリーム部分のうちのそれぞれのデータストリーム部分にデルタ シグマ変調  
を実行することと、

個別の前記出力信号を形成するための前記複数の信号処理ブランチのそれぞれからの

個別の前記変調信号を合成することを含むことを特徴とする方法。

【請求項 28】

変調器回路であって、

入力データストリームを受信するための手段と、

前記入力データストリームを、時系列で大まかに連続したブロックのシーケンスを含む複数のデータストリーム部分であって、各ブロックが前記データストリーム部分の異なる一つを形成し、前記大まかに連続したブロックが前記シーケンスの少なくとも1つの隣接ブロックと共通の部分を持つ、時系列で大まかに連続したブロックのシーケンスを含む複数のデータストリーム部分に分割するための手段と、

複数の信号処理ブランチであって、それぞれの信号処理ブランチが、変調信号を生成するために、前記複数のデータストリーム部分のうちのそれぞれのデータストリーム部分にデルタ シグマ変調を実行するためのデルタ シグマ変調器を含む複数の信号処理ブランチと、

出力信号を形成するために前記複数の信号処理ブランチのそれぞれからの個別の前記変調信号を合成し、前記出力信号を出力するための手段とを含むことを特徴とする変調器回路。

【請求項 29】

デルタ シグマ変調を実行するためのデルタ シグマ変調器を有する複数の信号処理ブランチを含む変調器回路によって実行される方法であって、前記方法は、

入力データストリームを受信することと、

前記入力データストリームを、時系列で大まかに連続したブロックのシーケンスを含む複数のデータストリーム部分であって、各ブロックが前記データストリーム部分の異なる一つを形成し、前記大まかに連続したブロックが前記シーケンスの少なくとも1つの隣接ブロックと共通の部分を持つ、時系列で大まかに連続したブロックのシーケンスを含む複数のデータストリーム部分に分割することと、

前記複数の信号処理ブランチのそれぞれにおいて、変調信号を生成するために前記複数のデータストリーム部分のうちのそれぞれのデータストリーム部分にデルタ シグマ変調を行うことと、

出力信号を形成するために前記複数の信号処理ブランチのそれぞれからの個別の前記変調信号を合成することと、

前記出力信号を出力することを含むことを特徴とする方法。

【請求項 30】

請求項 1 から 12、14、16、18 から 26、および 28 の何れか 1 項に記載の変調器回路を含むことを特徴とする増幅器回路。

【請求項 31】

前記増幅器が前記デルタ シグマ変調のビットレートの周波数の半分までで動作するように構成されることを特徴とする請求項 30 に記載の増幅器回路。

【請求項 32】

前記増幅器回路が D 級出力段のデルタ シグマ変調を採用することを特徴とする請求項 30 または 31 に記載の増幅器回路。

【請求項 33】

装置であって、請求項 1 から 12、14、16、18 から 26、および 28 の何れか 1 項に記載の変調器回路を採用するデジタル アナログ変換器と、請求項 1 から 12、14、16、18 から 26、および 28 の何れか 1 項に記載の変調器回路を採用するアナログ デジタル変換器と、請求項 1 から 12、14、16、18 から 26、および 28 の何れか 1 項に記載の変調器回路を採用する無線送信器と、請求項 1 から 12、14、16、18 から 26、および 28 の何れか 1 項に記載の変調器回路を採用する無線受信器と、の少なくとも 1 つを含む装置。

【請求項 34】

プログラマブルコンピュータ装置に請求項 13、15、17、27、および 29 の何れ

か 1 項に記載の方法を実行させるためのコンピュータプログラム。