(19)国家知识产权局

(12)发明专利申请

(10)申请公布号 CN 116568835 A
(43)申请公布日 2023.08.08

(21)申请号 202280006972.4
(22)申请日 2022.12.02
(30)优先权数据
2021-198360 2021.12.07 JP
(85)PCT国际申请进入国家阶段日
2023.04.17
(86)PCT国际申请的申请数据
PCT/JP2022/044602 2022.12.02
(87)PCT国际申请的公布数据
WO2023/106241 JA 2023.06.15
(71)申请人 古河电气工业株式会社
地址 日本东京都
(72)发明人 关谷茂树 长谷川胜政 北河秀一 三原邦照 金子秀雄 高泽司
(74)专利代理机构 北京市金杜律师事务所 11256
专利代理师 杨宏军
(51)Int.Cl.
C22C 9/02(2006.01)

权利要求书1页 说明书14页 附图2页

(54)发明名称

铜系线材及半导体器件

(57)摘要

铜系线材由铜或铜合金构成，在前述铜系线材的与长度方向垂直的横截面中，平均晶体粒径为20μm以上150μm以下，且晶体取向<111>的集聚率为40%以下，铜系线材的杨氏模量为80GPa以上120GPa以下、0.2%屈服强度为20MPa以上90MPa以下。

CN 116568835 A

1.一种铜系线材,其是由铜或铜合金构成的铜系线材,

在所述铜系线材的与长度方向垂直的横截面中,平均晶体粒径为20μm以上150μm以下,且晶体取向<111>的集聚率为40%以下,

所述铜系线材的杨氏模量为80GPa以上120GPa以下、

0.2%屈服强度为20MPa以上90MPa以下。

2.如权利要求1所述的铜系线材,其中,在所述横截面中,晶体取向<100>的集聚率及晶体取向<110>的集聚率的合计集聚率为15%以上40%以下。

3.如权利要求1或2所述的铜系线材,其中,在所述横截面中,双晶晶界的长度L_T相对相邻的晶体的取向差为15度以上的晶界的长度L_B之比(L_T/L_B)为0.7以上1.0以下。

4.如权利要求1～3中任一项所述的铜系线材,其中,所述铜系线材是圆线或带状线。

5.如权利要求1～4中任一项所述的铜系线材,其中,所述铜系线材由无氧铜构成。

6.如权利要求1～5中任一项所述的铜系线材,其中,所述铜系线材具有被覆外周面的钯被覆层。

7.一种半导体器件,其具备半导体芯片和接合于所述半导体芯片的键合线,

所述键合线由铜或铜合金构成,

在设置于所述半导体芯片的上部的电极与所述键合线的接合部中的、垂直于所述键合线的长度方向的所述键合线的横截面中,平均晶体粒径为10μm以上100μm以下,且晶体取向<111>的集聚率为40%以下。

8.如权利要求7所述的半导体器件,其中,在所述横截面中,晶体取向<100>的集聚率及晶体取向<110>的集聚率的合计集聚率为15%以上40%以下。

9.如权利要求7或8所述的半导体器件,其中,在所述横截面中,双晶晶界的长度L_T相对相邻的晶体的取向差为15度以上的晶界的长度L_B之比(L_T/L_B)为0.7以上1.0以下。

10.如权利要求7～9中任一项所述的半导体器件,其中,所述键合线由无氧铜构成。

11.如权利要求7～10中任一项所述的半导体器件,其中,所述键合线具有被覆外周面的钯被覆层。

铜系线材及半导体器件

技术领域

[0001] 本发明涉及铜系线材及半导体器件。

背景技术

[0002] 在半导体器件中,键合线(bonding wire)是将半导体芯片与电极电连接的线状的部件。通常,键合线使用超声波接合而被接合于半导体芯片。

[0003] 若键合线较硬,则在将键合线按压于半导体芯片时对半导体芯片施加的负荷变大,产生半导体芯片破损的问题。此外,近年来,开发了对高输出化、大电流化做出贡献的下一代功率半导体芯片(SiC、GaN等),但半导体芯片自身较脆,而且由于伴随小型化的半导体芯片的薄膜化,对耐久性的要求变得更加严格。

[0004] 例如,专利文献1中记载了能够抑制向绕线筒卷绕及从绕线筒送出时的不均匀变形的太阳能电池用引线,太阳能电池用引线的0.2%屈服强度比较低。但是,在专利文献1中,没有提及太阳能电池用引线的杨氏模量,不清楚对通过楔形键合将太阳能电池用引线超声波接合于半导体芯片时的冲击是否耐久。

[0005] 另外,专利文献2中记载了能抑制球形键合时形成的缩孔、此外还能够应对键合线间的窄间距化的钯被覆铜键合线。但是,在专利文献2中,没有提及钯被覆铜键合线的杨氏模量及0.2%屈服强度,不清楚对通过楔形键合将钯被覆铜键合线超声波接合于半导体芯片时的冲击是否耐久。此外,对于高输出化、大电流化的要求,钯被覆铜键合线的最终线直径过细,因此有不能流过充分的电流的问题。

[0006] 现有技术文献

[0007] 专利文献

[0008] 专利文献1:日本特开2013－102054号公报

[0009] 专利文献2:国际公开第2020/183748号

发明内容

[0010] 发明所要解决的课题

[0011] 本发明的一个目的是提供一种即使按压于半导体芯片时负载也小、冲击耐久性优异的软的铜系线材及具备铜系线材作为键合线的半导体器件。

[0012] 用于解决课题的手段

[0013] [1]一种铜系线材,其是由铜或铜合金构成的铜系线材,在前述铜系线材的与长度方向垂直的横截面中,平均晶体粒径为20μm以上150μm以下,且晶体取向<111>的集聚率为40%以下,前述铜系线材的杨氏模量为80GPa以上120GPa以下、0.2%屈服强度为20MPa以上90MPa以下。

[0014] [2]上述[1]所述的铜系线材,其中,在前述横截面中,晶体取向<100>的集聚率及晶体取向<110>的集聚率的合计集聚率为15%以上40%以下。

[0015] [3]上述[1]或[2]所述的铜系线材,其中,在前述横截面中,双晶晶界的长度L_T相

对相邻的晶体的取向差为15度以上的晶界的长度L_B之比(L_T/L_B)为0.7以上1.0以下。

[0016] [4]上述[1]～[3]中任一项所述的铜系线材,其中,前述铜系线材为圆线或带状线。

[0017] [5]上述[1]～[4]中任一项所述的铜系线材,其中,前述铜系线材由无氧铜构成。

[0018] [6]上述[1]～[5]中任一项所述的铜系线材,其中,前述铜系线材具有被覆外周面的钯被覆层。

[0019] [7]一种半导体器件,其具备半导体芯片和接合于前述半导体芯片的键合线,前述键合线由铜或铜合金构成,在设置于前述半导体芯片的上部的电极与前述键合线的接合部中的、垂直于前述键合线的长度方向的前述键合线的横截面中,平均晶体粒径为10μm以上100μm以下,且晶体取向<111>的集聚率为40%以下。

[0020] [8]上述[7]所述的半导体器件,其中,在前述横截面中,晶体取向<100>的集聚率及晶体取向<110>的集聚率的合计集聚率为15%以上40%以下。

[0021] [9]上述[7]或[8]所述的半导体器件,其中,在前述横截面中,双晶晶界的长度L_T相对相邻的晶体的取向差为15度以上的晶界的长度L_B之比(L_T/L_B)为0.7以上1.0以下。

[0022] [10]上述[7]～[9]中任一项所述的半导体器件,其中,前述键合线由无氧铜构成。

[0023] [11]上述[7]～[10]中任一项所述的半导体器件,其中,前述键合线具有被覆外周面的钯被覆层。

附图说明

[0024] [图1]图1是示出实施方式的半导体器件的一例的立体图。

[0025] [图2]图2是示出楔形键合前的键合线的与长度方向垂直的横截面的一例的概略图。

[0026] [图3]图3是示出楔形键合时的键合线的与长度方向垂直的横截面的一例的概略图。

具体实施方式

[0027] 以下,对实施方式进行详细说明。

[0028] 本申请的发明人反复进行了深入研究,结果发现,着眼于同时控制铜系线材的晶体粒径及晶体取向,铜系线材的横截面中的晶体粒径及晶体取向会影响铜系线材的杨氏模量及0.2%屈服强度。发现由此能实现即使按压于半导体芯片负荷也小、冲击耐久性优异的柔软的铜系线材,并且将铜系线材用作键合线时能够抑制搭载于半导体器件的半导体芯片的破损。基于该见解,完成了本发明。

[0029] 首先,对实施方式的铜系线材进行说明。

[0030] 实施方式的铜系线材由铜或铜合金构成,在前述铜系线材的与长度方向垂直的横截面中,平均晶体粒径为20μm以上150μm以下,并且晶体取向<111>的集聚率为40%以下,铜系线材的杨氏模量为80GPa以上120GPa以下、0.2%屈服强度为20MPa以上90MPa以下。

[0031] 铜系线材由铜(铜线)或铜合金(铜合金线)构成。

[0032] 铜系线材例如可以是含有少量银(Ag)、铬(Cr)、锡(Sn)等元素的铜合金,而若确保柔软性和半导体芯片及电极间的导通、并考虑到近年来的高输出化、大电流化的倾向,则优

选为铜。其中，由于铜的含量越多则导电率越高，因此优选为作为包含99.90质量％以上的铜(Cu)及不可避免的杂质的纯铜的韧铜，更优选为包含99.96质量％以上的Cu、10ppm以下的氧及不可避免的杂质的无氧铜。

[0033] 作为构成铜系线材的铜合金，优选具有含有0.1质量％以上1.0质量％以下的Ag、0.1质量％以上1.0质量％以下的Cr、0.1质量％以上1.0质量％以下的Sn中的至少1种元素、余量为Cu及不可避免的杂质的合金组成。

[0034] 若Ag、Cr、Sn为上述下限值以上，则能够提高铜系线材的拉伸耐久性。因此，相对将铜系线材作为键合线接合于半导体芯片的电极时的、铜系线材的送出时的拉伸负荷能够耐久，能够提高接合速度。另一方面，若Ag、Cr、Sn超过上述上限值，则可能成为使铜系线材的导电率降低的主要原因。因此，为了将铜系线材用作面向功率半导体的键合线，优选以低浓度添加上述元素。从这样的观点出发，关于铜合金含有Ag的情况下的Ag的含量，上限值更优选为0.7质量％以下，进一步优选为0.4质量％以下。关于铜合金含有Cr的情况下的Cr的含量，上限值更优选为0.7质量％以下，进一步优选为0.4质量％以下。关于铜合金含有Sn的情况下的Sn的含量，上限值更优选为0.7质量％以下，进一步优选为0.4质量％以下。

[0035] 上述元素以外的余量为不可避免的杂质。不可避免的杂质是指在制造工序上不可避免地混入之含有水平的杂质。由于不可避免的杂质的含量会成为使铜系线材的导电率降低的主要原因，因此不可避免的杂质的含量优选较少。

[0036] 在铜系线材为铜合金的情况下，作为不可避免的杂质，例如可列举出铝(Al)、铍(Be)、镉(Cd)、铁(Fe)、镁(Mg)、镍(Ni)、磷(P)、铅(Pd)、硅(Si)、钛(Ti)等元素。另外，在铜系线材为铜的情况下，作为不可避免的杂质，除了上述元素以外，还包括铜合金中有意含有的与铜合金化的元素，例如Ag、Cr、Sn等元素。需要说明的是，不可避免的杂质的含量的上限优选上述元素的合计为20ppm以下。

[0037] 另外，在铜系线材的与长度方向垂直的横截面中，平均晶体粒径为20μm以上150μm以下，并且晶体取向<111>的集聚率为40％以下。在铜系线材的横截面中，晶体取向<111>的集聚率是指从晶体取向<111>偏移±15°的范围的晶体取向相对全部晶体取向的比例。

[0038] 在此，以往同时降低作为背反关系的杨氏模量及0.2％屈服强度是困难的，但发现晶体粒径及晶体取向会影响杨氏模量及0.2％屈服强度。根据这样的见解，通过将铜系线材的横截面中的平均晶体粒径及晶体取向<111>的集聚率控制在上述范围内，如以下说明的那样，能够容易地将铜系线材的杨氏模量及0.2％屈服强度控制在上述范围内。

[0039] 在铜系线材的与长度方向垂直的横截面中，若铜系线材的平均晶体粒径为20μm以上，则能够抑制铜系线材的0.2％屈服强度的增加。另外，若上述平均晶体粒径为150μm以下，则能够抑制起因于铜系线材被拉伸时产生的不均匀变形的铜系线材的断线。从上述观点出发，关于铜系线材的横截面中的平均晶体粒径，下限值为20μm以上，优选为30μm以上，更优选为40μm以上，上限值为150μm以下。

[0040] 另外，在铜系线材的与长度方向垂直的横截面中，若铜系线材的晶体取向<111>的集聚率为40％以下时，则能够抑制杨氏模量的增加，柔软性得到提高。从上述观点出发，铜系线材的横截面中的晶体取向<111>的集聚率为40％以下，优选为30％以下，更优选为20％以下。

[0041] 这里，在金属材料的领域中，晶体粒径及晶体取向是普遍已知的材料因子。但是，

若为了增大晶体粒径而将热处理温度设定得较高，则晶体取向也会因热处理温度而变化，无法同时控制晶体粒径和晶体取向。在本发明中，通过将晶体粒径和晶体取向控制在上述范围内，能够将杨氏模量及0.2％屈服强度控制在上述范围内，因此，铜系线材柔软，即使按压于半导体芯片负荷也小、冲击耐久性优异。

[0042] 另外，关于铜系线材的杨氏模量，下限值为80GPa以上，上限值为120GPa以下，优选为110GPa以下，更优选为100GPa以下。

[0043] 另外，关于铜系线材的0.2％屈服强度，下限值为20MPa以上，上限值为90MPa以下，优选为60MPa以下，更优选为40MPa以下。

[0044] 在此，材料的变形有弹性变形和塑性变形。在弹性变形中，存在$\sigma=E\varepsilon$（σ：应力，E：杨氏模量，ε：应变）的关系，相对施加的应变而言以比例关系作用应力。即，杨氏模量较低的情况下缓慢地变形，因此负荷变小。而若超过某应变区域，则产生材料不能复原的塑性变形，将该塑性变形开始的应力称为屈服强度。由此，屈服强度较低的情况下塑性变形容易、负荷变小。从柔软、即使按压于半导体芯片负荷也小、冲击耐久性优异的观点出发，对于铜系线材而言，要求杨氏模量及屈服强度低。

[0045] 若铜系线材的杨氏模量及0.2％屈服强度在上述范围内，则是柔软的、即使按压于半导体芯片负荷也小、冲击耐久性优异。因此，在使用铜系线材作为键合线的半导体器件的制造时，将铜系线材接合于半导体芯片接合时对半导体芯片的负荷减轻，因此能抑制半导体芯片的破损。特别是，在上述范围内，杨氏模量及0.2％屈服强度较低的情况下铜系线材在接合于半导体芯片时容易变形、冲击耐久性优异。另外，若杨氏模量及0.2％屈服强度为上述下限值以上，则能够在为了与半导体芯片接合而将铜系线材从绕线筒送出以设置于超声波接合机时，能够抑制铜系线材的拉伸断裂。

[0046] 另外，作为表示塑性变形中的变硬的容易程度的材料特性，有加工硬化指数（也称为n值），n值由式：$\sigma=C\times\varepsilon^{n}$表示（σ：真应力，C：强度常数，ε：真应变）。n值的特性一般是与0.2％屈服强度背反的特性，若0.2％屈服强度低则n值变高，若0.2％屈服强度高则n值变低，但在将铜系线材作为键合线使用的情况下，理想的是，在开始塑性变形后较低的n值的情况下能够容易地变形这一方面是优选的。因此，铜系线材的n值优选为0.45以下，更优选为0.35以下。需要说明的是，n值是在塑性变形中变化的值，认为若考虑作为键合线的变形容易度，则应以变形初期的值来规定n值，在此，在公称应变为1％～5％的范围内算出n值。对于不能得到5％以上的公称应变的样品而言，在从通过偏移（offset）法算出0.2％屈服强度时的公称应变到成为最大拉伸强度的公称应变的范围内算出n值。

[0047] 另外，在铜系线材的横截面中，晶体取向<100>的集聚率及晶体取向<110>的集聚率的合计集聚率优选为15％以上，更优选为20％以上，进一步优选为25％以上。若晶体取向<100>的集聚率及晶体取向<110>的集聚率的合计集聚率为15％以上，即若以15％以上的比例使晶体取向<100>及晶体取向<110>朝向铜系线材的长度方向，则杨氏模量容易变低，容易得到柔软的铜系线材。

[0048] 另外，在铜系线材的横截面中，晶体取向<100>的集聚率及晶体取向<110>的集聚率的合计集聚率优选为40％以下。若上述合计集聚率为40％以下，则对于将铜系线材从绕线筒送出时的拉伸负荷更能够耐久。

[0049] 在此，在铜系线材的横截面中，所谓晶体取向<100>的集聚率及晶体取向<110>的

集聚率的合计集聚率，是从晶体取向<100>偏移±15°的范围的晶体取向及从晶体取向<110>偏移±15°的范围的晶体取向的合计晶体取向相对全部晶体取向的比例。

[0050] 另外，双晶晶界是原子的匹配性高的低能量的晶界，与大角晶界相比在加工时不易蓄积位错，能够减轻弯曲加工时所负荷的力，因此双晶晶界的存在比例较多为好。因此，在铜系线材的横截面中，双晶晶界的长度L_T相对相邻的晶体的取向差为15度以上的晶界的长度L_B之比(L_T/L_B)优选为0.7以上1.0以下。

[0051] 另外，关于铜系线材的形状，可以根据半导体器件所要求的电流量、布线空间等适当选择，优选圆线或带状线。对于圆线而言，铜系线材的横截面的形状为圆形状。带状线包括扁线、条线、跑道形状线。扁线是铜系线材的横截面被4条直线包围的形状。对于条线而言，铜系线材的横截面的形状为矩形。对于跑道形状线而言，铜系线材的横截面是被2条直线和将2条直线的端部连接的2条曲线包围的形状、即所谓的跑道形状。

[0052] 在铜系线材为圆线的情况下，若铜系线材(圆线)的线直径为0.1mm以上，则能够在铜系线材中流过比较高的电流，因此铜系线材适于面向功率半导体的键合线。另外，若铜系线材(圆线)的线直径为0.5mm以下，则能够充分地应对确保针对半导体器件的小型化的趋势的布线空间，而且容易弯曲。

[0053] 另外，在铜系线材为带状线的情况下，若铜系线材(带状线)的厚度为0.1mm以上，则能够在铜系线材中流过比较高的电流，因此铜系线材适于面向功率半导体的键合线。另外，若铜系线材(带状线)的厚度为0.5mm以下，则能够充分地应对确保针对半导体器件的小型化的趋势的布线空间，而且容易弯曲。

[0054] 另外，为了防止铜系线材的外周面的氧化，铜系线材可以具有被覆外周面的金属被膜层。作为金属被膜层，优选为钯被覆层。被覆铜系线材的外周面的钯被覆层例如通过镀覆处理而形成。

[0055] 这样的铜系线材即使按压于半导体芯片负荷也小、冲击耐久性优异、且柔软，因此适合用于半导体器件用的键合线。

[0056] 接着，对实施方式的铜系线材的制造方法进行说明。

[0057] 在实施方式的铜系线材的制造方法中，首先，进行铸造工序。在铸造工序中，在还原气氛下熔化电解铜，得到圆柱状的被称为坯料的铸锭。

[0058] 在铸造工序之后，进行挤出工序或轧制工序。在挤出工序中，通过热挤出将坯料加工成圆棒的状态。轧制工序使用连铸轧机与铸造工序一起连续地实施。在这种情况下，使铜熔液流入环状的旋转铸模而形成铸块，通过反复进行从上下方向或左右方向的轧制，得到粗轧线。

[0059] 在挤出工序或轧制工序之后，进行第1拉丝工序。在第1拉丝工序中，将上述工序中得到的圆棒或粗轧线拉丝到规定的线直径。另外，用于除去至上述工序为止所产生的表面缺陷的剥皮工序包括在第1拉丝工序中。

[0060] 在第1拉丝工序之后，进行第1热处理工序。在第1热处理工序中，通过后续工序的第2热处理工序后，将铜系线材的横截面中的平均晶体粒径及规定的晶体取向的集聚率同时控制在规定范围内，因此在比较高的温度下实施热处理。

[0061] 在第1热处理工序为使用间歇退火炉的间歇式热处理的情况下，热处理温度为400℃以上900℃以下。若热处理温度低于400℃，则晶粒难以生长，且难以通过第2热处理工序

同时实现铜系线材的横截面的平均晶体粒径为20μm以上及晶体取向<111>的集聚率为40％以下。需要说明的是，在上述专利文献1中，于200～300℃进行热处理，但如后述的比较例A2及比较例A3所示，平均晶体粒径及晶体取向<111>的集聚率中的任一者或两者不满足本发明的上述规定范围。另一方面，若热处理温度超过900℃，则通过第2热处理工序，铜系线材的横截面的平均晶体粒径将超过150μm、铜系线材不能承受从绕线筒送出时的张力，成为断线的原因。

[0062] 另外，在第1热处理工序为间歇式热处理的情况下，热处理时间为10分钟以上6小时以内。若热处理时间不足10分钟，则在用间歇炉加热大量试样时，为了对试样整体均匀地进行热处理而在时间上不充分，因此晶粒也无法变均匀。因此，不能通过第2热处理工序稳定地实现铜系线材的横截面的平均晶体粒径为20μm以上。另一方面，若热处理时间超过6小时，则虽然通过第2热处理工序而使得铜系线材的横截面中的平均晶体粒径成为20μm以上，但工业上过于耗费成本。

[0063] 在第1热处理工序为在某长度的加热炉中通线而进行退火的行进间热处理的情况下，与间歇式热处理相比，热处理时间缩短至6秒以上15秒以内，因此，热处理温度设定为700℃以上950℃以下。行进间热处理中的热处理温度的上限值及下限值的设定理由与间歇式热处理相同。

[0064] 在第1热处理工序之后进行第2拉丝工序。在第2拉丝工序中，以加工率10％以上70％以下进行拉丝。若加工率不足10％，则在第2热处理工序时用于再结晶的驱动力不足，不能通过第2热处理工序将铜系线材的横截面中的规定的晶体取向的集聚率控制在所希望的范围内。另一方面，若加工率超过70％，则多导入的加工应变变多，应变被导入试样整体，因此，无法通过第2热处理工序将铜系线材的横截面中的规定的晶体取向的集聚率控制在所希望的范围内，此外，还难以实现铜系线材的横截面中的平均晶体粒径为20μm以上。从这样的观点出发，加工率优选为15％以上50％以下。加工率表示为从拉丝前的试样截面积减去拉丝后的试样截面积的值除以拉丝前的试样截面积再乘以100的值。

[0065] 在第2拉丝工序之后进行第2热处理工序。在第2热处理工序中，在行进间热处理中，热处理温度为500℃以上900℃以下，热处理时间为6秒以上15秒以内。由此，可得到铜系线材。

[0066] 另外，在铜系线材具有金属被覆层的情况下，优选对铜系线材进行镀覆工序。在镀覆工序中，首先，将铜系线材浸渍在碱浴中，以铜系线材成为阴极的方式进行通电，除去存在于铜系线材的表面的有机物的污垢。接着，将水洗后的铜系线材浸渍在硫酸浴中，除去铜系线材表面的氧化被膜。接着，将水洗后的铜系线材浸渍于含钯溶液中，以规定的电流及时间进行电镀，在铜系线材的表面形成作为金属被覆层的钯被覆层。根据金属被覆层的厚度，适当设定电镀的电流及时间。

[0067] 接着，对实施方式的半导体器件进行说明。

[0068] 图1是示出实施方式的半导体器件的一例的立体图。如图1所示，实施方式的半导体器件具备半导体芯片和接合于所述半导体芯片的键合线，所述键合线由铜或铜合金构成，在设置于所述半导体芯片的上部的电极与所述键合线的接合部中的、与所述键合线的长度方向垂直的所述键合线的横截面中，平均晶体粒径为10μm以上100μm以下，且晶体取向<111>的集聚率为40％以下。

[0069] 在半导体器件1中，在下垫板3上设置半导体芯片2，进而在半导体芯片2的上部设置电极2a，另一方面，存在作为基板电极的内部引线5，电极2a和内部引线5通过键合线4连接。电极2a例如是铝电极或铜电极。

[0070] 键合线4由铜(铜线)或铜合金(铜合金线)构成。

[0071] 键合线例如也可以是含有少量Ag、Cr、Sn等元素的铜合金，但要确保柔软性和半导体芯片2及内部引线5间的导通、并考虑到近年来的高输出化、大电流化的倾向，则优选铜。其中，由于铜的含量越多导电率越高，因此优选为作为包含99.90质量％以上的Cu及不可避免的杂质的纯铜的韧铜，更优选为包含99.96质量％以上的Cu、10ppm以下的氧及不可避免的杂质的无氧铜。

[0072] 作为构成键合线4的铜合金，优选具有含有0.1质量％以上1.0质量％以下的Ag、0.1质量％以上1.0质量％以下的Cr、0.1质量％以上1.0质量％以下的Sn中的至少1种元素、且余量为Cu及不可避免的杂质的合金组成。

[0073] 若Ag、Cr、Sn为上述下限值以上，则能够提高键合线4的拉伸耐久性。因此，相对将键合线4接合于半导体芯片2的电极2a时的键合线4送出时的拉伸负荷能够耐久，可提高接合速度。另一方面，若Ag、Cr、Sn超过上述上限值，则可能成为使键合线4的导电率降低的主要原因。因此，作为面向功率半导体的键合线，优选以低浓度添加上述元素。从这样的观点出发，关于铜合金含有Ag的情况下的Ag的含量，上限值更优选为0.7质量％以下，进一步优选为0.4质量％以下。关于铜合金含有Cr的情况下的Cr的含量，上限值更优选为0.7质量％以下，进一步优选为0.4质量％以下。关于铜合金含有Sn的情况下的Sn的含量，上限值更优选为0.7质量％以下，进一步优选为0.4质量％以下。

[0074] 上述元素以外的余量为不可避免的杂质。根据不可避免的杂质的含量而可能成为使键合线4的导电率降低的主要原因，因此不可避免的杂质的含量优选较少。

[0075] 在键合线4为铜合金的情况下，作为不可避免的杂质，例如可举出铝(Al)、铍(Be)、镉(Cd)、铁(Fe)、镁(Mg)、镍(Ni)、磷(P)、铅(Pd)、硅(Si)、钛(Ti)等元素。另外，在键合线4为铜的情况下，作为不可避免的杂质，除了上述元素以外，还包含铜合金中有意含有的与铜合金化的元素，例如Ag、Cr、Sn等元素。需要说明的是，不可避免的杂质的含量的上限优选上述元素的合计为20ppm以下。

[0076] 另外，在半导体芯片2上的电极2a与键合线4的接合部6中的、与键合线4的长度方向垂直的键合线4的横截面中，平均晶体粒径为10μm以上100μm以下，且晶体取向<111>的集聚率为40％以下。在键合线4的横截面中，所谓晶体取向<111>的集聚率，是指从晶体取向<111>偏移±15°的范围的晶体取向相对全部晶体取向的比例。另外，所谓接合部6，是指键合线4的与半导体芯片2上的电极2a接合的部分。

[0077] 在接合部6中的键合线4的横截面中，若键合线4的平均晶体粒径及晶体取向<111>的集聚率在上述范围内，则可抑制半导体芯片2与键合线4的接合所引起的半导体芯片2的破损，可得到良好的半导体器件1。

[0078] 另外，在接合部6中的键合线4的横截面中，晶体取向<100>的集聚率及晶体取向<110>的集聚率的合计集聚率优选为15％以上40％以下。接合部6中的键合线4的横截面中，所谓晶体取向<100>的集聚率及晶体取向<110>的集聚率的合计集聚率，是指从晶体取向<100>偏移±15°的范围的晶体取向及从晶体取向<110>偏移±15°的范围的晶体取向的合计

晶体取向相对全部晶体取向的比例。

[0079] 在接合部6中的键合线4的横截面中，若键合线4的上述合计集聚率在上述范围内，则键合线4变软、冲击耐久性优异、布线时的弯曲变得容易，因此能够节省空间。

[0080] 另外，在接合部6中的键合线4的横截面中，优选双晶晶界的长度L_T相对邻接的晶体的取向差为15度以上的晶界的长度L_B之比(L_T/L_B)为0.7以上1.0以下。在接合部6中的键合线4的横截面中，若上述比(L_T/L_B)在上述范围内，则键合线4变软、冲击耐久性优异、布线时的弯曲变得容易，因此能够节省空间。

[0081] 另外，若在键合线4为圆线的情况下键合线4(圆线)的线直径为0.1mm以上、在键合线4为带状线的情况下键合线4(带状线)的厚度为0.1mm以上，则能够在键合线4中流过比较高的电流。因此，键合线4适合于面向功率半导体的键合线。

[0082] 此外，若键合线4(圆线)的线直径为0.5mm以下、键合线4(带状线)的厚度为0.5mm以下，则能够充分地应对确保相对半导体器件的小型化的趋势的布线空间，此外容易将键合线4弯曲。

[0083] 另外，为了防止键合线4的外周面的氧化，键合线4也可以具有被覆外周面的未图示的金属被膜层。作为金属被膜层，优选为钯被覆层。被覆键合线4的外周面的钯被覆层例如通过镀覆处理而形成。

[0084] 从抑制由半导体芯片2的电极2a与键合线4的接合引起的半导体芯片2的破损的观点出发，键合线4优选为上述实施方式的铜系线材。

[0085] 接着，对实施方式的半导体器件中的半导体芯片2与键合线4的接合方法进行说明。在此，说明利用楔形键合来接合半导体芯片2和键合线4的方法，但半导体芯片2和键合线4的接合方法并不限定于楔形键合。

[0086] 图2是示出楔形键合前的键合线的与长度方向垂直的横截面的一例的概略图，图3是示出楔形键合时的键合线的与长度方向垂直的横截面的一例的概略图。

[0087] 键合线4接合于半导体芯片2上的电极2a。在楔形键合中，用楔状的工具7将键合线4按压于半导体芯片2上的电极2a上，以60kHz以上120kHz以下的频率、0.1秒以上0.8秒以内的时间施加超声波，将键合线4接合于半导体芯片2的电极2a。由此，能够得到具备半导体芯片2和接合于半导体芯片2的键合线4的半导体器件。

[0088] 根据以上说明的实施方式，着眼于同时控制铜系线材的晶体粒径及晶体取向，通过控制铜系线材的横截面中的平均晶体粒径及晶体取向<111>的集聚率，可同时降低以往处于背反关系的杨氏模量及0.2%屈服强度。因此，铜系线材柔软，且即使按压于半导体芯片负荷也小、冲击耐久性优异。此外，当使用铜系线材作为键合线时，当将铜系线材(键合线)接合于搭载在半导体器件的半导体芯片时，铜系线材适当地变形，因此可减轻半导体芯片上的负荷、并且可抑制由半导体芯片和键合线的接合引起的半导体芯片的破损。

[0089] 以上，对实施方式进行了说明，但本发明并不限定于上述实施方式，包含本发明的概念和权利要求书所包含的所有方式，能够在本发明的范围内进行各种改变。

[0090] 实施例

[0091] 接着，对实施例及比较例进行说明，但本发明并不限定于这些实施例。

[0092] (实施例A1～A4，A7～A14及比较例A1～A3)

[0093] 对由表1所示的成分构成的铜系材料实施铸造工序、挤出工序及第1拉丝工序，得

到线直径0.56mm的线材。接着，在表2所示的条件下实施第1热处理工序。接着，实施第2拉丝工序，得到具有表2所示的形状、线直径、厚度、宽度及加工率的线材。在第2拉丝工序中，使用圆孔模、扁平形状的模、或从由2个辊配置的间隙通过而进行拉丝的盒式辊模(CRD)，精加工成圆线或带状线。接着，在表2所示的条件下实施第2热处理工序。由此，得到铜系线材。

[0094] (实施例A5～A6)

[0095] 对由表1所示的成分构成的铜系材料实施铸造工序、轧制工序及第1拉丝工序，得到厚度0.56mm的条材。接着，在表2所示的条件下实施第1热处理工序。接着，实施第2拉丝工序，得到具有表2所示的形状、厚度、宽度及加工率的线材。在第2拉丝工序中，轧制至表2所示的厚度，进行切割加工而切出所希望的宽度，精加工成带状线。接着，在表2所示的条件下实施第2热处理工序。由此，得到铜系线材。

[0096] (实施例A15)

[0097] 对实施例A1中得到的铜系线材实施镀覆工序。在镀覆工序中，首先，在包含苛性钠、碳酸钠、硅酸钠的碱浴中浸渍铜系线材，使铜系线材成为阴极以5A/dm^2的电流通电5秒钟，除去存在于铜系线材表面的有机物的污垢。接着，将水洗后的铜系线材在10％浓度的硫酸浴中浸渍5秒钟，除去铜系线材表面的氧化被膜。接着，将水洗后的铜系线材浸渍于含钯溶液中，以电流4～20A/dm^2进行电镀，调节电流值及时间以使钯被覆层的厚度成为1μm，在铜系线材的表面形成钯被覆层。钯被覆层的厚度通过用光学显微镜观察铜系线材的与长度方向垂直的截面而求出。

[0098] 含钯溶液是含有钯金属量8g/L(作为钯金属络合物的二氯四氨合钯98g/L)、硝酸铵400g/L、氯化铵160g/L的溶液，用氨水将pH调节至pH为8～9之间。含钯溶液的温度为60℃。

[0099] (实施例B1～B15及比较例B1～B3)

[0100] 如表4所示，将上述实施例及比较例中得到的铜系线材用作键合线，将铜系线材按压于设置在长10mm、宽10mm的半导体芯片上的电极(铝电极焊盘)上，实施超声波接合，将铜系线材接合于半导体芯片。超声波的施加条件为频率60kHz、时间0.3秒。由此，通过楔形键合得到半导体器件。

[0101] [评价]

[0102] 对上述实施例及比较例中得到的铜系线材及半导体器件进行下述评价。结果如表3－4所示。

[0103] [1]平均晶体粒径、晶体取向的集聚率及比(L_T/L_B)

[0104] 平均晶体粒径、晶体取向及比(L_T/L_B)是根据使用高分辨率扫描型分析电子显微镜(日本电子株式会社制，JSM－7001FA)附带的EBSD检测器(TSL公司制，OIM5.0 HIKARI)连续测定的晶体取向数据、使用分析软件(TSL公司制，OIM Analysis)算出的晶体取向分析数据得到的。所谓“EBSD”，是Electron BackScatter Diffraction的简称，是利用在扫描型电子显微镜(SEM)内对测定试样照射电子束时产生的反射电子菊池线衍射的晶体取向分析技术。

[0105] 测定对象设为对相对于长度方向垂直地切断1根铜系线材而得的横截面利用研磨进行镜面加工的面、或者是通过研磨对将如图1所示那样半导体芯片与键合线的接合部6沿着相对于键合线的长度方向垂直的切断线P切断而得的切断横截面进行了镜面加工的面

(在图1中,2个切断横截面中,纸面右前侧的键合线的面)。测定区域为截面的全范围。用1μm步长的EBSD进行测定。在EBSD的测定中,实施n3(3个测定对象)的测定,算出其平均值。

[0106] 对于平均晶体粒径而言,对测定范围选择分析软件的chart－grain size(diameter)(图-粒径(直径)),利用area法(面积法)算出的。

[0107] 关于各晶体取向的集聚率,在IPFmap上选择与铜系线材或键合线的长度方向平行的取向,沿chart－crystal direction(图-晶体方向)针对该取向将从晶体取向<111>、晶体取向<100>、晶体取向<110>偏移±15°的取向晶粒的面积占全部取向晶粒的面积的比例分别设为晶体取向<111>的集聚率、晶体取向<100>的集聚率、晶体取向<110>的集聚率。

[0108] 另外,利用Rotation Angle(旋转角)选择15°以上65°以下,将其晶体取向差的合计长度设为L_B,利用CSL选择Σ3,将其合计长度设为L_T。然后,用L_T除以L_B算出比值(L_T/L_B)。需要说明的是,所谓CSL,是Coincidence Site Lattice(重位点阵)的简称,其含义是对应,双晶晶界用对应晶界Σ3表示。

[0109] [2]成分分析

[0110] 在得到线直径8mm的粗轧线的阶段,将粗轧线冲压成平板状,使用发光光谱分析算出n3的平均值。

[0111] [3]0.2%屈服强度

[0112] 根据JIS Z2241,使用精密万能试验机(株式会社岛津制作所制)进行拉伸试验,通过偏移法求出0.2%屈服强度(MPa)。需要说明的是,拉伸试验针对各试样3根进行(n3),求出其平均值。0.2%屈服强度为20MPa以上90MPa以下为合格。

[0113] [4]杨氏模量

[0114] 利用使用共振法的杨氏模量测定装置JE－RT(日本Techno Plus制)实施杨氏模量测定。将样品切成40mm以上60mm以下的任意的长度以使测定时的共振频率下的振幅变大,测定样品的重量并算出密度。进行n3的测定,算出平均值。杨氏模量以80GPa以上120GPa以下为合格。

[0115] [5]加工硬化指数

[0116] 按照JIS Z2241,使用精密万能试验机(株式会社岛津制作所制)进行拉伸试验,用式:$\sigma=C\times\varepsilon^n$(σ:真应力,C:强度常数,ε:真应变,n:加工硬化指数)求出加工硬化指数。

[0117] [6]半导体芯片的破损

[0118] 将铜系线材按压于设置在半导体芯片上的铝电极焊盘,实施超声波接合,对将铜系线材接合于半导体芯片时的半导体芯片的破损状态进行评价。对于实施例及比较例中得到的半导体器件,目视观察超声波接合后的半导体芯片上的铝电极焊盘表面,观察到裂纹的器件作为半导体芯片的破损而评价为不合格。另一方面,将没有确认到裂纹的半导体芯片作为没有破损而评价为合格。

[0119] [表1]

[0120]

	材料	含量 (质量%)				含量 (ppm)
		Cu	Ag	Cr	Sn	不可避免的杂质的合计
实施例 A1	无氧铜	99.96 以上	-	-	-	6
实施例 A2	无氧铜	99.96 以上	-	-	-	3
实施例 A3	无氧铜	99.96 以上	-	-	-	6
实施例 A4	无氧铜	99.96 以上	-	-	-	8
实施例 A5	无氧铜	99.96 以上	-	-	-	4
实施例 A6	无氧铜	99.96 以上	-	-	-	6
实施例 A7	无氧铜	99.96 以上	-	-	-	10
实施例 A8	无氧铜	99.96 以上	-	-	-	13
实施例 A9	无氧铜	99.96 以上	-	-	-	16
实施例 A10	无氧铜	99.96 以上	-	-	-	20
实施例 A11	韧铜	99.90 以上	-	-	-	-
实施例 A12	铜合金	余量	0.6	-	-	15
实施例 A13	铜合金	余量	-	1.0	-	16
实施例 A14	铜合金	余量	-	-	0.3	18
实施例 A15	无氧铜	99.96 以上	-	-	-	6
比较例 A1	无氧铜	99.96 以上	-	-	-	10
比较例 A2	无氧铜	99.96 以上	-	-	-	10
比较例 A3	韧铜	99.90 以上	-	-	-	-

[0121] [表2]

[0122]

	第1热处理工序			第2拉丝工序				第2热处理工序	
	温度	时间	种类	形状	线直径 (mm)	厚度 (mm)	宽度 (mm)	加工率 (%)	温度	时间
实施例A1	400℃	1小时	间歇	圆线	0.51	-	-	17	800℃	9秒
实施例A2	500℃	1小时	间歇	圆线	0.53	-	-	10	800℃	9秒
实施例A3	600℃	1小时	间歇	带状线（扁线）	-	0.25	0.43	54	800℃	9秒
实施例A4	700℃	1小时	间歇	带状线（扁线）	-	0.31	0.45	43	800℃	9秒
实施例A5	800℃	1小时	间歇	带状线（条线）	-	0.40	0.56	29	800℃	9秒
实施例A6	900℃	1小时	间歇	带状线（条线）	-	0.30	0.56	46	800℃	9秒
实施例A7	700℃	15秒	行进	带状线（跑道形状线）	-	0.40	-	13	800℃	9秒
实施例A8	800℃	9秒	行进	圆线	0.31	-	-	69	800℃	9秒
实施例A9	800℃	12秒	行进	圆线	0.45	-	-	35	700℃	9秒
实施例A10	950℃	6秒	行进	带状线（跑道形状线）	-	0.31	-	20	700℃	9秒
实施例A11	800℃	12秒	行进	圆线	0.45	-	-	35	700℃	9秒
实施例A12	800℃	12秒	行进	圆线	0.45	-	-	35	700℃	9秒
实施例A13	800℃	12秒	行进	圆线	0.45	-	-	35	700℃	9秒
实施例A14	800℃	12秒	行进	圆线	0.45	-	-	35	700℃	9秒
实施例A15	400℃	1小时	间歇	圆线	0.51	-	-	17	800℃	9秒
比较例A1	-	-	-	圆线	0.45	-	-	99	800℃	9秒
比较例A2	300℃	1小时	间歇	圆线	0.45	-	-	35	800℃	9秒
比较例A3	300℃	1小时	间歇	圆线	0.45	-	-	35	600℃	9秒

[0123] [表3]

[0124]

	金属组织				材料特性		
	平均晶体粒径 (μm)	<111>的集聚率 (%)	<100>的集聚率与<110>的集聚率的合计集聚率 (%)	比(L_1/L_0)	0.2%屈服强度 (MPa)	杨氏模量 (GPa)	加工硬化指数
实施例A1	20	30	20	0.54	51	118	0.30
实施例A2	31	25	18	0.61	45	113	0.36
实施例A3	41	20	15	0.72	38	105	0.42
实施例A4	53	13	24	0.77	33	102	0.45
实施例A5	110	8	28	0.90	28	108	0.55
实施例A6	150	4	22	0.85	20	95	0.60
实施例A7	25	40	32	0.48	90	120	0.13
实施例A8	35	32	35	0.57	78	118	0.38
实施例A9	44	28	44	0.62	72	115	0.40
实施例A10	54	25	38	0.70	65	112	0.32
实施例A11	40	25	22	0.73	75	117	0.29
实施例A12	38	28	14	0.68	85	115	0.25
实施例A13	28	25	10	0.36	83	119	0.26
实施例A14	33	26	12	0.65	85	115	0.24
实施例A15	20	30	20	0.54	51	118	0.35
比较例A1	37	70	12	0.60	46	150	0.61
比较例A2	10	45	15	0.77	102	135	0.15
比较例A3	5	29	42	0.29	118	115	0.14

[0125] [表4]

[0126]

	材料	键合后的金属组织				评价
		平均晶体粒径 (μm)	<111>的集聚率 (%)	<100>的集聚率与<110>的集聚率的合计集聚率 (%)	比(L_1/L_0)	半导体芯片的破损
实施例B1	实施例A1的铜系线材	10	27	24	0.54	无
实施例B2	实施例A2的铜系线材	21	26	22	0.60	无
实施例B3	实施例A3的铜系线材	24	21	15	0.72	无
实施例B4	实施例A4的铜系线材	28	14	22	0.77	无
实施例B5	实施例A5的铜系线材	60	7	32	0.91	无
实施例B6	实施例A6的铜系线材	88	4	20	0.83	无
实施例B7	实施例A7的铜系线材	13	40	33	0.45	无
实施例B8	实施例A8的铜系线材	18	33	35	0.56	无
实施例B9	实施例A9的铜系线材	25	26	43	0.62	无
实施例B10	实施例A10的铜系线材	28	23	35	0.7	无
实施例B11	实施例A11的铜系线材	22	24	23	0.72	无
实施例B12	实施例A12的铜系线材	20	28	15	0.66	无
实施例B13	实施例A13的铜系线材	14	22	10	0.4	无
实施例B14	实施例A14的铜系线材	20	24	12	0.65	无
实施例B15	实施例A15的铜系线材	11	30	20	0.54	无
比较例B1	比较例A1的铜系线材	21	72	11	0.63	有
比较例B2	比较例A2的铜系线材	4	44	14	0.74	有
比较例B3	比较例A3的铜系线材	3	28	45	0.28	有

[0127] 如表1～3所示，在实施例A1～A15中，由于铜系线材的横截面中的平均晶体粒径及晶体取向<111>的集聚率、以及铜系线材的杨氏模量及0.2%屈服强度被控制在规定范围内，因此铜系线材柔软、即使按压于半导体芯片负荷也小、冲击耐久性优异。此外，如表4所示，在使用实施例A1～A15中得到的铜系材料作为键合线的实施例B1～B15中，在接合部中的键合线的横截面中，平均晶体粒径及晶体取向<111>的集聚率在规定范围内，接合于半导体芯片时铜系线材适度变形，因此减轻了对半导体芯片的负荷，没有发生由半导体芯片与键合线的接合引起的半导体芯片的破损。

[0128] 另一方面，在比较例A1中，铜系线材的横截面中的晶体取向<111>的集聚率及铜系线材的杨氏模量没有被控制在规定范围内。此外，在使用比较例A1中得到的铜系材料作为键合线的比较例B1中，在接合部中的键合线的横截面中，晶体取向<111>的集聚率不在规定范围内。因此，在比较例B1中，发生了由半导体芯片与键合线的接合引起的半导体芯片的破损。

[0129] 另外，在比较例A2中，铜系线材的横截面中的平均晶体粒径及晶体取向<111>的集聚率、以及铜系线材的杨氏模量及0.2%屈服强度没有被控制在规定范围内。此外，在使用比较例A2中得到的铜系材料作为键合线的比较例B2中，在接合部中的键合线的横截面中，

平均晶体粒径及晶体取向<111>的集聚率不在规定范围内。因此，在比较例B2中，发生了由半导体芯片与键合线的接合引起的半导体芯片的破损。

[0130] 另外，在比较例A3中，铜系线材的横截面中的平均晶体粒径及0.2％屈服强度没有被控制在规定范围内。此外，在使用比较例A3中得到的铜系材料作为键合线的比较例B3中，在接合部中的键合线的横截面中，平均晶体粒径不在规定范围内。因此，在比较例B3中，发生了由半导体芯片与键合线的接合引起的半导体芯片的破损。

[0131] 附图标记说明

[0132] 1半导体器件

[0133] 2半导体芯片

[0134] 2a电极

[0135] 3下垫板

[0136] 4键合线

[0137] 5内部引线

[0138] 6接合部

[0139] 7楔状工具

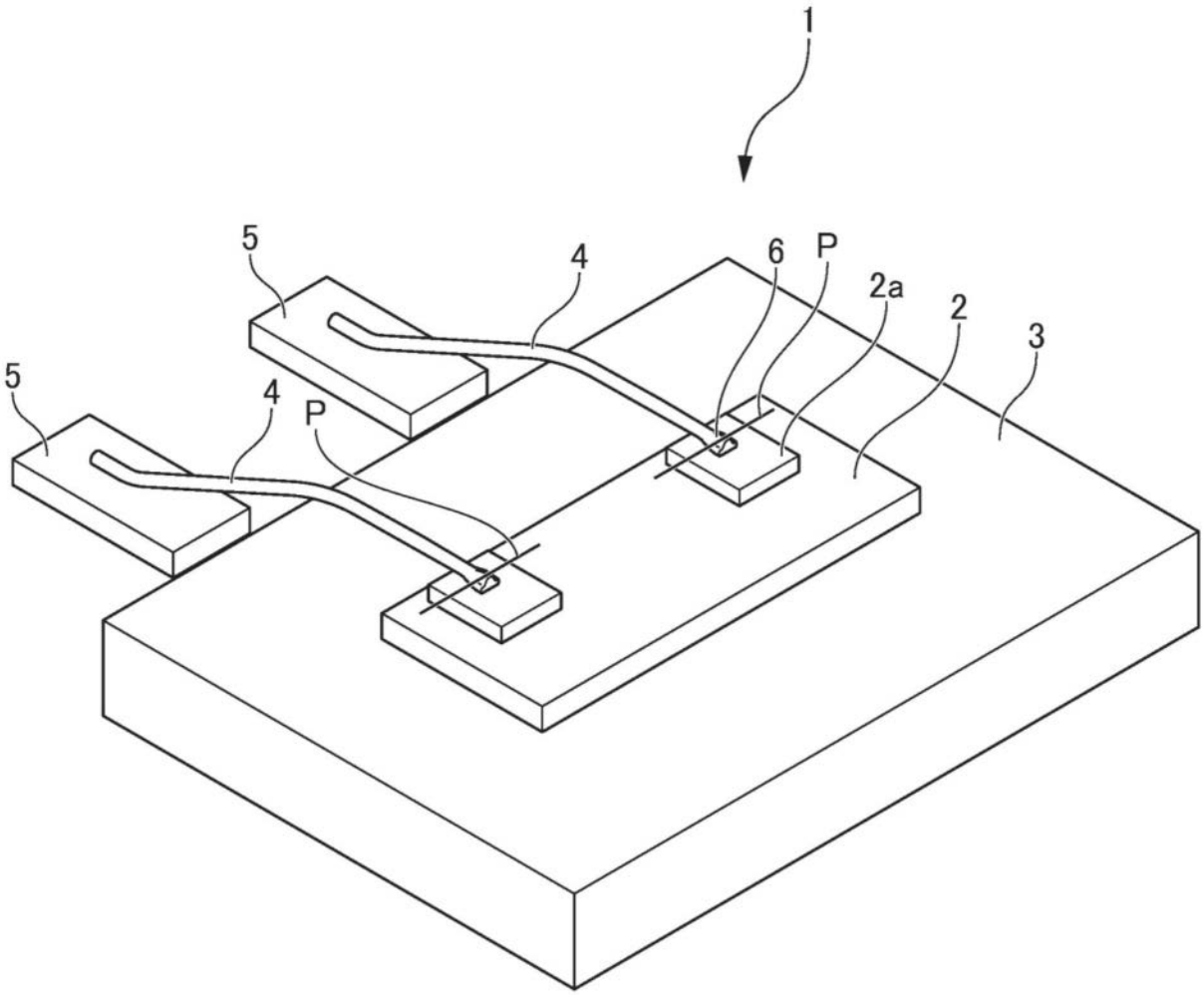


图1

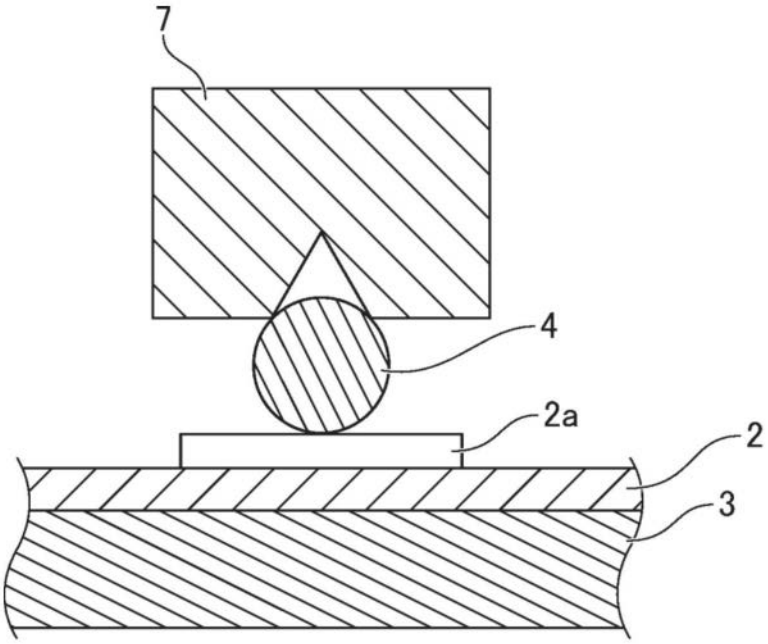


图2

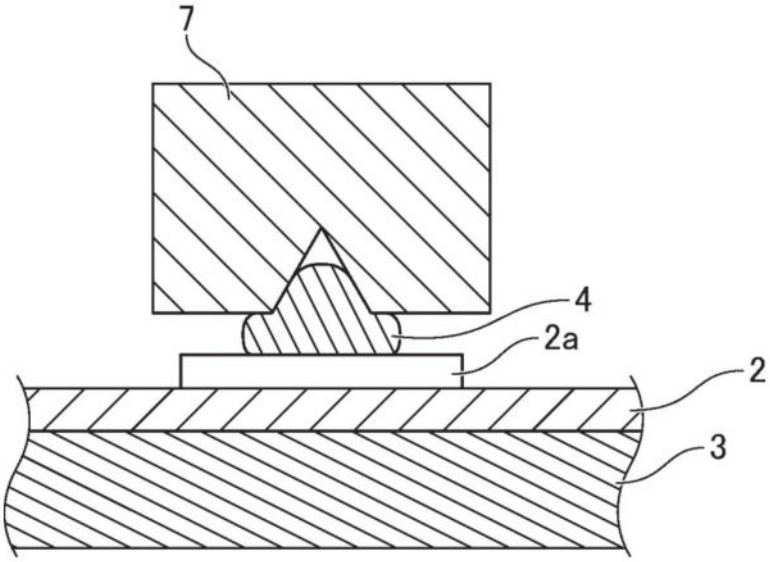


图3