



(12)发明专利申请

(10)申请公布号 CN 106297634 A

(43)申请公布日 2017. 01. 04

(21)申请号 201610794582.4

(22)申请日 2016.08.31

(71)申请人 上海天马微电子有限公司

地址 201201 上海市浦东新区汇庆路888、889号

申请人 天马微电子股份有限公司

(72)发明人 朱桂熠 许作远

(74)专利代理机构 北京品源专利代理有限公司

11332

代理人 孟金喆 胡彬

(51)Int. Cl.

G09G 3/20(2006.01)

G11C 19/28(2006.01)

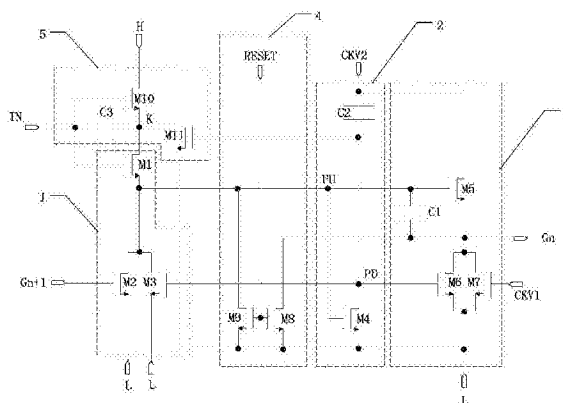
权利要求书2页 说明书5页 附图3页

(54)发明名称

一种移位寄存器、栅极驱动电路及驱动方法

(57)摘要

本发明提供一种移位寄存器,其中:上拉模块电连接第一输入端、第二输入端与低电平信号输入端,包括第一薄膜晶体管、第二薄膜晶体管以及第三薄膜晶体管;下拉模块电连接第二时钟信号输入端与低电平信号输入端,包括第四薄膜晶体管以及第二电容;输出模块电连接第一时钟信号输入端、第二时钟信号输入端、第一输出端以及低电平信号输入端,包括第一电容、第五薄膜晶体管、第六薄膜晶体管以及第七薄膜晶体管;复位模块电连接复位信号输入端以及低电平信号输入端,包括第八薄膜晶体管以及第九薄膜晶体管;电位保持模块电连接第一输入端、低电平信号输入端以及高电平信号输入端,包括第三电容、第十薄膜晶体管以及第十一薄膜晶体管。



1. 一种移位寄存器,包括上拉模块、下拉模块、输出模块、复位模块、电位保持模块、第一节点、第二节点以及第三节点,其中:

所述上拉模块电连接第一输入端、第二输入端与低电平信号输入端,包括第一薄膜晶体管、第二薄膜晶体管以及第三薄膜晶体管;

所述下拉模块电连接第二时钟信号输入端与低电平信号输入端,包括第四薄膜晶体管以及第二电容;

所述输出模块电连接第一时钟信号输入端、第二时钟信号输入端、第一输出端以及低电平信号输入端,包括第一电容、第五薄膜晶体管、第六薄膜晶体管以及第七薄膜晶体管;

所述复位模块电连接复位信号输入端以及低电平信号输入端,包括第八薄膜晶体管以及第九薄膜晶体管;

所述电位保持模块电连接第一输入端、低电平信号输入端以及高电平信号输入端,包括第三电容、第十薄膜晶体管以及第十一薄膜晶体管。

2. 根据权利要求1所述的一种移位寄存器,所述上拉模块中,

所述第一薄膜晶体管的栅极电连接所述第一输入端,所述第一薄膜晶体管的第一极电连接所述第三节点,所述第一薄膜晶体管的第二极电连接所述第一节点;

所述第二薄膜晶体管的栅极电连接所述第二输入端,所述第二薄膜晶体管的第一极电连接所述第一节点,所述第二薄膜晶体管的第二极电连接所述低电平信号输入端;

所述第三薄膜晶体管的栅极电连接所述第二节点,所述第三薄膜晶体管的第一极电连接所述第一节点,所述第三薄膜晶体管的第二极电连接低电平信号输入端。

3. 如权利要求1所述的一种移位寄存器,所述下拉模块中,

所述第四薄膜晶体管的栅极电连接所述第一节点,所述第四薄膜晶体管的第一极电连接所述第二节点,所述第四薄膜晶体管的第二极电连接所述低电平信号输入端;

所述第二电容的第一极电连接所述第二时钟信号输入端,所述第二电容的第二极电连接所述第二节点。

4. 如权利要求1所述的一种移位寄存器,所述输出模块中,

所述第一电容的第一极电连接所述第一节点,所述第一电容的第二极电连接所述第五薄膜晶体管的第二极;

所述第五薄膜晶体管的栅极电连接所述第一节点,所述第五薄膜晶体管的第一极电连接所述第二时钟信号输入端,所述第五薄膜晶体管的第二极电连接所述第一输出端;

所述第六薄膜晶体管的栅极电连接所述第二节点,所述第六薄膜晶体管的第一极电连接所述第一电容的第二极,所述第六薄膜晶体管的第二极电连接所述低电平信号输入端;

所述第七薄膜晶体管的栅极电连接所述第一时钟信号输入端,所述第七薄膜晶体管的第一极电连接所述第一电容的第二极,所述第七薄膜晶体管的第二极电连接所述低电平信号输入端。

5. 如权利要求1所述的一种移位寄存器,所述复位模块中,

所述第八薄膜晶体管的栅极电连接所述复位信号输入端,所述第八薄膜晶体管的第一极电连接所述第一输出端,所述第八薄膜晶体管的第二极电连接所述低电平信号输入端;

所述第九薄膜晶体管的栅极电连接所述复位信号输入端,所述第九薄膜晶体管的第一极电连接所述第一节点,所述第九薄膜晶体管的第二极电连接所述低电平信号输入端。

6. 如权利要求1所述的一种移位寄存器,所述电位保持模块中,
所述第三电容的第一极电连接所述第一输入端,所述第二极电连接所述第三节点;
所述第十薄膜晶体管的栅极电连接所述第一输入端,所述第十薄膜晶体管的第一极电连接所述高电平信号输入端,所述第十薄膜晶体管的第二极电连接所述第三节点;
所述第十一薄膜晶体管的栅极电连接所述第二节点,所述第十一薄膜晶体管的第一极电连接所述第三节点,所述第十一薄膜晶体管的第二极电连接所述低电平信号输入端。
7. 如权利要求1所述的一种移位寄存器,其中,所述第一薄膜晶体管至所述第十一薄膜晶体管可以由非晶硅、低温多晶硅或者氧化物半导体的任意一种制备而成。
8. 如权利要求1所述的一种移位寄存器,其中,所述第一薄膜晶体管至所述第十一薄膜晶体管为P型薄膜晶体管或者N型薄膜晶体管。
9. 一种栅极驱动电路,包括至少一级权利要求1所述的一种移位寄存器,其中,所述第一输入端为上级的所述第一输出端,所述第二输入端为下级的所述第一输出端。
10. 一种驱动方法,驱动权利要求9所述的一种栅极驱动电路,包括第一阶段、第二阶段、第三阶段以及第四阶段,其中,
在所述第一阶段,所述复位信号输入端输出复位信号,此时所述第一时钟信号输入端输出低电平信号,所述第二时钟信号输入端输出高电平;
在所述第二阶段,所述第一输入端输入高电平信号,此时所述第一时钟信号输入端输入高电平信号,所述第二时钟信号输入端输入低电平信号;
在所述第三阶段,所述第一输入端停止输入信号,所述第一时钟信号输入端输出低电平信号,所述第二时钟信号输入端输出高电平信号,此时所述第一输出信号输出栅极信号;
在所述第四阶段,所述第一时钟信号输入端输出高电平信号,所述第二时钟信号输入端输出低电平信号;此时,所述第二输入端输出下一级所述输出信号的高电平信号。
11. 如权利要求10所述的一种驱动方法,其中,
在所述第一阶段,所述第一节点与所述第三节点保持低电位,所述第二节点保持高电位;
在所述第二阶段,所述第一节点与所述第三节点变为高电位,所述第二节点变为低电位;
在所述第三阶段,所述第一节点电位被举高,所述第二节点与所述第三节点变为低电位;
在所述第四阶段,所述第一节点、所述第二节点以及所述第三节点均变为低电位。

一种移位寄存器、栅极驱动电路及驱动方法

技术领域

[0001] 本发明涉及显示技术领域,尤其涉及一种移位寄存器、栅极驱动电路及驱动方法。

背景技术

[0002] 目前,各领域对显示器,包括但不限于手机、平板等移动终端的要求越来越高,同时也提高了对显示面板的要求。显示面板既要轻薄又要抗各种严苛环境。

[0003] 在显示面板技术领域,显示面板需要经历长期高温工作,但目前长期高温工作下,技术人员发现显示面板的栅极驱动电路中的部分器件特性容易发生偏移,导致电路中漏电流过大。栅极驱动电路包括组成的移位寄存器往往较为敏感,由于漏电流的问题容易导致相关节点电位偏移从而导致栅极输出异常。

发明内容

[0004] 为解决上述问题,本发明提供一种移位寄存器,包括上拉模块、下拉模块、输出模块、复位模块、电位保持模块、第一节点、第二节点以及第三节点,其中:

[0005] 所述上拉模块电连接第一输入端、第二输入端与低电平信号输入端,包括第一薄膜晶体管、第二薄膜晶体管以及第三薄膜晶体管;

[0006] 所述下拉模块电连接第二时钟信号输入端与低电平信号输入端,包括第四薄膜晶体管以及第二电容;

[0007] 所述输出模块电连接第一时钟信号输入端、第二时钟信号信号输入端、第一输出端以及低电平信号输入端,包括第一电容、第五薄膜晶体管、第六薄膜晶体管以及第七薄膜晶体管;

[0008] 所述复位模块电连接复位信号输入端以及低电平信号输入端,包括第八薄膜晶体管以及第九薄膜晶体管;

[0009] 所述电位保持模块电连接第一输入端、低电平信号输入端以及高电平信号输入端,包括第三电容、第十薄膜晶体管以及第十一薄膜晶体管。

[0010] 一种栅极驱动电路,包括至少一级上述所述的一种移位寄存器,其中,所述第一输入端为上一级的所述第一输出端,所述第二输入端为下一级的所述第一输出端。

[0011] 一种驱动方法,驱动上述所述的一种栅极驱动电路,包括第一阶段、第二阶段、第三阶段以及第四阶段,其中,

[0012] 在所述第一阶段,所述复位信号输入端输出复位信号,此时所述第一时钟信号输入端输出低电平信号,所述第二时钟信号输入端输出高电平;

[0013] 在所述第二阶段,所述第一输入端输入高电平信号,此时所述第一时钟信号输入端输入高电平信号,所述第二时钟信号输入端输入低电平信号;

[0014] 在所述第三阶段,所述第一输入端停止输入信号,所述第一时钟信号输入端输出低电平信号,所述第二时钟信号输入端输出高电平信号,此时所述第一输出信号输出栅极信号;

[0015] 在所述第四阶段,所述第一时钟信号输入端输出高电平信号,所述第二时钟信号输入端输出低电平信号;此时,所述第二输入端输出下一级所述输出信号的高电平信号。

[0016] 与现有技术相比,本发明的技术方案具有以下优点之一:在9T2C,即九个薄膜晶体管以及两个电容的基础上增加电位保持模块。其中,电位保持模块包括两个薄膜晶体管以及一个电容,并电连接第一输入端、低电平信号输入端以及高电平信号输入端。通过增加电位保持模块,可以保证栅极驱动电路中的移位寄存器在长时间高温状态下保持正常工作,其中移位寄存器中的薄膜晶体管器件不会因为高温而导致性能发生漂移导致漏电流。具有电位保持模块的移位寄存器可以保证相关薄膜晶体管处于或接近于低电平电位,保证输出信号的正常输出。

[0017] 栅极驱动电路由上述移位寄存器组成,保证了栅极信号的正常输出;此外,还提供一种驱动上述栅极驱动电路的驱动方法,通过电位保持模块与其他模块的配合,实现高温工作状态下,信号的正常输出。

附图说明

[0018] 为了更清楚地说明本发明实施例或现有技术中的技术方案,下面将对实施例或现有技术描述中所需要使用的附图作简单地介绍,显而易见地,下面描述中的附图仅仅是本发明的实施例,对于本领域普通技术人员来讲,在不付出创造性劳动的前提下,还可以根据提供的附图获得其他的附图。

[0019] 图1为本发明提供的一种移位寄存器的模块示意图;

[0020] 图2为本发明提供的一种移位寄存器的上拉模块的示意图;

[0021] 图3为本发明提供的一种移位寄存器的下拉模块的示意图;

[0022] 图4为本发明提供的一种移位寄存器的输出模块的示意图;

[0023] 图5为本发明提供的一种移位寄存器的复位模块的示意图;

[0024] 图6为本发明提供的一种移位寄存器的电位保持模块的示意图;

[0025] 图7为本发明提供的一种移位寄存器的连接示意图;

[0026] 图8为本发明提供的一种驱动方法。

具体实施方式

[0027] 下面结合示意图对本发明的一种移位寄存器、栅极驱动电路及驱动方法进行更详细的描述,其中表示了本发明的优选实施例,应该理解本领域技术人员可以修改在此描述的本发明,而仍然实现本发明的有利效果。因此,下列描述应当被理解为对于本领域技术人员的广泛知道,而并不作为对本发明的限制。

[0028] 现有技术中,技术人员模拟连接触发信号的薄膜晶体管的特性,经研究发现,该薄膜晶体管在高温工作下,阈值电压会发生向左偏移的情况,此时漏电流显著增加。为了解决该问题,本发明提供一种具有电位保持模块的移位寄存器,该移位寄存器可以保证上述薄膜晶体管在特定时间内保持固定的电位。

[0029] 如图1所示,图1为本发明提供的一种移位寄存器的模块示意图。其中,本发明移位寄存器包括上拉模块1、下拉模块2、输出模块3、复位模块4、电位保持模块5、第一节点(图中未示出)、第二节点(图中未示出)以及第三节点(图中未示出)。其中,第一节点、第二节点以

及第三节点是为了说明本发明的连接方式而进行的定义。

[0030] 上拉模块1电连接第一输入端IN、第二输入端Gn+1与低电平信号输入端L。下拉模块2电连接第二时钟信号输入端CKV2与低电平信号输入端L。输出模块3电连接第一时钟信号输入端CKV1、第二时钟信号输入端CKV2、第一输出端Gn以及低电平信号输入端L。复位模块4电连接复位信号输入端RESET以及低电平信号输入端L。电位保持模块5电连接第一输入端IN、低电平信号输入端L以及高电平信号输入端H。

[0031] 现结合移位寄存器相关功能具体说明各个模块的连接方式与作用。如图2所示,图2为本发明提供的一种移位寄存器的上拉模块的示意图。上拉模块1包括第一薄膜晶体管M1、第二薄膜晶体管M2以及第三薄膜晶体管M3。第一薄膜晶体管M1的栅极电连接第一输入端IN,第一薄膜晶体管M1的第一极电连接第三节点K,第一薄膜晶体管M1的第二极电连接第一节点PU。第二薄膜晶体管M2的栅极电连接第二输入端Gn+1,第二薄膜晶体管M2的第一极电连接第一节点PU,第二薄膜晶体管M2的第二极电连接低电平信号输入端L,接收低电平信号。第三薄膜晶体管M3的栅极电连接第二节点PD,第三薄膜晶体管M3的第一极电连接第一节点PU,第三薄膜晶体管M3的第二极电连接低电平信号输入端L。

[0032] 图3为本发明提供的一种移位寄存器的下拉模块的示意图。下拉模块2包括第四薄膜晶体管M4以及第二电容C2。其中,第四薄膜晶体管M4的栅极电连接第一节点PU,第四薄膜晶体管M4的第一极电连接第二节点PD,第四薄膜晶体管M4的第二极电连接低电平信号输入端L。第二电容C2的第一极电连接第二时钟信号输入端CKV2,第二电容C2的第二极电连接第二节点PD。

[0033] 图4为本发明提供的一种移位寄存器的输出模块的示意图。输出模块3包括第五薄膜晶体管M5、第六薄膜晶体管M6、第七薄膜晶体管M7以及第一电容C1。其中,第一电容C1的第一极电连接第一节点PU,第一电容C1的第二极电连接第五薄膜晶体管M5的第二极。第五薄膜晶体管M5的栅极电连接第一节点PU,第五薄膜晶体管M5的第一极电连接第二时钟信号输入端CKV2,第五薄膜晶体管M5的第二极电连接第一输出端Gn。第六薄膜晶体管M6的栅极电连接第二节点PD,第六薄膜晶体管M6的第一极电连接第一电容C1的第二极,第六薄膜晶体管M6的第二极电连接低电平信号输入端L。第七薄膜晶体管M7栅极电连接第一时钟信号输入端CKV1,第七薄膜晶体管M7的第一极电连接第一电容C1的第二极,第七薄膜晶体管M7的第二极电连接低电平信号输入端L。

[0034] 图5为本发明提供的一种移位寄存器的复位模块的示意图。复位模块4包括第八薄膜晶体管M8以及第九薄膜晶体管M9。其中,第八薄膜晶体管M8的栅极电连接复位信号输入端RESET,第八薄膜晶体管M8的第一极电连接第一输出端Gn,第八薄膜晶体管M8的第二极电连接低电平信号输入端L。第九薄膜晶体管M9的栅极电连接复位信号输入端RESET,第九薄膜晶体管M9的第一极电连接第一节点PU,第九薄膜晶体管M9的第二极电连接低电平信号输入端L。

[0035] 图6为本发明提供的一种移位寄存器的电位保持模块的示意图。电位保持模块5包括第十薄膜晶体管M10、第十一薄膜晶体管M11以及第三电容C3。其中,第三电容C3的第一极电连接第一输入端IN,第三电容C3的第二极电连接第三节点K。第十薄膜晶体管M10的栅极电连接第一输入端IN,第十薄膜晶体管M10的第一极电连接高电平信号输入端H,第十薄膜晶体管M10的第二极电连接第三节点K。第十一薄膜晶体管M11的栅极电连接第二节点PD,第

十一薄膜晶体管M11的第一极电连接第三节点K,第十一薄膜晶体管M11的第二极电连接低电平信号输入端L。

[0036] 上述图2至图6分别描述了上拉模块、下拉模块、输出模块、复位模块以及电位保持模块的具体连接结构。其中,上述已经阐述了第一节点PU、第二节点PD以及第三节点K,具体的,第一节点PU为第一薄膜晶体管M1的第二极、第二薄膜晶体管M2的第一极、第三薄膜晶体管M3的第一极、第九薄膜晶体管M9的第一极、第四薄膜晶体管M4的栅极、第一电容C1的第一极以及第五薄膜晶体管M5的栅极的连接点;第二节点PD为第三薄膜晶体管M3的栅极、第六薄膜晶体管M6的栅极、第四薄膜晶体管M4的第一极以及第二电容C2的第二极的连接点;第三节点K为第一薄膜晶体管M1的第一极、第十一薄膜晶体管M11的第一极以及第十薄膜晶体管M10的第二极的连接点。

[0037] 图7为本发明提供的一种移位寄存器的连接示意图,具体的,第一薄膜晶体管M1至第十一薄膜晶体管M11可以为P型薄膜晶体管,即当薄膜晶体管的栅极接收低电平信号时,薄膜晶体管导通,第一极上的信号可以导通至第二极;第一薄膜晶体管M1至第十一薄膜晶体管M11还可以为N型薄膜晶体管,即当薄膜晶体管的栅极接收高电平信号时,薄膜晶体管导通,第一极上的信号可以导通至第二极。

[0038] 具体的,上述移位寄存器串联连接成栅极驱动电路,栅极驱动电路一般位于显示面板的非显示区。其中,除了第一级移位寄存器外,其他所有移位寄存器的第一输入端IN为上一级移位寄存器的第一输出端Gn,第一级的移位寄存器的第一输入端接入触发信号,该信号由面板上的集成驱动芯片提供;除了最后一级的移位寄存器外,其他所有移位寄存器的第二输入端Gn+1为下一级移位寄存器的第一输出端Gn。

[0039] 上述实施例中,所有薄膜晶体管电连接的低电平信号输入端可以为同一输入端,也可以是不同输入端,均提供低电平信号。此外,上述第一输入端、低电平信号输入端、第一时钟信号输入端、第二时钟信号输入端、高电平信号输入端等均可以集成在集成驱动芯片内部,在此不做详细赘述,集成或者外置的形式都包括在本发明范围内,本发明不做具体限制。

[0040] 为了更好的说明本发明移位寄存器以及栅极驱动电路的工作原理,现结合图7以及图8来详细说明。其中,图8为本发明提供的一种驱动方法。本发明驱动方法用于驱动上述栅极驱动电路,上述栅极驱动电路由前文所述的移位寄存器串联组成,所有薄膜晶体管均为N型薄膜晶体管,具体连接结构不再赘述。该驱动方法主要包括四个阶段,具体为第一阶段T1、第二阶段T2、第三阶段T3以及第四阶段T4。

[0041] 在第一阶段T1过程中,第一输入端IN尚未输出信号,第一时钟信号输入端CKV1输出低电平信号,第二时钟信号输入端CKV2输出高电平信号,复位信号输入端RESET输出复位信号。此时第二晶体管M2栅极无信号输入,处于断开状态;第一薄膜晶体管M1以及第十薄膜晶体管M10的栅极接收第一输入端IN的低电平信号而处于断开状态;因第二时钟信号输入端CKV2输入高电平信号,此时第二电容C2进行充电,第二节点PD保持高电平信号因而第十一薄膜晶体管M11、第三薄膜晶体管M3以及第六薄膜晶体管M6导通,第十一薄膜晶体管M11的第二极、第三薄膜晶体管M3的第二极与第六薄膜晶体管M6的第二极接收低电平信号输入端L输出的低电平信号;因第三薄膜晶体管M3导通,导致低电平信号传输至第一节点PU,此时第四薄膜晶体管M4断开;因第一阶段T1过程中,复位信号输入端RESET输出复位信号,此

时第八薄膜晶体管M8以及第九薄膜晶体管M9导通,低电平信号输入端L输出的低电平信号进入移位寄存器,进行复位初始化,因此此时第一输出端Gn输出低电平信号。

[0042] 第二阶段T2过程中,第一输入端IN输出脉冲信号,即高电平信号,第一时钟信号输入端CKV1输出高电平信号,第二时钟信号输入端CKV2变为低电平信号。此时,因第一输入端IN输出高电平信号,第一薄膜晶体管M1以及第十薄膜晶体管M10导通,第三电容C3进行充电,第三节点K为高电平,第一节点PU变为高电平;因第一时钟信号输入端CKV1输出高电平信号,此时第七薄膜晶体管M7导通,第七薄膜晶体管M7的第二极接收低电平信号输入端L的低电平信号,并传输至第一电容C1的第二极;因第二时钟信号输入端CKV2输出低电平信号,此时第五薄膜晶体管在导通状态下将低电平信号传输至第五薄膜晶体管M5的第二极,此时第一输出端Gn依旧输出低电平信号;第二节点PD在第二电容C2的作用下变为低电平。

[0043] 第三阶段过程中,此时第一输入端IN维持低电平信号,第一时钟信号输入端CKV1输出低电平信号,第二时钟信号输入端CKV2输出高电平信号。因第一输入端IN维持低电平信号,此时第一薄膜晶体管M1以及第十薄膜晶体管M10处于断开状态,此时第三节点K在第三电容C3的作用下维持低电平状态;而第一节点PU在上一阶段处于高电平状态,因此第五薄膜晶体管M5导通,第二时钟信号输入端CKV2输出的高电平信号传输至第五薄膜晶体管M5的第二极,此时因为第一电容C1的耦合作用导致第一节点PU被抬高;第四薄膜晶体管M4因第一节点PU的高电平状态而导通,第二极接收低电平信号并传输至第二节点PD,因此第二节点PD维持低电平;此时第一输出端Gn输出脉冲信号,该信号传输至栅极线用于打开与像素电极连接的薄膜晶体管。

[0044] 第四阶段过程中,第一输入端IN维持低电平信号,第一时钟信号输入端CKV1输出高电平信号,第二时钟信号输入端CKV2输出低电平信号。此时,因第二电容C2的作用,第二节点PD变为低电平;第七薄膜晶体管M7的栅极因接收高电平信号而使第七薄膜晶体管M7导通,此时低电平信号从第七薄膜晶体管M7的第二极传输至第一电容C1的第二极;第一节点PU因第一电容C1的持续放电以及第三薄膜晶体管M3导通输入低电平信号而变为低电平;此时,第十薄膜晶体管M10以及第一薄膜晶体管M1依旧处于断开状态,第三节点K因无信号变化而维持在低电平。

[0045] 在上述过程中,当第一节点PU处于低电平状态时,第三节点K能够时刻维持低电平状态,因此第一晶体管M1的第一极与第二极之间的差值能够维持在较低的范围。也就是说,在第一输入端IN输出脉冲信号阶段过程中第三节点K变为高电平,其他阶段第三节点K始终维持在低电平状态,特别是在第一输出端Gn输出低电平信号时,因第一薄膜晶体管M1的第一极电连接第三节点K,能够始终维持在低电平状态,降低了漏电流的风险,防止第一薄膜晶体管M1发生器件特性偏移而影响第一信号输出端Gn的信号输出。

[0046] 注意,上述仅为本发明的较佳实施例及所运用技术原理。本领域技术人员会理解,本发明不限于这里所述的特定实施例,对本领域技术人员来说能够进行各种明显的变化、重新调整和替代而不会脱离本发明的保护范围。因此,虽然通过以上实施例对本发明进行了较为详细的说明,但是本发明不仅仅限于以上实施例,在不脱离本发明构思的情况下,还可以包括更多其他等效实施例,而本发明的范围由所附的权利要求范围决定。

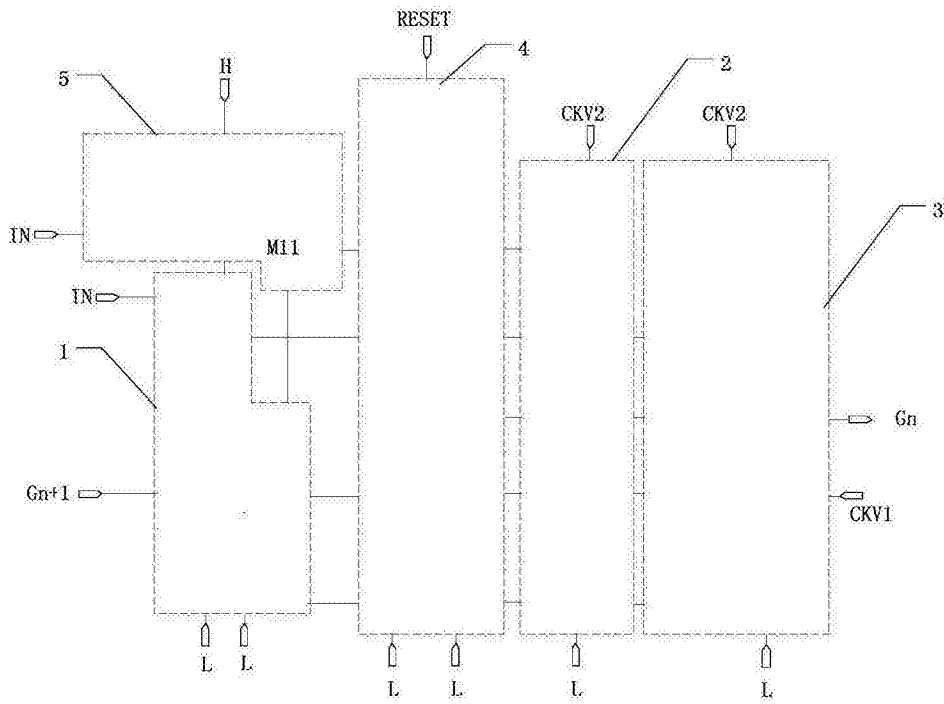


图1

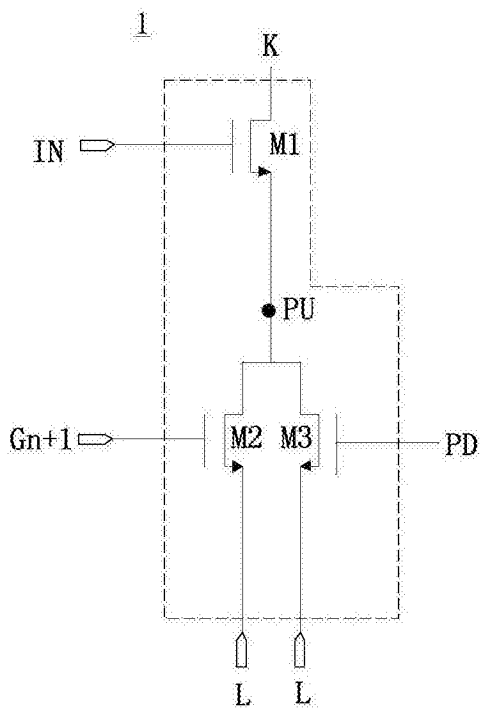


图2

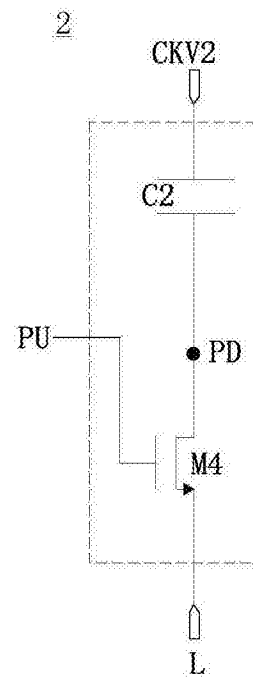


图3

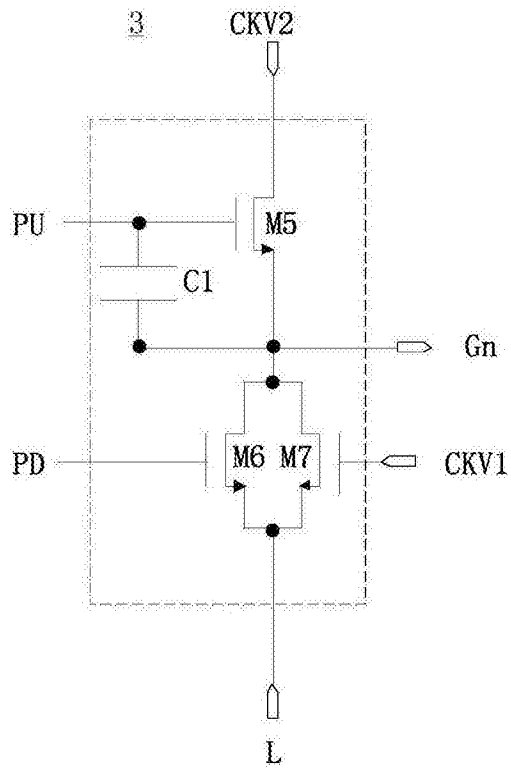


图4

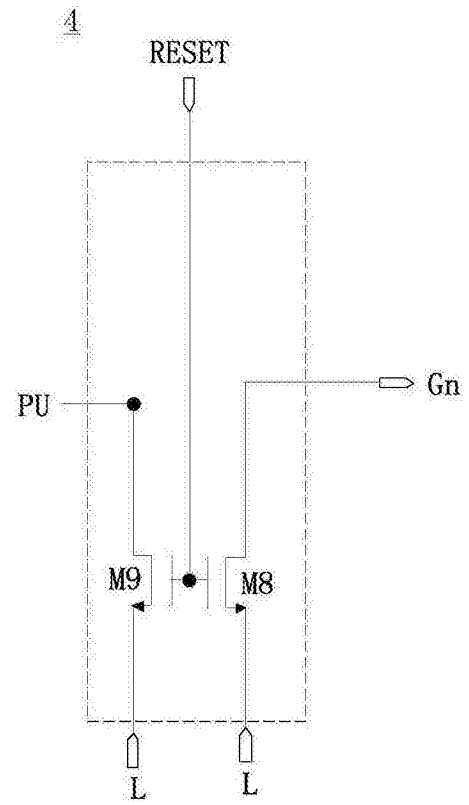


图5

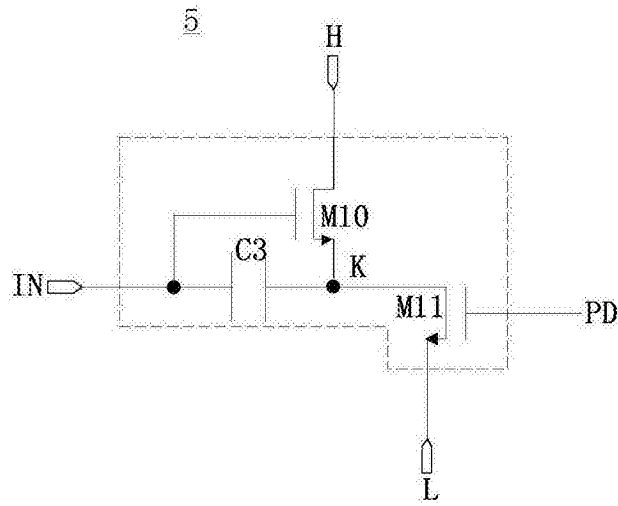


图6

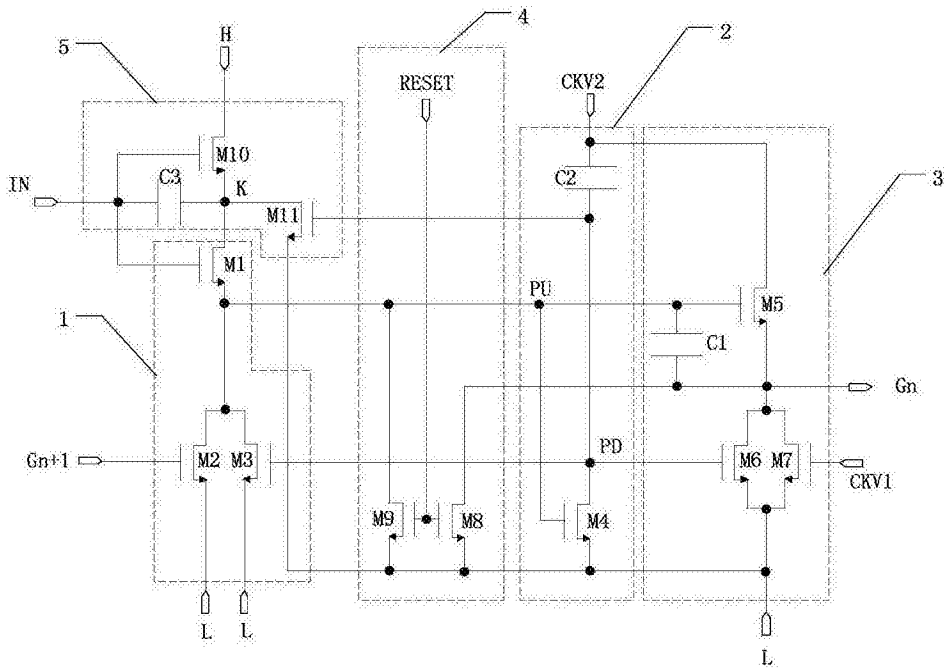


图7

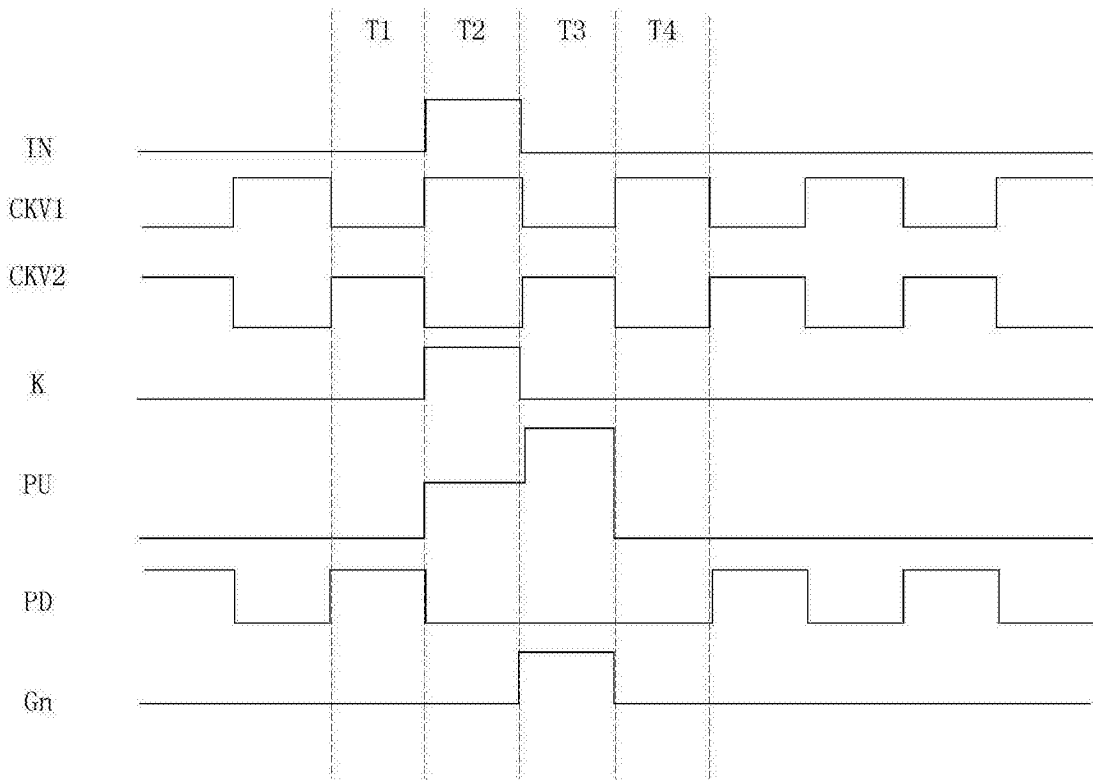


图8