[19] 中华人民共和国国家知识产权局

[51] Int. Cl.
H01L 29/06 (2006.01)

[12] 发明专利说明书

专利号 ZL 02141346.0

[45] 授权公告日 2006 年 8 月 2 日

[11] 授权公告号 CN 1268002C

[22] 申请日 2002.6.7 [21] 申请号 02141346.0

[30] 优先权

[32] 2001. 6. 8 [33] DE [31] 10127950.7

[71] 专利权人 因芬尼昂技术股份公司

地址 联邦德国慕尼黑

[72] 发明人 V·莱曼 A·舒伯特

审查员 朱永全

[74] 专利代理机构 中国专利代理(香港)有限公司

代理人 王 勇

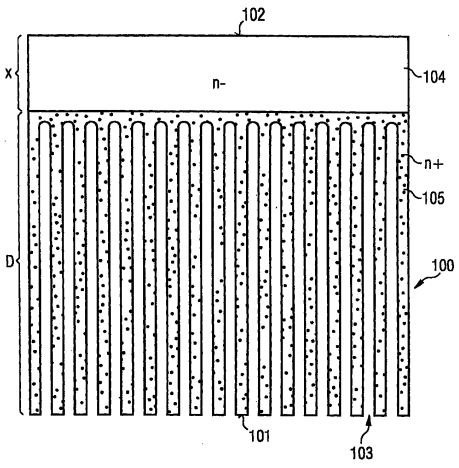
权利要求书 1 页 说明书 5 页 附图 6 页

[54] 发明名称

制造半导体部件的方法和半导体部件

[57] 摘要

本发明涉及一种制造半导体部件的方法，它有下述特征：提供一个半导体基体(100)，它具有第一和第二表面(101，102)；在半导体基体(100)内制造多个微孔(103)，它们从第一表面(101)开始延伸进入半导体基体(100)，并且在第二表面(102)下面结束；在微孔(103)区增加半导体基体(100)的导电性。 此外本发明还涉及半导体部件。



1. 一种制造半导体部件的方法，其特征在于：

- 提供一个半导体基体（100），它具有第一和第二表面（101，102），

- 在半导体基体（100）内制造多个微孔（103），它们从第一表面（101）开始延伸进入半导体基体（100），并且在第二表面（102）下面结束，

- 在微孔（103）的区域增加半导体基体（100）的导电性。

2. 如权利要求 1 所述的方法，其中，在微孔（103）中未覆盖的半导体基体（100）的区域进行掺杂。

3. 如权利要求 2 所述的方法，其中，掺杂步骤后跟随扩散步骤。

4. 如权利要求 1 或 2 所述的方法，其中，微孔（103）至少部分用导电材料填充，特别是金属或多晶硅。

5. 如权利要求 4 所述的方法，其中，所述导电材料是金属或多晶硅。

6. 如权利要求 1 或 2 所述的方法，其中，微孔（103）延伸入半导体基体（100），向下达到半导体基体（100）的厚度的 50%和 95%之间的一个深度。

7. 一个半导体部件，其特征在于包括：

- 半导体基体（100），具有第一和第二表面（101，102），它们每一个具有连接接触（110，112；110，130），

- 多个微孔（103），它们延伸进入半导体基体（100），从第一表面（101）开始，到第二表面（102）下面结束，该部件在微孔（103）区具有增加的导电性。

8. 如权利要求 7 所述的半导体部件，其中，所述半导体基体在微孔（103）的侧壁掺杂。

9. 如权利要求 7 或 8 所述的半导体部件，其中，所述微孔（103）至少部分用导电材料填充。

10. 如权利要求 9 所述的半导体部件，其中，导电材料是金属或多晶硅。

11. 如权利要求 7 或 8 所述的半导体部件，其中，微孔（103）延伸入半导体基体（100），向下达到半导体基体（100）的厚度的 50%和 95%之间的一个深度。

制造半导体部件的方法和半导体部件

技术领域

本发明涉及一个半导体部件，它集成在一个半导体基体（body）或芯片中，所述半导体基体或芯片具有第一和第二表面，在表面上安排有连接触点，以便与所述半导体部件接触。

背景技术

这种半导体部件例如是垂直晶体管，其在 Stengl/Tihanyi: "Leistungs-MOSFET-Praxis "[实用功率 MOSFET], Pflaum Verlag, 慕尼黑，1992，第 37 页说明。这种晶体管具有一个强 n 掺杂的半导体衬底，其上施有多个弱 n 掺杂外延层。在外延层中安排有 p 掺杂的基体区，随后在其中安排 n 掺杂的源区。在该部件中，源区和基体区在半导体基体前侧接触，半导体基体用衬底和外延层形成。衬底形成晶体管的漏区，其与半导体基体的后侧接触。用作漂移区的外延层的厚度和掺杂决定性地规定了已知部件的电特性，特别是其反向电压及其导通电阻。其上施加有外延层的衬底尽可能高地掺杂，以便使导通电阻尽可能地小。

强掺杂衬底基本用作载体，在制造方法期间需要它来处理晶片，晶片中制造许多这种晶体管，并在制造方法结束时从晶片切割出带晶体管的芯片。在理论上晶片只具有决定电特性的漂移区的厚度就够了，但是实际上无法制造这种晶体管，因为漂移区的厚度通常是这样小，以致晶片完全不稳定。

此外，通常知道，具有在半导体基体的相对表面上的连接的垂直半导体部件是二极管，为稳定性起见，它通常同样具有一个衬底，该衬底是良导体，其上例如通过外延施加形成 pn 结的半导体层，它的掺杂和大小决定二极管的电特性。

一方面，为保证晶片在制造期间有足够的机械稳定性，这只有通过一定的厚度保证，另一方面，为减小为在该部件上制造所需要的这一厚度的影响，通常在上述施加外延层的可能性之外还知道另外的步骤，外延层决定衬底的电特性，而衬底是良导体。

这样，一般知道，提供一个具有掺杂的晶片，它满足对在半导体部件

的各区中掺杂的需要，例如对漏区，接着，使影响该部件的电特性的晶片区域变薄。

此外，一般知道，当想要省略外延时，使用较弱掺杂的晶片，并从后侧通过深度扩散掺杂该晶片，以便在晶片只提供机械稳定性的区域产生低电阻，以及为了能从后侧以低阻抗方式接触在这些区域上面形成的半导体部件。

发明内容

本发明的一个目的是提供一种制造半导体部件的方法，其中，允许其内制造有许多元件的晶片具有这样的厚度，它足以在所述制造方法期间处理该晶片，以及其中，晶片或后来的芯片的没有形成元件的有源区域的区域具有低电阻。

本发明提供了一种制造半导体部件的方法，其特征在于包括：提供一个半导体基体，它具有第一和第二表面；在半导体基体内制造多个微孔，它们从第一表面开始延伸进入半导体基体，并且在第二表面下面结束；在微孔的区域增加半导体基体的导电性。

本发明还提供了一个半导体部件，其特征在于包括：半导体基体，具有第一和第二表面，它们每一个具有连接接触；多个微孔，它们延伸进入半导体基体，从第一表面开始，到第二表面下面结束，该部件在微孔区具有增加的导电性。

半导体基体的导电性随后在微孔区增加，这例如通过在未由微孔覆盖的半导体基体的区域内扩散入掺杂材料原子，和/或用导电材料填充微孔，特别是用金属或多晶硅来实现。

可以使用半导体基体第二表面下面微孔没有渗透的区域实现实际的半导体部件的有源区，例如二极管或晶体管。这些有源区可以在微孔产生之前或在微孔产生之后制造。微孔进入半导体基体从第一表面开始的深度与半导体基体或后来形成多个半导体基体/芯片的晶片的厚度协调，使得具有适合实现希望的部件的厚度的半导体层留在位于半导体基体内的微孔的末端到第二表面之间。在这一场合，根据本发明的方法特别适合于制造 PIN 光敏二极管。

微孔渗透入半导体基体内的值例如在半导体基体在微孔的方向上的总厚度的 50%到 95%之间。

就电气特性而言，导电性在微孔区域增加的半导体基体的行为近似一

个薄衬底，该薄衬底只有未由微孔渗透的半导体基体层的厚度，而且可以通过作为良导体的微孔区从半导体基体的第二表面与其接触。

附图说明

下面参考附图使用几个实施例更详细地解释本发明。其中：

图 1 表示在按照本发明制造半导体部件的方法的各个方法步骤期间半导体基体/晶片的细节，

图 2 表示半导体基体/芯片的细节，其中，在微孔区通过用导电材料填充微孔增加了导电性，

图 3 表示根据本发明的第一实施例的半导体部件，

图 4 表示根据本发明的第二实施例的半导体部件。

具体实施方式

图 1 表示制造半导体部件期间根据本发明的方法步骤，图 1 以断面图的形式表示一个半导体基体或晶片，可以从该晶片在后来切割多个半导体基体/芯片。

在第一方法步骤中，如图 1a 所示，提供一个半导体基体 100，它具有第一表面 101 和第二表面 102。

之后，在半导体基体 100 内从第一表面 101 开始产生微孔，这些微孔在半导体基体的第二表面 102 的下面结束，如图 1b 所示。举一个例子，在 EP 0 296 348 A1 中说明的电化学微孔腐蚀方法用于制造微孔 103 是适合的。

另外，如图 1c 所示，在微孔 103 区域的半导体基体的导电性增加。为此目的，按照本方法的第一实施例，从第一表面 101 开始，把掺杂材料原子，特别是施主原子，掺入半导体基体 100 在微孔中未覆盖的区域内，随后通过一个热步骤使掺杂材料原子扩散入半导体基体。扩散深度和相邻微孔 103 的间隔优选彼此协调，使得在这些微孔之间的区域被完全掺杂，并因此而具有高掺杂。在该例中，图 1a 中所示半导体基体 100 在该方法开始弱 n 掺杂，为了增加在微孔 103 区域的导电性而实施强 n 掺杂。

为增加微孔区的导电性，另外或者作为替代方案用导电材料填充微孔 103，特别是例如用铜或多晶硅。图 2 表示微孔 103 用导电材料填充的一个半导体基体 100。

在图 1 和 2 所示实施例中，导电性增加的区域占据厚度为 D 的区域 105。在导电性增加的区域 105 上面厚度为 x 的区域 104 为实现半导体部

件的有源区域保留。厚度 D 优选大于厚度 x，例如，在半导体基体总厚度（D+x）的 50%和 95%之间。

区域 105 主要对在区域 104 中制造半导体部件期间给晶片的机械稳定性作贡献，晶片横向延伸超过 D 或厚度 D 与 x 的和的数量的几个数量级。因此，区域 D 基本用作为可以在其内形成半导体部件的区域 104 的载体层，这将参考图 3 和 4 说明。此外，区域 105 用作为所述半导体部件的连接区，通过用导电材料掺杂和/或填充微孔 103 而引起区域 105 的导电性的增加的测度要努力使连接区 105 尽可能不增加半导体部件的电阻。

半导体基体的区域 104 的作用像一个薄衬底，可以从半导体基体 100 的第一表面 101 通过区域 105 以低阻抗方式与其接触。

另外，从微孔 103 的掺杂具有这样的效果，即由例如光产生的电子-空穴对的寿命在该区域内很短。其结果，可以实现非常快的 PIN 二极管。

图 3 以断面侧视图表示集成在使用按照图 1 或 2 的方法处理的半导体基体内的二极管。通过施加在第一表面 101 上的一个接触层 110，优选是金属，与带有微孔 103 的区域 105 接触。从第二表面 102 开始，在区域 104 内使用完全已知的方法产生 p 掺杂区 104A，借助接触层 112 与所述区接触。P 掺杂区 104A 形成阳极区，而 n 掺杂区 104B 形成二极管的阴极区。优选这样选择半导体基体 100 的初始掺杂，使其适合形成二极管后来的阴极区 104B。

图 4 以断面侧视图表示一个垂直 MOS 晶体管，它集成在使用按照图 1 或 2 的方法处理的半导体基体内。为制造该晶体管，p 掺杂的基体区引入 n 掺杂的区域 104，依次又把强 n 掺杂的源区 122 引入所述基体区。源区 122 和基体区 120 通过施加在半导体基体 100 的第二表面 102 上的源电极 130 短路。区域 104 的一个部分 120 形成 MOS 晶体管的漂移区，用连接层 110 与其接触，它施加到第一表面 101 上，并通过微孔区 105 形成漏电极。此外，在半导体基体 100 的第二表面 102 上面提供栅电极 126，并从半导体基体 100 和源电极 130 用绝缘层 128 绝缘。

在按照图 4 的 MOS 晶体管的场合，半导体基体在微孔 103 的区域掺杂，而微孔 103 用导电材料填充。以这种方式选择半导体基体 100 的初始掺杂，使其适合形成漂移区 120。

虽然在上述说明中已经假定半导体部件的有源区在制造微孔 103 后产生，当然也可能在半导体基体 100 内产生微孔 103 之前制造半导体部件的

有源区域。

根据本发明的方法，通过制造微孔和在微孔区增加导电性而增加半导体材料的导电性，适合制造任何希望的垂直半导体部件，具有微孔和增加的导电性的半导体基体用于取代已知的载体材料，包括外延材料。

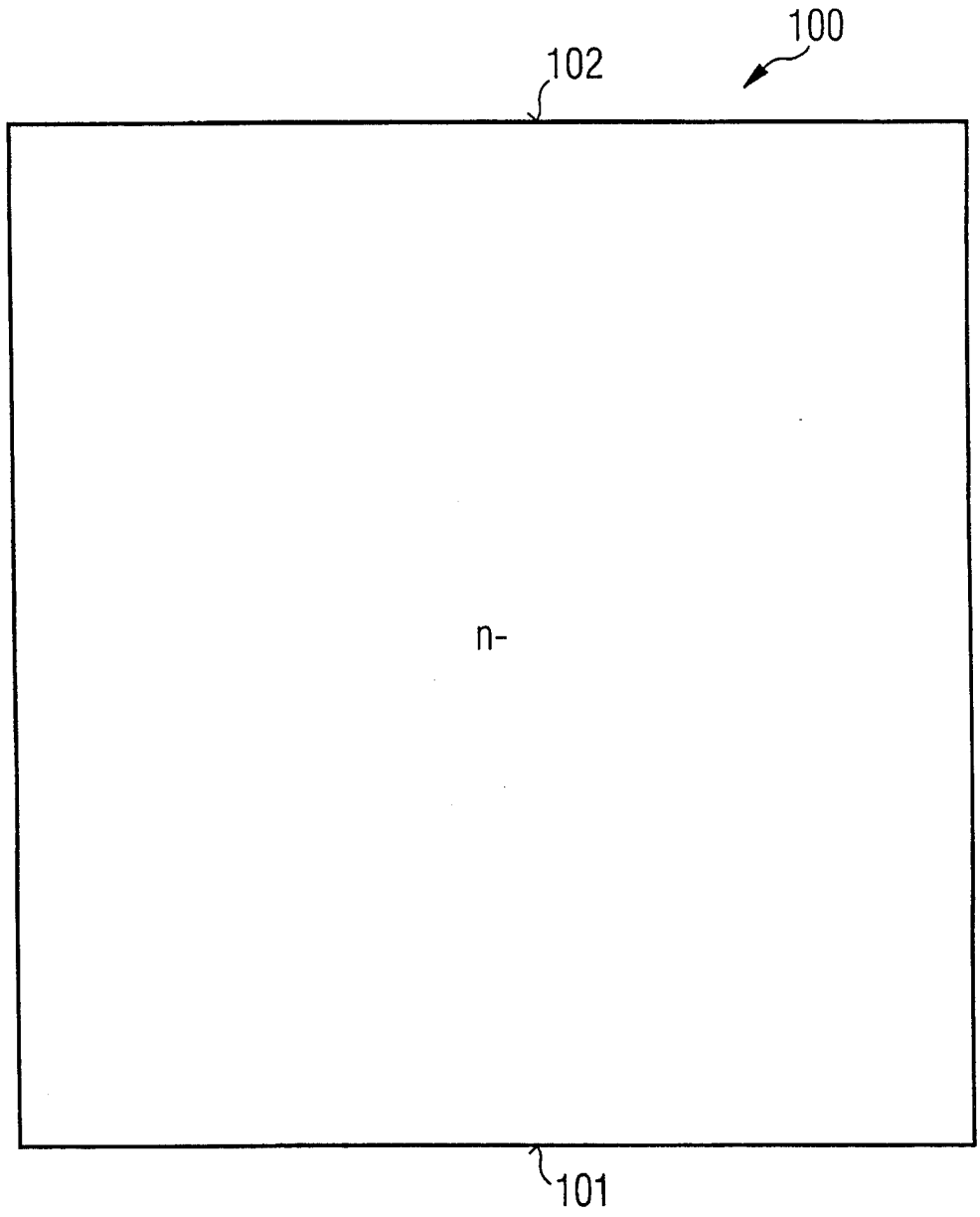


图 1a

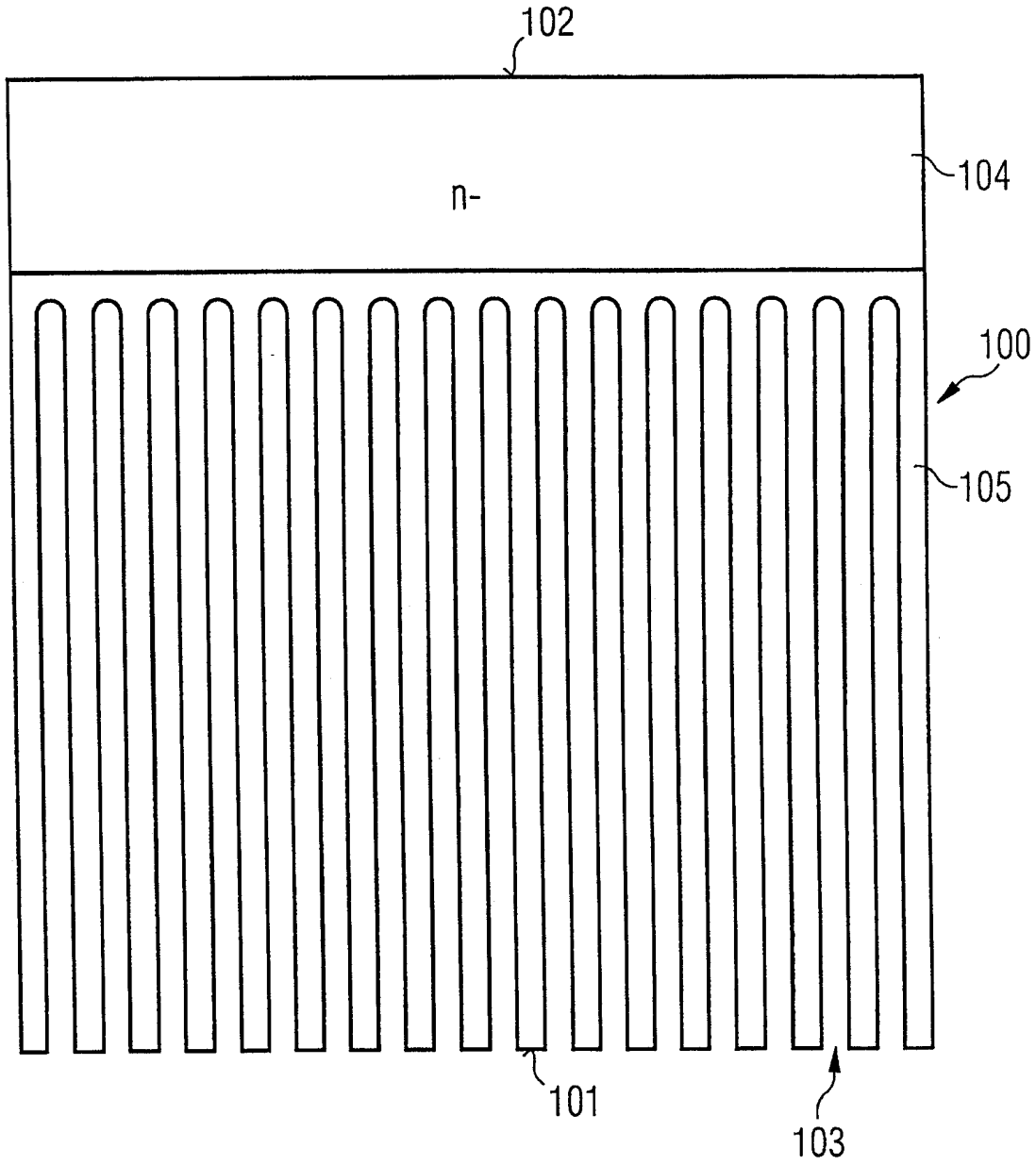


图 1b

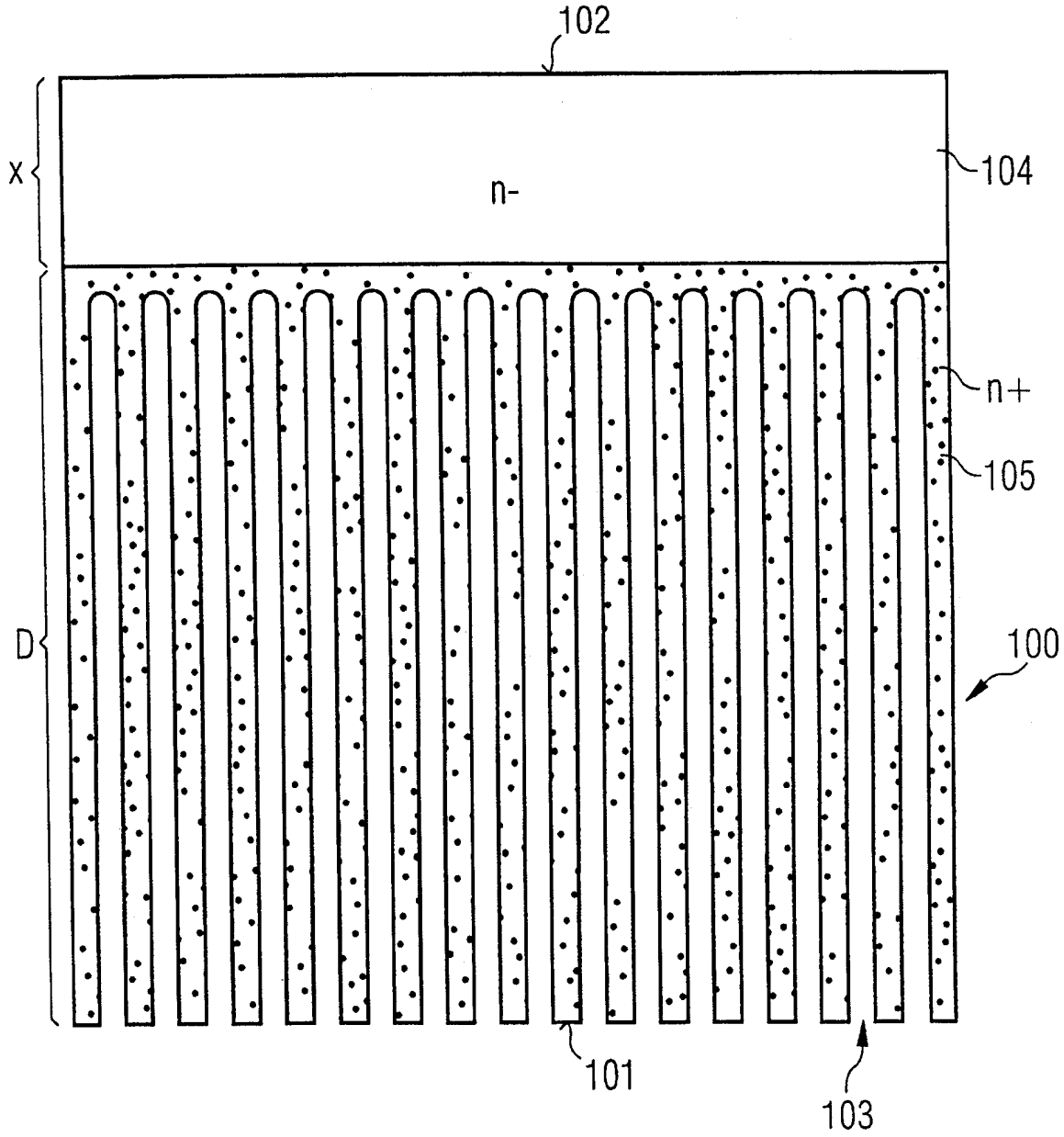


图 1c

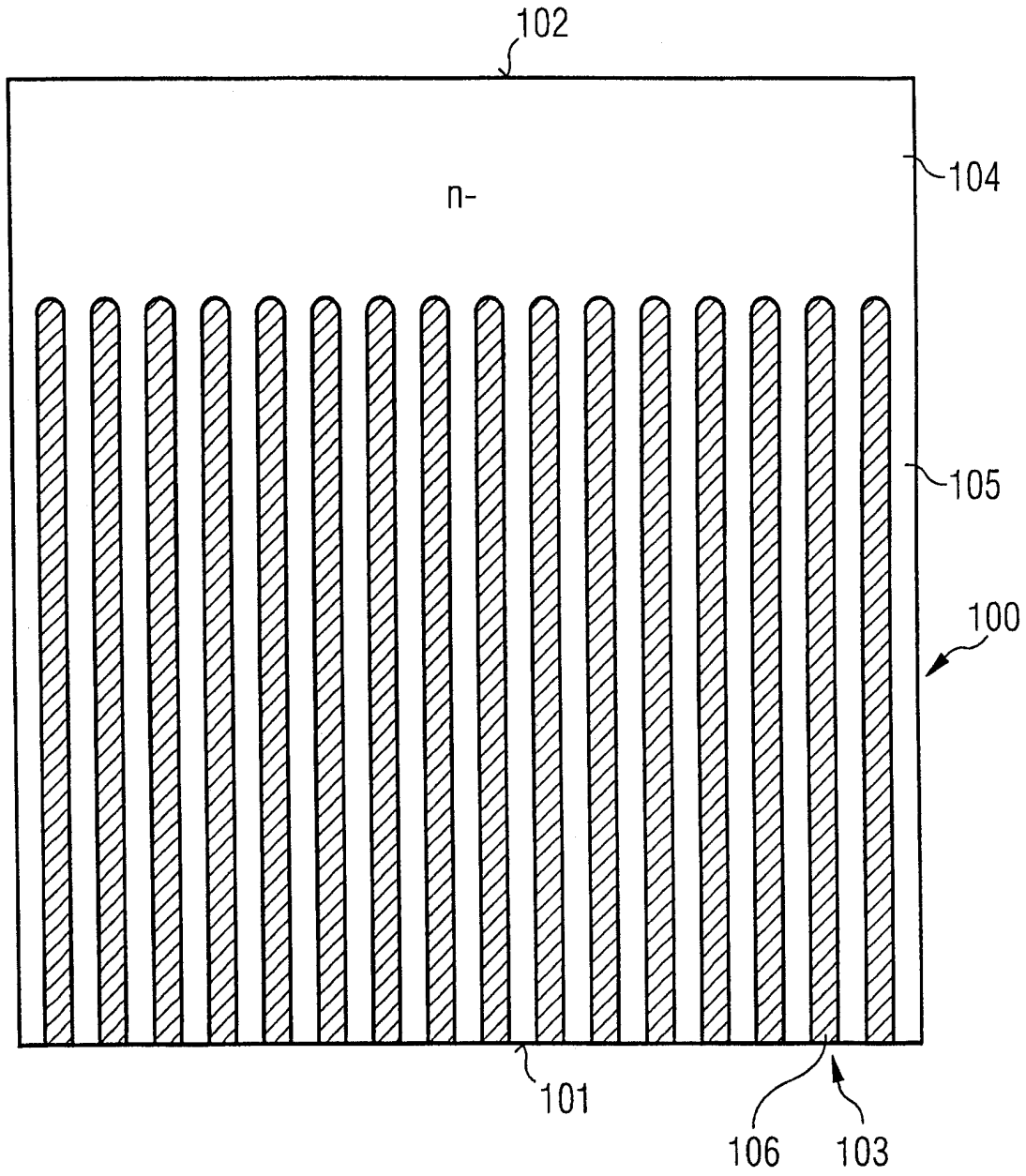


图 2

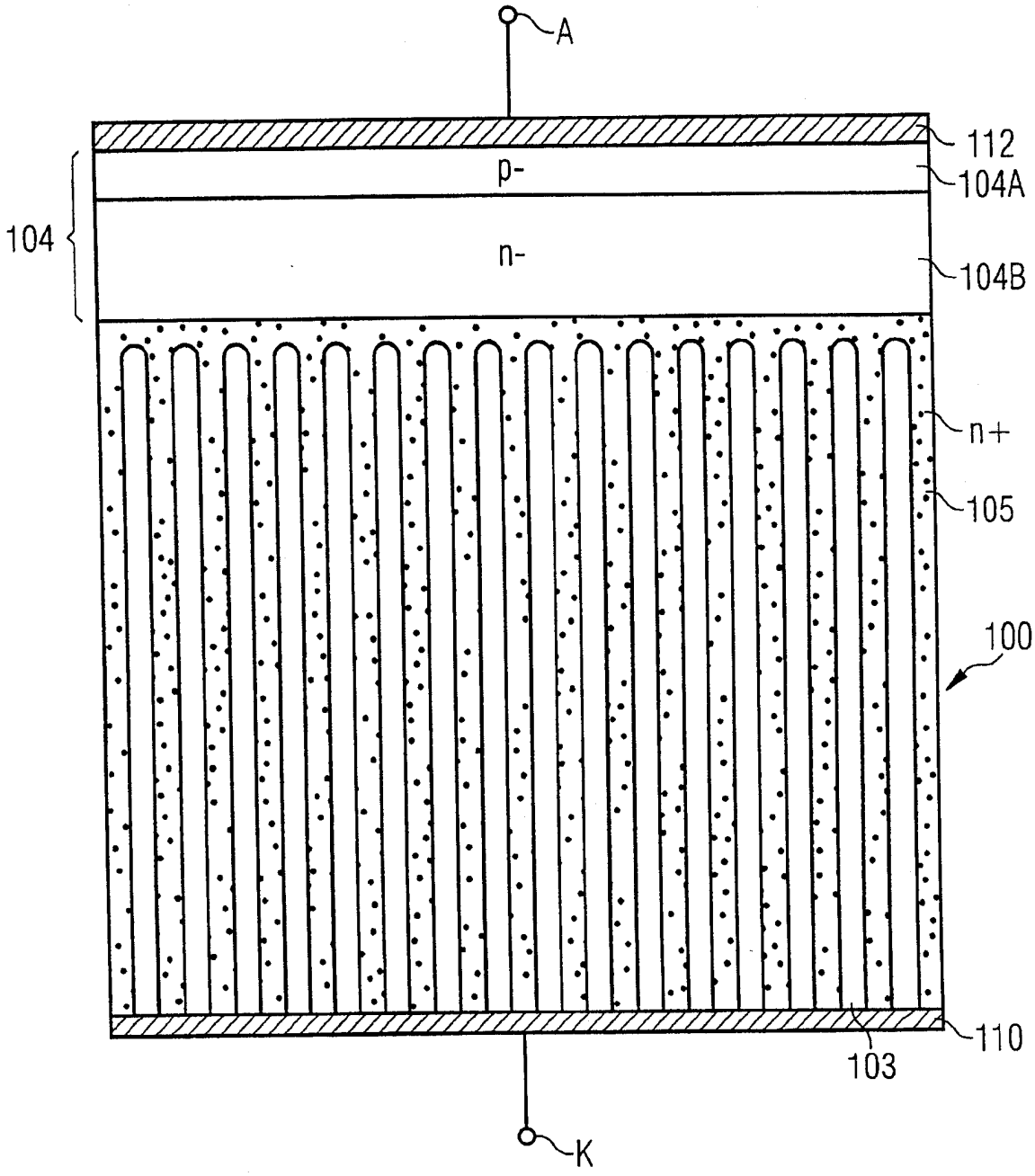


图 3

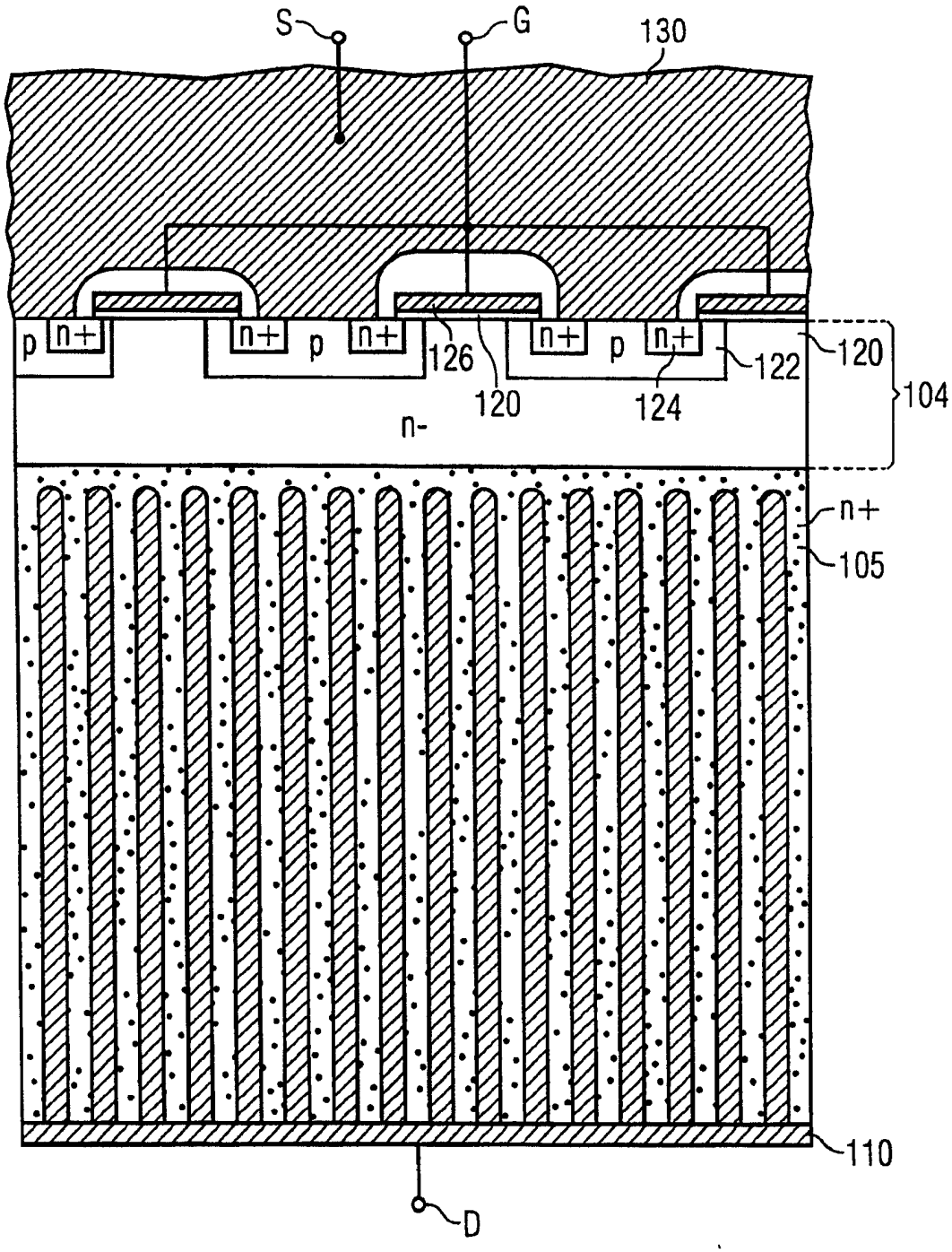


图 4