

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2015年6月25日(25.06.2015)



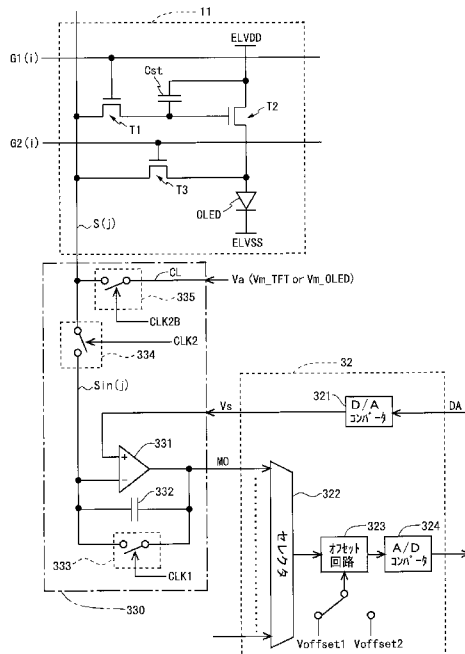
(10) 国際公開番号
WO 2015/093097 A1

- (51) 国際特許分類:
G09G 3/30 (2006.01) H01L 51/50 (2006.01)
G09G 3/20 (2006.01)
- (21) 国際出願番号: PCT/JP2014/071721
- (22) 国際出願日: 2014年8月20日(20.08.2014)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2013-264466 2013年12月20日(20.12.2013) JP
- (71) 出願人: シャープ株式会社(SHARP KABUSHIKI KAISHA) [JP/JP]; 〒5458522 大阪府大阪市阿倍野区長池町2番2号 Osaka (JP).
- (72) 発明者: 岸 宣孝(KISHI, Noritaka).
- (74) 代理人: 島田 明宏(SHIMADA, Akihiro); 〒6340078 奈良県橿原市八木町1丁目10番3号 萬盛庵ビル 島田特許事務所 Nara (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーロパ (AM, AZ, BY, KG, KZ, RU, TJ, TM), ユーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

[続葉有]

(54) Title: DISPLAY DEVICE AND METHOD FOR DRIVING SAME

(54) 発明の名称: 表示装置およびその駆動方法



321 D/A converter
322 Selector
323 Offset circuit
324 A/D converter

(57) Abstract: The present invention obtains a display device capable of compensating for circuit element deterioration while suppressing circuit scale enlargement (in particular, a display device capable of simultaneously compensating for both the deterioration of a drive transistor and a light-emitting element). In addition to being used as a signal line for transmitting a signal for causing organic EL elements (OLEDs) in pixel circuits (11) to emit light of prescribed brightnesses, a data signal line (S(j)) is used as a signal line for characteristic detection. Further, a switch (334) is provided between the data signal line (S(j)) and an internal data line (Sin(j)). In a configuration such as this, in an A/D conversion period in which analog data acquired for the purpose of characteristic detection is converted to digital data, the switch (334) is made to be in an off state. The electric potential of the data signal line (S(j)) immediately before the A/D conversion period is supplied from a prescribed control line (CL) to the data signal line (S(j)).

(57) 要約: 回路規模の増大を抑制しつつ回路素子の劣化を補償することのできる表示装置(特に、駆動トランジスタの劣化および発光素子の劣化の双方を同時に補償することのできる表示装置)を実現する。データ信号線(S(j))は、各画素回路(11)内の有機EL素子(OLED)を所望の輝度で発光させるための信号を伝達する信号線として用いられるだけでなく、特性検出用の信号線としても用いられる。また、データ信号線(S(j))と内部データ線(Sin(j))との間にスイッチ(334)が設けられる。このような構成において、特性検出のために取得したアナログデータをデジタルデータに変換するA/D変換期間には、スイッチ(334)がオフ状態にされるとともに、当該A/D変換期間直前におけるデータ信号線(S(j))の電位が所定の制御線(CL)からデータ信号線(S(j))に供給される。

添付公開書類:

— 国際調査報告 (条約第 21 条(3))

明 細 書

発明の名称：表示装置およびその駆動方法

技術分野

[0001] 本発明は表示装置およびその駆動方法に関し、より詳しくは、有機ＥＬ（Electro Luminescence）素子などの電気光学素子を含む画素回路を備える表示装置およびその駆動方法に関する。

背景技術

[0002] 従来より、表示装置が備える表示素子としては、印加される電圧によって輝度が制御される電気光学素子と流れる電流によって輝度が制御される電気光学素子とがある。印加される電圧によって輝度が制御される電気光学素子の代表例としては液晶表示素子が挙げられる。一方、流れる電流によって輝度が制御される電気光学素子の代表例としては有機ＥＬ素子が挙げられる。有機ＥＬ素子は、ＯＬＥＤ（Organic Light-Emitting Diode）とも呼ばれている。自発光型の電気光学素子である有機ＥＬ素子を使用した有機ＥＬ表示装置は、バックライトおよびカラーフィルタなどを要する液晶表示装置に比べて、容易に薄型化・低消費電力化・高輝度化などを図ることができる。従って、近年、積極的に有機ＥＬ表示装置の開発が進められている。

[0003] 有機ＥＬ表示装置の駆動方式として、パッシブマトリクス方式（単純マトリクス方式とも呼ばれる。）とアクティブマトリクス方式とが知られている。パッシブマトリクス方式を採用した有機ＥＬ表示装置は、構造は単純であるものの、大型化および高精細化が困難である。これに対して、アクティブマトリクス方式を採用した有機ＥＬ表示装置（以下「アクティブマトリクス型の有機ＥＬ表示装置」という。）は、パッシブマトリクス方式を採用した有機ＥＬ表示装置に比べて大型化および高精細化を容易に実現できる。

[0004] アクティブマトリクス型の有機ＥＬ表示装置には、複数の画素回路がマトリクス状に形成されている。アクティブマトリクス型の有機ＥＬ表示装置の画素回路は、典型的には、画素を選択する入力トランジスタと、有機ＥＬ素

子への電流の供給を制御する駆動トランジスタとを含んでいる。なお、以下においては、駆動トランジスタから有機EL素子に流れる電流のことを「駆動電流」という場合がある。

[0005] 図32は、従来の一般的な画素回路91の構成を示す回路図である。この画素回路91は、表示部に配設されている複数のデータ信号線Sと複数の走査線Gとの各交差点に対応して設けられている。図32に示すように、この画素回路91は、2個のトランジスタT1、T2と、1個のコンデンサC_{st}と、1個の有機EL素子OLEDとを備えている。トランジスタT1は入力トランジスタであり、トランジスタT2は駆動トランジスタである。

[0006] トランジスタT1は、データ信号線SとトランジスタT2のゲート端子との間に設けられている。そのトランジスタT1に関し、走査線Gにゲート端子が接続され、データ信号線Sにソース端子が接続されている。トランジスタT2は、有機EL素子OLEDと直列に設けられている。そのトランジスタT2に関し、ハイレベル電源電圧ELVDDを供給する電源線にドレイン端子が接続され、有機EL素子OLEDのアノード端子にソース端子が接続されている。なお、ハイレベル電源電圧ELVDDを供給する電源線のことを以下「ハイレベル電源線」といい、ハイレベル電源線にはハイレベル電源電圧と同じ符号ELVDDを付す。コンデンサC_{st}については、トランジスタT2のゲート端子に一端が接続され、トランジスタT2のソース端子に他端が接続されている。有機EL素子OLEDのカソード端子は、ローレベル電源電圧ELVSSを供給する電源線に接続されている。なお、ローレベル電源電圧ELVSSを供給する電源線のことを以下「ローレベル電源線」といい、ローレベル電源線にはローレベル電源電圧と同じ符号ELVSSを付す。また、ここでは、トランジスタT2のゲート端子と、コンデンサC_{st}の一端と、トランジスタT1のドレイン端子との接続点のことを便宜上「ゲートノードVG」という。なお、一般的には、ドレインとソースのうち電位の高い方がドレインと呼ばれているが、本明細書の説明では、一方をドレイン、他方をソースと定義するので、ドレイン電位よりもソース電位の方が

高くなることもある。

[0007] 図33は、図32に示す画素回路91の動作を説明するためのタイミングチャートである。時刻 t_1 以前には、走査線Gは非選択状態となっている。従って、時刻 t_1 以前には、トランジスタT1がオフ状態になっており、ゲートノードVGの電位は初期レベル（例えば、1つ前のフレームでの書き込みに応じたレベル）を維持している。時刻 t_1 になると、走査線Gが選択状態となり、トランジスタT1がターンオンする。これにより、データ信号線SおよびトランジスタT1を介して、この画素回路91が形成する画素（サブ画素）の輝度に対応するデータ電圧VdataがゲートノードVGに供給される。その後、時刻 t_2 までの期間に、ゲートノードVGの電位がデータ電圧Vdataに応じて変化する。このとき、コンデンサCstは、ゲートノードVGの電位とトランジスタT2のソース電位との差であるゲートソース間電圧Vgsに充電される。時刻 t_2 になると、走査線Gが非選択状態となる。これにより、トランジスタT1がターンオフし、コンデンサCstが保持するゲートソース間電圧Vgsが確定する。トランジスタT2は、コンデンサCstが保持するゲートソース間電圧Vgsに応じて有機EL素子OLEDに駆動電流を供給する。その結果、駆動電流に応じた輝度で有機EL素子OLEDが発光する。

[0008] ところで、有機EL表示装置においては、駆動トランジスタとして、典型的には薄膜トランジスタ（TFT）が採用される。しかしながら、薄膜トランジスタについては、閾値電圧にばらつきが生じやすい。表示部内に設けられている駆動トランジスタに閾値電圧のばらつきが生じると、輝度のばらつきが生じるので表示品位が低下する。そこで、有機EL表示装置における表示品位の低下を抑制する技術が従来より提案されている。例えば、日本の特開2005-31630号公報には、駆動トランジスタの閾値電圧のばらつきを補償する技術が開示されている。また、日本の特開2003-195810号公報および日本の特開2007-128103号公報には、画素回路から有機EL素子OLEDに流れる電流を一定にする技術が開示されている。

。さらに、日本の特開２００７－２３３３２６号公報には、駆動トランジスタの閾値電圧や電子移動度に関わらず均一な輝度の画像を表示する技術が開示されている。

[0009] 上述の先行技術によれば、表示部内に設けられている駆動トランジスタに閾値電圧のばらつきが生じて、所望の輝度（目標輝度）に応じて有機ＥＬ素子（発光素子）に一定電流を供給することが可能となる。しかしながら、有機ＥＬ素子に関しては、時間の経過とともに電流効率が低下する。すなわち、たとえ一定電流が有機ＥＬ素子に供給されたとしても、時間の経過とともに輝度が徐々に低下する。その結果、焼き付きが生じる。

[0010] 以上より、駆動トランジスタの劣化および有機ＥＬ素子の劣化に対して何ら補償が行われなければ、図３４に示すように、駆動トランジスタの劣化に起因する電流低下が生じるとともに有機ＥＬ素子の劣化に起因する輝度低下が生じる。また、駆動トランジスタの劣化に対して補償が行われても、図３５に示すように、時間が経過するにつれて、有機ＥＬ素子の劣化に起因する輝度低下が生じる。そこで、日本の特表２００８－５２３４４８号公報には、駆動トランジスタの特性に基づいてデータを補正する技術に加えて、有機ＥＬ素子ＯＬＥＤの特性に基づいてデータを補正する技術が開示されている。

先行技術文献

特許文献

- [0011] 特許文献１：日本の特開２００５－３１６３０号公報
特許文献２：日本の特開２００３－１９５８１０号公報
特許文献３：日本の特開２００７－１２８１０３号公報
特許文献４：日本の特開２００７－２３３３２６号公報
特許文献５：日本の特表２００８－５２３４４８号公報

発明の概要

発明が解決しようとする課題

[0012] ところが、日本の特表２００８－５２３４４８号公報に開示された技術によれば、選択期間中には駆動トランジスタまたは有機ＥＬ素子のいずれか一方の特性しか検出することができない。このため、駆動トランジスタの劣化および有機ＥＬ素子の劣化の双方を同時に補償することはできない。

[0013] また、駆動トランジスタの特性の検出や有機ＥＬ素子の特性の検出が可能となるように表示装置を構成しようとする場合、できるだけ回路規模が増大しないことが望まれる。回路規模が増大すると、例えば低消費電力化や小型化を図る上で不利になるからである。この点に関し、日本の特表２００８－５２３４４８号公報に開示された技術においては、図３６に示すように、データ信号を画素回路に供給するためのデータ信号線ＶＤＡＴＡに加えて、特性検出のための電流検出用のモニタラインＭＯＮＩＴＯＲが設けられている。このため、回路規模の増大の程度が大きい。

[0014] そこで、本発明は、回路規模の増大を抑制しつつ回路素子の劣化を補償することのできる表示装置（特に、駆動トランジスタの劣化および有機ＥＬ素子の劣化の双方を同時に補償することのできる表示装置）を実現することを目的とする。

課題を解決するための手段

[0015] 本発明の第１の局面は、アクティブマトリクス型の表示装置であって、
電流によって輝度が制御される電気光学素子および前記電気光学素子に供給すべき電流を制御するための駆動トランジスタをそれぞれが含む $n \times m$ 個（ n および m は２以上の整数）の画素回路からなる n 行 $\times$ m 列の画素マトリクスと、前記画素マトリクスの各行に対応するように設けられた走査線と、前記画素マトリクスの各行に対応するように設けられたモニタ制御線と、前記画素マトリクスの各列に対応するように設けられたデータ信号線とを有する表示部と、

フレーム期間に前記電気光学素子または前記駆動トランジスタの少なくとも一方を含む特性検出対象回路素子の特性を検出する特性検出処理が行われるよう、かつ、各電気光学素子が目標輝度に応じて発光するよう、前記走査

線、前記モニタ制御線、および前記データ信号線を駆動する画素回路駆動部と、

前記特性検出処理の結果に基づいて得られる特性データを、映像信号を補正するための補正データとして記憶する補正データ記憶部と、

前記補正データ記憶部に記憶されている補正データに基づいて前記映像信号を補正して、前記 $n \times m$ 個の画素回路に供給すべきデータ信号を生成する映像信号補正部と

を備え、

各画素回路は、

前記電気光学素子と、

前記走査線に制御端子が接続され、前記駆動トランジスタの制御端子に第1導通端子が接続され、前記データ信号線に第2導通端子が接続された入力トランジスタと、

駆動電源電位が第1導通端子に与えられた前記駆動トランジスタと、

前記モニタ制御線に制御端子が接続され、前記駆動トランジスタの第2導通端子および前記電気光学素子の陽極に第1導通端子が接続され、前記データ信号線に第2導通端子が接続されたモニタ制御トランジスタと、

前記駆動トランジスタの制御端子の電位を保持するため、一端が前記駆動トランジスタの制御端子に接続された第1のコンデンサとを含み、

前記画素回路駆動部は、

前記データ信号を前記データ信号線に印加する機能および前記データ信号線に流れている電流の大きさに応じたデータを前記特性データの元となるモニタデータとして取得する機能を有する出力／電流モニタ回路と、

前記モニタデータをアナログ値からデジタル値に変換するAD変換回路と

を含み、

前記出力／電流モニタ回路は、

前記データ信号線に接続された内部データ線と、

前記データ信号が非反転入力端子に与えられ、前記内部データ線に反転入力端子が接続されたオペアンプと、

前記内部データ線に一旦が接続され、前記オペアンプの出力端子に他端が接続された第2のコンデンサと、

前記内部データ線に一旦が接続され、前記オペアンプの出力端子に他端が接続された第1の制御スイッチと、

前記データ信号線に一端が接続され、前記内部データ線に他端が接続された第2の制御スイッチと

を含み、

前記A/D変換回路は、複数個の前記出力／電流モニタ回路につき1個設けられ、

フレーム期間において前記特性検出処理が行われる行をモニタ行と定義し、前記モニタ行以外の行を非モニタ行と定義したとき、フレーム期間には、前記モニタ行において前記特性検出対象回路素子の特性を検出する準備が行われる検出準備期間と、前記データ信号線に流れている電流を測定することによって前記特性検出対象回路素子の特性を検出する電流測定期間と、前記モニタ行において前記電気光学素子を発光させる準備が行われる発光準備期間とからなる特性検出処理期間が含まれ、

前記電流測定期間には、前記特性検出対象回路素子の特性に応じた大きさの電流が前記データ信号線に流れるように前記データ信号線を充電するデータ信号線充電期間と、前記データ信号線に流れている電流の時間積分値を前記第2のコンデンサに蓄積することによって前記モニタデータを取得するモニタ期間と、前記A/D変換回路が前記モニタデータをアナログ値からデジタル値に変換するA/D変換期間とが含まれ、

前記A/D変換期間には、

前記第2の制御スイッチがオフ状態とされることによって、前記データ信号線と前記内部データ線とが電氣的に切り離され、

前記A/D変換回路において、対応する複数個の前記出力／電流モニタ回路によってそれぞれ取得された複数個の前記モニタデータが順次にアナログ値からデジタル値に変換されることを特徴とする。

[0016] 本発明の第2の局面は、本発明の第1の局面において、

前記電流測定期間は、前記駆動トランジスタの特性を検出するための電流測定が行われる駆動トランジスタ特性検出期間と前記電気光学素子の特性を検出するための電流測定が行われる電気光学素子特性検出期間とからなることを特徴とする。

[0017] 本発明の第3の局面は、本発明の第2の局面において、

前記出力／電流モニタ回路は、前記データ信号線に一端が接続され、所定の制御線に他端が接続された第3の制御スイッチを更に含み、

前記電流測定期間のうちの前記駆動トランジスタ特性検出期間においては、前記A/D変換期間には、前記第3の制御スイッチがオン状態とされることによって前記データ信号線と前記制御線とが電氣的に接続され、かつ、前記制御線には前記データ信号線充電期間に前記データ信号線に与えられた電位の大きさに等しい大きさの電位が与えられることを特徴とする。

[0018] 本発明の第4の局面は、本発明の第3の局面において、

前記電流測定期間のうちの前記電気光学素子特性検出期間においては、前記A/D変換期間には、前記データ信号線がハイインピーダンスの状態となるよう、前記第3の制御スイッチがオフ状態かつ前記モニタ制御トランジスタがオフ状態とされることを特徴とする。

[0019] 本発明の第5の局面は、本発明の第3の局面において、

前記電流測定期間のうちの前記電気光学素子特性検出期間においては、前記A/D変換期間には、前記第3の制御スイッチがオン状態とされることによって前記データ信号線と前記制御線とが電氣的に接続され、かつ、前記制御線には前記データ信号線充電期間に前記データ信号線に与えられた電位の大きさに実質的に等しい大きさの電位が与えられることを特徴とする。

[0020] 本発明の第6の局面は、本発明の第3の局面において、

前記電流測定期間のうちの前記電気光学素子特性検出期間においては、前記AD変換期間には、前記第3の制御スイッチがオン状態とされることによって前記データ信号線と前記制御線とが電氣的に接続され、かつ、前記制御線には前記データ信号線充電期間に前記データ信号線に与えられるべき電位に近い一定の大きさの電位が与えられることを特徴とする。

[0021] 本発明の第7の局面は、本発明の第2の局面において、

前記検出準備期間に前記データ信号線に与える電位を V_{mg} とし、前記駆動トランジスタ特性検出期間に前記データ信号線に与える電位を V_{m_TFT} とし、前記電気光学素子特性検出期間に前記データ信号線に与える電位を V_{m_oled} としたとき、以下の関係を満たすように V_{mg} 、 V_{m_TFT} 、および V_{m_oled} の値が定められていることを特徴とする。

$$V_{m_TFT} < V_{mg} - V_{th}(T2)$$

$$V_{m_TFT} < ELVSS + V_{th}(oled)$$

$$V_{m_oled} > V_{mg} - V_{th}(T2)$$

$$V_{m_oled} > ELVSS + V_{th}(oled)$$

ここで、 $V_{th}(T2)$ は前記駆動トランジスタの閾値電圧であって、 $V_{th}(oled)$ は前記電気光学素子の発光閾値電圧であって、 $ELVSS$ は前記電気光学素子の陰極の電位である。

[0022] 本発明の第8の局面は、本発明の第1の局面において、

前記特性検出処理期間は、垂直帰線期間内に設けられていることを特徴とする。

[0023] 本発明の第9の局面は、本発明の第8の局面において、

任意の電気光学素子を着目電気光学素子と定義したとき、前記画素回路駆動部は、前記着目電気光学素子が前記モニタ行に含まれている場合、前記モニタ行に含まれる画素回路への前記データ信号の書き込みを垂直走査期間に行う際には、前記着目電気光学素子が前記非モニタ行に含まれている場合における階調電圧よりも大きい階調電圧に相当するデータ信号の電位を前記データ信号線に与えることを特徴とする。

- [0024] 本発明の第10の局面は、本発明の第1の局面において、
前記特性検出処理期間は、垂直走査期間内に設けられていることを特徴とする。
- [0025] 本発明の第11の局面は、本発明の第1の局面において、
1つの前記特性検出対象回路素子の特性を検出するための電流測定期間において、前記データ信号線充電期間と前記モニタ期間と前記AD変換期間とからなるサイクルが複数回繰り返されることを特徴とする。
- [0026] 本発明の第12の局面は、本発明の第1の局面において、
1フレーム期間につき前記電気光学素子または前記駆動トランジスタのいずれか一方のみについての前記特性検出処理が行われることを特徴とする。
- [0027] 本発明の第13の局面は、電流によって輝度が制御される電気光学素子および前記電気光学素子に供給すべき電流を制御するための駆動トランジスタをそれぞれが含む $n \times m$ 個（ n および m は2以上の整数）の画素回路からなる n 行 $\times$ m 列の画素マトリクスと、前記画素マトリクスの各行に対応するように設けられた走査線と、前記画素マトリクスの各行に対応するように設けられたモニタ制御線と、前記画素マトリクスの各列に対応するように設けられたデータ信号線と、前記走査線、前記モニタ制御線、および前記データ信号線を駆動する画素回路駆動部とを備えた表示装置の駆動方法であって、
フレーム期間に前記電気光学素子または前記駆動トランジスタの少なくとも一方を含む特性検出対象回路素子の特性を検出する特性検出ステップと、
前記特性検出ステップでの検出結果に基づいて得られる特性データを、映像信号を補正するための補正データとして、予め用意された補正データ記憶部に記憶させる補正データ記憶ステップと、
前記補正データ記憶部に記憶されている補正データに基づいて前記映像信号を補正して、前記 $n \times m$ 個の画素回路に供給すべきデータ信号を生成する映像信号補正ステップと
を含み、
各画素回路は、

前記電気光学素子と、

前記走査線に制御端子が接続され、前記駆動トランジスタの制御端子に第1導通端子が接続され、前記データ信号線に第2導通端子が接続された入力トランジスタと、

駆動電源電位が第1導通端子に与えられた前記駆動トランジスタと、

前記モニタ制御線に制御端子が接続され、前記駆動トランジスタの第2導通端子および前記電気光学素子の陽極に第1導通端子が接続され、前記データ信号線に第2導通端子が接続されたモニタ制御トランジスタと、

前記駆動トランジスタの制御端子の電位を保持するため、一端が前記駆動トランジスタの制御端子に接続された第1のコンデンサとを含み、

前記画素回路駆動部は、

前記データ信号を前記データ信号線に印加する機能および前記データ信号線に流れている電流の大きさに応じたデータを前記特性データの元となるモニタデータとして取得する機能を有する出力／電流モニタ回路と、

前記モニタデータをアナログ値からデジタル値に変換するAD変換回路とを含み、

前記出力／電流モニタ回路は、

前記データ信号線に接続された内部データ線と、

前記データ信号が非反転入力端子に与えられ、前記内部データ線に反転入力端子が接続されたオペアンプと、

前記内部データ線に一旦が接続され、前記オペアンプの出力端子に他端が接続された第2のコンデンサと、

前記内部データ線に一旦が接続され、前記オペアンプの出力端子に他端が接続された第1の制御スイッチと、

前記データ信号線に一端が接続され、前記内部データ線に他端が接続された第2の制御スイッチと

を含み、

前記A/D変換回路は、複数個の前記出力／電流モニタ回路につき1個設けられ、

フレーム期間において前記特性検出処理が行われる行をモニタ行と定義し、前記モニタ行以外の行を非モニタ行と定義したとき、

前記特性検出ステップは、

前記モニタ行において前記特性検出対象回路素子の特性を検出する準備を行う検出準備ステップと、

前記データ信号線に流れている電流を測定することによって前記特性検出対象回路素子の特性を検出する電流測定ステップと、

前記モニタ行において前記電気光学素子を発光させる準備を行う発光準備ステップと

を含み、

前記電流測定ステップは、

前記特性検出対象回路素子の特性に応じた大きさの電流が前記データ信号線に流れるように前記データ信号線を充電するデータ信号線充電ステップと、

前記データ信号線に流れている電流の時間積分値を前記第2のコンデンサに蓄積することによって前記モニタデータを取得するモニタステップと、

前記A/D変換回路によって前記モニタデータをアナログ値からデジタル値に変換するためのA/D変換ステップと

を含み、

前記A/D変換ステップでは、

前記第2の制御スイッチがオフ状態とされることによって、前記データ信号線と前記内部データ線とが電氣的に切り離され、

前記A/D変換回路において、対応する複数個の前記出力／電流モニタ回路によってそれぞれ取得された複数個の前記モニタデータが順次にアナログ値からデジタル値に変換されることを特徴とする。

発明の効果

- [0028] 本発明の第1の局面によれば、電流によって輝度が制御される電気光学素子（例えば有機EL素子）と当該電気光学素子に供給すべき電流を制御するための駆動トランジスタを含む画素回路を有する表示装置において、フレーム期間に回路素子（電気光学素子または駆動トランジスタの少なくとも一方）の特性の検出が行われる。そして、その検出結果を考慮して得られる補正データを用いて映像信号が補正される。このようにして補正された映像信号に基づくデータ信号が画素回路に供給されるので、回路素子の劣化が補償されるような大きさの駆動電流が電気光学素子に供給される。ここで、回路素子の特性は、データ信号線に流れている電流を測定することによって検出される。すなわち、データ信号線は、各画素回路内の電気光学素子を所望の輝度で発光させるための信号を伝達する信号線として用いられるだけでなく、特性検出用の信号線としても用いられる。このため、回路素子の特性を検出するために新たな信号線を表示部内に設ける必要がない。従って、回路規模の増大を抑制しつつ、回路素子の劣化を補償することが可能となる。
- [0029] また、AD変換期間には、第2のスイッチがオフ状態となることによって、モニタ期間に取得されたアナログデータが出力／電流モニタ回路内で保持される。アナログデータを保持するこの機能（サンプルホールド機能）を利用して、AD変換回路が複数の列で共有されている。これにより、回路素子の特性検出を可能な構成にすることに伴う回路規模の増大が効果的に抑制される。
- [0030] 本発明の第2の局面によれば、フレーム期間に電気光学素子および駆動トランジスタの特性の検出が行われる。このため、回路規模の増大を効果的に抑制しつつ、電気光学素子の劣化および駆動トランジスタの劣化の双方を補償することが可能となる。
- [0031] 本発明の第3の局面によれば、駆動トランジスタ特性検出期間内のAD変換期間には、データ信号線と内部データ線とが電氣的に切り離され、当該AD変換期間の直前のデータ信号線の電位に等しい大きさの電位が制御線から

データ信号線に与えられる。このため、A/D変換回路の共有化に起因してA/D変換中にデータ信号線の電位が変動することが防止される。また、データ信号線の再充電が極めて短時間で行われるので、特性検出のための電流測定を繰り返し行うことが可能となる。これにより、駆動トランジスタの特性を検出するための電流測定の際に十分なS/N比を確保することが可能となる。

[0032] 本発明の第4の局面によれば、電気光学素子特性検出期間内のA/D変換期間には、データ信号線がハイインピーダンスの状態とされる。このため、A/D変換回路の共有化に起因してA/D変換中にデータ信号線の電位が変動することが防止される。また、データ信号線の再充電が極めて短時間で行われるので、特性検出のための電流測定を繰り返し行うことが可能となる。これにより、電気光学素子の特性を検出するための電流測定の際に十分なS/N比を確保することが可能となる。

[0033] 本発明の第5の局面によれば、電気光学素子特性検出期間内のA/D変換期間には、データ信号線と内部データ線とが電氣的に切り離され、当該A/D変換期間の直前のデータ信号線の電位に等しい大きさの電位が制御線からデータ信号線に与えられる。このため、A/D変換回路の共有化に起因してA/D変換中にデータ信号線の電位が変動することが防止される。また、データ信号線の再充電が極めて短時間で行われるので、特性検出のための電流測定を繰り返し行うことが可能となる。これにより、電気光学素子の特性を検出するための電流測定の際に十分なS/N比を確保することが可能となる。

[0034] 本発明の第6の局面によれば、本発明の第5の局面と同様、電気光学素子の特性を検出するための電流測定の際に十分なS/N比を確保することが可能となる。

[0035] 本発明の第7の局面によれば、駆動トランジスタ特性検出期間には、駆動トランジスタが確実にオン状態になるとともに電気光学素子が確実にオフ状態となる。また、電気光学素子特性検出期間には、駆動トランジスタが確実にオフ状態になるとともに電気光学素子が確実にオン状態となる。

[0036] 本発明の第8の局面によれば、モニタ行については、垂直走査期間における書き込み後、垂直帰線期間中の発光準備期間に再度書き込みが行われる。これに関し、発光準備期間における書き込みが可能となるよう、垂直走査期間における書き込み後に、該当のデータを保持しておく必要がある。この点に関し、保持すべきデータは1ライン分のデータにすぎないので、メモリ容量の増大は僅かである。これに対して、垂直走査期間内に特性検出処理期間が設けられている構成においては、数十ライン分のラインメモリが必要となることもある。以上より、垂直走査期間内に特性検出処理期間が設けられている構成と比較して、必要となるメモリ容量が低減される。

[0037] 本発明の第9の局面によれば、モニタ行では電気光学素子が垂直帰線期間中に一時的に消灯するということを考慮して、データ信号の電位が調整される。このため、表示品位の低下が抑制される。

[0038] 本発明の第10の局面によれば、垂直帰線期間内に特性検出処理期間が設けられている構成とは異なり、モニタ行における目標輝度に応じた書き込みは1フレーム期間に1回だけ行われれば良い。

[0039] 本発明の第11の局面によれば、特性検出対象回路素子の特性を検出するための各電流測定期間において、電流の測定が複数回繰り返される。このため、十分なS/N比を確保することができる。

[0040] 本発明の第12の局面によれば、1フレーム期間につき特性検出処理を電気光学素子または駆動トランジスタのいずれか一方のみについて行うことにより、AD変換後にAD変換で得られたデータを転送するための時間が十分に確保される。

[0041] 本発明の第13の局面によれば、本発明の第1の局面と同様の効果を表示装置の駆動方法の発明において奏することができる。

図面の簡単な説明

[0042] [図1]本発明の一実施形態において、画素回路、出力／電流モニタ回路、および信号変換回路の詳細な構成を示す回路図である。

[図2]上記実施形態に係るアクティブマトリクス型の有機EL表示装置の全体

構成を示すブロック図である。

[図3]上記実施形態において、ゲートドライバの動作について説明するためのタイミングチャートである。

[図4]上記実施形態において、ゲートドライバの動作について説明するためのタイミングチャートである。

[図5]上記実施形態において、ゲートドライバの動作について説明するためのタイミングチャートである。

[図6]上記実施形態において、出力部内の出力／電流モニタ回路の入出力信号について説明するための図である。

[図7]上記実施形態において、制御クロック信号CLK 1の制御による積分時間の長さの調整について説明するための図である。

[図8]上記実施形態において、A／Dコンバータの共有について説明するための図である。

[図9]上記実施形態において、各行の動作の推移について説明するための図である。

[図10]上記実施形態において、モニタ行に含まれる画素回路（i行j列の画素回路）の動作を説明するためのタイミングチャートである。

[図11]上記実施形態において、通常動作が行われる際の電流の流れについて説明するための図である。

[図12]上記実施形態において、モニタ行についての1水平走査期間の詳細を説明するためのタイミングチャートである。

[図13]上記実施形態において、検出準備期間の電流の流れについて説明するための図である。

[図14]上記実施形態において、TF特性検出期間内の期間Tb 2の電流の流れについて説明するための図である。

[図15]上記実施形態において、TF特性検出期間内の期間Tb 3における回路の状態を説明するための図である。

[図16]上記実施形態において、OLED特性検出期間内の期間Tc 2の電流

の流れについて説明するための図である。

[図17]上記実施形態において、発光準備期間の電流の流れについて説明するための図である。

[図18]上記実施形態において、発光期間の電流の流れについて説明するための図である。

[図19]上記実施形態において、モニタ行における1フレーム期間と非モニタ行における1フレーム期間とを比較した図である。

[図20]上記実施形態において、補正データ記憶部内の補正データの更新の手順を説明するためのフローチャートである。

[図21]上記実施形態において、映像信号の補正について説明するための図である。

[図22]上記実施形態において、TFT特性およびOLED特性の検出に関連する動作の概略を説明するためのフローチャートである。

[図23]上記実施形態における効果について説明するための図である。

[図24]上記実施形態における効果について説明するための図である。

[図25]上記実施形態の第2の変形例において、モニタ行に含まれる画素回路（ i 行 j 列の画素回路）の動作を説明するためのタイミングチャートである。

[図26]上記実施形態の第2の変形例において、モニタ行についての1水平走査期間の詳細を説明するためのタイミングチャートである。

[図27]上記実施形態の第2の変形例において、図1に示した構成から制御線CLおよびスイッチ335を削除した構成を示す回路図である。

[図28]1フレーム期間の構成を説明するための図である。

[図29]上記実施形態の第3の変形例において、モニタ行に含まれる画素回路（ i 行 j 列の画素回路とする）の垂直帰線期間中の動作について説明するためのタイミングチャートである。

[図30]上記実施形態の第3の変形例において、垂直帰線期間の詳細を説明するためのタイミングチャートである。

[図31]上記実施形態の第3の変形例において、モニタ行に含まれる画素回路（ i 行 j 列の画素回路とする）の1フレーム期間中の動作について説明するためのタイミングチャートである。

[図32]従来の一般的な画素回路の構成を示す回路図である。

[図33]図32に示す画素回路の動作を説明するためのタイミングチャートである。

[図34]駆動トランジスタの劣化および有機EL素子の劣化に対して何ら補償が行われない場合について説明するための図である。

[図35]駆動トランジスタの劣化に対してのみ補償が行われた場合について説明するための図である。

[図36]日本の特表2008-523448号公報の図14である。

発明を実施するための形態

[0043] 以下、添付図面を参照しながら、本発明の一実施形態について説明する。なお、以下においては、 m および n は2以上の整数、 i は1以上 n 以下の整数、 j は1以上 m 以下の整数であると仮定する。また、以下においては、画素回路内に設けられている駆動トランジスタの特性のことを「TFT特性」といい、画素回路内に設けられている有機EL素子の特性のことを「OLED特性」という。

[0044] <1. 全体構成>

図2は、本発明の一実施形態に係るアクティブマトリクス型の有機EL表示装置1の全体構成を示すブロック図である。この有機EL表示装置1は、表示部10、コントロール回路20、ソースドライバ（データ信号線駆動回路）30、ゲートドライバ（走査線駆動回路）40、および補正データ記憶部50を備えている。本実施形態においては、ソースドライバ30およびゲートドライバ40によって画素回路駆動部が実現されている。なお、ソースドライバ30およびゲートドライバ40の一方または双方が表示部10と一体的に形成された構成であっても良い。

[0045] 表示部10には、 m 本のデータ信号線 $S(1) \sim S(m)$ およびこれらに

直交する n 本の走査線 $G1(1) \sim G1(n)$ が配設されている。以下では、データ信号線の延伸方向を Y 方向とし、走査線の延伸方向を X 方向とする。 Y 方向に沿った構成要素を「列」という場合があり、 X 方向に沿った構成要素を「行」という場合がある。また、表示部 10 には、 n 本の走査線 $G1(1) \sim G1(n)$ と 1 対 1 で対応するように、 n 本のモニタ制御線 $G2(1) \sim G2(n)$ が配設されている。走査線 $G1(1) \sim G1(n)$ とモニタ制御線 $G2(1) \sim G2(n)$ とは互いに平行になっている。さらに、表示部 10 には、 n 本の走査線 $G1(1) \sim G1(n)$ と m 本のデータ信号線 $S(1) \sim S(m)$ との交差点に対応するように、 $n \times m$ 個の画素回路 11 が設けられている。このように $n \times m$ 個の画素回路 11 が設けられることによって、 n 行 $\times$ m 列の画素マトリクスが表示部 10 に形成されている。また、表示部 10 には、ハイレベル電源電圧を供給するハイレベル電源線と、ローレベル電源電圧を供給するローレベル電源線とが配設されている。

[0046] なお、以下においては、 m 本のデータ信号線 $S(1) \sim S(m)$ を互いに区別する必要がない場合にはデータ信号線を単に符号 S で表す。同様に、 n 本の走査線 $G1(1) \sim G1(n)$ を互いに区別する必要がない場合には走査線を単に符号 $G1$ で表し、 n 本のモニタ制御線 $G2(1) \sim G2(n)$ を互いに区別する必要がない場合にはモニタ制御線を単に符号 $G2$ で表す。

[0047] 本実施形態におけるデータ信号線 S は、画素回路 11 内の有機 EL 素子を所望の輝度で発光させるための輝度信号を伝達する信号線として用いられるだけでなく、TFET 特性や OLED 特性の検出用の制御電位を画素回路 11 に与えるための信号線および TFET 特性や OLED 特性を表す電流であって後述する出力／電流モニタ回路 330 で測定可能な電流の経路となる信号線としても用いられる。

[0048] コントロール回路 20 は、ソースドライバ 30 にデータ信号 DA およびソース制御信号 $SCTL$ を与えることによりソースドライバ 30 の動作を制御し、ゲートドライバ 40 にゲート制御信号 $GCTL$ を与えることによりゲートドライバ 40 の動作を制御する。ソース制御信号 $SCTL$ には、例えば、

従来より用いられているソーススタートパルス、ソースクロック、ラッチストローブ信号に加えて、出力／電流モニタ回路330の動作を制御するための制御クロック信号CLK1, CLK2, およびCLK2Bが含まれている。ゲート制御信号GCTLには、例えば、ゲートスタートパルス、ゲートクロック, およびアウトプットイネーブル信号が含まれている。また、コントロール回路20は、ソースドライバ30から与えられるモニタデータMOを受け取り、補正データ記憶部50に格納されている補正データの更新を行う。なお、モニタデータMOとは、TFT特性やOLED特性を求めるために測定されたデータである。

[0049] ゲートドライバ40は、 n 本の走査線G1(1)～G1(n)および n 本のモニタ制御線G2(1)～G2(n)に接続されている。ゲートドライバ40は、シフトレジスタおよび論理回路などによって構成されている。ところで、本実施形態に係る有機EL表示装置1においては、TFT特性およびOLED特性に基づいて、外部から送られる映像信号(上記データ信号DAの元となるデータ)に補正が施される。これに関し、本実施形態では、各フレームにおいて、1つの行についてのTFT特性およびOLED特性の検出が行われる。すなわち、或るフレームに1行目についてのTFT特性およびOLED特性の検出が行われると、次のフレームには2行目についてのTFT特性およびOLED特性の検出が行われ、さらに次のフレームには3行目についてのTFT特性およびOLED特性の検出が行われる。このようにして、 n フレーム期間をかけて、 n 行分のTFT特性およびOLED特性の検出が行われる。なお、本明細書においては、任意のフレームに着目したときにTFT特性およびOLED特性の検出が行われている行のことを「モニタ行」といい、モニタ行以外の行のことを「非モニタ行」という。

[0050] ここで、1行目についてのTFT特性およびOLED特性の検出が行われるフレームを($k+1$)フレーム目と定義すると、 n 本の走査線G1(1)～G1(n)および n 本のモニタ制御線G2(1)～G2(n)は、($k+1$)フレーム目には図3に示すように駆動され、($k+2$)フレーム目には

図4に示すように駆動され、 $(k+n)$ フレーム目には図5に示すように駆動される。なお、図3～図5に関し、ハイレベルの状態がアクティブな状態である。また、図3～図5では、モニタ行についての1水平走査期間を符号 TH_m で表し、非モニタ行についての1水平走査期間を符号 TH_n で表している。

[0051] 図3～図5より把握されるように、モニタ行と非モニタ行とで1水平走査期間の長さが異なっている。詳しくは、モニタ行についての1水平走査期間の長さは、非モニタ行についての1水平走査期間の長さよりも長くなっている。非モニタ行については、一般的な有機EL表示装置と同様、1フレーム期間中に1回の選択期間がある。モニタ行については、一般的な有機EL表示装置とは異なり、1フレーム期間中に2回の選択期間がある。なお、モニタ行についての1水平走査期間 TH_m に関する更に詳しい説明は後述する。

[0052] 図3～図5に示すように、各フレームにおいて、非モニタ行に対応するモニタ制御線 G_2 は非アクティブな状態で維持される。モニタ行に対応するモニタ制御線 G_2 については、1水平走査期間 TH_m 中の選択期間以外の期間（走査線 G_1 が非アクティブな状態になっている期間）に、アクティブな状態で維持される。本実施形態においては、以上のように n 本の走査線 $G_1(1) \sim G_1(n)$ および n 本のモニタ制御線 $G_2(1) \sim G_2(n)$ が駆動されるよう、ゲートドライバ40が構成されている。なお、モニタ行において1フレーム期間中に走査線 G_1 に2回のパルスを発生させるためには、コントロール回路20からゲートドライバ40に送られるアウトプットインネーブル信号の波形を公知の手法を用いて制御すれば良い。

[0053] ソースドライバ30は、 m 本のデータ信号線 $S(1) \sim S(m)$ に接続されている。ソースドライバ30は、駆動信号発生回路31と、信号変換回路32と、 m 個の出力／電流モニタ回路330からなる出力部33とによって構成されている（図2参照）。出力部33内の m 個の出力／電流モニタ回路330はそれぞれ m 本のデータ信号線 $S(1) \sim S(m)$ のうちの対応するデータ信号線 S に接続されている。

[0054] 駆動信号発生回路 31 には、シフトレジスタ、サンプリング回路、およびラッチ回路が含まれている。駆動信号発生回路 31 において、シフトレジスタは、ソースクロックに同期して、ソーススタートパルスを入力端から出力端へと順次に転送する。ソーススタートパルスのこの転送に応じて、シフトレジスタから、各データ信号線 S に対応するサンプリングパルスが出力される。サンプリング回路は、サンプリングパルスのタイミングに従って 1 行分のデータ信号 D A を順次に記憶する。ラッチ回路は、サンプリング回路に記憶された 1 行分のデータ信号 D A をラッチストロブ信号に応じて取り込んで保持する。

[0055] なお、本実施形態においては、データ信号 D A には、各画素の有機 E L 素子を所望の輝度で発光させるための輝度信号と、T F T 特性や O L E D 特性を検出する際に画素回路 11 の動作を制御するためのモニタ制御信号とが含まれている。

[0056] 信号変換回路 32 には、D / A コンバータおよび A / D コンバータが含まれている。上述のようにして駆動信号発生回路 31 内のラッチ回路に保持された 1 行分のデータ信号 D A は、信号変換回路 32 内の D / A コンバータによってアナログ電圧に変換される。その変換されたアナログ電圧は、出力部 33 内の出力 / 電流モニタ回路 330 に与えられる。また、信号変換回路 32 には、出力部 33 内の出力 / 電流モニタ回路 330 からモニタデータ M O が与えられる。そのモニタデータ M O は、信号変換回路 32 内の A / D コンバータで、アナログ電圧からデジタル信号に変換される。そして、デジタル信号に変換されたモニタデータ M O は、駆動信号発生回路 31 を介してコントロール回路 20 に与えられる。

[0057] 図 6 は、出力部 33 内の出力 / 電流モニタ回路 330 の入出力信号について説明するための図である。出力 / 電流モニタ回路 330 には、信号変換回路 32 からデータ信号 D A としてのアナログ電圧 V s が与えられる。そのアナログ電圧 V s は、出力 / 電流モニタ回路 330 内のバッファを介してデータ信号線 S に印加される。また、出力 / 電流モニタ回路 330 は、データ信

号線Sに流れている電流の大きさをアナログデータ（アナログ電圧）として取得する機能および或るタイミングで取得したアナログデータの値をAD変換が行われている期間を通じて保持する機能（すなわちサンプルホールド機能）を有している。出力／電流モニタ回路330で取得されたデータは、モニタデータMOとして信号変換回路32に与えられる。なお、出力／電流モニタ回路330の詳しい構成については後述する（図1参照）。

[0058] 補正データ記憶部50には、TFT用オフセットメモリ51a、OLED用オフセットメモリ51b、TFT用ゲインメモリ52a、およびOLED用ゲインメモリ52bが含まれている（図2参照）。なお、これら4つのメモリは、物理的には1つのメモリであっても良いし、物理的に異なるメモリであっても良い。補正データ記憶部50は、外部から送られる映像信号の補正に使用される補正データを記憶している。詳しくは、TFT用オフセットメモリ51aは、TFT特性の検出結果に基づくオフセット値を補正データとして記憶する。OLED用オフセットメモリ51bは、OLED特性の検出結果に基づくオフセット値を補正データとして記憶する。TFT用ゲインメモリ52aは、TFT特性の検出結果に基づくゲイン値を補正データとして記憶する。OLED用ゲインメモリ52bは、OLED特性の検出結果に基づく劣化補正係数を補正データとして記憶する。なお、典型的には、表示部10内の画素の数に等しい数のオフセット値およびゲイン値が、TFT特性の検出結果に基づく補正データとして、それぞれTFT用オフセットメモリ51aおよびTFT用ゲインメモリ52aに記憶される。また、典型的には、表示部10内の画素の数に等しい数のオフセット値および劣化補正係数が、OLED特性の検出結果に基づく補正データとして、それぞれOLED用オフセットメモリ51bおよびOLED用ゲインメモリ52bに記憶される。但し、複数の画素毎に1つの値が各メモリに記憶されるようにしても良い。

[0059] コントロール回路20は、ソースドライバ30から与えられるモニタデータMOに基づいて、TFT用オフセットメモリ51a内のオフセット値、O

LED用オフセットメモリ51b内のオフセット値，TFT用ゲインメモリ52a内のゲイン値，およびOLED用ゲインメモリ52b内の劣化補正係数を更新する。また、コントロール回路20は、TFT用オフセットメモリ51a内のオフセット値，OLED用オフセットメモリ51b内のオフセット値，TFT用ゲインメモリ52a内のゲイン値，およびOLED用ゲインメモリ52b内の劣化補正係数を読み出して、映像信号の補正を行う。その補正によって得られたデータが、データ信号DAとしてソースドライバ30に送られる。

[0060] <2. 要部の詳細な構成>

次に、本実施形態における要部の詳細な構成について説明する。図1は、画素回路11，出力／電流モニタ回路330，および信号変換回路32の詳細な構成を示す回路図である。以下、これらの回路の構成および動作について詳しく説明する。

[0061] <2. 1 画素回路>

図1に示す画素回路11は、i行j列の画素回路11である。この画素回路11は、1個の有機EL素子OLED，3個のトランジスタT1～T3，および1個のコンデンサCstを備えている。トランジスタT1は画素を選択する入力トランジスタとして機能し、トランジスタT2は有機EL素子OLEDへの電流の供給を制御する駆動トランジスタとして機能し、トランジスタT3はTFT特性やOLED特性を検出するか否かを制御するモニタ制御トランジスタとして機能する。なお、本実施形態においては、トランジスタT2および有機EL素子OLEDが特性検出対象回路素子に相当する。また、各トランジスタに関し、ゲート端子が制御端子に相当し、ドレイン端子が第1導通端子に相当し、ソース端子が第2導通端子に相当する。

[0062] トランジスタT1は、データ信号線S(j)とトランジスタT2のゲート端子との間に設けられている。そのトランジスタT1に関し、走査線G1(i)にゲート端子が接続され、データ信号線S(j)にソース端子が接続されている。トランジスタT2は、有機EL素子OLEDと直列に設けられて

いる。そのトランジスタT2に関し、トランジスタT1のドレイン端子にゲート端子が接続され、ハイレベル電源線ELVDDにドレイン端子が接続され、有機EL素子OLEDのアノード端子にソース端子が接続されている。トランジスタT3については、モニタ制御線G2(i)にゲート端子が接続され、有機EL素子OLEDのアノード端子にドレイン端子が接続され、データ信号線S(j)にソース端子が接続されている。コンデンサCstについては、トランジスタT2のゲート端子に一端が接続され、トランジスタT2のドレイン端子に他端が接続されている。なお、このコンデンサCstによって第1のコンデンサが実現されている。有機EL素子OLEDのカソード端子は、ローレベル電源線ELVSSに接続されている。

[0063] ところで、図32に示した構成においては、コンデンサCstは、トランジスタT2のゲートーソース間に設けられていた。これに対して、本実施形態においては、コンデンサCstは、トランジスタT2のゲートードレイン間に設けられている。この理由は次のとおりである。本実施形態においては、1フレーム期間中に、トランジスタT3をオンにした状態でデータ信号線S(j)の電位を変動させる制御が行われる。仮にトランジスタT2のゲートーソース間にコンデンサCstが設けられていると、データ信号線S(j)の電位の変動に応じてトランジスタT2のゲート電位も変動する。そうすると、トランジスタT2のオン／オフ状態が所望の状態とはならないことが生じ得る。そこで、本実施形態においては、データ信号線S(j)の電位の変動に応じてトランジスタT2のゲート電位が変動することのないよう、図1に示すようにトランジスタT2のゲートードレイン間にコンデンサCstが設けられている。

[0064] <2. 2 画素回路内のトランジスタについて>

本実施形態においては、画素回路11内のトランジスタT1～T3はすべてnチャネル型である。また、本実施形態においては、トランジスタT1～T3には、酸化物TFET（酸化物半導体をチャネル層に用いた薄膜トランジスタ）が採用されている。

[0065] 以下、酸化物TFTに含まれる酸化物半導体層について説明する。酸化物半導体層は、例えば、 In-Ga-Zn-O 系の半導体層である。酸化物半導体層は、例えば In-Ga-Zn-O 系の半導体を含む。 In-Ga-Zn-O 系半導体は、 In （インジウム）、 Ga （ガリウム）、 Zn （亜鉛）の三元系酸化物である。 In 、 Ga および Zn の割合（組成比）は、特に限定されない。例えば $\text{In}:\text{Ga}:\text{Zn}=2:2:1$ 、 $\text{In}:\text{Ga}:\text{Zn}=1:1:1$ 、 $\text{In}:\text{Ga}:\text{Zn}=1:1:2$ などでもよい。

[0066] In-Ga-Zn-O 系半導体層を有するTFTは、高い移動度（アモルファスシリコンTFTに比べて20倍を超える移動度）と低いリーク電流（アモルファスシリコンTFTに比べて100分の1未満のリーク電流）を有するので、画素回路内の駆動TFT（上記トランジスタ2）およびスイッチングTFT（上記トランジスタ1）として好適に用いられる。 In-Ga-Zn-O 系半導体層を有するTFTを用いれば、表示装置の消費電力を大幅に削減することができる。

[0067] In-Ga-Zn-O 系半導体は、アモルファスでもよく、結晶質部分を含み、結晶性を有していてもよい。結晶質 In-Ga-Zn-O 系半導体としては、 c 軸が層面に概ね垂直に配向した結晶質 In-Ga-Zn-O 系半導体が好ましい。このような In-Ga-Zn-O 系半導体の結晶構造は、例えば日本の特開2012-134475号公報に開示されている。

[0068] 酸化物半導体層は、 In-Ga-Zn-O 系半導体に代えて、他の酸化物半導体を含んでいてもよい。例えば Zn-O 系半導体（ ZnO ）、 In-Zn-O 系半導体（ IZO （登録商標））、 Zn-Ti-O 系半導体（ ZTO ）、 Cd-Ge-O 系半導体、 Cd-Pb-O 系半導体、 CdO （酸化カドニウム）、 Mg-Zn-O 系半導体、 In-Sn-Zn-O 系半導体（例えば $\text{In}_2\text{O}_3\text{-SnO}_2\text{-ZnO}$ ）、 In-Ga-Sn-O 系半導体などを含んでいてもよい。

[0069] <2.3 出力／電流モニタ回路>

図1を参照しつつ、本実施形態における出力／電流モニタ回路330の構

成および動作について詳しく説明する。出力／電流モニタ回路330には、オペアンプ331とコンデンサ332と3つのスイッチ（スイッチ333, 334, および335）とが含まれている。

[0070] 図1に示すように、出力／電流モニタ回路330の内部データ線 $S_{in}(j)$ は、スイッチ334を介して、データ信号線 $S(j)$ に接続されている。オペアンプ331については、反転入力端子は内部データ線 $S_{in}(j)$ に接続され、非反転入力端子にはデータ信号 DA としてのアナログ電圧 V_s が与えられる。コンデンサ332およびスイッチ333は、オペアンプ331の出力端子と内部データ線 $S_{in}(j)$ との間に設けられている。スイッチ333には、制御クロック信号 $CLK1$ が与えられる。オペアンプ331, コンデンサ332, およびスイッチ333によって、積分回路が構成されている。ここで、この積分回路の動作について説明する。制御クロック信号 $CLK1$ によってスイッチ333がオフ状態からオン状態に切り替えられると、コンデンサ332に蓄積された電荷が放電される。その後、スイッチ333がオン状態からオフ状態に切り替えられると、内部データ線 $S_{in}(j)$ を流れる電流に基づいてコンデンサ332への充電が行われる。すなわち、内部データ線 $S_{in}(j)$ に流れている電流の時間積分値がコンデンサ332に蓄積される。これにより、内部データ線 $S_{in}(j)$ を流れる電流の大きさに応じてオペアンプ331の出力端子の電位が変化する。そのオペアンプ331からの出力はモニタデータ MO として信号変換回路32に送られる。なお、制御クロック信号 $CLK1$ によってスイッチ333がオン状態にされると、オペアンプ331の出力端子ー反転入力端子間が短絡状態となる。これにより、オペアンプ331の出力端子および内部データ線 $S_{in}(j)$ の電位がアナログ電圧 V_s の電位と等しくなる。

[0071] スイッチ334は、データ信号線 $S(j)$ と内部データ線 $S_{in}(j)$ との間に設けられている。スイッチ334には、制御クロック信号 $CLK2$ が与えられる。この制御クロック信号 $CLK2$ に基づいてスイッチ334の状態が切り替えられることによって、データ信号線 $S(j)$ と内部データ線 S

in (j) との電氣的な接続状態が制御される。本実施形態においては、制御クロック信号 CLK 2 がハイレベルであれば、データ信号線 S (j) と内部データ線 Sin (j) とが電氣的に接続された状態となり、制御クロック信号 CLK 2 がローレベルであれば、データ信号線 S (j) と内部データ線 Sin (j) とが電氣的に切り離された状態となる。

[0072] スイッチ 335 は、データ信号線 S (j) と所定の制御線 CL との間に設けられている。スイッチ 335 には、制御クロック信号 CLK 2 B が与えられる。この制御クロック信号 CLK 2 B に基づいてスイッチ 335 の状態が切り替えられることによって、データ信号線 S (j) と制御線 CL との電氣的な接続状態が制御される。本実施形態においては、制御クロック信号 CLK 2 B がハイレベルであれば、データ信号線 S (j) と制御線 CL とが電氣的に接続された状態となり、制御クロック信号 CLK 2 B がローレベルであれば、データ信号線 S (j) と制御線 CL とが電氣的に切り離された状態となる。

[0073] 上述したように、スイッチ 334 がオフ状態になると、データ信号線 S (j) と内部データ線 Sin (j) とは電氣的に切り離された状態となる。このとき、スイッチ 333 がオフ状態になっていれば、内部データ線 Sin (j) の電位は維持される。本実施形態においては、このようにして内部データ線 Sin (j) の電位が維持されている状態で、信号変換回路 32 内の A/D コンバータ 324 での AD 変換が行われる。

[0074] なお、本実施形態においては、スイッチ 333 によって第 1 の制御スイッチが実現され、スイッチ 334 によって第 2 の制御スイッチが実現され、スイッチ 335 によって第 3 の制御スイッチが実現されている。また、コンデンサ 332 によって第 2 のコンデンサが実現されている。

[0075] < 2. 4 信号変換回路 >

図 1 を参照しつつ、本実施形態における信号変換回路 32 の構成および動作について詳しく説明する。この信号変換回路 32 には、D/A コンバータ 321 とセレクタ 322 とオフセット回路 323 と A/D コンバータ 324

とが含まれている。D/Aコンバータ321は、駆動信号発生回路31から出力されたデジタル信号であるデータ信号DAをアナログ電圧Vsに変換する。本実施形態においては、複数の列でA/Dコンバータ324が共有される。これを実現するために、信号変換回路32内にセクタ322が設けられている。セクタ322には、複数の出力/電流モニタ回路330からモニタデータMOが与えられる。セクタ322は、与えられた複数のモニタデータMOを時分割で順次に出力する。オフセット回路323は、TF特性検出の際とOLED特性検出の際とでA/Dコンバータ324への入力レベルを同じにする機能（オフセット調整機能）を有している。このオフセット回路323が設けられている理由は、TF特性検出の際の基準電位である V_{m_TF} とOLED特性検出の際の基準電位である V_{m_oled} とが異なる電位であるためである。A/Dコンバータ324は、オフセット回路323から出力されたアナログ電圧をデジタル信号に変換する。なお、オフセット調整に用いるオフセット値は、 V_{m_TF} の値および V_{m_oled} の値に依存させると良い。以上より、信号変換回路32内の構成要素に関しては、D/Aコンバータ321については各列につき1個設けられ、セクタ322、オフセット回路323、およびA/Dコンバータ324については複数の列につき1個設けられている。

[0076] ここで、 V_{m_TF} と V_{m_oled} とが異なる大きさであることに起因するAD変換への影響とその対処について更に詳しく説明する。 V_{m_TF} と V_{m_oled} とは異なる大きさの電位であるため、オフセット回路323が設けられていなければ、TF特性検出時とOLED特性検出時との間でA/Dコンバータ324への入力DCレベルが変化する。このため、A/Dコンバータ324によるAD変換の分解能が無駄になる（有効活用されない）。そこで、本実施形態においては、上述したオフセット回路323が設けられている。このオフセット回路323では、TF特性検出時には $V_{offset1}$ 、OLED特性検出時には $V_{offset2}$ によって、A/Dコンバータ324への入力DCレベルの調整が行われる。これにより、

A/Dコンバータ324によるAD変換の際のDCレベルをほぼ一定にすることが可能となり、AD変換の分解能が有効活用される。なお、ここではオフセットレベルの種類が2種類の場合を例に挙げて説明しているが、本発明はこれに限定されない。例えば、RとGとBとで V_{m_oled} の値が異なる場合、OLED特性検出時用に3種類のオフセットレベルを用意して、それらを切り替えて用いるようにしても良い。また、電流測定条件によって、測定電流の予測値が大きいときと測定電流の予測値が小さいときとがある。これに関し、スイッチ333に与える制御クロック信号CLK1を例えば図7に示すように制御して積分時間（制御クロック信号CLK1のオフ時間）の長さを変化させることによって、A/Dコンバータ324によるAD変換の分解能が有効に活用することが可能となる。これにより、測定電流が小さなきでも十分なS/N比を確保することが可能となる。

[0077] <2.5 A/Dコンバータの共有>

上述したように、本実施形態においては、複数の列でA/Dコンバータ324が共有される。これについて、図8を参照しつつ、詳しく説明する。なお、図8には、ソースドライバ30が1440チャンネルの出力部33を有している場合（すなわち、1440本のデータ信号線Sが設けられている場合）の例を示している。図8に示す例では、144列で1個のA/Dコンバータ324が共有されている。従って、144列毎に1個のセクタ322が設けられている。各セクタ322には、144個の出力/電流モニタ回路330からモニタデータMOが与えられる。そして、各セクタ322は、144個のモニタデータMOを時分割で順次にオフセット回路323に与える。オフセット回路323に与えられたモニタデータMOは、入力レベルの調整後、A/Dコンバータ324に与えられる。ところで、上述したように、出力/電流モニタ回路330では、上述したサンプルホールド機能によって、AD変換が行われている期間を通じてアナログデータの値が保持される。これにより、全ての列で同じタイミングで取得されたアナログデータの値が順次にA/Dコンバータ324に与えられる。なお、AD変換後のモニタ

データMOは、駆動信号発生回路31内のロジック部311を介してコントロール回路20に送られる。

[0078] 上述の例では144列で1個のA/Dコンバータ324が共有されているが、本発明はこれに限定されない。1個のA/Dコンバータ324を共有する列の数については、A/Dコンバータ324の能力すなわちA/Dコンバータ324のサンプリング周波数に応じて決定すれば良い。A/Dコンバータ324のサンプリング周波数が大きいほど、1個のA/Dコンバータ324を共有する列の数を多くすることが可能となる。

[0079] <3. 駆動方法>

<3. 1 概要>

次に、本実施形態における駆動方法について説明する。上述したように、本実施形態においては、各フレームに1つの行のTF特性およびOLED特性の検出が行われる。各フレームにおいて、モニタ行についてはTF特性およびOLED特性の検出を行うための動作（以下、「特性検出動作」という。）が行われ、非モニタ行については通常動作が行われる。すなわち、1行目についてのTF特性およびOLED特性の検出が行われるフレームを(k+1)フレーム目と定義すると、図9に示すように、各行の動作は推移する。また、TF特性およびOLED特性の検出が行われると、その検出結果を用いて、補正データ記憶部50内の補正データの更新が行われる。そして、補正データ記憶部50に記憶されている補正データを用いて映像信号の補正が行われる。

[0080] 図10は、モニタ行に含まれる画素回路11（i行j列の画素回路11とする）の動作を説明するためのタイミングチャートである。なお、図10では、i行目がモニタ行とされるフレームにおけるi行目の1回目の選択期間開始時点を基準にして「1フレーム期間」を表している。また、ここでは、1フレーム期間のうちのモニタ行における1水平走査期間THm以外の期間のことを「発光期間」という。発光期間には符号TLを付している。図10に示すように、モニタ行についての1水平走査期間THmは、モニタ行にお

いてT F T特性およびO L E D特性を検出する準備が行われる期間（以下、「検出準備期間」という。）T aと、T F T特性を検出するための電流測定が行われる期間（以下、「T F T特性検出期間」という。）T bと、O L E D特性を検出するための電流測定が行われる期間（以下、「O L E D特性検出期間」という。）T cと、モニタ行において有機E L素子O L E Dを発光させる準備が行われる期間（以下、「発光準備期間」という。）T dとによって構成されている。なお、本実施形態においては、T F T特性検出期間T bとO L E D特性検出期間T cとによって電流測定期間が実現されている。

[0081] 検出準備期間T aには、走査線G 1（i）はアクティブな状態とされ、モニタ制御線G 2（i）は非アクティブな状態とされ、データ信号線S（j）には電位V m gが与えられる。T F T特性検出期間T bには、走査線G 1（i）は非アクティブな状態とされ、モニタ制御線G 2（i）はアクティブな状態とされ、データ信号線S（j）には電位V m__T F Tが与えられる。O L E D特性検出期間T cには、走査線G 1（i）は非アクティブな状態とされ、モニタ制御線G 2（i）はアクティブな状態とされ、データ信号線S（j）には電位V m__o l e dが与えられる。発光準備期間T dには、走査線G 1（i）はアクティブな状態とされ、モニタ制御線G 2（i）は非アクティブな状態とされ、データ信号線S（j）にはモニタ行に含まれる有機E L素子O L E Dの目標輝度に応じたデータ電位D（i，j）が与えられる。発光期間T Lには、走査線G 1（i）およびモニタ制御線G 2（i）は非アクティブな状態とされる。また、T F T特性検出期間T bには、例えば電源回路から制御線C Lに電位V m__T F Tが与えられ、O L E D特性検出期間T cには、例えば電源回路から制御線C Lに電位V m__o l e dが与えられる。なお、電位V m g，電位V m__T F T，および電位V m__o l e dについての詳しい説明は後述する。

[0082] <3. 2 画素回路の動作>

<3. 2. 1 通常動作>

各フレームにおいて、非モニタ行では、通常動作が行われる。非モニタ行

に含まれる画素回路 11 では、目標輝度に対応するデータ電位 V_{data} に基づく書き込みが選択期間に行われた後、トランジスタ T_1 はオフ状態で維持される。データ電位 V_{data} に基づく書き込みによってトランジスタ T_2 はオン状態となる。トランジスタ T_3 についてはオフ状態で維持される。以上より、図 11 で符号 71 で示す矢印のように、トランジスタ T_2 を介して有機 EL 素子 OLED に駆動電流が供給される。これにより、駆動電流に応じた輝度で有機 EL 素子 OLED が発光する。

[0083] <3. 2. 2 特性検出動作>

各フレームにおいて、モニタ行では、特性検出動作が行われる。図 12 は、モニタ行についての 1 水平走査期間 T_{Hm} の詳細を説明するためのタイミングチャートである。なお、この 1 水平走査期間 T_{Hm} によって特性検出処理期間が実現されている。図 12 に示すように、本実施形態においては、 T_{FT} 特性検出期間 T_b は、期間 $T_{b1} \sim T_{b6}$ によって構成されており、OLED 特性検出期間 T_c は、期間 $T_{c1} \sim T_{c6}$ によって構成されている。なお、本実施形態においては、期間 T_{b1} , T_{b4} , T_{c1} , および T_{c4} によってデータ信号線充電期間が実現され、期間 T_{b2} , T_{b5} , T_{c2} , および T_{c5} によってモニタ期間が実現され、期間 T_{b3} , T_{b6} , T_{c3} , および T_{c6} によって AD 変換期間が実現されている。

[0084] 検出準備期間 T_a には、走査線 $G_1(i)$ はアクティブな状態とされ、モニタ制御線 $G_2(i)$ は非アクティブな状態で維持される。これにより、トランジスタ T_1 はオン状態となり、トランジスタ T_3 はオフ状態で維持される。また、この期間 T_a には、制御クロック信号 CLK_1 , CLK_2 , および CLK_2B はそれぞれハイレベル、ハイレベル、およびオフレベルとなる。このため、スイッチ 333, 334, および 335 はそれぞれオン状態、オン状態、およびオフ状態となる。また、この期間 T_a には、データ信号線 $S(j)$ にはオペアンプ 331 を介して電位 V_{mg} が与えられる。この電位 V_{mg} に基づく書き込みによってコンデンサ C_{st} が充電され、トランジスタ T_2 がオン状態となる。以上より、検出準備期間 T_a には、図 13 で符号

72で示す矢印のように、トランジスタT2を介して有機EL素子OLEDに駆動電流が供給される。これにより、駆動電流に応じた輝度で有機EL素子OLEDが発光する。但し、有機EL素子OLEDが発光するのは極めて短い時間である。

[0085] 期間Tb1（データ信号線充電期間）になると、走査線G1（i）は非アクティブな状態とされ、モニタ制御線G2（i）はアクティブな状態とされる。これにより、トランジスタT1はオフ状態となり、トランジスタT3はオン状態となる。なお、TF特性検出期間Tbを通じて、トランジスタT1はオフ状態で維持され、トランジスタT3はオン状態で維持される。また、期間Tb1になると、オペアンプ331を介してデータ信号線S（j）に電位Vm_TFTが与えられる。以上より、期間Tb1には、データ信号線S（j）の電位がVm_TFTとなるように充電が行われる。なお、後述するように、OLED特性検出期間Tc内の期間Tc1には、データ信号線S（j）の電位がVm_oledとなるように充電が行われる。

[0086] 期間Tb2（モニタ期間）になると、制御クロック信号CLK1がハイレベルからローレベルに変化する。これにより、スイッチ333がオフ状態となる。ここで、TF用オフセットメモリ51aに格納されているオフセット値に基づいて求められるトランジスタT2の閾値電圧をVth（T2）とすると、次式（1）、（2）が成立するように、電位Vm_gの値、電位Vm_TFTの値、および電位Vm_oledの値が設定されている。

$$V_{m_TFT} + V_{th}(T2) < V_{m_g} \quad \dots (1)$$

$$V_{m_g} < V_{m_oled} + V_{th}(T2) \quad \dots (2)$$

また、OLED用オフセットメモリ51bに格納されているオフセット値に基づいて求められる有機EL素子OLEDの発光閾値電圧をVth（oled）とすると、次式（3）が成立するように電位Vm_TFTの値が設定されている。

$$V_{m_TFT} < ELVSS + V_{th}(oled) \quad \dots (3)$$

さらに、有機EL素子OLEDの降伏電圧をVbr（oled）とすると、

次式（４）が成立するように電位 $V_{m_TF T}$ の値が設定されている。

$$V_{m_TF T} > E L V S S - V_{b r (o l e d)} \quad \cdots (4)$$

[0087] 以上のように、検出準備期間 T_a に上式（１），（２）を満たす電位 V_{m_g} に基づく書き込みが行われた後、期間 $T_{b1} \sim T_{b2}$ には上式（１），（３），および（４）を満たす電位 $V_{m_TF T}$ がデータ信号線 $S(j)$ に与えられている。上式（１）より、期間 T_{b2} には、トランジスタ T_2 はオン状態となる。また、上式（３），（４）より、期間 T_{b2} には、有機 $E L$ 素子 $O L E D$ に電流は流れない。

[0088] 以上より、期間 T_{b2} には、図 14 で符号 73 で示す矢印のように、トランジスタ T_2 を流れる電流が、トランジスタ T_3 を介してデータ信号線 $S(j)$ に出力される。また、期間 T_{b2} には、スイッチ 334 はオン状態になっている。これにより、期間 T_{b2} にデータ信号線 $S(j)$ に出力された電流（シンク電流）の大きさ（時間積分値）に応じて、コンデンサ 332 に電荷が蓄積され、オペアンプ 331 の出力端子の電位が変化する。

[0089] 期間 T_{b3} （ $A D$ 変換期間）になると、制御クロック信号 $C L K_2$ がハイレベルからローレベルに変化する。これにより、図 15 に示すように、スイッチ 334 がオフ状態となり、データ信号線 $S(j)$ と内部データ線 $S_{i n}(j)$ とが電氣的に切り離された状態となる。その結果、期間 T_{b2} の終了時点におけるデータ信号線 $S(j)$ の電流の大きさを示すアナログデータが、出力／電流モニタ回路 330 に保持される。このような状態で、セレクト 322 が複数の列のアナログデータ（モニタデータ $M O$ ）を順次に出力することによって、各 A / D コンバータ 324 で複数の列のアナログデータに対して順次に $A D$ 変換が行われる。

[0090] また、期間 T_{b3} には、制御クロック信号 $C L K_2 B$ がローレベルからハイレベルに変化する。これにより、図 15 に示すように、スイッチ 335 がオン状態となり、データ信号線 $S(j)$ と制御線 $C L$ とが電氣的に接続された状態となる。その結果、期間 T_{b3} には、データ信号線 $S(j)$ の電位が $V_{m_TF T}$ となるように充電が行われる。このようにして、 $A D$ 変換が行

われている期間中、制御線CLを介してデータ信号線S(j)の充電が行われる。

[0091] 期間Tb4（データ信号線充電期間）になると、制御クロック信号CLK1がローレベルからハイレベルに変化し、制御クロック信号CLK2がローレベルからハイレベルに変化し、制御クロック信号CLK2Bがハイレベルからローレベルに変化する。これにより、スイッチ333, 334, および335はそれぞれオン状態, オン状態, およびオフ状態となる。このようにしてスイッチ333およびスイッチ334がオン状態となり、オペアンプ331を介してデータ信号線S(j)に電位 $V_{m_TF T}$ が与えられる。以上より、期間Tb4には、データ信号線S(j)の電位が $V_{m_TF T}$ となるように再充電が行われる。ところで、上述したように、期間Tb3には、制御線CLを介してデータ信号線S(j)の充電が行われている。このため、期間Tb4は、ごく短い長さの期間で良い。

[0092] 期間Tb5（モニタ期間）には、期間Tb2と同様の動作が行われる。期間Tb6（AD変換期間）には、期間Tb3と同様の動作が行われる。以上のようにして、トランジスタT2のゲートソース間の電圧を所定の大きさ（ $V_{mg} - V_{m_TF T}$ ）にした状態で当該トランジスタT2のドレインソース間を流れる電流の大きさが繰り返し測定され、TF T特性が検出される。

[0093] 期間Tc1（データ信号線充電期間）になると、制御クロック信号CLK1がローレベルからハイレベルに変化し、制御クロック信号CLK2がローレベルからハイレベルに変化し、制御クロック信号CLK2Bがハイレベルからローレベルに変化する。これにより、スイッチ333, 334, および335はそれぞれオン状態, オン状態, およびオフ状態となる。また、本実施形態においては、TF T特性検出期間Tbと同様、OLED特性検出期間Tcを通じて、トランジスタT1はオフ状態で維持され、トランジスタT3はオン状態で維持される。また、期間Tc1になると、オペアンプ331を介してデータ信号線S(j)に電位 V_{m_oled} が与えられる。以上より

、期間 T_{c1} には、データ信号線 $S(j)$ の電位が V_{m_oled} となるように充電が行われる。

[0094] 期間 T_{c2} (モニタ期間) になると、制御クロック信号 $CLK1$ がハイレベルからローレベルに変化する。これにより、スイッチ 333 がオフ状態となる。ここで、上式 (2) および次式 (5) が成立するように電位 V_{m_oled} の値が設定されている。

$$ELVSS + V_{th}(oled) < V_{m_oled} \quad \dots (5)$$

また、トランジスタ $T2$ の降伏電圧を $V_{br}(T2)$ とすると、次式 (6) が成立するように電位 V_{m_oled} の値が設定されている。

$$V_{m_oled} < V_{mg} + V_{br}(T2) \quad \dots (6)$$

[0095] 以上のように、期間 $T_{c1} \sim T_{c2}$ には、上式 (2), (5), および (6) を満たす電位 V_{m_oled} がデータ信号線 $S(j)$ に与えられる。上式 (2), (6) より、期間 T_{c2} には、トランジスタ $T2$ はオフ状態となる。また、上式 (5) より、期間 T_{c2} には、有機 EL 素子 $OLED$ に電流が流れる。

[0096] 以上より、期間 T_{c2} には、図 16 で符号 74 で示す矢印のように、データ信号線 $S(j)$ からトランジスタ $T3$ を介して有機 EL 素子 $OLED$ に電流が流れ、有機 EL 素子 $OLED$ が発光する。このときの電流の大きさ (時間積分値) に応じて、コンデンサ 332 に電荷が蓄積され、オペアンプ 331 の出力端子の電位が変化する。

[0097] 期間 T_{c3} になると、制御クロック信号 $CLK2$ がハイレベルからローレベルに変化する。これにより、期間 T_{b3} と同様に、スイッチ 334 がオフ状態となり、データ信号線 $S(j)$ と内部データ線 $Sin(j)$ とが電氣的に切り離された状態となる。その結果、期間 T_{c2} の終了時点におけるデータ信号線 $S(j)$ の電流の大きさを示すアナログデータが、出力／電流モニタ回路 330 に保持される。このような状態で、セクタ 322 が複数の列のアナログデータ (モニタデータ MO) を順次に出力することによって、各 A/D コンバータ 324 で複数の列のアナログデータに対して順次に AD 変

換が行われる。

[0098] また、期間T c 3 (A D変換期間)には、制御クロック信号C L K 2 Bがローレベルからハイレベルに変化する。これにより、期間T b 3と同様に、スイッチ3 3 5がオン状態となり、データ信号線S (j)と制御線C Lとが電氣的に接続された状態となる。その結果、期間T c 3には、データ信号線S (j)の電位がV m__o l e dとなるように充電が行われる。このようにして、A D変換が行われている期間中、制御線C Lを介してデータ信号線S (j)の充電が行われる。

[0099] 期間T c 4 (データ信号線充電期間)になると、制御クロック信号C L K 1がローレベルからハイレベルに変化し、制御クロック信号C L K 2がローレベルからハイレベルに変化し、制御クロック信号C L K 2 Bがハイレベルからローレベルに変化する。これにより、スイッチ3 3 3, 3 3 4, および3 3 5はそれぞれオン状態, オン状態, およびオフ状態となる。このようにしてスイッチ3 3 3およびスイッチ3 3 4がオン状態となり、オペアンプ3 3 1を介してデータ信号線S (j)に電位V m__o l e dが与えられる。以上より、期間T c 4には、データ信号線S (j)の電位がV m__o l e dとなるように再充電が行われる。ところで、上述したように、期間T c 3には、制御線C Lを介してデータ信号線S (j)の充電が行われている。このため、期間T c 4は、ごく短い長さの期間で良い。

[0100] 期間T c 5 (モニタ期間)には、期間T c 2と同様の動作が行われる。期間T c 6 (A D変換期間)には、期間T c 3と同様の動作が行われる。以上のようにして、有機E L素子O L E Dのアノード(陽極)ーカソード(陰極)間の電圧を所定の大きさ(V m__o l e d - E L V S S)にした状態で当該有機E L素子O L E Dを流れる電流の大きさが繰り返し測定され、O L E D特性が検出される。

[0101] なお、電位V m gの値、電位V m__T F Tの値、および電位V m__o l e dの値については、上式(1)～(6)の他、採用されている出力／電流モニタ回路3 3 0での電流の測定可能範囲なども考慮して決定される。

[0102] 発光準備期間 T_d になると、走査線 $G_1(i)$ はアクティブな状態とされ、モニタ制御線 $G_2(i)$ は非アクティブな状態とされる。これにより、トランジスタ T_1 はオン状態となり、トランジスタ T_3 はオフ状態となる。また、発光準備期間 T_d には、制御クロック信号 CLK_1 がローレベルからハイレベルに変化し、制御クロック信号 CLK_2 がローレベルからハイレベルに変化し、制御クロック信号 CLK_2B がハイレベルからローレベルに変化する。これにより、スイッチ 333 、 334 、および 335 はそれぞれオン状態、オン状態、およびオフ状態となる。また、発光準備期間 T_d には、オペアンプ 331 を介してデータ信号線 $S(j)$ に目標輝度に応じたデータ電位 $D(i, j)$ が与えられる。このデータ電位 $D(i, j)$ に基づく書き込みによってコンデンサ C_{st} が充電され、トランジスタ T_2 がオン状態となる。以上より、発光準備期間 T_d には、図17で符号75で示す矢印のように、トランジスタ T_2 を介して有機EL素子OLEDに駆動電流が供給される。これにより、駆動電流に応じた輝度で有機EL素子OLEDが発光する。

[0103] 発光期間 T_L （図10参照）には、走査線 $G_1(i)$ は非アクティブな状態とされ、モニタ制御線 $G_2(i)$ は非アクティブな状態で維持される。これにより、トランジスタ T_1 はオフ状態となり、トランジスタ T_3 はオフ状態で維持される。トランジスタ T_1 はオフ状態となるが、発光準備期間 T_d 中に目標輝度に応じたデータ電位 $D(i, j)$ に基づく書き込みによってコンデンサ C_{st} が充電されていることから、トランジスタ T_2 はオン状態で維持される。従って、発光期間 T_L には、図18で符号76で示す矢印のように、トランジスタ T_2 を介して有機EL素子OLEDに駆動電流が供給される。これにより、駆動電流に応じた輝度で有機EL素子OLEDが発光する。すなわち、発光期間 T_L には、目標輝度に応じて有機EL素子OLEDが発光する。ところで、トランジスタ T_1 がオフ状態になると、トランジスタ T_2 のゲート電位は理想的には保持される。しかしながら、実際には、トランジスタ T_1 によるチャージインжекション、走査線 $G_1(i)$ のフィ

ードスルー、寄生容量との電荷分配等の二次効果により、トランジスタ T_2 のゲート電位については書き込まれた電位からの変動が生じる。一方、発光期間 T_L よりも先行する TFT 特性検出期間 T_b の直前にも、トランジスタ T_1 がオフ状態となってトランジスタ T_2 のゲートがホールド状態になることから、 TFT 特性検出期間 T_b と発光期間 T_L における、二次効果の影響は、ほぼ等しくなる。従って、これら二次効果による影響の大きさが（寄生容量値のばらつき等によって）画素毎にばらついていても、二次効果を考慮して TFT 特性の検出が行われ、補正が施される。よって、画素毎の二次効果のばらつきを互いに相殺することができる。

[0104] 以上のように、非モニタ行においては、一般的な有機 EL 表示装置と同様に、有機 EL 素子 $OLED$ を発光させる処理が行われる。これに対して、モニタ行においては、 TFT 特性および $OLED$ 特性を検出するための処理が行われた後に、有機 EL 素子 $OLED$ を発光させる処理が行われる。従って、図19から把握されるように、モニタ行における発光期間の長さは非モニタ行における発光期間の長さよりも短くなる。このため、発光準備期間 T_d にデータ信号線 $S(j)$ に印加されるデータ電位 $D(i, j)$ の大きさについては、フレーム期間内での積分輝度が非モニタ行で現れる輝度と等しくなるように調整が施される。詳しくは、非モニタ行における階調電圧よりもやや大きい階調電圧に相当するデータ電位が、発光準備期間 T_d にデータ信号線 $S(j)$ に与えられる。換言すれば、任意の有機 EL 素子 $OLED$ を着目有機 EL 素子と定義したとき、着目有機 EL 素子がモニタ行に含まれている場合、発光準備期間 T_d には、着目有機 EL 素子が非モニタ行に含まれている場合における階調電圧よりも大きい階調電圧に相当するデータ電位がソースドライバ30によってデータ信号線 $S(j)$ に与えられる。これにより、表示品位の低下が抑制される。

[0105] なお、本実施形態においては、 TFT 特性検出期間 T_b には TFT 特性の検出のための電流測定が2回行われ、 $OLED$ 特性検出期間 T_c には $OLED$ 特性の検出のための電流測定が2回行われるが、本発明はこれに限定され

ない。T F T特性検出期間T bおよびO L E D特性検出期間T cに、T F T特性の検出のための電流測定およびO L E D特性の検出のための電流測定が、それぞれ1回ずつ行われても良いし、それぞれ3回以上ずつ行われても良い。また、T F T特性の検出のための電流測定の回数とO L E D特性の検出のための電流測定の回数とが異なっても良い。また、T F T特性検出期間T bのみを有するフレームがあっても良いし、O L E D特性検出期間T cのみを有するフレームがあっても良い。すなわち、1フレーム期間につきT F T特性の検出またはO L E D特性の検出のいずれか一方のみが行われるようにしても良い。この場合、T F T特性の検出が行われるフレーム期間には、図10でT b～T cで示す期間を通じてデータ信号線S (j)に電位V m__T F Tが与えられ、O L E D特性の検出が行われるフレーム期間には、図10でT b～T cで示す期間を通じてデータ信号線S (j)に電位V m__o l e dが与えられる。このようにすることによって、A D変換後にA D変換で得られたモニタデータM Oをコントロール回路20に転送するための時間が十分に確保される。

[0106] また、本実施形態においては、図9に示すようにフレームが変わる毎にモニタ行も変わるが、本発明はこれに限定されない。複数フレームにわたって同じ行をモニタ行としても良い。たとえば、2種類のV m__T F TでトランジスタT 2（駆動トランジスタ）の特性検出を行う2フレームと2種類のV m__o l e dで有機E L素子O L E D（電気光学素子）の特性検出を行う2フレームとの合計4フレームにわたって同一の行をモニタ行とすることも可能である。さらに、同一のモニタ電圧（V m__T F T, V m__o l e d）で複数フレームにわたって同じ行をモニタ行としても良い。このようにして1つの行で繰り返して特性検出の処理を行うことによって、S/N比が向上するという効果が得られる。さらに、本実施形態においては、各フレームに1つの行のみがモニタ行とされるが、本発明はこれに限定されない。表示品位が損なわれない範囲内で、各フレームに複数の行がモニタ行とされても良いし、パネルの電源オン直後や電源オフ期間、又は非表示期間の任意のタイミ

ングで、全行の特性検出を連続実行するようにしても良い。

[0107] <3. 3 補正データ記憶部内の補正データの更新>

次に、補正データ記憶部50に記憶されている補正データ（TFT用オフセットメモリ51aに記憶されているオフセット値、OLED用オフセットメモリ51bに記憶されているオフセット値、TFT用ゲインメモリ52aに記憶されているゲイン値、およびOLED用ゲインメモリ52bに記憶されている劣化補正係数）がどのように更新されるかについて説明する。図20は、補正データ記憶部50内の補正データの更新の手順を説明するためのフローチャートである。なお、ここでは1つの画素に対応する補正データに着目する。

[0108] まず、TFT特性検出期間TbにTFT特性の検出が行われる（ステップS110）。このステップS110によって、映像信号を補正するためのオフセット値およびゲイン値が求められる。そして、ステップS110で求められたオフセット値が、新たなオフセット値としてTFT用オフセットメモリ51aに格納される（ステップS120）。また、ステップS110で求められたゲイン値が、新たなゲイン値としてTFT用ゲインメモリ52aに格納される（ステップS130）。その後、OLED特性検出期間Tcに、OLED特性の検出が行われる（ステップS140）。このステップS140によって、映像信号を補正するためのオフセット値および劣化補正係数が求められる。そして、ステップS140で求められたオフセット値が、新たなオフセット値としてOLED用オフセットメモリ51bに格納される（ステップS150）。また、ステップS140で求められた劣化補正係数が、新たな劣化補正係数としてOLED用ゲインメモリ52bに格納される（ステップS160）。以上のようにして、1つの画素に対応する補正データの更新が行われる。本実施形態においては、各フレームに1つの行についてのTFT特性およびOLED特性の検出が行われるので、1フレーム期間につき、TFT用オフセットメモリ51a内のm個のオフセット値、TFT用ゲインメモリ52a内のm個のゲイン値、OLED用オフセットメモリ51b

内の m 個のオフセット値、およびOLED用ゲインメモリ52b内の m 個の劣化補正係数の更新が行われる。

[0109] なお、本実施形態においては、ステップS110およびステップS140での検出結果に基づいて得られるデータ（オフセット値、ゲイン値、劣化補正係数）によって特性データが実現されている。

[0110] ところで、上述したように、OLED特性検出期間 T_c には、一定電圧（ $V_{m_oled-ELVSS}$ ）に基づいて有機EL素子OLEDを流れる電流の大きさの測定が行われる。その測定結果としての検出電流が小さいほど、有機EL素子OLEDの劣化の程度は大きい。従って、検出電流が小さいほど、オフセット値が大きくなり劣化補正係数が大きくなるようにOLED用オフセットメモリ51bおよびOLED用ゲインメモリ52b内のデータの更新が行われる。

[0111] <3.4 映像信号の補正>

本実施形態においては、駆動トランジスタの劣化および有機EL素子OLEDの劣化を補償するために、補正データ記憶部50に格納されている補正データを用いて、外部から送られる映像信号の補正が行われる。以下、映像信号のこの補正について図21を参照しつつ説明する。

[0112] 図21に示すように、コントロール回路20には、映像信号を補正するための構成要素として、LUT211、乗算部212、乗算部213、加算部214、加算部215、および乗算部216が設けられている。また、コントロール回路20には、OLED特性検出期間 T_c にデータ信号線Sに与える電位 V_{m_oled} を補正するための構成要素として、乗算部221および加算部222が設けられている。コントロール回路20内のCPU230は、上記各構成要素の動作の制御、補正データ記憶部50内の各メモリ（TFT用オフセットメモリ51a、TFT用ゲインメモリ52a、OLED用オフセットメモリ51b、およびOLED用ゲインメモリ52b）に対するデータの更新／読み出し、不揮発性メモリ70に対するデータの更新／読み出し、ソースドライバ30との間のデータ授受などを行う。

[0113] 以上のような構成において、外部から送られる映像信号は、以下のように補正される。まず、LUT211を用いて、外部から送られる映像信号にガンマ補正が施される。すなわち、映像信号が示す階調Pがガンマ補正によって制御電圧 V_c に変換される。乗算部212は、制御電圧 V_c とTFT用ゲインメモリ52aから読み出されたゲイン値 B_1 とを受け取り、それらを乗じて得られる値“ $V_c \cdot B_1$ ”を出力する。乗算部213は、乗算部212から出力された値“ $V_c \cdot B_1$ ”とOLED用ゲインメモリ52bから読み出された劣化補正係数 B_2 とを受け取り、それらを乗じて得られる値“ $V_c \cdot B_1 \cdot B_2$ ”を出力する。加算部214は、乗算部213から出力された値“ $V_c \cdot B_1 \cdot B_2$ ”とTFT用オフセットメモリ51aから読み出されたオフセット値 V_{t1} とを受け取り、それらを加算することによって得られる値“ $V_c \cdot B_1 \cdot B_2 + V_{t1}$ ”を出力する。加算部215は、加算部214から出力された値“ $V_c \cdot B_1 \cdot B_2 + V_{t1}$ ”とOLED用オフセットメモリ51bから読み出されたオフセット値 V_{t2} とを受け取り、それらを加算することによって得られる値“ $V_c \cdot B_1 \cdot B_2 + V_{t1} + V_{t2}$ ”を出力する。乗算部216は、加算部215から出力された値“ $V_c \cdot B_1 \cdot B_2 + V_{t1} + V_{t2}$ ”と画素回路11内の寄生容量に起因するデータ電位の減衰を補償するための係数 Z とを受け取り、それらを乗じて得られる値“ $Z (V_c \cdot B_1 \cdot B_2 + V_{t1} + V_{t2})$ ”を出力する。以上のようにして得られた値“ $Z (V_c \cdot B_1 \cdot B_2 + V_{t1} + V_{t2})$ ”がデータ信号DAとしてコントロール回路20からソースドライバ30に送られる。検出準備期間 T_a にデータ信号線Sに与える電位 V_{mg} についても映像信号と同様の処理によって補正される。なお、加算部215から出力された値にデータ電位の減衰を補償するための係数 Z を乗ずる処理を行う乗算部216については、必ずしも設けられる必要はない。

[0114] また、OLED特性検出期間 T_c にデータ信号線Sに与える電位 V_{m_oled} が以下のように補正される。乗算部221は、 $pre_V_{m_oled}$ （補正前の V_{m_oled} ）とOLED用ゲインメモリ52bから読み出

された劣化補正係数 B_2 とを受け取り、それらを乗じて得られる値“ $pre_Vm_oled \cdot B_2$ ”を出力する。加算部222は、乗算部221から出力された値“ $pre_Vm_oled \cdot B_2$ ”とOLED用オフセットメモリ51bから読み出されたオフセット値 V_{t2} とを受け取り、それらを加算することによって得られる値“ $pre_Vm_oled \cdot B_2 + V_{t2}$ ”を出力する。以上のようにして得られた値“ $pre_Vm_oled \cdot B_2 + V_{t2}$ ”が、OLED特性検出期間 T_c 中のデータ信号線Sの電位 V_{m_oled} を指示するデータとしてコントロール回路20からソースドライバ30に送られる。

[0115] <3. 5 駆動方法のまとめ>

図22は、TF特性およびOLED特性の検出に関連する動作の概略を説明するためのフローチャートである。まず、TF特性検出期間 T_b にTF特性の検出が行われる（ステップS210）。そして、ステップS210での検出結果を用いて、TF用オフセットメモリ51aおよびTF用ゲインメモリ52aの更新が行われる（ステップS220）。次に、OLED特性検出期間 T_c にOLED特性の検出が行われる（ステップS230）。そして、ステップS230での検出結果を用いて、OLED用オフセットメモリ51bおよびOLED用ゲインメモリ52bの更新が行われる（ステップS240）。その後、TF用オフセットメモリ51a、TF用ゲインメモリ52a、OLED用オフセットメモリ51b、およびOLED用ゲインメモリ52bに格納されている補正データを用いて、外部から送られる映像信号の補正が行われる（ステップS250）。

[0116] なお、本実施形態においては、ステップS210およびステップS230によって特性検出ステップが実現され、ステップS220およびステップS240によって補正データ記憶ステップが実現され、ステップS250によって映像信号補正ステップが実現されている。

[0117] <4. 効果>

本実施形態によれば、各フレームにおいて1つの行についてのTF特性

およびOLED特性の検出が行われる。モニタ行における1水平走査期間 T_{Hm} は非モニタ行における1水平走査期間 T_{Hn} よりも長くされ、モニタ行では、その1水平走査期間 T_{Hm} 中にTF特性の検出およびOLED特性の検出が行われる。そして、TF特性の検出結果およびOLED特性の検出結果の双方を考慮して求められた補正データを用いて、外部から送られる映像信号が補正される。このようにして補正された映像信号に基づくデータ電位がデータ信号線Sに印加されるので、各画素回路11内の有機EL素子OLEDを発光させる際に、駆動トランジスタ（トランジスタT2）の劣化および有機EL素子OLEDの劣化が補償されるような大きさの駆動電流が有機EL素子OLEDに供給される（図23参照）。また、図24に示すように劣化の最も少ない画素の劣化レベルに合わせて電流を増加させることによって、焼き付きに対する補償を行うことが可能となる。ここで、本実施形態におけるデータ信号線Sは、各画素回路11内の有機EL素子OLEDを所望の輝度で発光させるための輝度信号を伝達する信号線として用いられるだけでなく、特性検出用の信号線（特性検出用の制御電位（ V_{mg} , V_{m_TF} , V_{m_oled} ）を画素回路11に与える信号線、特性を表す電流であって出力／電流モニタ回路330で測定可能な電流の経路となる信号線）としても用いられる。すなわち、TF特性やOLED特性を検出するために新たな信号線を表示部10内に設ける必要がない。従って、回路規模の増大を抑制しつつ、駆動トランジスタ（トランジスタT2）の劣化および有機EL素子OLEDの劣化の双方を同時に補償することが可能となる。

- [0118] また、本実施形態においては、各列に設けられた出力／電流モニタ回路330が、TF特性やOLED特性を表すアナログデータを保持する機能（サンプルホールド機能）を有している。このサンプルホールド機能を利用して、上記アナログデータをデジタルデータに変換するためのA/Dコンバータ324が複数の列で共有されている。これにより、回路素子の特性検出を可能な構成にすることに伴う回路規模の増大が効果的に抑制される。また、出力／電流モニタ回路330には、データ信号線Sと内部データ線 S_{in} と

の接続状態を制御するためのスイッチ 334 およびデータ信号線 S と所定の制御線 CL との接続状態を制御するためのスイッチ 335 が設けられている。そして、A/Dコンバータ 324 による AD 変換が行われている期間中には、データ信号線 S と内部データ線 S_{in} とが電氣的に切り離され、制御線 CL からデータ信号線 S に所定の電位 (V_{m_TFT} あるいは V_{m_oled}) が与えられる。これにより、A/Dコンバータ 324 の共有化に起因して AD 変換中にデータ信号線 S の電位が変動することが防止される。このことより、データ信号線 S の再充電が極めて短時間で行われるので、特性検出のための電流測定を繰り返し行うことが可能となる。これにより、十分な S/N 比を確保できるという効果が得られる。

- [0119] さらに、本実施形態においては、画素回路 11 内のトランジスタ T1～T3 に酸化物 TFT (具体的には In-Ga-Zn-O 系半導体層を有する TFT) が採用されている。この観点からも、十分な S/N 比を確保できるという効果が得られる。これについて以下に説明する。なお、In-Ga-Zn-O 系半導体層を有する TFT のことをここでは「In-Ga-Zn-O-TFT」という。In-Ga-Zn-O-TFT と LTPS (Low Temperature Poly silicon) -TFT とを比較すると、LTPS-TFT よりも In-Ga-Zn-O-TFT の方がオフ電流が極めて小さい。例えば、画素回路 11 内のトランジスタ T3 に LTPS-TFT が採用されている場合には、オフ電流は最大 1 pA 程度となる。これに対して、画素回路 11 内のトランジスタ T3 に In-Ga-Zn-O-TFT が採用されている場合には、オフ電流は最大 10 fA 程度となる。従って、例えば 1000 行分のオフ電流は、LTPS-TFT が採用されている場合には最大 1 nA 程度となり、In-Ga-Zn-O-TFT が採用されている場合には最大 10 pA 程度となる。検出電流については、いずれが採用されている場合にも 10～100 nA 程度となる。ところで、各データ信号線 S は、対応する列の全ての行の画素回路 11 内のトランジスタ T3 に接続されている。従って、特性検出が行われているときのデータ信号線 S の S/N 比は、非モニタ行のランジ

スタ T 3 の漏れ電流の合計に依存する。具体的には、特性検出が行われているときのデータ信号線 S の S / N 比は「検出電流 / (漏れ電流 × 非モニタ行の行数)」で表される。以上のことから、例えば、“Landscape FHD” の表示部 10 を有する有機 EL 表示装置においては、LTPTFT が採用されている場合には S / N 比は 10 程度となるのに対し、InGaZnO-TFT が採用されている場合には S / N 比は 1000 程度となる。このように、本実施形態においては、電流の検出を行う際に十分な S / N 比を確保することができる。

[0120] <5. 変形例>

以下、上記実施形態の変形例について説明する。なお、以下においては、上記実施形態と異なる点についてのみ詳しく説明し、上記実施形態と同様の点については説明を省略する。

[0121] <5. 1 第 1 の変形例>

上記実施形態においては、OLED 特性検出期間 T_c にデータ信号線 S に与える電位については、OLED 用オフセットメモリ 51b に格納されているオフセット値 V_{t2} および OLED 用ゲインメモリ 52b に格納されている劣化補正係数 B_2 に基づいて補正が施される (図 21 参照)。すなわち、電位 V_{m_oled} の大きさは、画素毎に異なり得る。これに関し、上述したように AD 変換中にはスイッチ 334 がオフ状態となるので、仮に画素毎に異なる大きさの電位 V_{m_oled} が制御線 CL からデータ信号線 S に供給されるようにするためには、図 1 に示す D / A コンバータ 321 とは別の D / A コンバータを備える必要がある。

[0122] しかしながら、AD 変換後のデータ信号線 S の再充電が短時間で行われるのであれば、必ずしも、画素毎に定まる電位 V_{m_oled} が制御線 CL からデータ信号線 S に供給される必要はない。そこで、本変形例においては、OLED 特性検出期間 T_c には、電位 V_{m_oled} に近い一定の電位が電源回路から制御線 CL に与えられる。これにより、OLED 特性検出期間 T_c には、上記一定の電位が制御線 CL からデータ信号線 S に与えられる。

[0123] 以上のように、OLED特性検出期間 T_c に制御線CLに与える電位の大きさは、画素毎に定まる電位 V_{m_oled} の大きさに実質的に等しければ、電位 V_{m_oled} と全く同じ大きさであっても良いし、電位 V_{m_oled} に近い電位であっても良い。

[0124] <5. 2 第2の変形例>

上記実施形態においては、OLED特性検出期間 T_c 内でAD変換が行われる期間（期間 T_{c3} および期間 T_{c6} ）には制御ラインCLからデータ信号線Sに電位 V_{m_oled} が与えられる構成となっていた。しかしながら、本発明はこれに限定されない。OLED特性検出期間 T_c 内でAD変換が行われる期間にはデータ信号線Sがハイインピーダンスの状態にされる構成（本変形例の構成）を採用することもできる。以下、本変形例における駆動方法について、上記実施形態と異なる点を中心に説明する。

[0125] 図25は、本変形例において、モニタ行に含まれる画素回路11（ i 行 j 列の画素回路11とする）の動作を説明するためのタイミングチャートである。図10および図25から把握されるように、OLED特性検出期間 T_c におけるモニタ制御線G2（ i ）の波形が上記実施形態と本変形例とで異なっている。

[0126] 図26は、本変形例において、モニタ行についての1水平走査期間 T_{Hm} の詳細を説明するためのタイミングチャートである。この図26を参照しつつ、本変形例における特性検出動作について説明する。検出準備期間 T_a 、 T_{FT} 特性検出期間 T_b 、および発光準備期間 T_d については、上記実施形態と同様の動作が行われるので説明を省略する。

[0127] 上記実施形態と同様、OLED特性検出期間 T_c は、期間 $T_{c1} \sim T_{c6}$ によって構成されている。期間 T_{c1} （データ信号線充電期間）および期間 T_{c2} （モニタ期間）には、上記実施形態と同様の動作が行われる。期間 T_{c3} （AD変換期間）になると、制御クロック信号CLK2がハイレベルからローレベルに変化する。これにより、スイッチ334がオフ状態となり、データ信号線S（ j ）と内部データ線 $S_{in}(j)$ とが電氣的に切り離され

た状態となる。そして、上記実施形態と同様にして、各A/Dコンバータ324で複数の列のアナログデータに対して順次にAD変換が行われる。また、期間Tc3には、上記実施形態とは異なり、制御クロック信号CLK2Bはローレベルで維持され、モニタ制御線G2(i)は非アクティブな状態とされる。これにより、スイッチ335がオフ状態で維持され、かつ、トランジスタT3もオフ状態となる。以上より、期間Tc3には、データ信号線S(j)はハイインピーダンスの状態となる。このようにして、期間Tc3には、データ信号線S(j)からの電荷の流出が防止され、データ信号線S(j)の電位はV_{m_ole}dに近い電位で維持される。

[0128] 期間Tc4(データ信号線充電期間)には、上記実施形態と同様にして、データ信号線S(j)の再充電が行われる。上述したように、期間Tc3には、データ信号線S(j)はハイインピーダンスの状態となっており、データ信号線S(j)の電位はV_{m_ole}dに近い電位で維持されている。従って、期間Tc4には、極めて短時間で、データ信号線S(j)の電位がV_{m_ole}dとなるように再充電が行われる。期間Tc5(モニタ期間)には、期間Tc2と同様の動作が行われ、期間Tc6(AD変換期間)には、期間Tc3と同様の動作が行われる。

[0129] 以上のように、本変形例によれば、OLE特性検出期間TcにおいてA/Dコンバータ324によるAD変換が行われている期間中には、データ信号線Sはハイインピーダンスの状態とされる。また、TF特性検出期間TbにおいてA/Dコンバータ324によるAD変換が行われている期間中には、上記実施形態と同様、制御線CLからデータ信号線Sに所定の電位(V_{m_TF}T)が与えられる。これにより、本変形例においても、データ信号線Sの再充電が極めて短時間で行われる。従って、特性検出のための電流測定を繰り返し行うことが可能となり、十分なS/N比を確保することができる。

[0130] なお、TF特性検出期間Tb内でAD変換が行われる期間(期間Tb3および期間Tb6)にも、トランジスタT3をオフ状態にしてデータ信号線

S (j) をハイインピーダンスの状態にすることもできる。この場合の回路構成は、図 1 に示した構成から制御線 CL およびスイッチ 335 を削除した構成（図 27 参照）となる。但し、この場合、トランジスタ T2 がオン状態になっているので、有機 EL 素子 OLED に電流が供給されて有機 EL 素子 OLED が発光してしまう。また、トランジスタ T2 のソース電位が大きく変動するので、AD 変換後の再充電の期間を長くする必要がある。従って、TF T 特性検出期間 T_b 内で AD 変換が行われる期間については、上記実施形態のように、トランジスタ T3 をオン状態に維持しつつ、制御線 CL からデータ信号線 S (j) に電位 V_m - TF T を与えることが好ましい。しかしながら、図 27 に示す構成を採用した場合にも、A/D コンバータ 324 を複数の列で共有することができるという効果、OLED 特性の検出の際の再充電期間を短くすることができるという効果、および図 1 に示した構成を採用した場合に比べて回路規模を小さくすることができるという効果が得られる。

[0131] <5. 3 第 3 の変形例>

一般に、有機 EL 表示装置においては、1 フレーム期間は、先頭行から最終行への順番で順次に画素への映像信号の書き込みが行われる期間である垂直走査期間と、映像信号の書き込みを最終行から先頭行に戻すために設けられている期間である垂直帰線期間（垂直同期期間）とからなる。そして、有機 EL 表示装置の動作中、図 28 に示すように、垂直走査期間 T_v と垂直帰線期間 T_f とが交互に繰り返される。ところで、上記実施形態においては、垂直走査期間 T_v 中に TF T 特性の検出および OLED 特性の検出が行われていた。しかしながら、本発明はこれに限定されず、垂直帰線期間 T_f 中に TF T 特性の検出および OLED 特性の検出が行われる構成（本変形例の構成）を採用することもできる。

[0132] 本変形例においては、例えば (k + 1) フレーム目の垂直帰線期間 T_f に 1 行目についての TF T 特性および OLED 特性の検出が行われるとすると、(k + 2) フレーム目の垂直帰線期間 T_f には、2 行目についての TF T

特性およびOLED特性の検出が行われ、 $(k+3)$ フレーム目の垂直帰線期間 T_f には、3行目についてのTF特性およびOLED特性の検出が行われ、 $(k+n)$ フレーム目の垂直帰線期間 T_f には、 n 行目についてのTF特性およびOLED特性の検出が行われる。すなわち、フレームが変わる毎にモニタ行も変わる。なお、垂直走査期間 T_v には、一般的な有機EL表示装置と同様の動作が行われる。

[0133] 図29は、本変形例において、モニタ行に含まれる画素回路11 (i 行 j 列の画素回路11とする)の垂直帰線期間 T_f 中の動作について説明するためのタイミングチャートである。図29に示すように、本変形例においては、垂直帰線期間 T_f 中の一部の期間が、検出準備期間 T_a 、TF特性検出期間 T_b 、OLED特性検出期間 T_c 、および発光準備期間 T_d からなる特性検出処理期間となっている。

[0134] 図30は、本変形例における垂直帰線期間 T_f の詳細を説明するためのタイミングチャートである。図30から把握されるように、本変形例における垂直帰線期間 T_f 中の検出準備期間 T_a 、TF特性検出期間 T_b ($T_{b1} \sim T_{b6}$)、および発光準備期間 T_d には、それぞれ上記実施形態における検出準備期間 T_a 、TF特性検出期間 T_b ($T_{b1} \sim T_{b6}$)、および発光準備期間 T_d と同様の動作が行われる(上記第2の変形例も同様)。本変形例における垂直帰線期間 T_f 中のOLED特性検出期間 T_c ($T_{c1} \sim T_{c6}$)には、上記第2の変形例におけるOLED特性検出期間 T_c ($T_{c1} \sim T_{c6}$)と同様の動作が行われる。このようにして、垂直走査期間 T_v ではなく垂直帰線期間 T_f にTF特性およびOLED特性の検出を行うことも可能である。なお、本変形例におけるOLED特性検出期間 T_c に上記実施形態におけるOLED特性検出期間 T_c と同様の動作が行われるようにしても良い。

[0135] ところで、非モニタ行においては、垂直走査期間 T_v 中の選択期間に目標輝度に応じた書き込みが行われ、当該書き込みに基づく有機EL素子OLEDの発光がほぼ1フレーム期間継続される。これに対して、モニタ行におい

ては、垂直走査期間 T_v 中の選択期間に書き込みが行われるが、垂直帰線期間 T_f になると有機 EL 素子 OLED の発光が一時的に中断される。このため、垂直帰線期間 T_f 終了後にモニタ行で有機 EL 素子 OLED が発光するよう、垂直帰線期間 T_f 中の発光準備期間 T_d にデータ電位 $D(i, j)$ に基づく書き込みが行われる。

[0136] すなわち、モニタ行においては、図 31 に示すように、まず、先行フレームの垂直走査期間 T_v 中の選択期間における書き込みに基づいて有機 EL 素子 OLED が発光する。その後、垂直帰線期間 T_f に、有機 EL 素子 OLED が一時的に消灯する。その後、垂直帰線期間 T_f 中の発光準備期間 T_d における書き込みに基づいて有機 EL 素子 OLED が発光する。これに関し、発光準備期間 T_d にデータ電位 $D(i, j)$ に基づく書き込みが可能となるよう、垂直走査期間 T_v 中の選択期間における書き込み後に、該当のデータを保持しておく必要がある。この点に関し、保持すべきデータは 1 ライン分のデータにすぎないので、メモリ容量の増大は僅かである。これに対して、上記実施形態においては、モニタ行と非モニタ行とで 1 水平走査期間の長さが異なるので、コントロール回路 20 からのデータ転送のタイミングによっては、数十ライン分のラインメモリが必要となることもある。以上より、本変形例によれば、上記実施形態と比較して、必要となるメモリ容量が低減される。

[0137] なお、垂直帰線期間 T_f にモニタ行での有機 EL 素子 OLED の発光が一時的に中断されることを考慮して、垂直走査期間 T_v 中の選択期間（図 31 で符号 T_z で示す期間）に予め本来の階調電圧よりも大きい階調電圧に相当するデータ電位がデータ信号線 S に与えられるようにしても良い。換言すれば、任意の有機 EL 素子 OLED を着目有機 EL 素子と定義したとき、着目有機 EL 素子がモニタ行に含まれている場合、垂直走査期間 T_v 中の選択期間には、着目有機 EL 素子が非モニタ行に含まれている場合における階調電圧よりも大きい階調電圧に相当するデータ電位がソースドライバ 30 によってデータ信号線 $S(j)$ に与えられるようにしても良い。これにより、表示

品位の低下が抑制される。

[0138] <6. その他>

本発明は、上記実施形態および変形例に限定されるものではなく、本発明の趣旨を逸脱しない範囲で種々変形して実施することができる。例えば、本発明を適用可能な有機EL表示装置は、上記実施形態で例示した画素回路11を備えるものに限定されるものではない。画素回路は、少なくとも、電流によって制御される電気光学素子（有機EL素子OLED）、トランジスタT1～T3、およびコンデンサCstを備えていれば、上記実施形態で例示した構成以外の構成であっても良い。

符号の説明

[0139] 1…有機EL表示装置

10…表示部

11…画素回路

20…コントロール回路

30…ソースドライバ

31…駆動信号発生回路

32…信号変換回路

33…出力部

40…ゲートドライバ

50…補正データ記憶部

51a…TFT用オフセットメモリ

51b…OLED用オフセットメモリ

52a…TFT用ゲインメモリ

52b…OLED用ゲインメモリ

321…D/Aコンバータ

322…セレクタ

323…オフセット回路

324…A/Dコンバータ

330…出力／電流モニタ回路

333～335…スイッチ

T1～T3…トランジスタ

Cst…コンデンサ

G1, G1(1)～G1(n)…走査線

G2, G2(1)～G2(n)…モニタ制御線

S, S(j), S(1)～S(m)…データ信号線

Sin, Sin(j), Sin(1)～Sin(m)…内部データ線

ELVDD…ハイレベル電源電圧, ハイレベル電源線

ELVSS…ローレベル電源電圧, ローレベル電源線

Ta…検出準備期間

Tb…TF特性検出期間

Tc…OLED特性検出期間

Tb1, Tb4, Tc1, Tc4…データ信号線充電期間

Tb2, Tb5, Tc2, Tc5…モニタ期間

Tb3, Tb6, Tc3, Tc6…AD変換期間

Td…発光準備期間

TL…発光期間

請求の範囲

[請求項1]

アクティブマトリクス型の表示装置であって、

電流によって輝度が制御される電気光学素子および前記電気光学素子に供給すべき電流を制御するための駆動トランジスタをそれぞれが含む $n \times m$ 個（ n および m は 2 以上の整数）の画素回路からなる n 行 $\times$ m 列の画素マトリクスと、前記画素マトリクスの各行に対応するように設けられた走査線と、前記画素マトリクスの各行に対応するように設けられたモニタ制御線と、前記画素マトリクスの各列に対応するように設けられたデータ信号線とを有する表示部と、

フレーム期間に前記電気光学素子または前記駆動トランジスタの少なくとも一方を含む特性検出対象回路素子の特性を検出する特性検出処理が行われるよう、かつ、各電気光学素子が目標輝度に応じて発光するよう、前記走査線、前記モニタ制御線、および前記データ信号線を駆動する画素回路駆動部と、

前記特性検出処理の結果に基づいて得られる特性データを、映像信号を補正するための補正データとして記憶する補正データ記憶部と、

前記補正データ記憶部に記憶されている補正データに基づいて前記映像信号を補正して、前記 $n \times m$ 個の画素回路に供給すべきデータ信号を生成する映像信号補正部とを備え、

各画素回路は、

前記電気光学素子と、

前記走査線に制御端子が接続され、前記駆動トランジスタの制御端子に第 1 導通端子が接続され、前記データ信号線に第 2 導通端子が接続された入力トランジスタと、

駆動電源電位が第 1 導通端子に与えられた前記駆動トランジスタと、

前記モニタ制御線に制御端子が接続され、前記駆動トランジスタ

の第2導通端子および前記電気光学素子の陽極に第1導通端子が接続され、前記データ信号線に第2導通端子が接続されたモニタ制御トランジスタと、

前記駆動トランジスタの制御端子の電位を保持するため、一端が前記駆動トランジスタの制御端子に接続された第1のコンデンサとを含み、

前記画素回路駆動部は、

前記データ信号を前記データ信号線に印加する機能および前記データ信号線に流れている電流の大きさに応じたデータを前記特性データの元となるモニタデータとして取得する機能を有する出力／電流モニタ回路と、

前記モニタデータをアナログ値からデジタル値に変換するAD変換回路と

を含み、

前記出力／電流モニタ回路は、

前記データ信号線に接続された内部データ線と、

前記データ信号が非反転入力端子に与えられ、前記内部データ線に反転入力端子が接続されたオペアンプと、

前記内部データ線に一旦が接続され、前記オペアンプの出力端子に他端が接続された第2のコンデンサと、

前記内部データ線に一旦が接続され、前記オペアンプの出力端子に他端が接続された第1の制御スイッチと、

前記データ信号線に一端が接続され、前記内部データ線に他端が接続された第2の制御スイッチと

を含み、

前記AD変換回路は、複数個の前記出力／電流モニタ回路につき1個設けられ、

フレーム期間において前記特性検出処理が行われる行をモニタ行と

定義し、前記モニタ行以外の行を非モニタ行と定義したとき、フレーム期間には、前記モニタ行において前記特性検出対象回路素子の特性を検出する準備が行われる検出準備期間と、前記データ信号線に流れている電流を測定することによって前記特性検出対象回路素子の特性を検出する電流測定期間と、前記モニタ行において前記電気光学素子を発光させる準備が行われる発光準備期間とからなる特性検出処理期間が含まれ、

前記電流測定期間には、前記特性検出対象回路素子の特性に応じた大きさの電流が前記データ信号線に流れるように前記データ信号線を充電するデータ信号線充電期間と、前記データ信号線に流れている電流の時間積分値を前記第2のコンデンサに蓄積することによって前記モニタデータを取得するモニタ期間と、前記A/D変換回路が前記モニタデータをアナログ値からデジタル値に変換するA/D変換期間とが含まれ、

前記A/D変換期間には、

前記第2の制御スイッチがオフ状態とされることによって、前記データ信号線と前記内部データ線とが電氣的に切り離され、

前記A/D変換回路において、対応する複数個の前記出力／電流モニタ回路によってそれぞれ取得された複数個の前記モニタデータが順次にアナログ値からデジタル値に変換されることを特徴とする、表示装置。

[請求項2] 前記電流測定期間は、前記駆動トランジスタの特性を検出するための電流測定が行われる駆動トランジスタ特性検出期間と前記電気光学素子の特性を検出するための電流測定が行われる電気光学素子特性検出期間とからなることを特徴とする、請求項1に記載の表示装置。

[請求項3] 前記出力／電流モニタ回路は、前記データ信号線に一端が接続され、所定の制御線に他端が接続された第3の制御スイッチを更に含み、前記電流測定期間のうちの前記駆動トランジスタ特性検出期間にお

いては、前記AD変換期間には、前記第3の制御スイッチがオン状態とされることによって前記データ信号線と前記制御線とが電氣的に接続され、かつ、前記制御線には前記データ信号線充電期間に前記データ信号線に与えられた電位の大きさに等しい大きさの電位が与えられることを特徴とする、請求項2に記載の表示装置。

[請求項4] 前記電流測定期間のうちの前記電気光学素子特性検出期間においては、前記AD変換期間には、前記データ信号線がハイインピーダンスの状態となるよう、前記第3の制御スイッチがオフ状態かつ前記モニタ制御トランジスタがオフ状態とされることを特徴とする、請求項3に記載の表示装置。

[請求項5] 前記電流測定期間のうちの前記電気光学素子特性検出期間においては、前記AD変換期間には、前記第3の制御スイッチがオン状態とされることによって前記データ信号線と前記制御線とが電氣的に接続され、かつ、前記制御線には前記データ信号線充電期間に前記データ信号線に与えられた電位の大きさに実質的に等しい大きさの電位が与えられることを特徴とする、請求項3に記載の表示装置。

[請求項6] 前記電流測定期間のうちの前記電気光学素子特性検出期間においては、前記AD変換期間には、前記第3の制御スイッチがオン状態とされることによって前記データ信号線と前記制御線とが電氣的に接続され、かつ、前記制御線には前記データ信号線充電期間に前記データ信号線に与えられるべき電位に近い一定の大きさの電位が与えられることを特徴とする、請求項3に記載の表示装置。

[請求項7] 前記検出準備期間に前記データ信号線に与える電位を V_{mg} とし、前記駆動トランジスタ特性検出期間に前記データ信号線に与える電位を $V_{m_TF T}$ とし、前記電気光学素子特性検出期間に前記データ信号線に与える電位を V_{m_oled} としたとき、以下の関係を満たすように V_{mg} 、 $V_{m_TF T}$ 、および V_{m_oled} の値が定められていることを特徴とする、請求項2に記載の表示装置：

$$V_{m_TFT} < V_{mg} - V_{th}(T2)$$

$$V_{m_TFT} < ELV_{SS} + V_{th}(oled)$$

$$V_{m_oled} > V_{mg} - V_{th}(T2)$$

$$V_{m_oled} > ELV_{SS} + V_{th}(oled)$$

ここで、 $V_{th}(T2)$ は前記駆動トランジスタの閾値電圧であって、 $V_{th}(oled)$ は前記電気光学素子の発光閾値電圧であって、 ELV_{SS} は前記電気光学素子の陰極の電位である。

[請求項8] 前記特性検出処理期間は、垂直帰線期間内に設けられていることを特徴とする、請求項1に記載の表示装置。

[請求項9] 任意の電気光学素子を着目電気光学素子と定義したとき、前記画素回路駆動部は、前記着目電気光学素子が前記モニタ行に含まれている場合、前記モニタ行に含まれる画素回路への前記データ信号の書き込みを垂直走査期間に行う際には、前記着目電気光学素子が前記非モニタ行に含まれている場合における階調電圧よりも大きい階調電圧に相当するデータ信号の電位を前記データ信号線に与えることを特徴とする、請求項8に記載の表示装置。

[請求項10] 前記特性検出処理期間は、垂直走査期間内に設けられていることを特徴とする、請求項1に記載の表示装置。

[請求項11] 1つの前記特性検出対象回路素子の特性を検出するための電流測定期間において、前記データ信号線充電期間と前記モニタ期間と前記AD変換期間とからなるサイクルが複数回繰り返されることを特徴とする、請求項1に記載の表示装置。

[請求項12] 1フレーム期間につき前記電気光学素子または前記駆動トランジスタのいずれか一方のみについての前記特性検出処理が行われることを特徴とする、請求項1に記載の表示装置。

[請求項13] 電流によって輝度が制御される電気光学素子および前記電気光学素子に供給すべき電流を制御するための駆動トランジスタをそれぞれが含む $n \times m$ 個 (n および m は2以上の整数) の画素回路からなる n 行

$\times m$ 列の画素マトリクスと、前記画素マトリクスの各行に対応するように設けられた走査線と、前記画素マトリクスの各行に対応するように設けられたモニタ制御線と、前記画素マトリクスの各列に対応するように設けられたデータ信号線と、前記走査線，前記モニタ制御線，および前記データ信号線を駆動する画素回路駆動部とを備えた表示装置の駆動方法であって、

フレーム期間に前記電気光学素子または前記駆動トランジスタの少なくとも一方を含む特性検出対象回路素子の特性を検出する特性検出ステップと、

前記特性検出ステップでの検出結果に基づいて得られる特性データを、映像信号を補正するための補正データとして、予め用意された補正データ記憶部に記憶させる補正データ記憶ステップと、

前記補正データ記憶部に記憶されている補正データに基づいて前記映像信号を補正して、前記 $n \times m$ 個の画素回路に供給すべきデータ信号を生成する映像信号補正ステップと

を含み、

各画素回路は、

前記電気光学素子と、

前記走査線に制御端子が接続され、前記駆動トランジスタの制御端子に第1導通端子が接続され、前記データ信号線に第2導通端子が接続された入力トランジスタと、

駆動電源電位が第1導通端子に与えられた前記駆動トランジスタと、

前記モニタ制御線に制御端子が接続され、前記駆動トランジスタの第2導通端子および前記電気光学素子の陽極に第1導通端子が接続され、前記データ信号線に第2導通端子が接続されたモニタ制御トランジスタと、

前記駆動トランジスタの制御端子の電位を保持するため、一端が

前記駆動トランジスタの制御端子に接続された第 1 のコンデンサとを含み、

前記画素回路駆動部は、

前記データ信号を前記データ信号線に印加する機能および前記データ信号線に流れている電流の大きさに応じたデータを前記特性データの元となるモニタデータとして取得する機能を有する出力／電流モニタ回路と、

前記モニタデータをアナログ値からデジタル値に変換する A/D 変換回路と

を含み、

前記出力／電流モニタ回路は、

前記データ信号線に接続された内部データ線と、

前記データ信号が非反転入力端子に与えられ、前記内部データ線に反転入力端子が接続されたオペアンプと、

前記内部データ線に一旦が接続され、前記オペアンプの出力端子に他端が接続された第 2 のコンデンサと、

前記内部データ線に一旦が接続され、前記オペアンプの出力端子に他端が接続された第 1 の制御スイッチと、

前記データ信号線に一端が接続され、前記内部データ線に他端が接続された第 2 の制御スイッチと

を含み、

前記 A/D 変換回路は、複数個の前記出力／電流モニタ回路につき 1 個設けられ、

フレーム期間において前記特性検出処理が行われる行をモニタ行と定義し、前記モニタ行以外の行を非モニタ行と定義したとき、

前記特性検出ステップは、

前記モニタ行において前記特性検出対象回路素子の特性を検出する準備を行う検出準備ステップと、

前記データ信号線に流れている電流を測定することによって前記特性検出対象回路素子の特性を検出する電流測定ステップと、

前記モニタ行において前記電気光学素子を発光させる準備を行う発光準備ステップと
を含み、

前記電流測定ステップは、

前記特性検出対象回路素子の特性に応じた大きさの電流が前記データ信号線に流れるように前記データ信号線を充電するデータ信号線充電ステップと、

前記データ信号線に流れている電流の時間積分値を前記第2のコンデンサに蓄積することによって前記モニタデータを取得するモニタステップと、

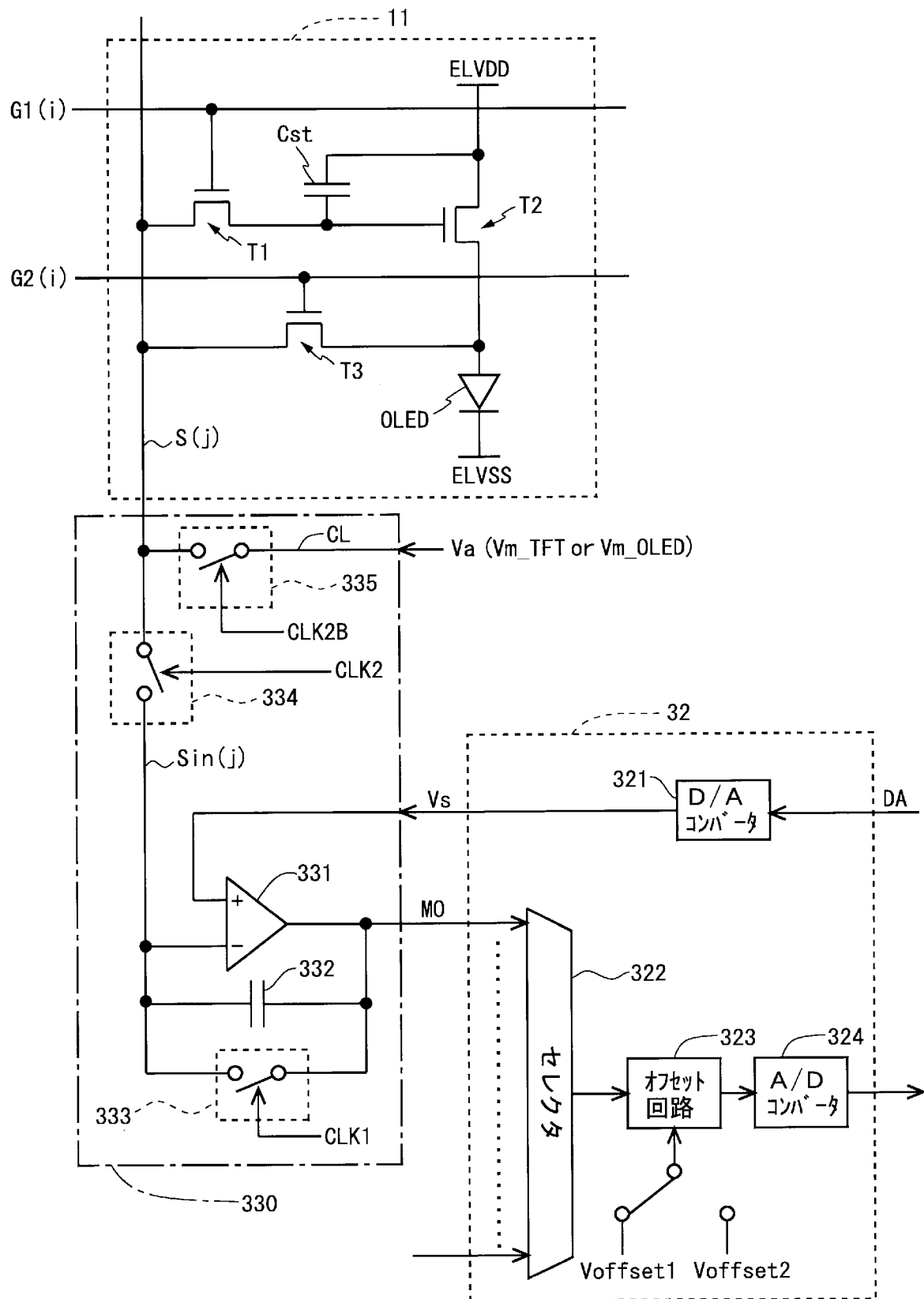
前記A/D変換回路によって前記モニタデータをアナログ値からデジタル値に変換するためのA/D変換ステップと
を含み、

前記A/D変換ステップでは、

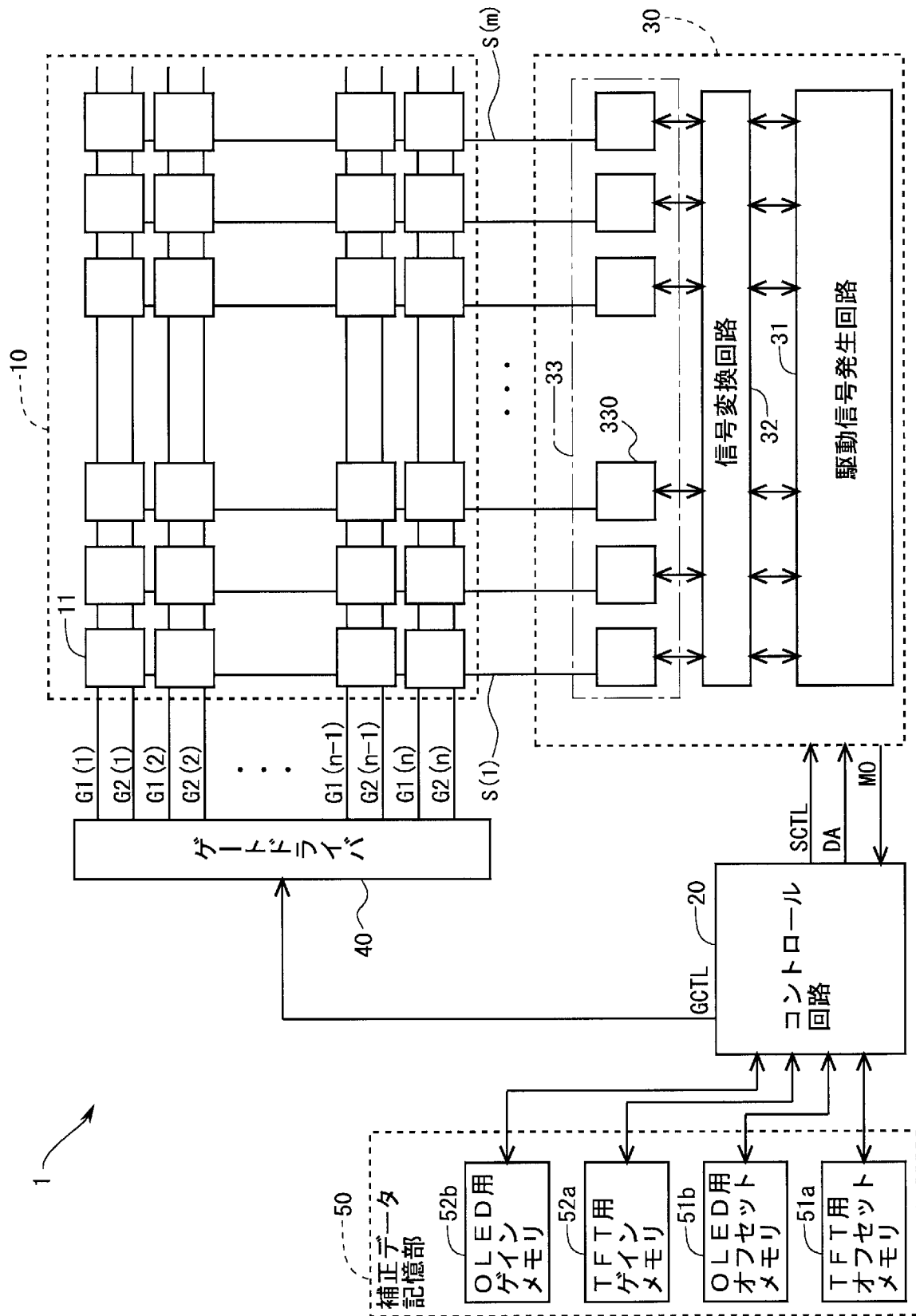
前記第2の制御スイッチがオフ状態とされることによって、前記データ信号線と前記内部データ線とが電氣的に切り離され、

前記A/D変換回路において、対応する複数個の前記出力／電流モニタ回路によってそれぞれ取得された複数個の前記モニタデータが順次にアナログ値からデジタル値に変換されることを特徴とする、駆動方法。

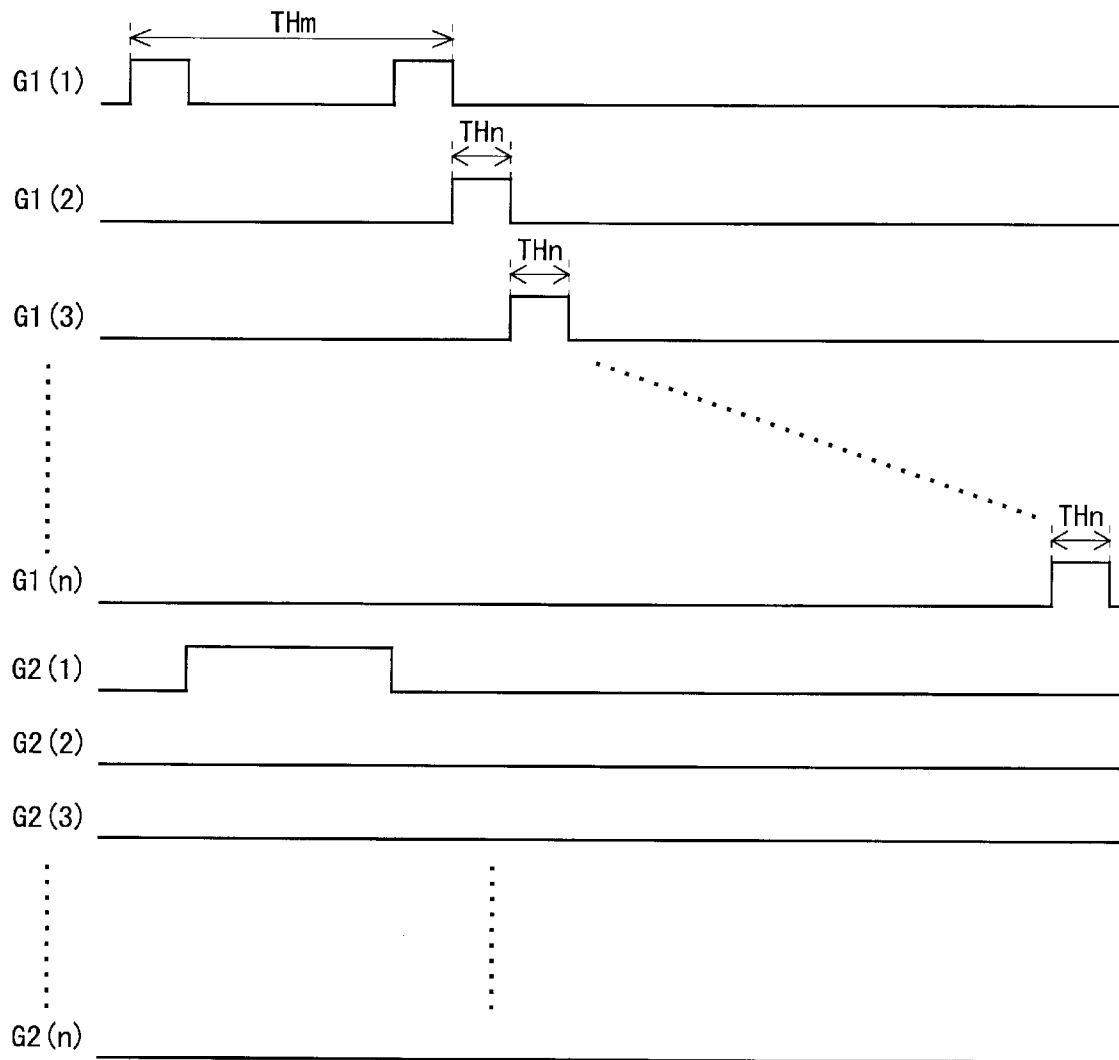
[図1]



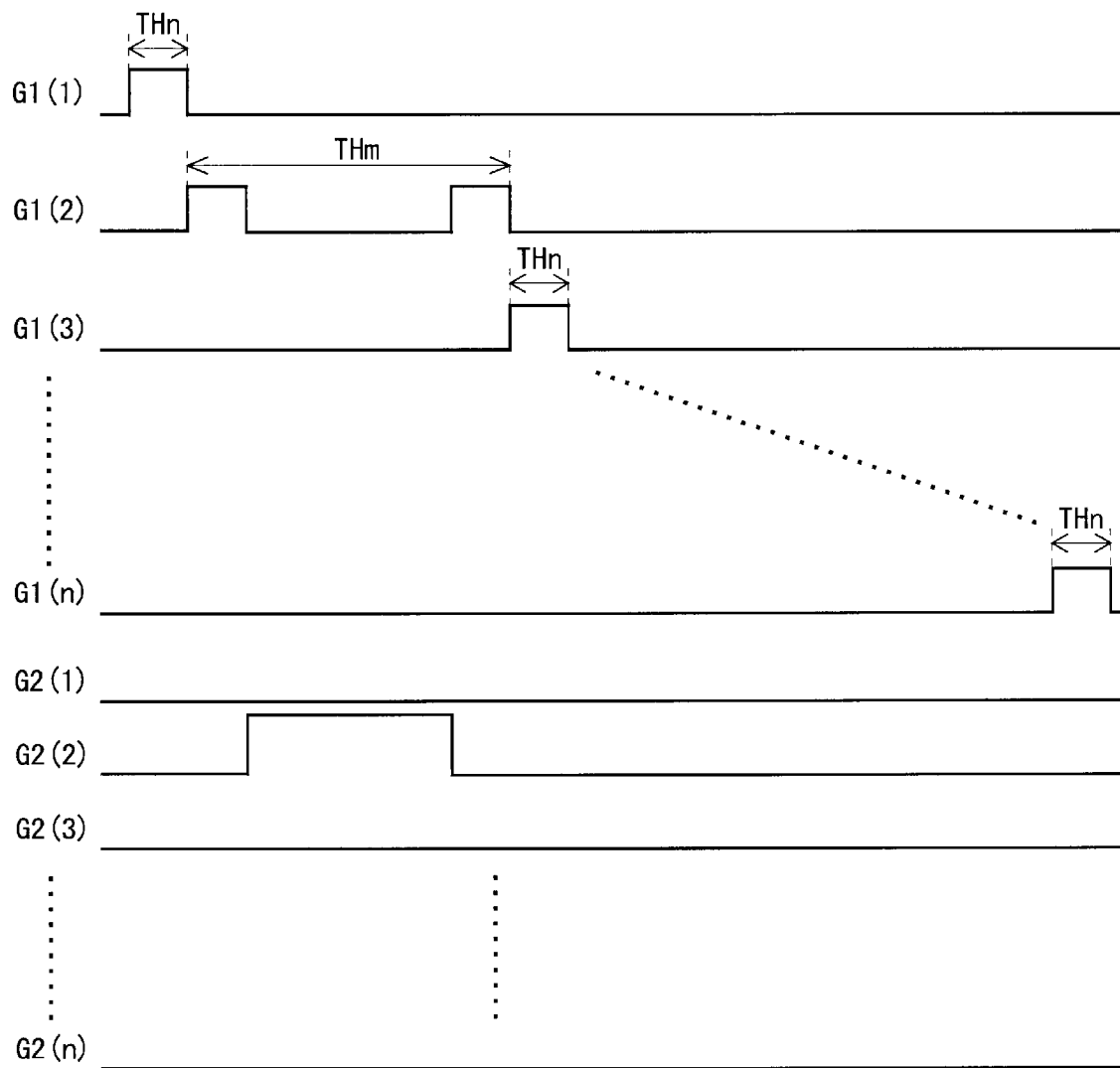
[図2]



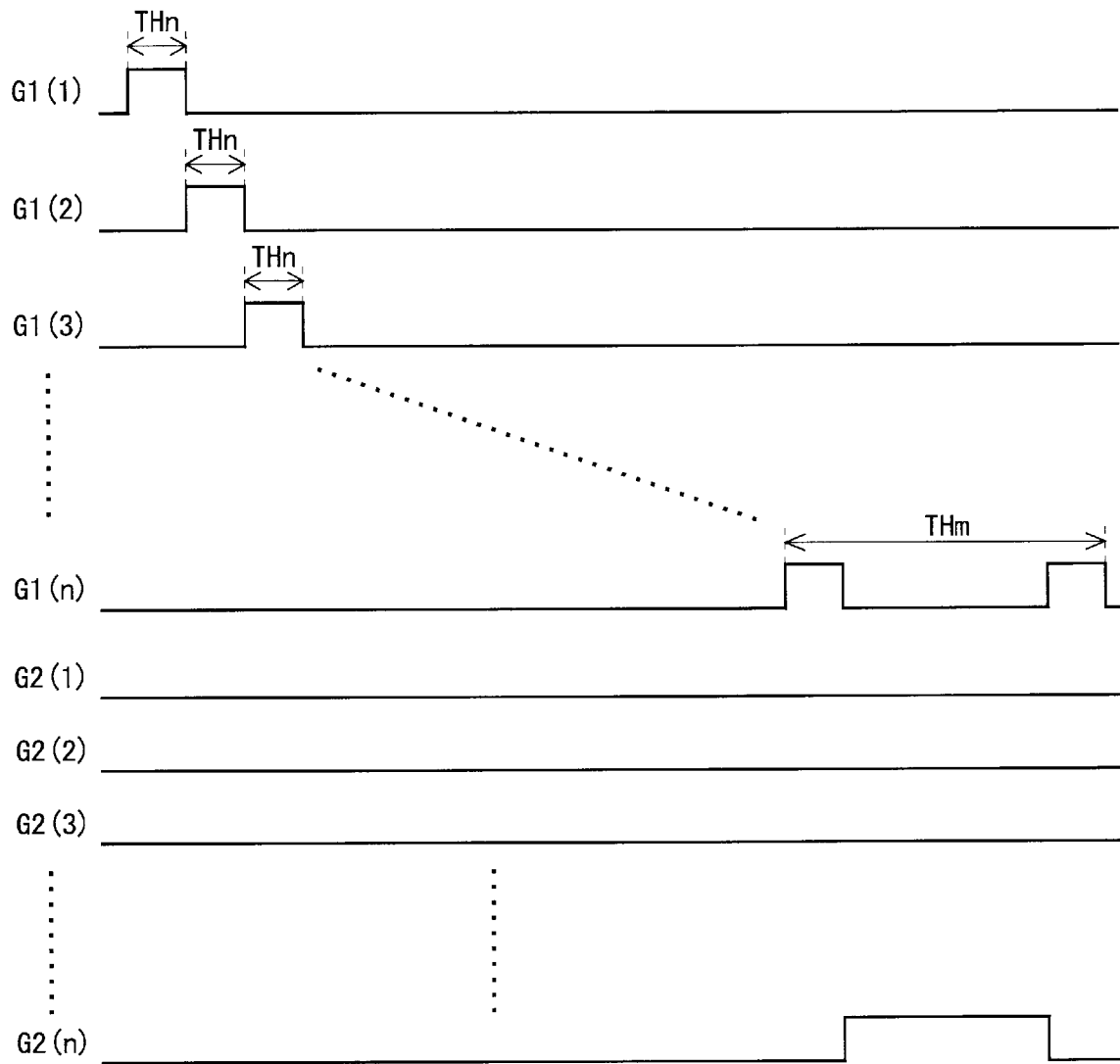
[図3]



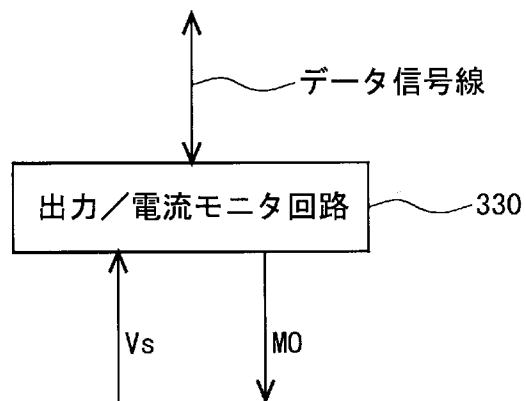
[図4]



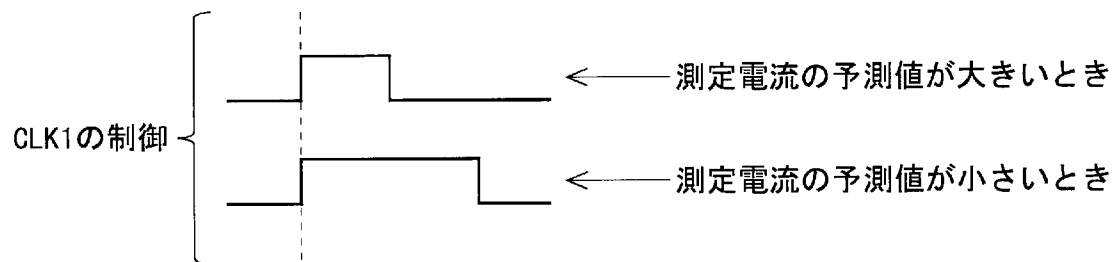
[図5]



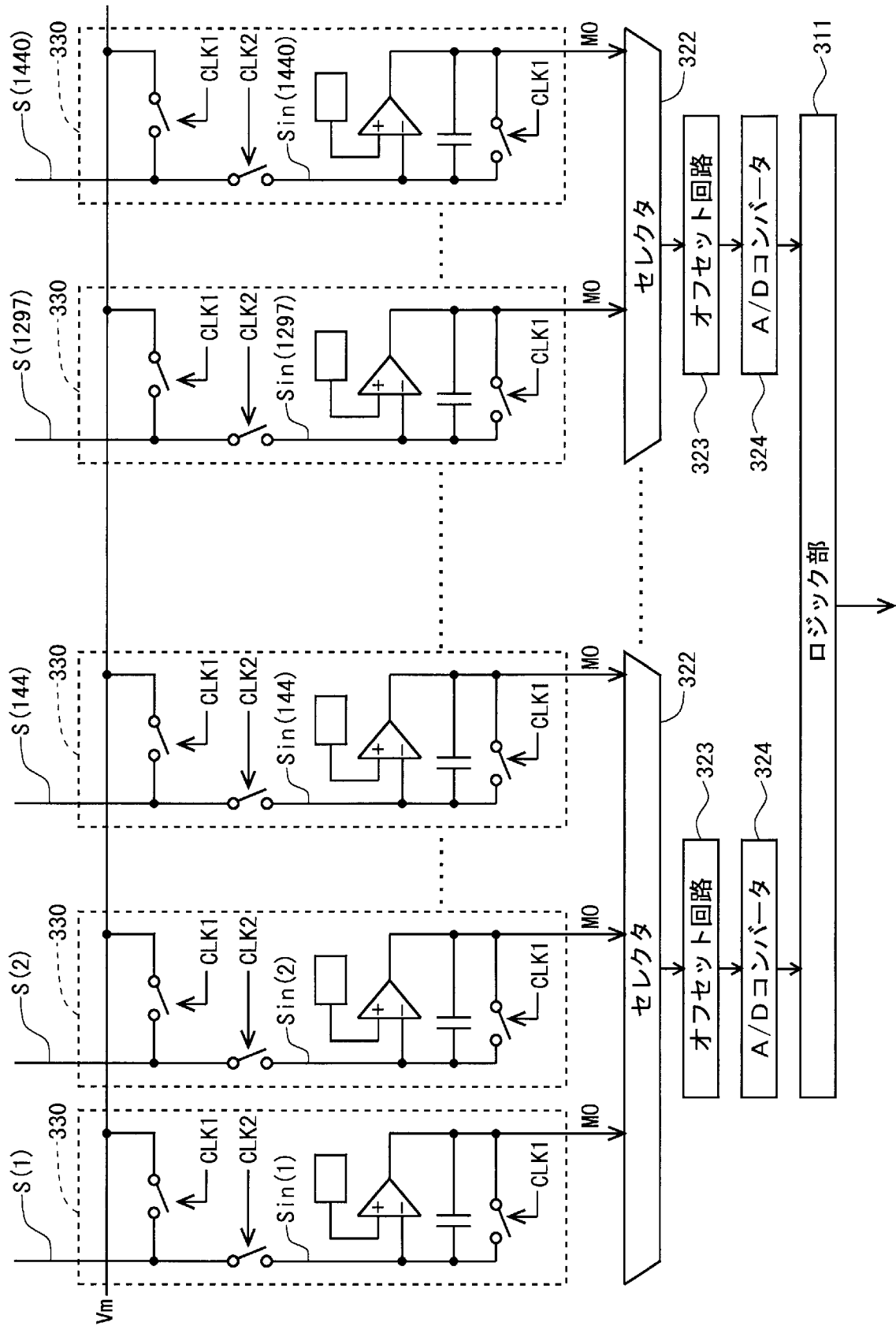
[図6]



[図7]



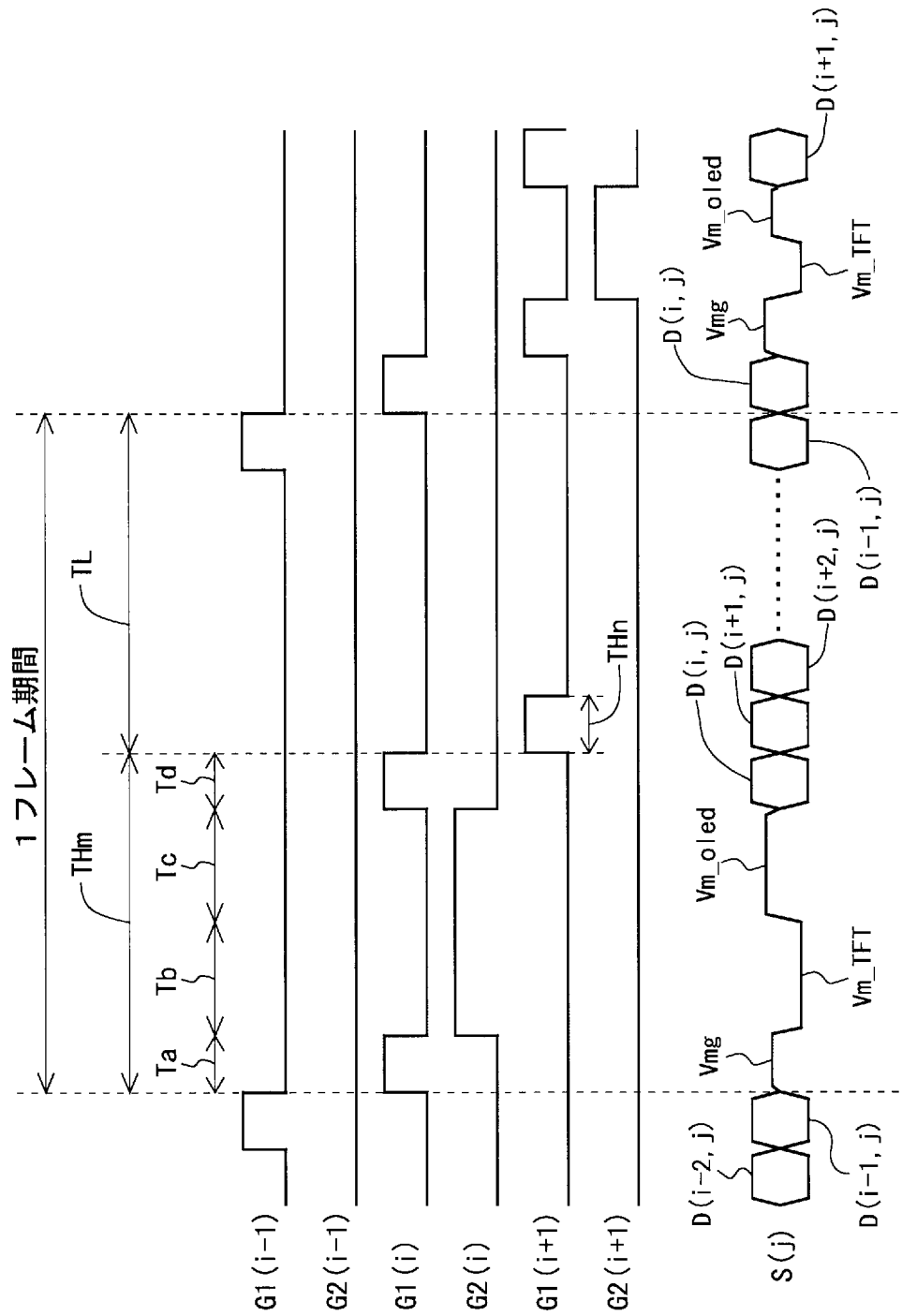
[図8]



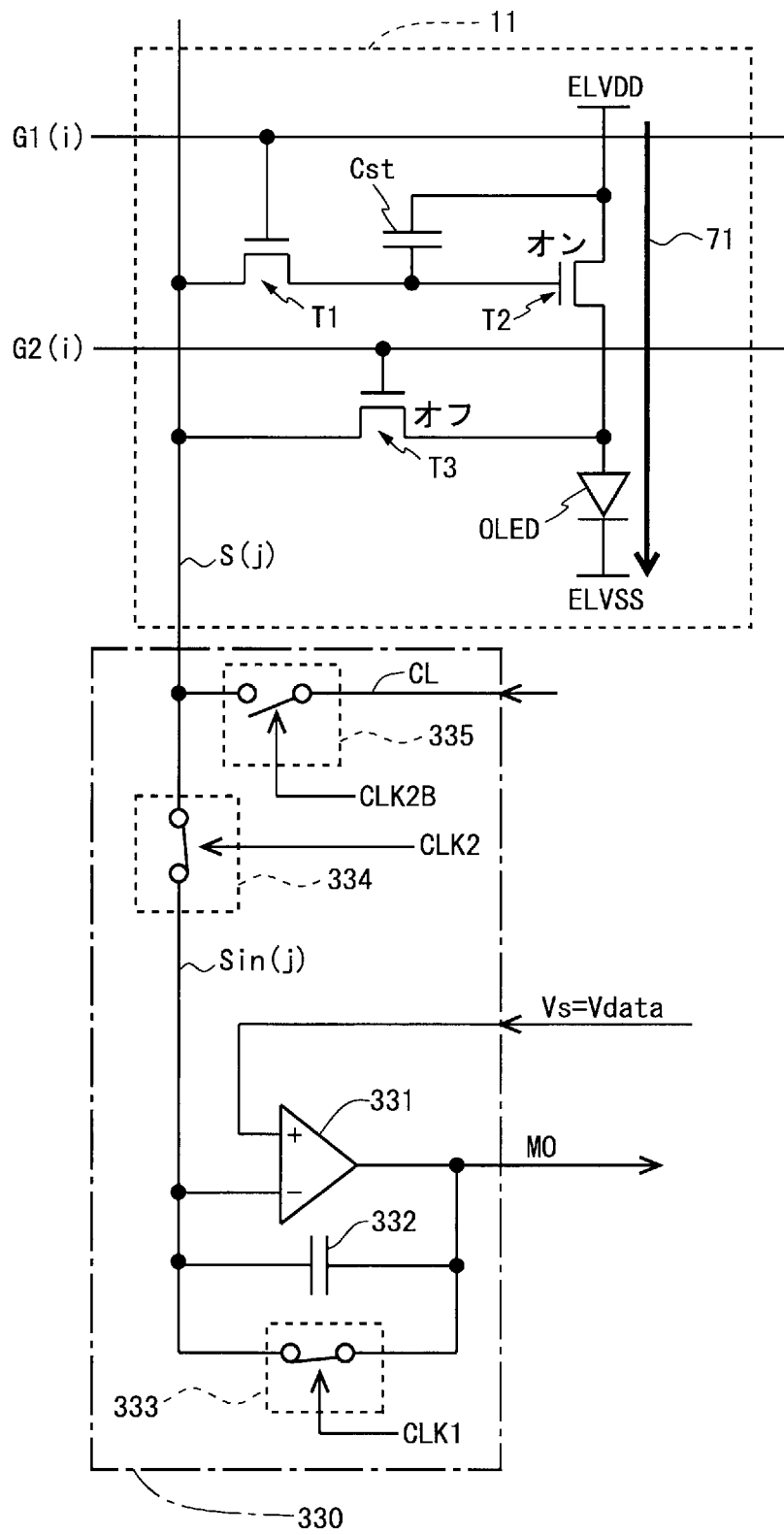
[図9]

	特性検出動作	通常動作
(k + 1) フレーム目	1 行目	2 ~ n 行目
(k + 2) フレーム目	2 行目	1 行目, 3 ~ n 行目
(k + 3) フレーム目	3 行目	1 ~ 2 行目, 4 ~ n 行目
⋮	⋮	⋮
(k + n) フレーム目	n 行目	1 ~ (n - 1) 行目

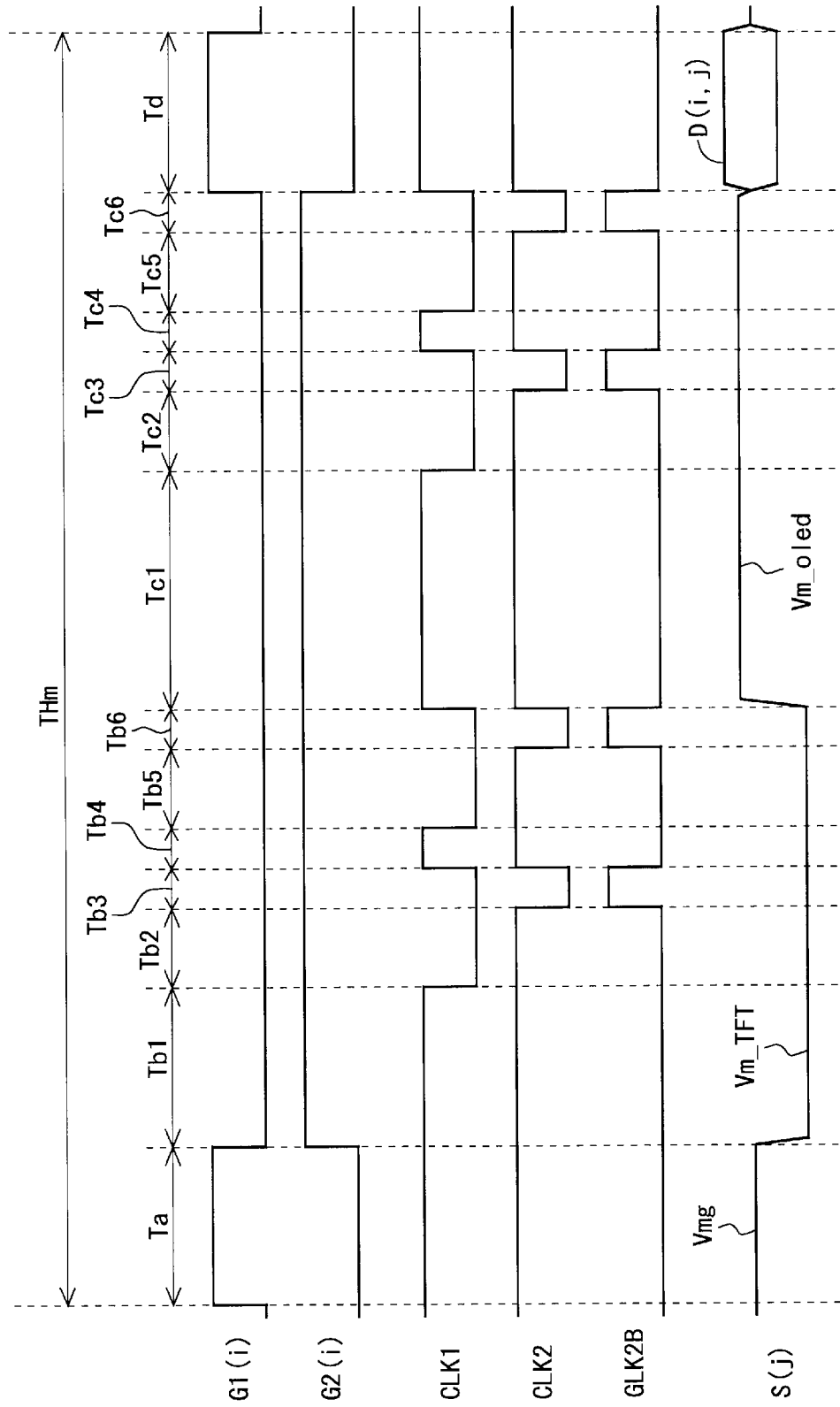
[図10]



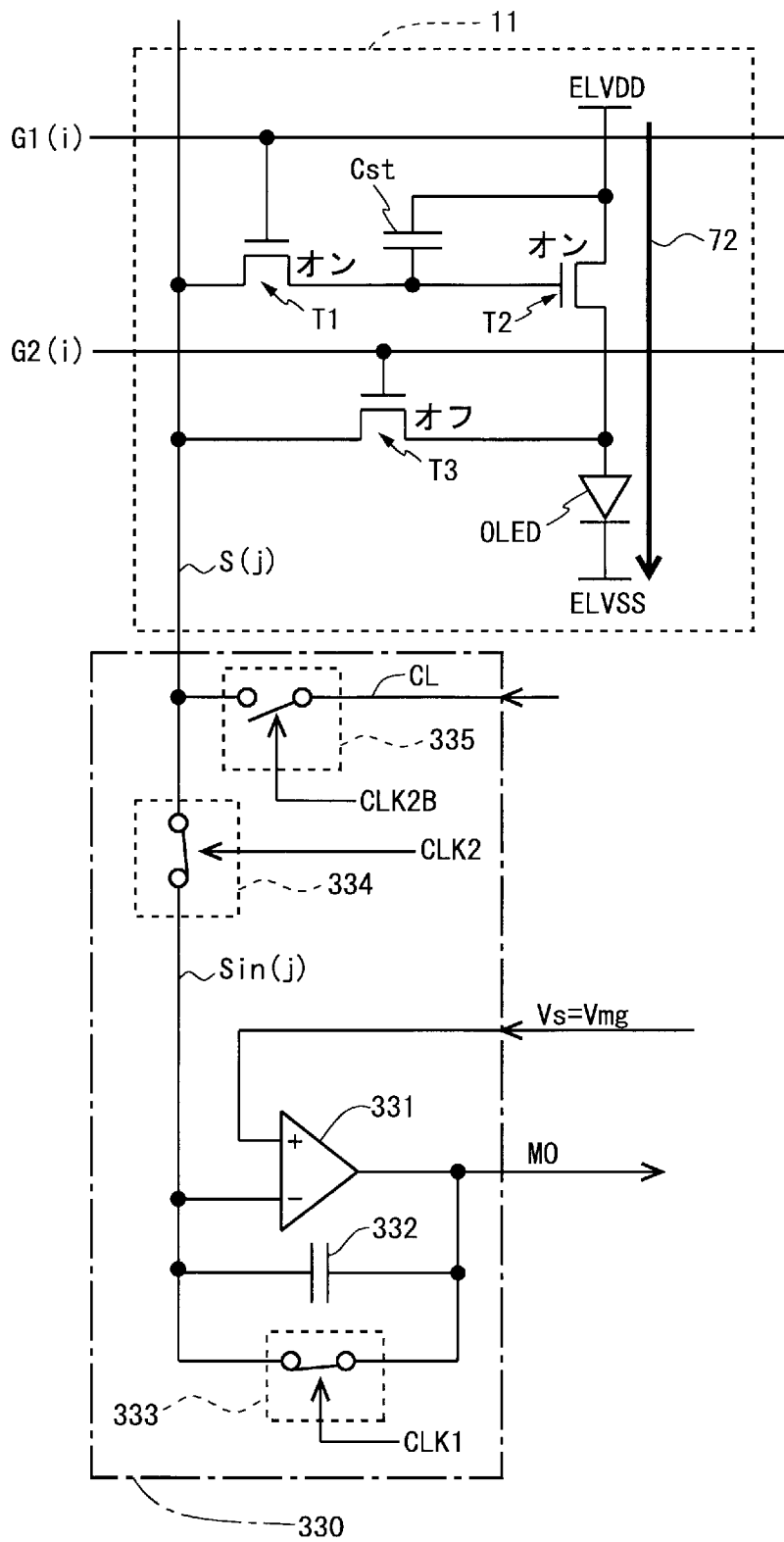
[図11]



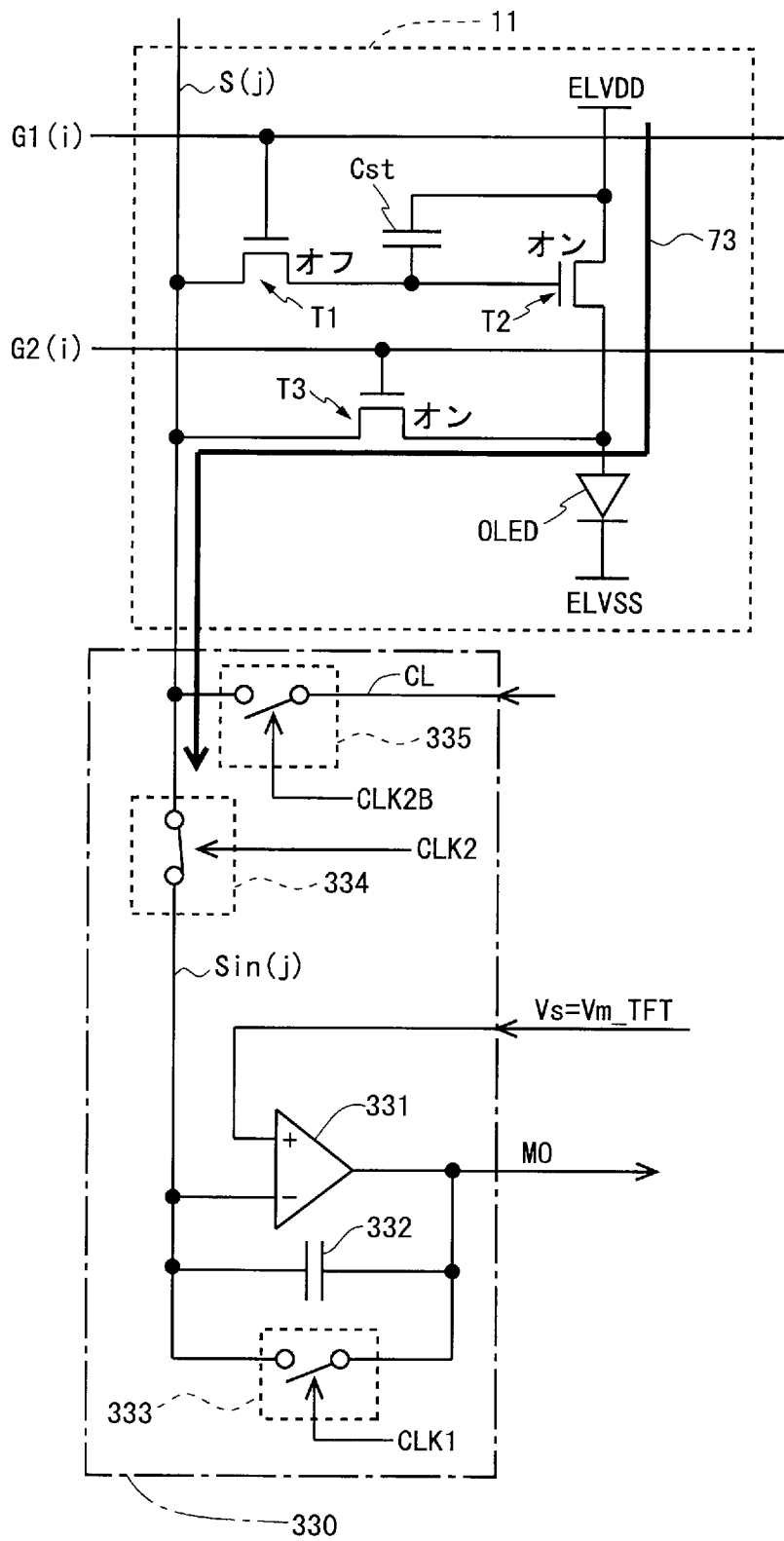
[図12]



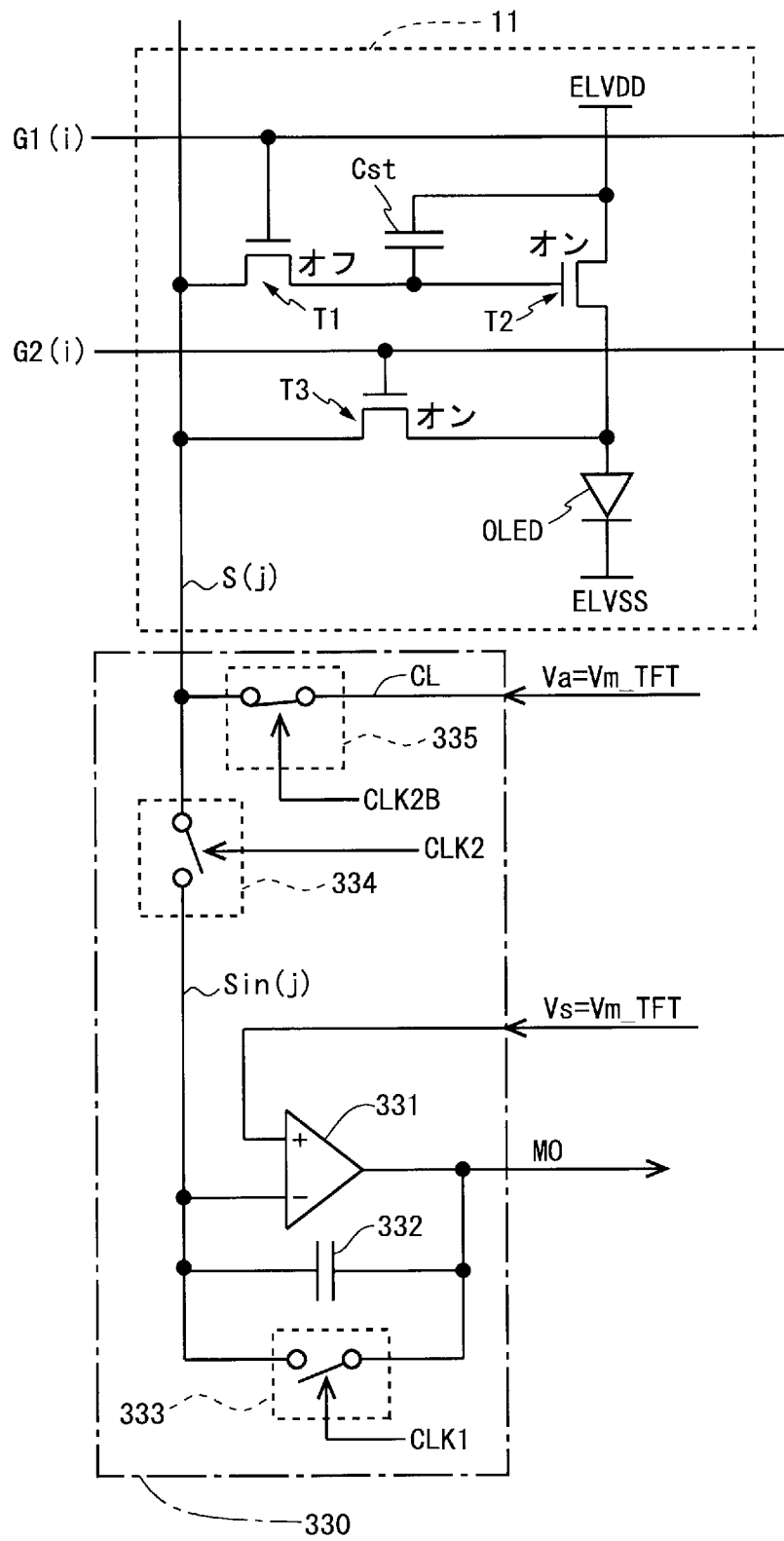
[図13]



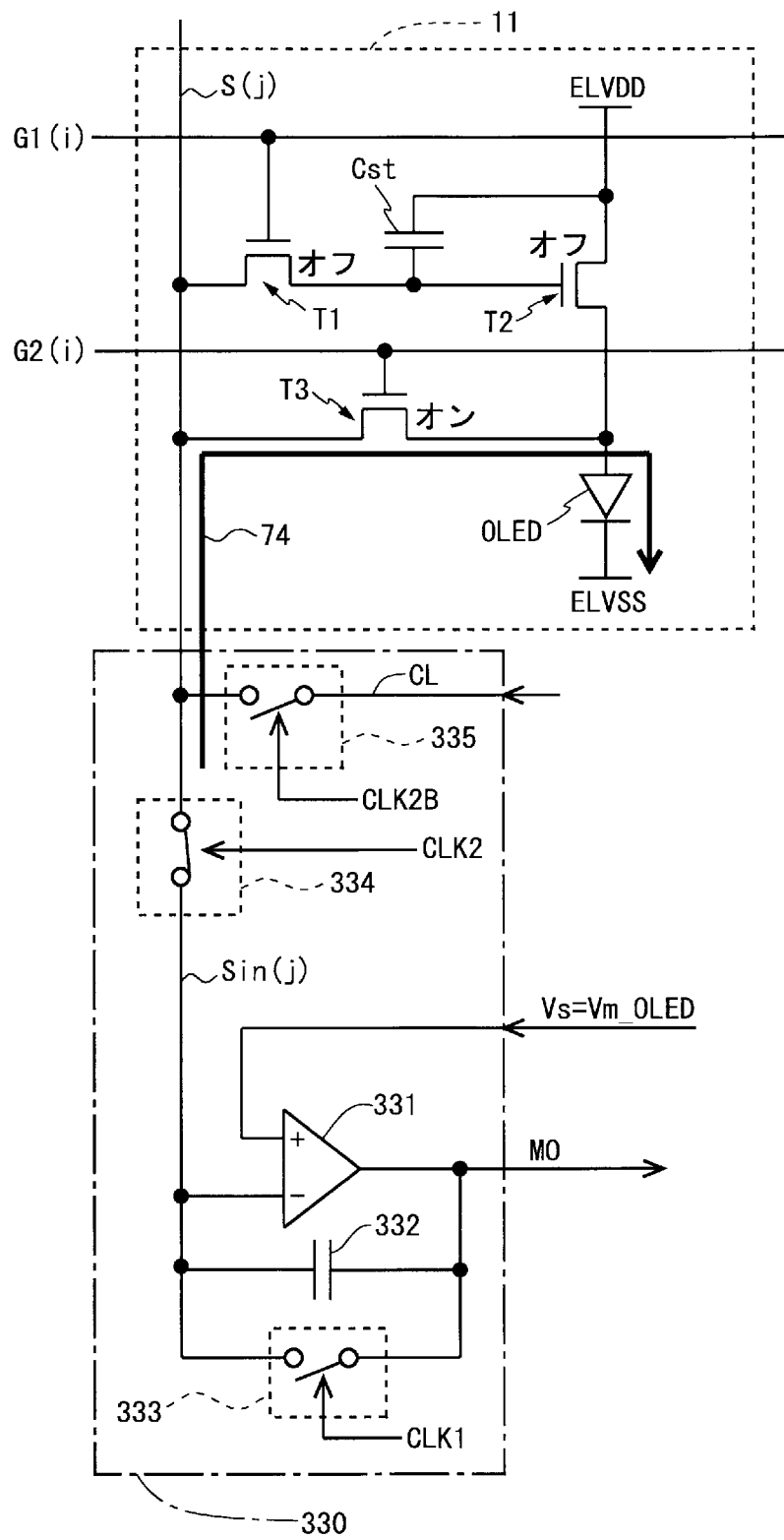
[図14]



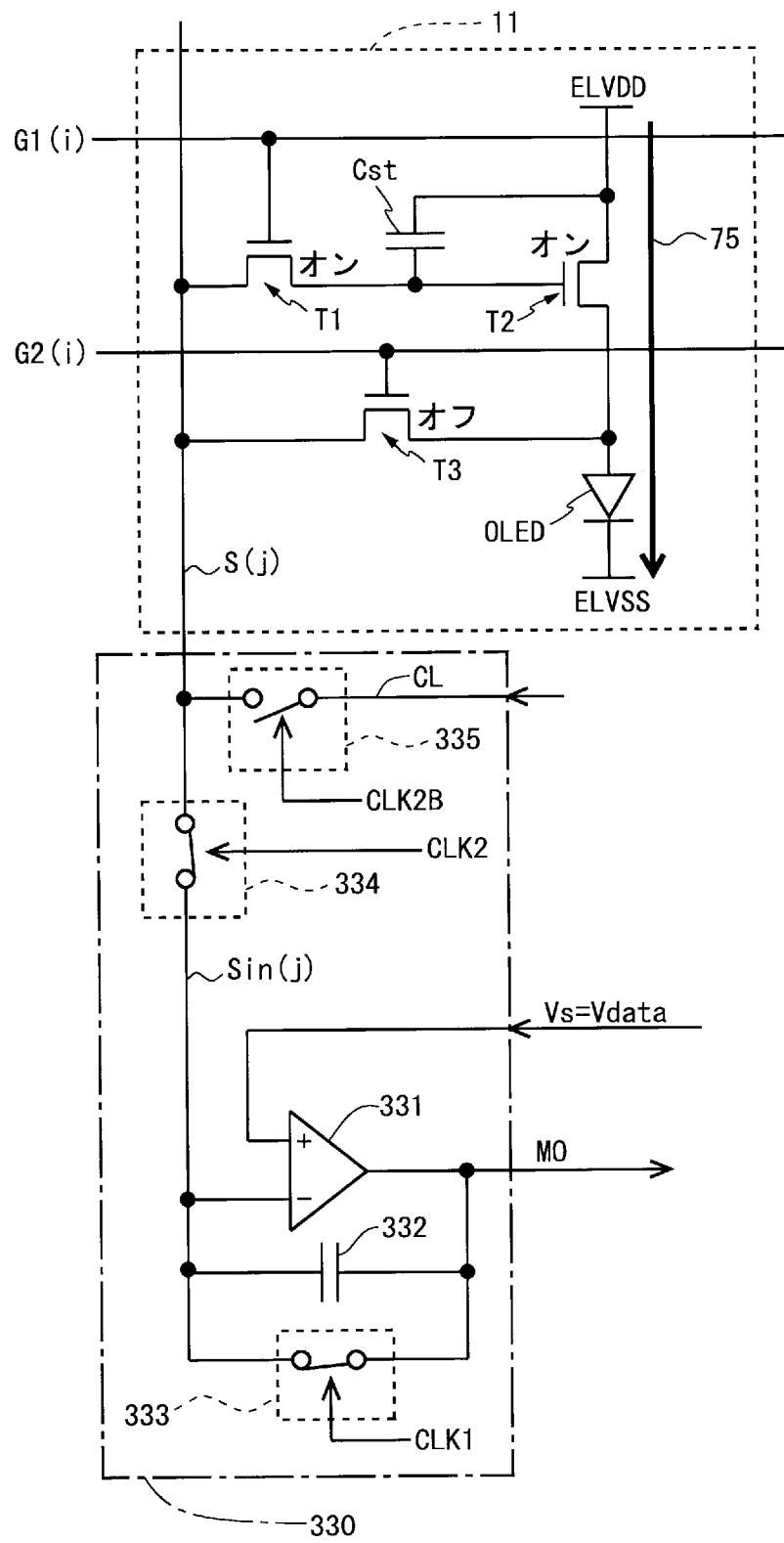
[図15]



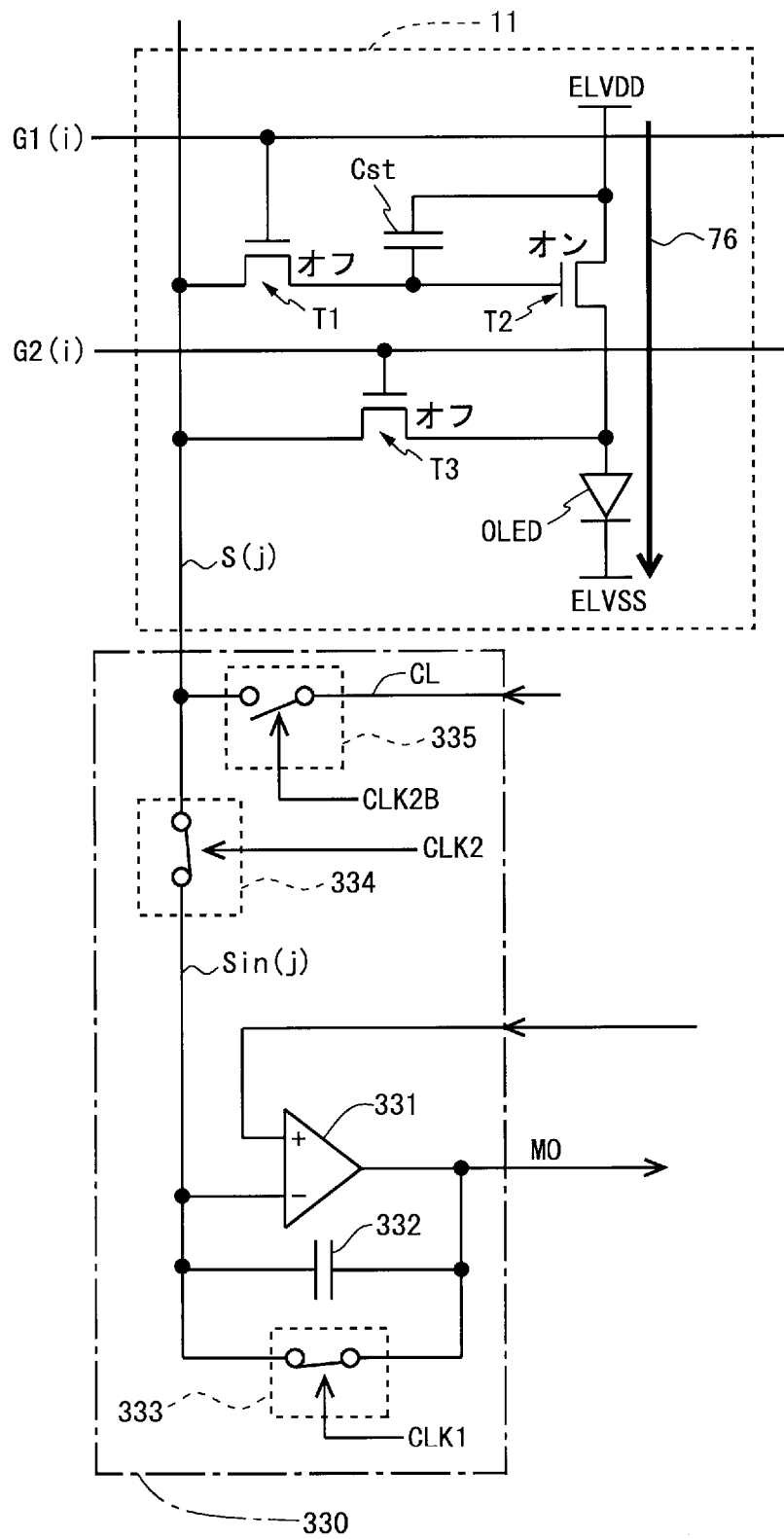
[図16]



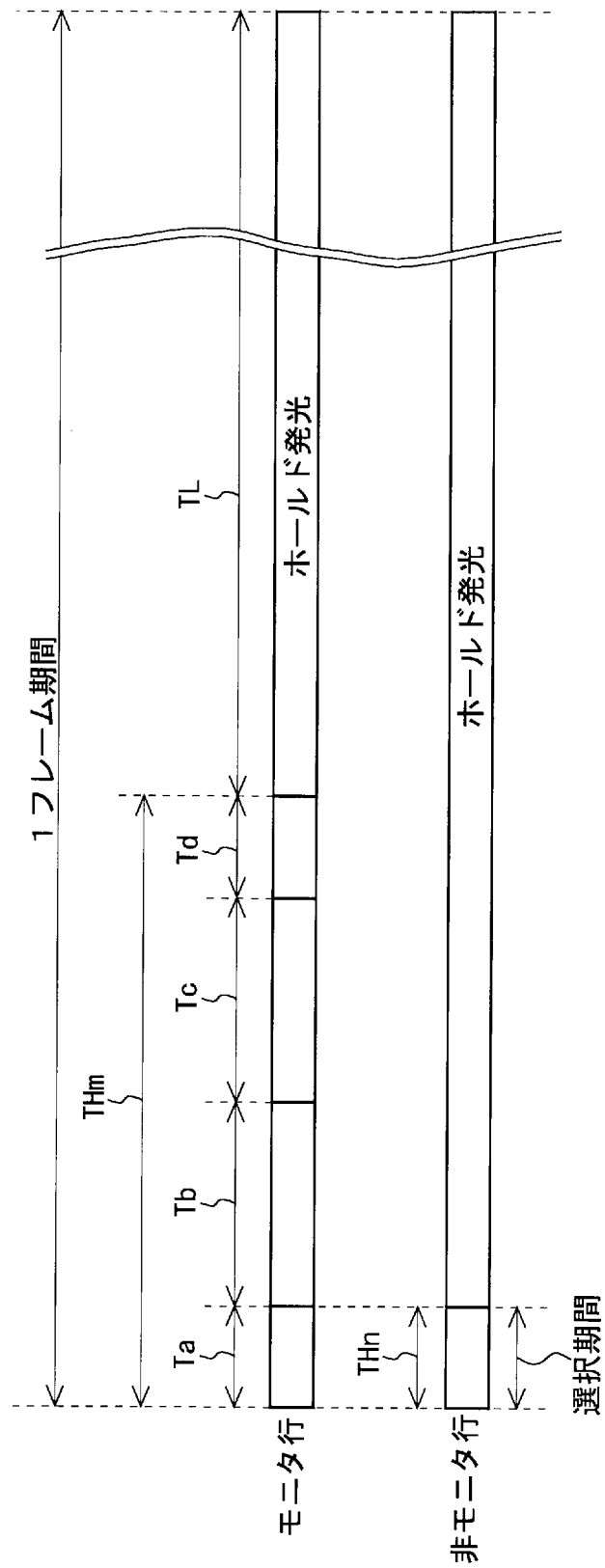
[図17]



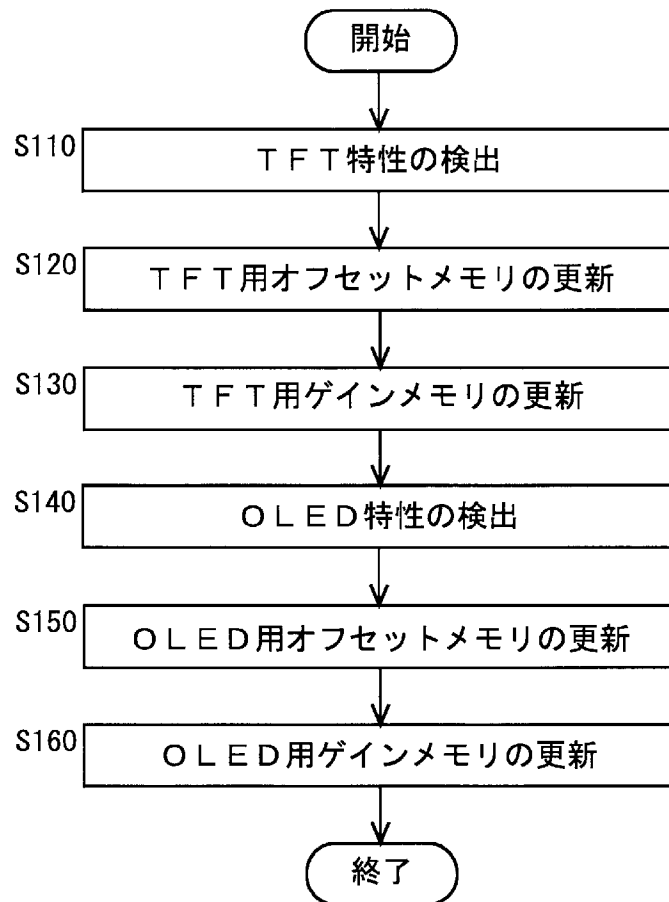
[図18]



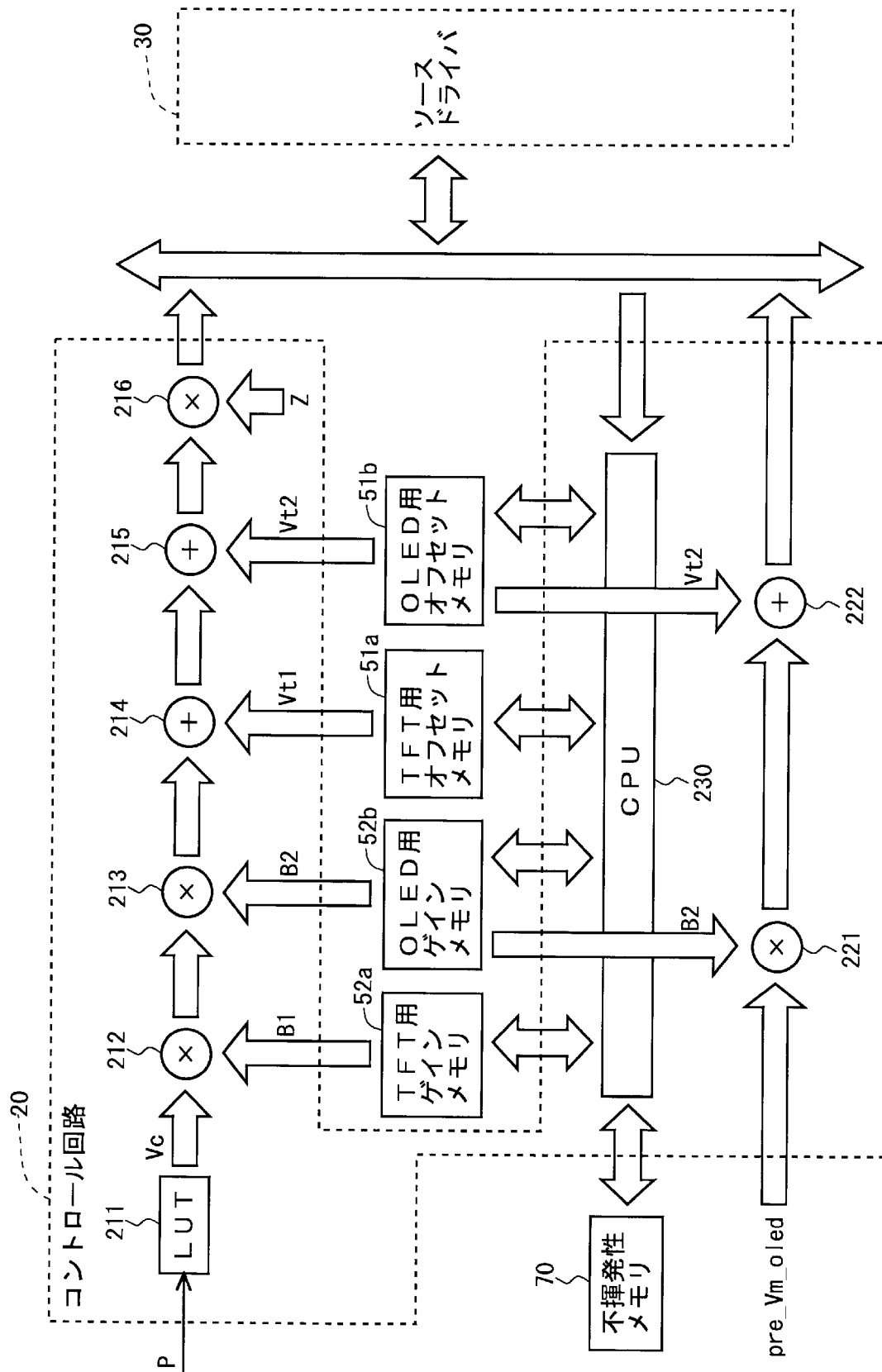
[図19]



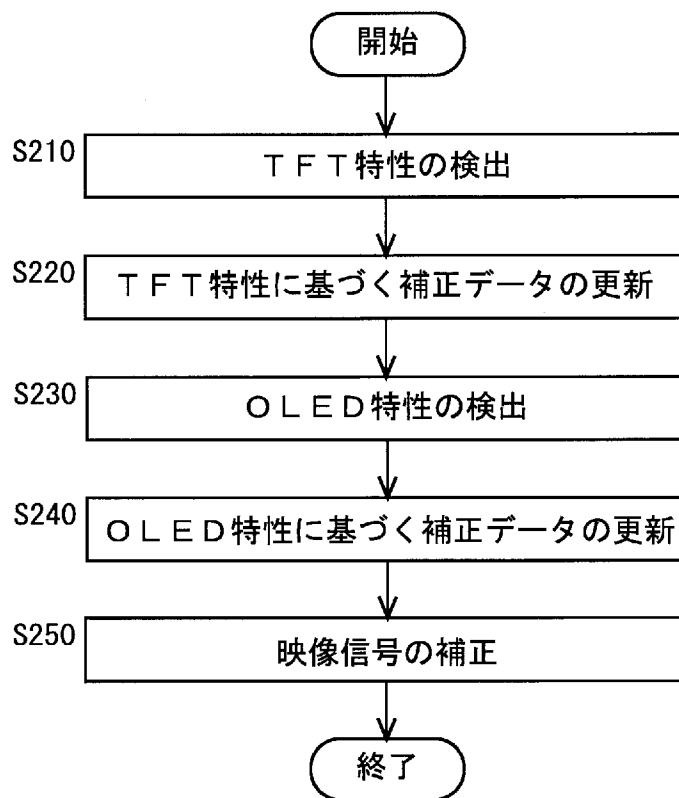
[図20]



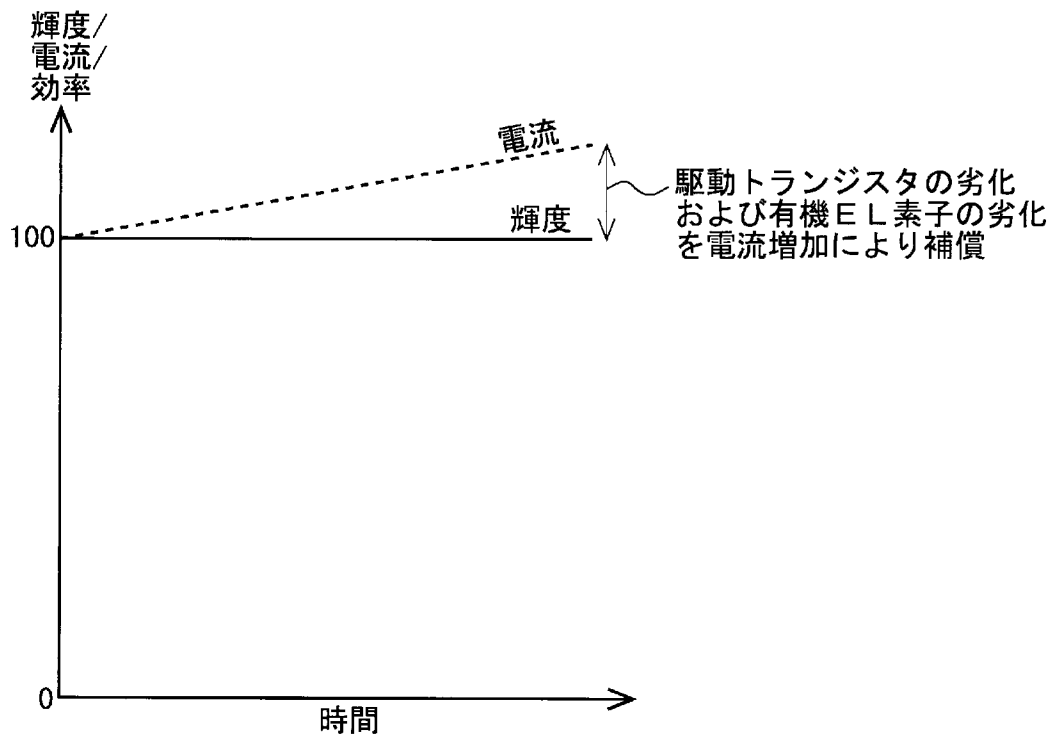
[図21]



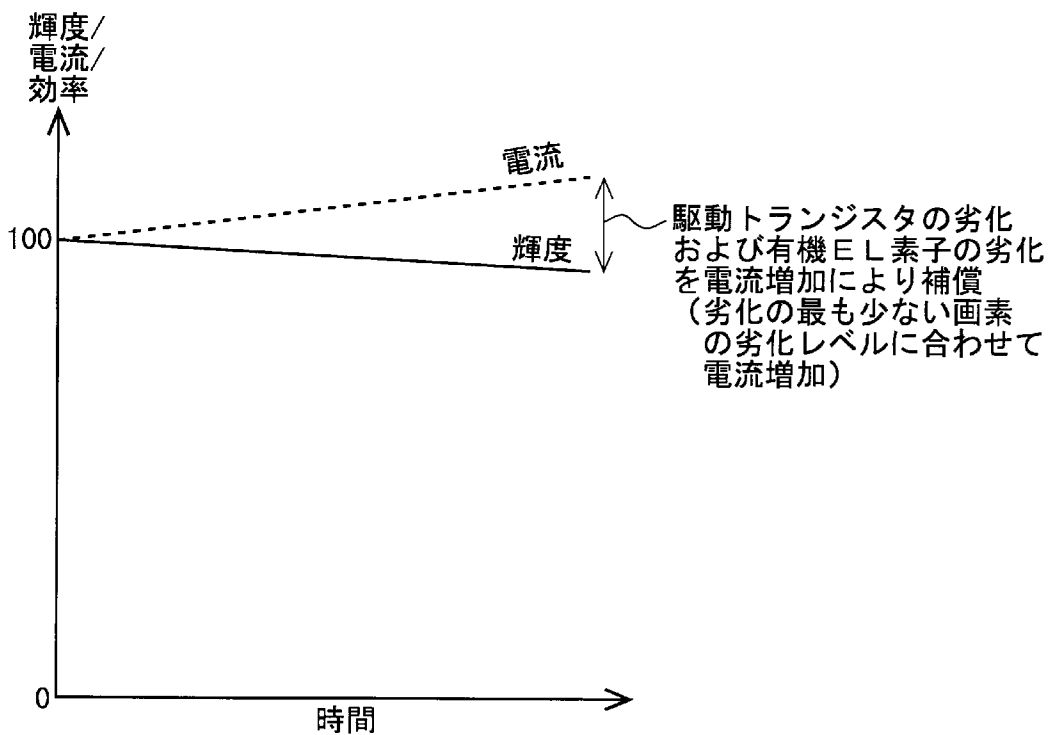
[図22]



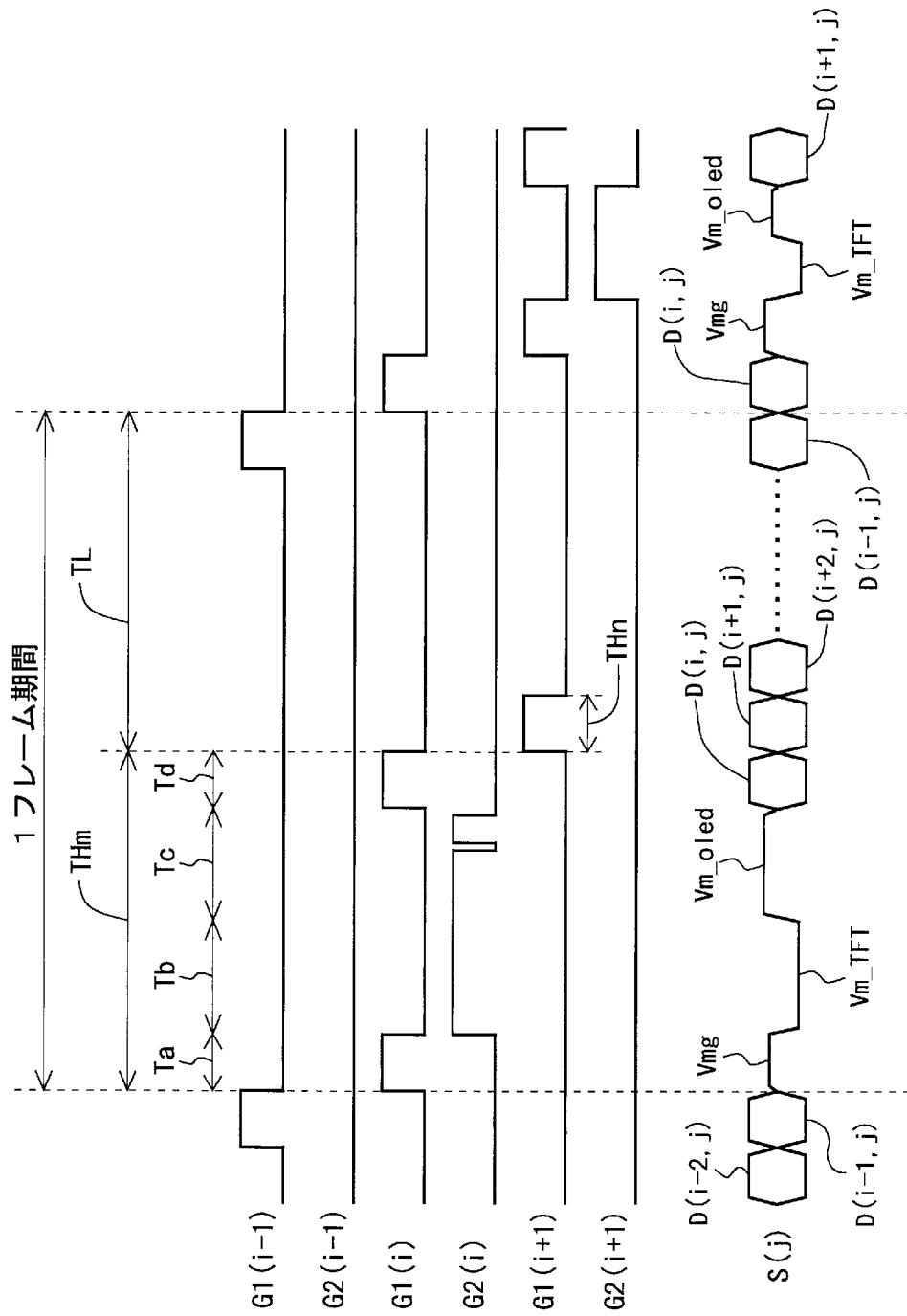
[図23]



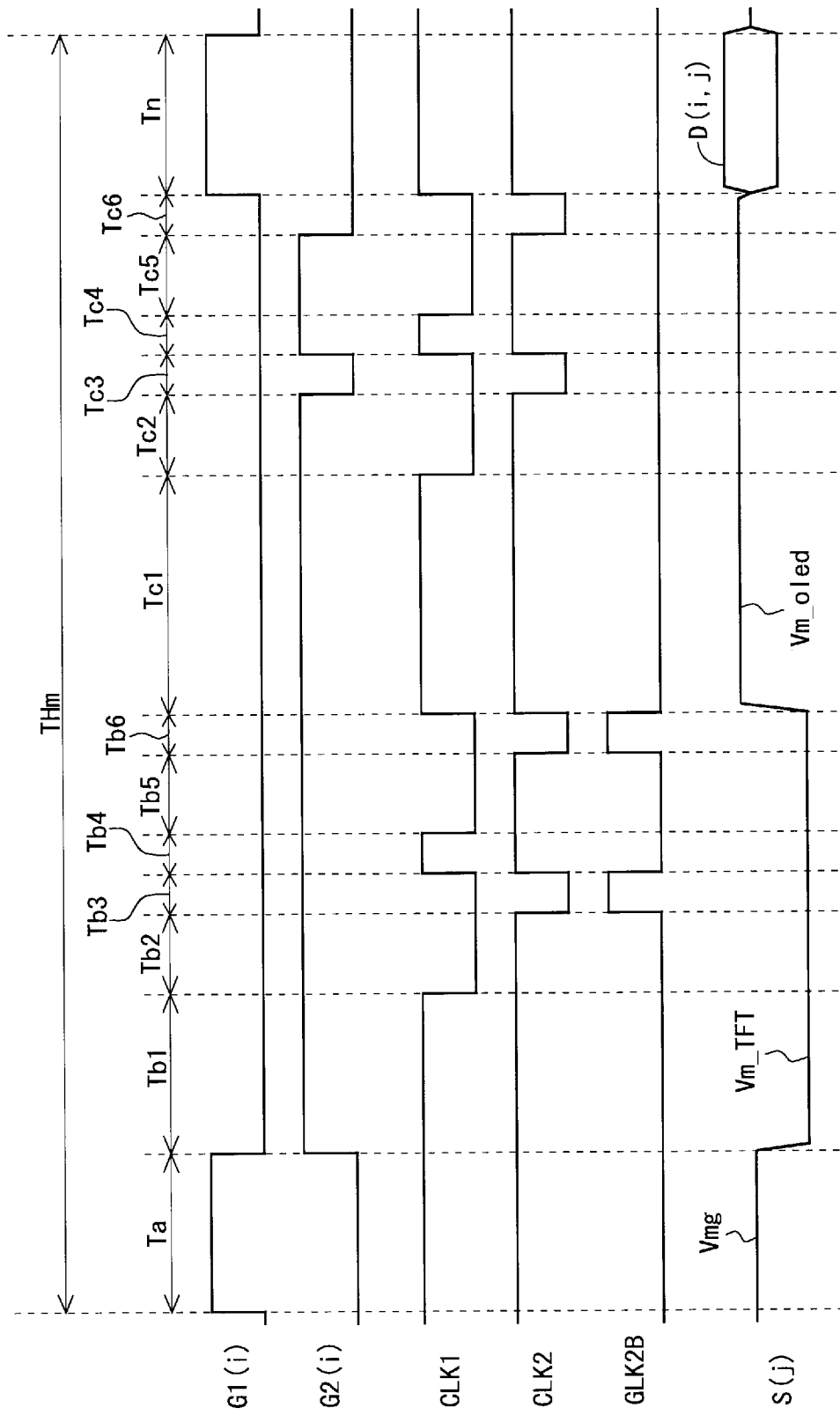
[図24]

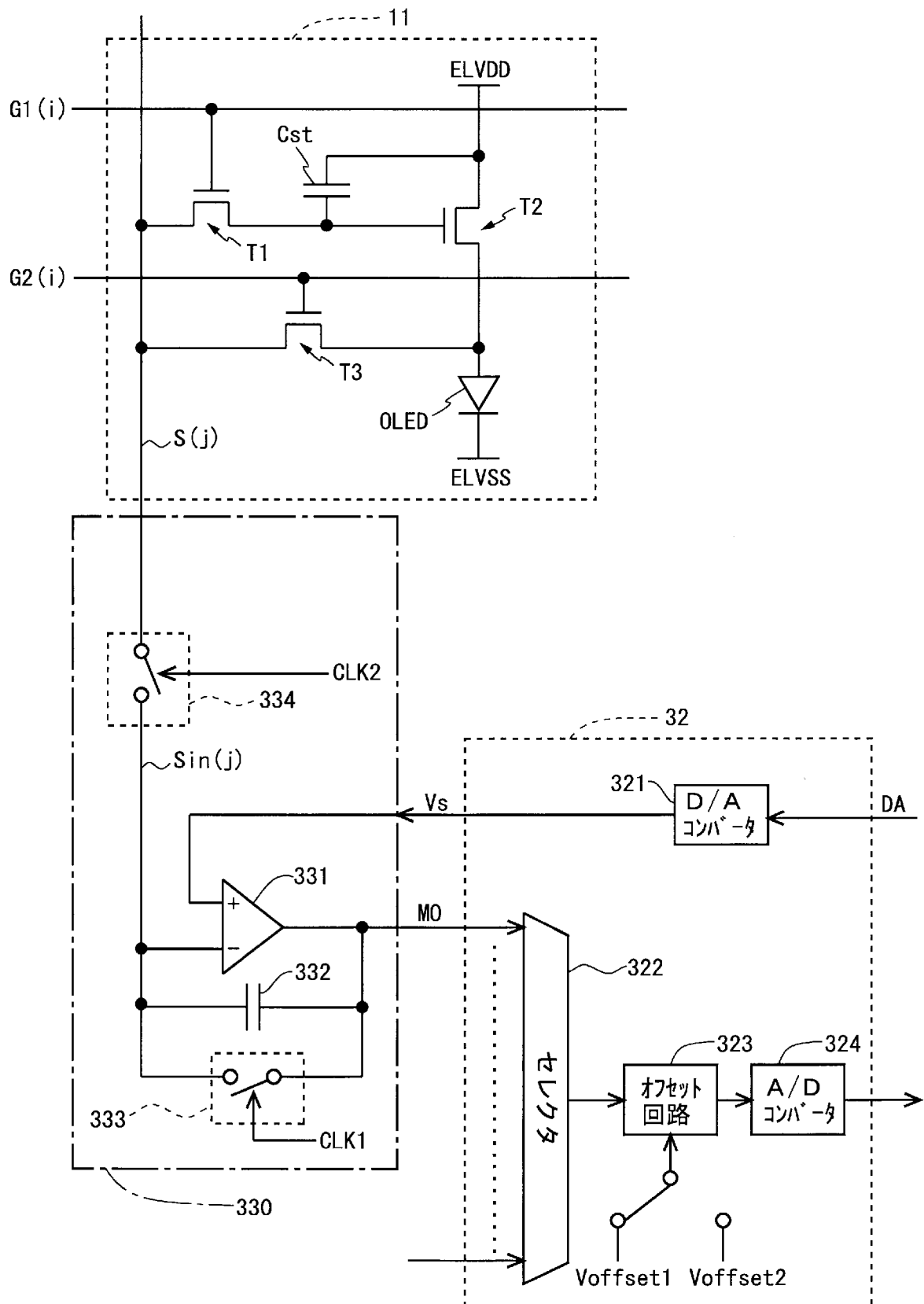


[図25]

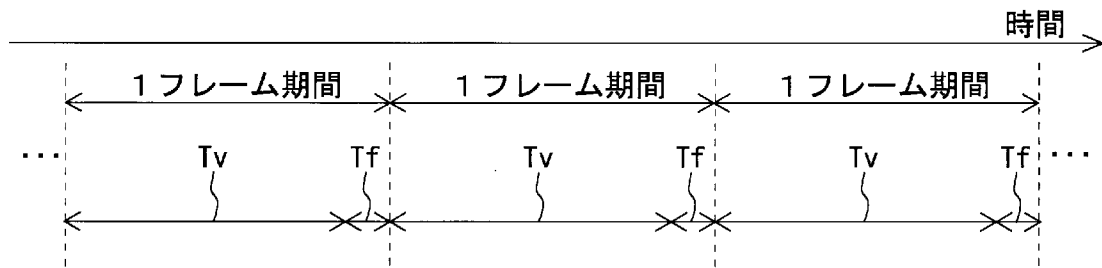


[図26]

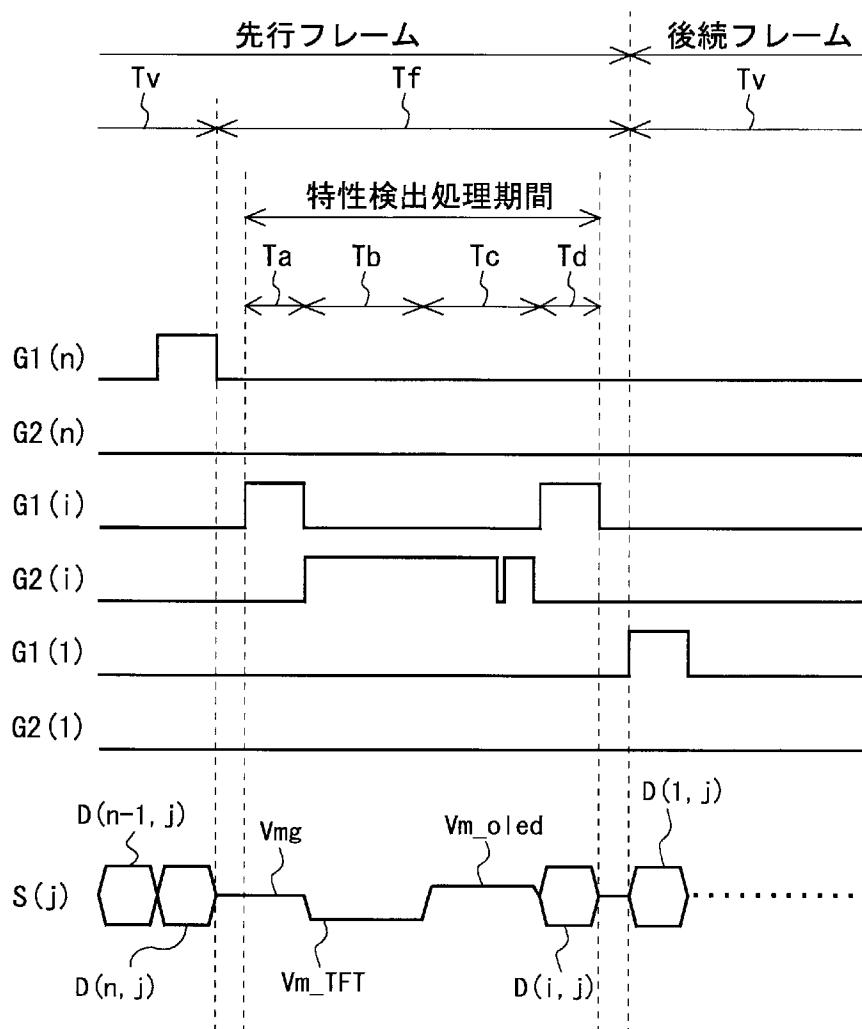




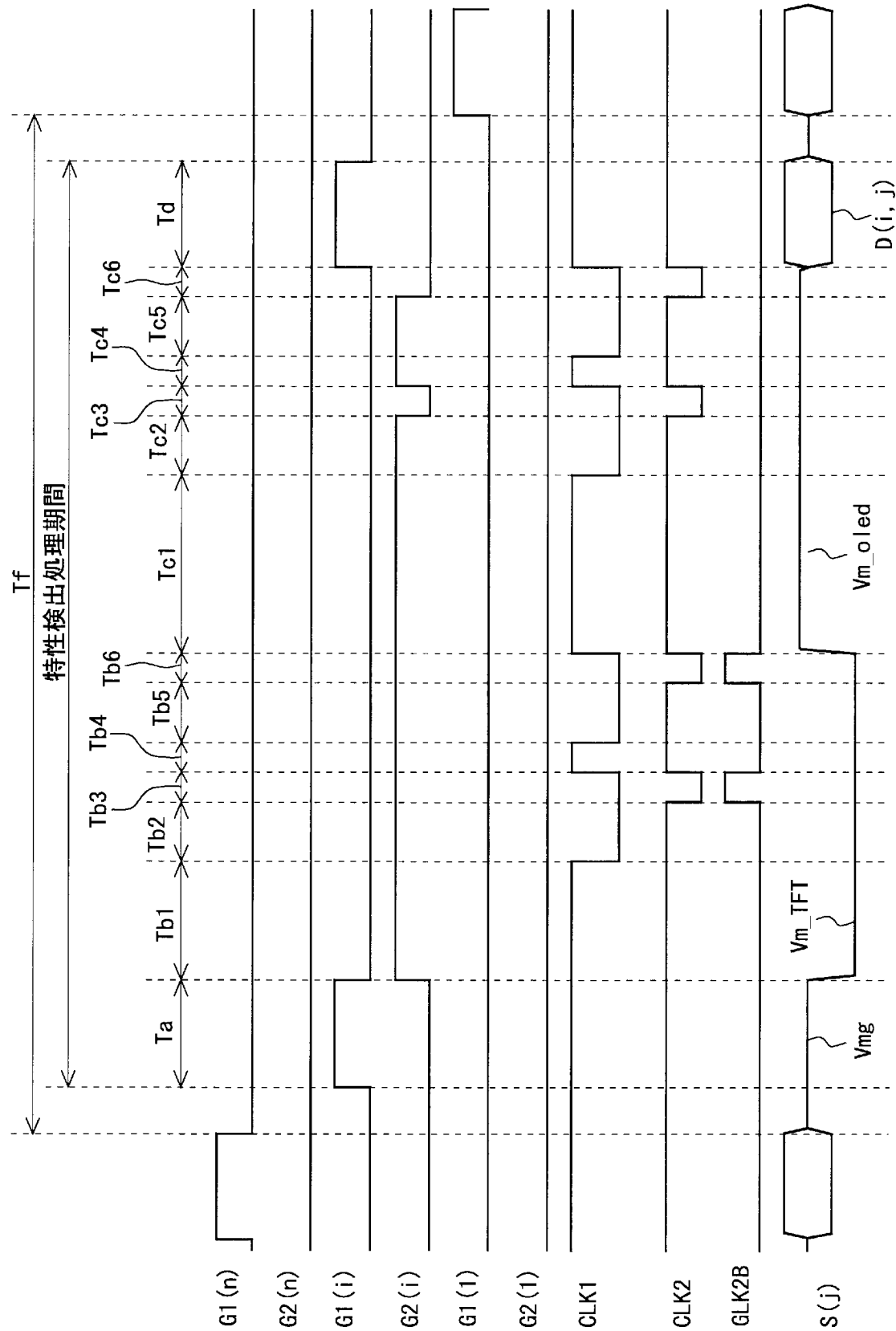
[図28]



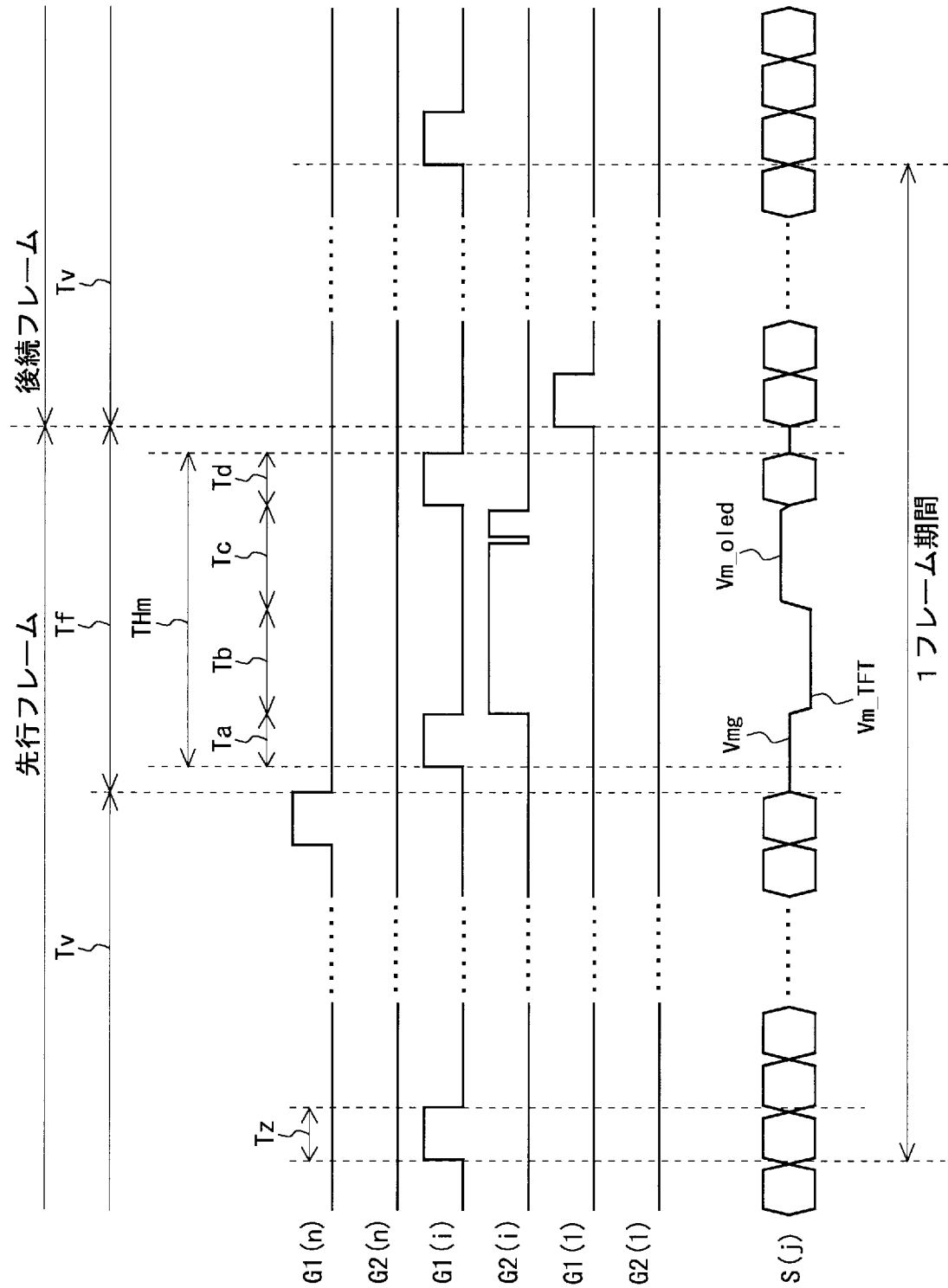
[図29]



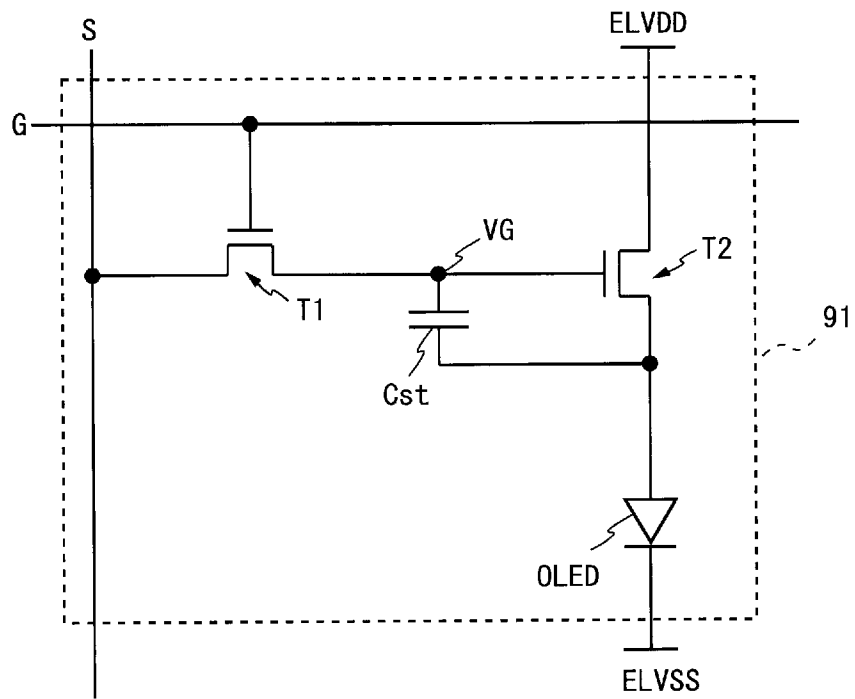
[図30]



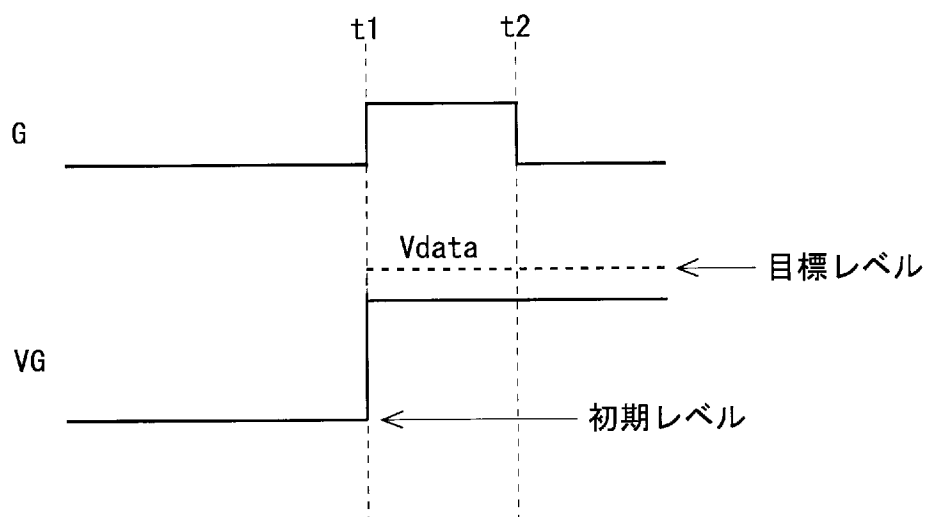
[図31]



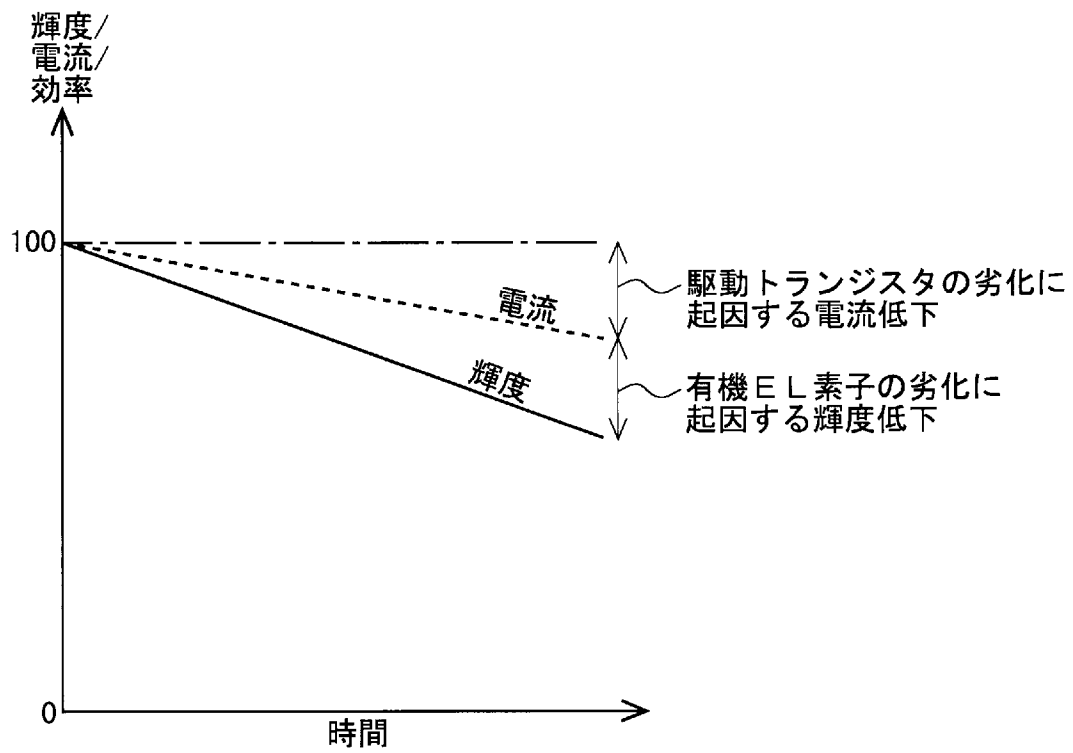
[図32]



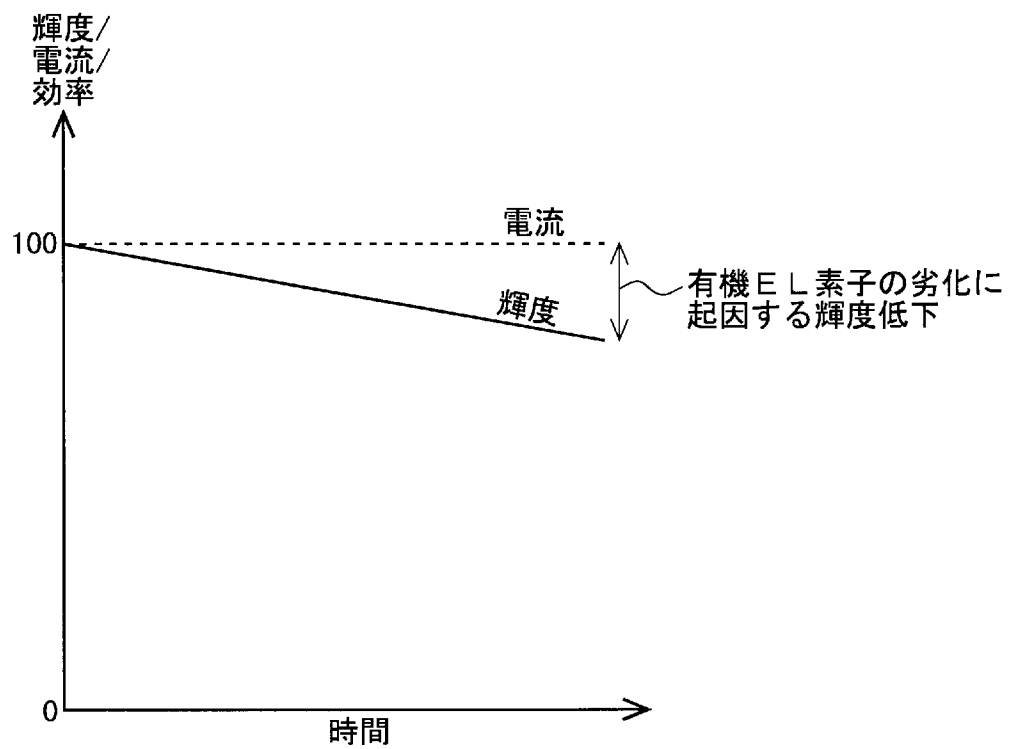
[図33]



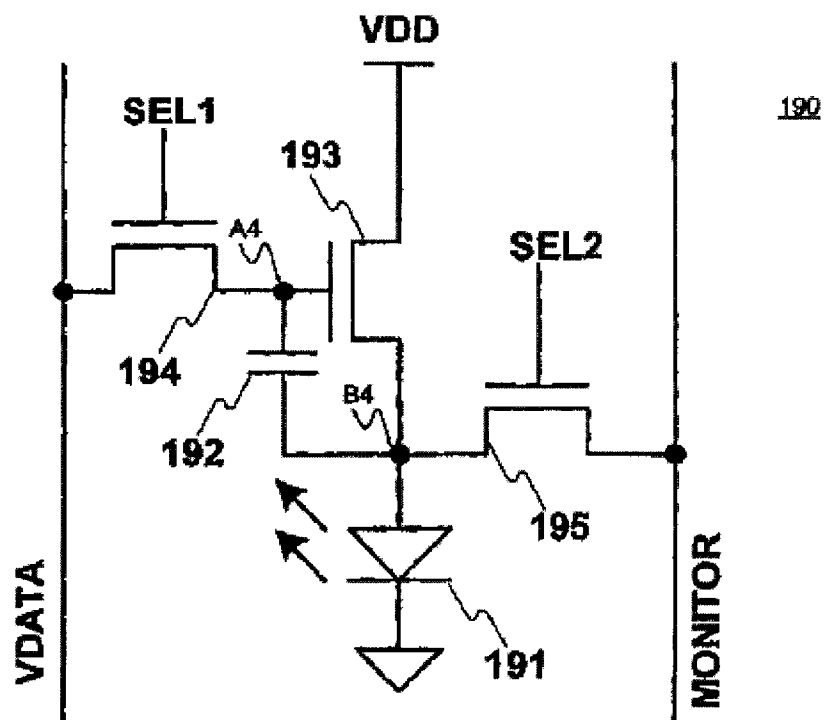
[図34]



[図35]



[図36]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2014/071721

A. CLASSIFICATION OF SUBJECT MATTER

G09G3/30(2006.01)i, G09G3/20(2006.01)i, H01L51/50(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09G3/30, G09G3/20, H01L51/50

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2014
Kokai Jitsuyo Shinan Koho	1971-2014	Toroku Jitsuyo Shinan Koho	1994-2014

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2011-95720 A (Casio Computer Co., Ltd.), 12 May 2011 (12.05.2011), entire text; all drawings & US 2011/0074762 A1 & CN 102034429 A & KR 10-2011-0035988 A & TW 201120851 A	1-13
A	JP 2010-281872 A (Casio Computer Co., Ltd.), 16 December 2010 (16.12.2010), entire text; all drawings (Family: none)	1-13



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

14 November, 2014 (14.11.14)

Date of mailing of the international search report

25 November, 2014 (25.11.14)

Name and mailing address of the ISA/

Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2014/071721

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2006-505816 A (Koninklijke Philips Electronics N.V.), 16 February 2006 (16.02.2006), entire text; all drawings & US 2006/0015272 A1 & WO 2004/042413 A1 & KR 10-2005-0084636 A & CN 1711479 A & AU 2003274543 A	1-13
A	JP 2007-536585 A (Thomson Licensing), 13 December 2007 (13.12.2007), entire text; all drawings & US 2008/0030438 A1 & WO 2005/109389 A1 & DE 102004022424 A & CN 1977302 A & BR PI0509950 A	1-13
A	JP 2011-221480 A (Samsung Mobile Display Co., Ltd.), 04 November 2011 (04.11.2011), entire text; all drawings & US 2011/0254871 A1 & KR 10-1065405 B1 & CN 102222463 A & TW 201137830 A	1-13
A	JP 2012-519881 A (Global OLED Technology L.L.C.), 30 August 2012 (30.08.2012), entire text; all drawings & US 2010/0225634 A1 & WO 2010/101761 A1 & TW 201039318 A & KR 10-2011-0123279 A	1-13
A	JP 2009-69421 A (Hitachi Displays, Ltd.), 02 April 2009 (02.04.2009), entire text; all drawings & US 2009/0066614 A1	1-13

A. 発明の属する分野の分類（国際特許分類（I P C）） Int.Cl. G09G3/30(2006.01)i, G09G3/20(2006.01)i, H01L51/50(2006.01)i			
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（I P C）） Int.Cl. G09G3/30, G09G3/20, H01L51/50			
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1 9 2 2 - 1 9 9 6 年 日本国公開実用新案公報 1 9 7 1 - 2 0 1 4 年 日本国実用新案登録公報 1 9 9 6 - 2 0 1 4 年 日本国登録実用新案公報 1 9 9 4 - 2 0 1 4 年			
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）			
C. 関連すると認められる文献			
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号	
A	JP 2011-95720 A（カシオ計算機株式会社）2011.05.12, 全文, 全図 & US 2011/0074762 A1 & CN 102034429 A & KR 10-2011-0035988 A & TW 201120851 A	1-13	
A	JP 2010-281872 A（カシオ計算機株式会社）2010.12.16, 全文, 全図（ファミリーなし）	1-13	
☒ C 欄の続きにも文献が列挙されている。 ☐ パテントファミリーに関する別紙を参照。			
* 引用文献のカテゴリー 「A」特に関連のある文献ではなく、一般的技術水準を示すもの 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） 「O」口頭による開示、使用、展示等に言及する文献 「P」国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」同一パテントファミリー文献			
国際調査を完了した日 1 4 . 1 1 . 2 0 1 4		国際調査報告の発送日 2 5 . 1 1 . 2 0 1 4	
国際調査機関の名称及びあて先 日本国特許庁（I S A / J P） 郵便番号 1 0 0 - 8 9 1 5 東京都千代田区霞が関三丁目4番3号		特許庁審査官（権限のある職員） 武 田 悟 電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 2 2 6	2 G 9 3 0 7

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2006-505816 A (コーニンクレッカ フィリップス エレクトロ ニクス エヌ ヴィ) 2006.02.16, 全文, 全図 & US 2006/0015272 A1 & WO 2004/042413 A1 & KR 10-2005-0084636 A & CN 1711479 A & AU 2003274543 A	1-13
A	JP 2007-536585 A (トムソン ライセンシング) 2007.12.13, 全文, 全図 & US 2008/0030438 A1 & WO 2005/109389 A1 & DE 102004022424 A & CN 1977302 A & BR PI0509950 A	1-13
A	JP 2011-221480 A (三星モバイルディスプレイ株式会社) 2011.11.04, 全文, 全図 & US 2011/0254871 A1 & KR 10-1065405 B1 & CN 102222463 A & TW 201137830 A	1-13
A	JP 2012-519881 A (グローバル・オーエルイーディー・テクノロジ ー・リミテッド・ライアビリティ・カンパニー) 2012.08.30, 全文, 全図 & US 2010/0225634 A1 & WO 2010/101761 A1 & TW 201039318 A & KR 10-2011-0123279 A	1-13
A	JP 2009-69421 A (株式会社 日立ディスプレイズ) 2009.04.02, 全文, 全図 & US 2009/0066614 A1	1-13