(19)日本国特許庁(JP)　(12)公開特許公報(A)　(11)特許出願公開番号
特開2019-144548
(P2019-144548A)
(43)公開日　令和1年8月29日(2019.8.29)

(51)Int.Cl.			F I			テーマコード（参考）
G09G	3/20	(2006.01)	G09G	3/20	623C	5C006
G09G	3/36	(2006.01)	G09G	3/20	623F	5C080
G09G	3/3225	(2016.01)	G09G	3/20	611J	5C380
			G09G	3/20	623R	
			G09G	3/36		

審査請求 未請求　請求項の数 22　ＯＬ　（全 18 頁）　最終頁に続く

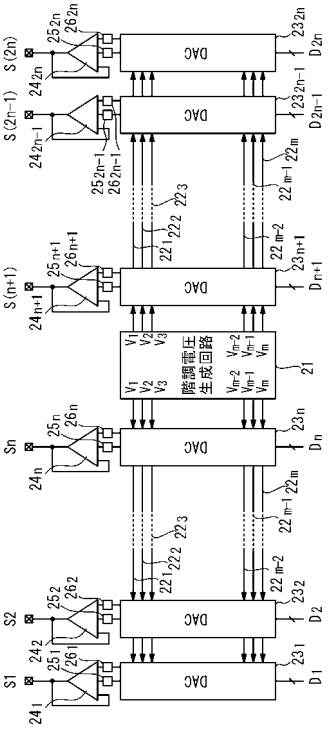
(21)出願番号　特願2019-26400 (P2019-26400)
(22)出願日　平成31年2月18日 (2019.2.18)
(31)優先権主張番号　特願2018-29464 (P2018-29464)
(32)優先日　平成30年2月22日 (2018.2.22)
(33)優先権主張国・地域又は機関
日本国 (JP)

(71)出願人　502161508
シナプティクス　インコーポレイテッド
アメリカ合衆国，　９５１３１　カリフォルニア州，　サンノゼ，　マッケイ　ドライブ　１２５１
(74)代理人　100205350
弁理士　狩野　芳正
(74)代理人　100102864
弁理士　工藤　実
(74)代理人　100117617
弁理士　中尾　圭策
(72)発明者　佐伯　穣
東京都中野区中野４丁目１０番２号　シナプティクス・ジャパン合同会社内

最終頁に続く

(54)【発明の名称】表示ドライバ、表示装置及び表示パネルの駆動方法

(57)【要約】
【課題】ソースアンプの入力端子の駆動を高速化する。
【解決手段】表示ドライバが、画像データに対応する階調電圧を出力するように構成されたＤＡコンバータと、表示パネルのソース線を駆動するように構成されたソースアンプと、ＤＡコンバータと前記出力アンプの間に接続されたバッファとを備えている。該バッファは、階調電圧がゲートに供給され、ドレインが電源に接続されたＮＭＯＳトランジスタを備えており、且つ、ＮＭＯＳトランジスタを流れる電流に依存する電流をソースアンプの入力端子に供給するように構成されている。
【選択図】図２



【特許請求の範囲】
【請求項１】
画像データに対応する階調電圧を出力するように構成されたＤＡコンバータと、
表示パネルのソース線を駆動するように構成されたソースアンプと、
前記ＤＡコンバータと前記ソースアンプの間に接続されたバッファ
とを備え、
前記バッファが、前記階調電圧がゲートに供給され、ドレインが電源に接続された第１ＮＭＯＳトランジスタを備えており、且つ、前記第１ＮＭＯＳトランジスタを流れる第１電流に依存する電流を前記ソースアンプの入力端子に供給するように構成された
表示ドライバ。
【請求項２】
前記バッファが、更に、前記階調電圧がゲートに供給され、ドレインが回路接地に接続された第１ＰＭＯＳトランジスタを備えており、且つ、前記第１ＰＭＯＳトランジスタに流れる第２電流に依存する電流を前記ソースアンプの前記入力端子から引き出すように構成された
請求項１に記載の表示ドライバ。
【請求項３】
前記バッファが、更に、前記ＤＡコンバータの出力端子と前記ソースアンプの前記入力端子の間に接続された第１スイッチを備えている
請求項１又は２に記載の表示ドライバ。
【請求項４】
前記ソースアンプの出力端子が前記第１ＮＭＯＳトランジスタのソースに接続されており、
前記バッファが、更に、前記第１電流に対応する第３電流を生成し、前記第３電流を前記ソースアンプの前記入力端子に供給するように構成された第１カレントミラーを備える
請求項１乃至３のいずれか１項に記載の表示ドライバ。
【請求項５】
前記第１ＮＭＯＳトランジスタのソースと前記第１ＰＭＯＳトランジスタのソースとが、前記ソースアンプの出力端子に共通に接続されており、
前記バッファが、更に、
前記第１電流に対応する第３電流を生成し、前記第３電流を前記ソースアンプの前記入力端子に供給するように構成された第１カレントミラーと、
前記第２電流に対応する第４電流を生成し、前記第４電流を前記ソースアンプの前記入力端子から引き出すように構成された第２カレントミラー
とを備える
請求項２に記載の表示ドライバ。
【請求項６】
前記バッファが、更に、前記ＤＡコンバータの出力端子と前記ソースアンプの前記入力端子の間に接続された第１スイッチを備えている
請求項４又は５に記載の表示ドライバ。
【請求項７】
前記バッファが、更に、
前記階調電圧がゲートに供給され、ドレインが電源に接続され、ソースが前記ソースアンプの前記入力端子に接続された第２ＮＭＯＳトランジスタと、
前記階調電圧がゲートに供給され、ドレインが回路接地に接続され、ソースが前記ソースアンプの前記入力端子に接続された第２ＰＭＯＳトランジスタ
とを備えている
請求項５又は６に記載の表示ドライバ。
【請求項８】
前記バッファが、更に、前記ソースアンプの前記入力端子と電源の間に、前記第１カレ

ントミラーに直列に接続された第２スイッチを備える
請求項４乃至７のいずれか１項に記載の表示ドライバ。
【請求項９】
前記バッファが、更に、
前記ソースアンプの前記入力端子と電源の間に、前記第１カレントミラーに直列に接続された第２スイッチと、
前記ソースアンプの前記入力端子と回路接地の間に、前記第２カレントミラーに直列に接続された第３スイッチ
を備える
請求項５に記載の表示ドライバ。
【請求項１０】
前記バッファが、更に、前記ＤＡコンバータの出力端子と前記ソースアンプの前記入力端子の間に接続された第１スイッチを備えており、
前記第１スイッチがオン状態であるときに、前記第２スイッチ及び前記第３スイッチがオフ状態に設定される
請求項９に記載の表示ドライバ。
【請求項１１】
前記バッファが、更に、
前記階調電圧がゲートに供給され、ドレインが電源に接続され、ソースが前記ソースアンプの前記入力端子に接続された第２ＮＭＯＳトランジスタと、
前記階調電圧がゲートに供給され、ドレインが回路接地に接続され、ソースが前記ソースアンプの前記入力端子に接続された第２ＰＭＯＳトランジスタ
とを備えている
請求項９又は１０に記載の表示ドライバ。
【請求項１２】
前記バッファが、更に、
ソースが前記第１ＮＭＯＳトランジスタのソースに接続され、ゲートが前記ソースアンプの前記入力端子に接続された第３ＮＭＯＳトランジスタと、
ソースが前記第１ＰＭＯＳトランジスタのソースに接続され、ゲートが前記ソースアンプの前記入力端子に接続された第３ＰＭＯＳトランジスタ
とを備える
請求項２に記載の表示ドライバ。
【請求項１３】
前記バッファが、更に、
前記第１ＮＭＯＳトランジスタ及び前記第３ＮＭＯＳトランジスタのソースから第１定電流を引き出す第１定電流源と、
前記第１ＰＭＯＳトランジスタ及び前記第３ＰＭＯＳトランジスタのソースに第２定電流を供給する第２定電流源
とを備える
請求項１２に記載の表示ドライバ。
【請求項１４】
前記バッファが、更に、前記第１ＮＭＯＳトランジスタ及び前記第３ＮＭＯＳトランジスタのドレインと、前記第１ＰＭＯＳトランジスタ及び前記第３ＰＭＯＳトランジスタのドレインとに接続された能動負荷回路を備えており、
前記能動負荷回路が、前記ソースアンプの前記入力端子に前記第１電流に対応する第３電流を供給し、前記ソースアンプの前記入力端子から前記第２電流に対応する第４電流を引き出すように構成された
請求項１２又は１３に記載の表示ドライバ。
【請求項１５】
前記バッファが、更に、

電源と前記ソースアンプの前記入力端子の間に接続され、第１オーバードライブ制御信号に応じて動作する第４スイッチと、
回路接地と前記ソースアンプの前記入力端子の間に接続され、第２オーバードライブ制御信号に応じて動作する第５スイッチ
とを備える
請求項１乃至１４のいずれか１項に記載の表示ドライバ。
【請求項１６】
更に、
複数の階調電圧配線に複数の階調電圧をそれぞれに生成する階調電圧生成回路
を備え、
前記ＤＡコンバータは、前記画像データに応じて前記複数の階調電圧配線のいずれかを選択し、選択した階調電圧配線を前記バッファに接続するように構成された
請求項１乃至１５のいずれか１項に記載の表示ドライバ。
【請求項１７】
ソース線を備える表示パネルと、
前記表示パネルを駆動する表示ドライバ
とを備え、
前記表示ドライバは、
画像データに対応する階調電圧を出力するように構成されたＤＡコンバータと、
前記表示パネルの前記ソース線を駆動するように構成されたソースアンプと、
前記ＤＡコンバータと前記ソースアンプの間に接続されたバッファ
とを備え、
前記バッファが、前記階調電圧がゲートに供給され、ドレインが電源に接続された第１ＮＭＯＳトランジスタを備えており、且つ、前記第１ＮＭＯＳトランジスタを流れる第１電流に依存する電流を前記ソースアンプの入力端子に供給するように構成された
表示装置。
【請求項１８】
前記バッファが、更に、前記階調電圧がゲートに供給され、ドレインが回路接地に接続された第１ＰＭＯＳトランジスタを備えており、且つ、前記第１ＰＭＯＳトランジスタに流れる第２電流に依存する電流を前記ソースアンプの前記入力端子から引き出すように構成された
請求項１７に記載の表示装置。
【請求項１９】
前記バッファが、更に、前記ＤＡコンバータの出力端子と前記ソースアンプの前記入力端子の間に接続された第１スイッチを備えている
請求項１７又は１８に記載の表示装置。
【請求項２０】
画像データに対応する階調電圧を出力することと、
前記階調電圧がゲートに供給され、ドレインが電源に接続されたＮＭＯＳトランジスタに流れる第１電流に依存する電流をソースアンプの入力端子に供給することと、
前記ソースアンプによって表示パネルのソース線を駆動すること
とを含む
表示パネルの駆動方法。
【請求項２１】
更に、
前記階調電圧がゲートに供給され、ドレインが回路接地に接続されたＰＭＯＳトランジスタに流れる第２電流に依存する電流を前記ソースアンプの前記入力端子から引き出すことを含む
請求項２０に記載の駆動方法。
【請求項２２】

更に、
前記階調電圧を出力するＤＡコンバータの出力端子と前記ソースアンプの前記入力端子とを電気的に接続することを含む
請求項２０又は２１に記載の駆動方法。

【発明の詳細な説明】
【技術分野】
【０００１】
本発明は、表示ドライバ、表示装置及び表示パネルの駆動方法に関する。
【背景技術】
【０００２】
液晶表示パネル、ＯＬＥＤ（organic light emitting diode）表示パネル等の表示パネルを駆動する表示ドライバは、信号線又はデータ線とも呼ばれるソース線を駆動するように構成されることがある。表示ドライバは、しばしば、高いリフレッシュレートでの画像表示に対応するように設計される。
【発明の概要】
【０００３】
一実施形態では、表示ドライバが、画像データに対応する階調電圧を出力するように構成されたＤＡコンバータと、表示パネルのソース線を駆動するように構成されたソースアンプと、ＤＡコンバータとソースアンプの間に接続されたバッファとを備えている。バッファは、該階調電圧がゲートに供給され、ドレインが電源に接続されたＮＭＯＳトランジスタを備えており、且つ、該ＮＭＯＳトランジスタを流れる電流に依存する電流をソースアンプの入力端子に供給するように構成されている。
【０００４】
一実施形態では、表示装置が、ソース線を備える表示パネルと、表示パネルを駆動する表示ドライバとを備えている。表示ドライバは、画像データに対応する階調電圧を出力するように構成されたＤＡコンバータと、表示パネルのソース線を駆動するように構成されたソースアンプと、ＤＡコンバータとソースアンプの間に接続されたバッファとを備えている。バッファは、階調電圧がゲートに供給され、ドレインが電源に接続された該ＮＭＯＳトランジスタを備えており、且つ、該ＮＭＯＳトランジスタを流れる電流に依存する電流をソースアンプの入力端子に供給するように構成されている。
【０００５】
一実施形態では、表示パネルの駆動方法が、画像データに対応する階調電圧を出力することと、階調電圧がゲートに供給され、ドレインが電源に接続されたＮＭＯＳトランジスタに流れる電流に依存する電流をソースアンプの入力端子に供給することと、ソースアンプによって表示パネルのソース線を駆動することとを含む。
【図面の簡単な説明】
【０００６】
【図１】一実施形態における表示装置の構成を示すブロック図である。
【図２】一実施形態におけるソースドライバ回路部の構成を示す回路図である。
【図３】一実施形態におけるソースアンプの構成を示す回路図である。
【図４】一実施形態におけるバッファの構成を示す回路図である。
【図５】一実施形態におけるバッファの動作を示すタイミングチャートである。
【図６】一実施形態におけるバッファの構成を示す回路図である。
【図７】一実施形態におけるバッファの構成を示す回路図である。
【図８】一実施形態におけるバッファの構成を示す回路図である。
【発明を実施するための形態】
【０００７】
以下、添付図面を参照しながら、本開示の実施形態を説明する。添付図面において、同一又は類似する構成要素は、同一又は対応する参照符号で参照することがある。また、複

数の同じ構成要素を区別する場合に、参照符号に添字を付すことがある。

【０００８】

一実施形態では、図１に示すように、表示装置１００が、表示パネル１と表示ドライバ２とを備えている。表示装置１００は、ホスト３から受け取った画像データD_{IN}に応じて表示パネル１に画像を表示するように構成されている。

【０００９】

一実施形態では、表示パネル１は、ゲート線４と、ソース線５と、画素回路６と、ゲート線４を駆動するゲートドライバ回路部７とを備えている。一実施形態では、各画素回路６は、対応するゲート線４及びソース線５が交差する位置に設けられており、表示パネル１の画素の副画素として用いられる。表示パネル１として液晶表示パネルが用いられる場合、画素回路６は、画素電極、選択トランジスタ及び保持容量を備えていてもよい。また、表示パネル１としてＯＬＥＤ表示パネルが用いられる場合、画素回路６は、発光素子、選択トランジスタ及び保持容量を備えていてもよい。表示パネル１には、画素回路６の構成に応じて、ゲート線４及びソース線５以外の様々な配線が設けられ得る。

【００１０】

一実施形態では、表示ドライバ２は、表示パネル１のソース線５にそれぞれに接続されたソース出力Ｓ１～Ｓ（２ｎ）を有しており、ホスト３から受け取った画像データD_{IN}に応じてソース線５を駆動する。一実施形態では、表示ドライバ２は、インターフェース１１と、画像ＩＰコア１２と、ソースドライバ回路部１３とを備えていてもよい。一実施形態では、インターフェース１１は、ホスト３から画像データD_{IN}を受け取って画像ＩＰコア１２に転送する。一実施形態では、画像ＩＰコア１２は、画像データD_{IN}に対して所望の画像処理を行う。ソースドライバ回路部１３は、画像ＩＰコア１２から出力された画像データに応じて表示パネル１のソース線５を駆動する。

【００１１】

図２に示すように、一実施形態では、ソースドライバ回路部１３が、階調電圧生成回路２１と、階調電圧配線22_1～22_mと、ＤＡコンバータ23_1～23_{2n}と、ソースアンプ24_1～24_{2n}とを備えている。図２において、記号D_1～D_{2n}は、それぞれ、ソース出力Ｓ１～Ｓ（２ｎ）に対応する画像データを示している。

【００１２】

一実施形態では、階調電圧生成回路２１は、画像データD_1～D_{2n}に許容される階調値にそれぞれに対応する階調電圧V_1～V_mを生成し、生成した階調電圧V_1～V_mをそれぞれ階調電圧配線22_1～22_mを介してＤＡコンバータ23_1～23_{2n}に供給する。一実施形態では、階調電圧V_1～V_mは、互いに異なる電圧レベルを有している。

【００１３】

一実施形態では、ＤＡコンバータ23_1～23_{2n}は、画像データD_1～D_{2n}に記述された階調値に応じて階調電圧配線22_1～22_mを介して受け取った階調電圧V_1～V_mを選択し、選択した階調電圧を出力する。一実施形態では、各ＤＡコンバータ23_iは、画像データD_iに記述された階調値に応じて階調電圧配線22_1～22_mのうちから２本の階調電圧配線２２を選択し、選択した２本の階調電圧配線２２を出力端子に接続するセレクタとして動作する。一実施形態では、各ＤＡコンバータ23_iは、それ自体は駆動能力を有していない。

【００１４】

一実施形態では、ソースアンプ24_1～24_{2n}は、ＤＡコンバータ23_1～23_{2n}によって選択された階調電圧に応じてソース出力Ｓ１～Ｓ（２ｎ）を駆動する。一実施形態では、各ソースアンプ24_iは、２つの入力を有しており、該２つの入力にそれぞれに入力された電圧に応じてソース出力Ｓ１～Ｓ（２ｎ）を駆動する。

【００１５】

図３に示すように、一実施形態では、各ソースアンプ24_iは、２つの入力端子３１、３２と、２つの入力段３３、３４と、中間段及び出力段と、出力端子３６を備えていてもよい。図３では、中間段及び出力段が、纏めて、符号３５で参照されている。

【００１６】
一実施形態では、入力段３３は、ＰＭＯＳトランジスタＭＰ１１、ＭＰ１２と、ＮＭＯＳトランジスタＭＮ１１、ＭＮ１２と、定電流源３７、３８とを備えている。一実施形態では、ＰＭＯＳトランジスタＭＰ１１、ＭＰ１２のソースは、定電流源３７に共通に接続されており、ＰＭＯＳトランジスタＭＰ１１、ＭＰ１２のドレインは、中間段に接続されている。一実施形態では、ＰＭＯＳトランジスタＭＰ１１のゲートは、入力端子３１に接続され、ＰＭＯＳトランジスタＭＰ１２のゲートは、出力端子３６に接続されている。一実施形態では、入力段３４は、ＰＭＯＳトランジスタＭＰ１１、ＮＭＯＳトランジスタＭＮ１１が入力端子３２に接続されていることを除けば、入力段３３と同様に構成される。
【００１７】
一実施形態では、中間段及び出力段３５は、入力端子３１、３２にそれぞれに入力される入力電圧V_{IN1}、V_{IN2}及び、画像データD_iの下位ビットD_{i_low}に応じて出力電圧V_{OUT}を出力するように構成されている。一実施形態では、入力端子３２に入力される入力電圧V_{IN2}が、入力端子３１に入力される入力電圧V_{IN1}より高く、中間段及び出力段３５は、画像データD_iの下位ビットD_{i_low}に応じて、入力電圧V_{IN1}から入力電圧V_{IN2}までの出力電圧V_{OUT}を出力するように構成されてもよい。
【００１８】
図３から理解されるように、各ソースアンプ24_iの入力端子３１、３２の容量は、概ね、それぞれ入力段３３、３４のＰＭＯＳトランジスタＭＰ１１、ＮＭＯＳトランジスタＭＮ１１のゲート容量Ｃｐ、Ｃｎの和である。一実施形態では、ＰＭＯＳトランジスタＭＰ１１、ＮＭＯＳトランジスタＭＮ１１のゲート容量Ｃｐ、Ｃｎが低減され、各ソースアンプ24_iの入力端子３１、３２の容量は、階調電圧配線22_1～22_mの容量と比較して相当に小さく抑制される。
【００１９】
一実施形態では、表示装置１００のリフレッシュレートが、ソースアンプ24_1～24_{2n}の入力電圧の立ち上がり及び立ち下がりの遅延を低減することで高速化される。例えば、一実施形態では、ソースアンプ24_1～24_{2n}の実効的な入力容量を低減することで、ソースアンプ24_1～24_{2n}の入力電圧V_{IN1}、V_{IN2}の立ち上がり及び立ち下がりの遅延が低減され、これにより、表示装置１００のリフレッシュレートが高速化される。
【００２０】
一実施形態では、ソースアンプ24_1～24_{2n}に対するミラー(Miller)効果の影響を低減することでソースアンプ24_1～24_{2n}の実効的な入力容量が低減される。ミラー効果は、各ソースアンプ24_1～24_{2n}の各入力端子の容量を（１＋Ａ）倍で増加させ得る。ここで、Ａは、各ソースアンプ24_1～24_2の増幅率である。
【００２１】
一実施形態では、ソースドライバ回路１３が、各ソースアンプ24_1～24_2のミラー効果を少なくとも低減することで、ソースアンプ24_1～24_{2n}の入力電圧の立ち上がり及び立ち下がりを高速化し、表示装置１００のリフレッシュレートを増加させる。例えば、各ソースアンプ24_1～24_{2n}のミラー効果を低減することで、各ソースアンプ24_1～24_{2n}の実効的な入力容量を低減し、ソースアンプ24_1～24_{2n}の入力電圧V_{IN1}、V_{IN2}の立ち上がり及び立ち下がりの遅延を低減する。
【００２２】
一実施形態では、階調電圧配線22_1～22_mから見たソースアンプ24_1～24_{2n}の実効的な入力容量を低減するために、バッファ25_1～25_{2n}、26_1～26_{2n}が、ＤＡコンバータ23_1～23_{2n}とソースアンプ24_1～24_{2n}の間に挿入されている。
【００２３】
図４は、ソースアンプ24_iの入力端子３１に接続されるバッファ25_iの構成の一例

を示す回路図である。図４において、符号４１、４２は、ＤＡコンバータ２３$_{i}$の２つの出力端子を示している。一実施形態では、ＤＡコンバータ２３$_{i}$は、画像データＤ$_{i}$に記述された階調値に応じて階調電圧配線２２$_{1}$～２２$_{m}$のうちの２本を出力端子４１、４２に接続するように構成される。一実施形態では、バッファ２５$_{i}$は、その入力ノードＮ$_{IN}$がＤＡコンバータ２３$_{i}$の出力端子４１に接続され、出力ノードＮ$_{OUT}$がソースアンプ２４$_{i}$の入力端子３１に接続されている。一実施形態では、ソースアンプ２４$_{i}$の入力端子３２に接続されるバッファ２６$_{i}$は、バッファ２５$_{i}$と同一の構成を有しており、同様に動作する。バッファ２６$_{i}$の回路構成は図４には図示されていない。

【００２４】

一実施形態では、バッファ２５$_{i}$は、ＮＭＯＳトランジスタＭＮ１と、ＰＭＯＳトランジスタＭＰ１と、スイッチ４３とを備えている。

【００２５】

一実施形態では、ＮＭＯＳトランジスタＭＮ１及びＰＭＯＳトランジスタＭＰ１は、ソースフォロア動作によりソースアンプ２４$_{i}$の入力端子３１を駆動する。一実施形態では、ＮＭＯＳトランジスタＭＮ１及びＰＭＯＳトランジスタＭＰ１のゲートは、入力ノードＮ$_{IN}$に共通に接続され、出力端子４１から階調電圧ＰＶ$_{IN1}$を受け取る。一実施形態では、ＮＭＯＳトランジスタＭＮ１は、ドレインが電源電圧ＶＤＤを供給する電源に接続され、ソースが出力ノードＮ$_{OUT}$に接続されている。一実施形態では、ＰＭＯＳトランジスタＭＰ１は、ドレインが回路接地に接続され、ソースが出力ノードＮ$_{OUT}$に接続されている。一実施形態では、ＮＭＯＳトランジスタＭＮ１は、ソースアンプ２４$_{i}$の入力端子３１をプルアップするプルアップトランジスタとして動作し、ＰＭＯＳトランジスタＭＰ１は、入力端子３１をプルダウンするプルダウントランジスタとして動作する。

【００２６】

一実施形態では、ＮＭＯＳトランジスタＭＮ１にはゲートに入力された階調電圧ＰＶ$_{IN1}$に応じた電流Ｉ$_{N1}$が流れ、ＮＭＯＳトランジスタＭＮ１は、電流Ｉ$_{N1}$をソースアンプ２４$_{i}$の入力端子３１に供給する。一実施形態では、ＰＭＯＳトランジスタＭＰ１にはゲートに入力された階調電圧ＰＶ$_{IN1}$に応じた電流Ｉ$_{P1}$が流れ、ＰＭＯＳトランジスタＭＰ１は、ソースアンプ２４$_{i}$の入力端子３１から電流Ｉ$_{P1}$を引き出す。

【００２７】

一実施形態では、スイッチ４３は、ＮＭＯＳトランジスタＭＮ２及びＰＭＯＳトランジスタＭＰ２を備えている。ＮＭＯＳトランジスタＭＮ２及びＰＭＯＳトランジスタＭＰ２は、入力ノードＮ$_{IN}$と出力ノードＮ$_{OUT}$の間に接続されたトランスミッションゲートを構成している。一実施形態では、ＮＭＯＳトランジスタＭＮ２は、ドレインが入力ノードＮ$_{IN}$に接続され、ソースが出力ノードＮ$_{OUT}$に接続されている。一実施形態では、ＰＭＯＳトランジスタＭＰ２は、ソースが入力ノードＮ$_{IN}$に接続され、ドレインが出力ノードＮ$_{OUT}$に接続されている。一実施形態では、ＰＭＯＳトランジスタＭＰ２のゲートには制御信号ＶＧ１が供給され、ＮＭＯＳトランジスタＭＮ２のゲートには制御信号ＶＧ２が供給される。一実施形態では、スイッチ４３は、制御信号ＶＧ１、ＶＧ２による制御の下、入力ノードＮ$_{IN}$を出力ノードＮ$_{OUT}$に電気的に接続し、又は切り離す。

【００２８】

図５は、一実施形態におけるバッファ２５$_{i}$の動作の一例を示している。一実施形態では、時刻ｔ$_{0}$において、階調電圧ＰＶ$_{IN1}$がＶｍｉｎであり、スイッチ４３がオン状態に設定される。一実施形態では、時刻ｔ$_{0}$においてソースアンプ２４$_{i}$の入力端子３１に供給される入力電圧Ｖ$_{IN1}$は、Ｖｍｉｎである。ここで、Ｖｍｉｎは、最低の階調電圧である。

【００２９】

一実施形態では、時刻ｔ$_{1}$においてＤＡコンバータ２３$_{i}$に供給される画像データＤ$_{i}$が変化すると、ＤＡコンバータ２３$_{i}$からバッファ２５$_{i}$に供給される階調電圧ＰＶ$_{IN1}$も変化する。図５には、階調電圧ＰＶ$_{IN1}$が時刻ｔ$_{1}$においてＶｍｉｎからＶｍａｘに変化する場合の動作が示されている。ここで、Ｖｍａｘは、最高の階調電圧である。

【００３０】
一実施形態では、画像データD_iの変化に同期して、スイッチ４３が、時刻t_1において制御信号ＶＧ１、ＶＧ２によってオフ状態に設定される。
【００３１】
一実施形態では、スイッチ４３がオフされると、ＮＭＯＳトランジスタＭＮ１がソースフォロアとして動作し、ソースアンプ２４$_i$の入力端子３１に電流I_{N1}を供給する。これにより、入力端子３１の電位が上昇する。一実施形態では、ＮＭＯＳトランジスタＭＮ１の閾値電圧がV_{TH_N}であり、この場合、ＮＭＯＳトランジスタＭＮ１は、ソースアンプ２４$_i$の入力端子３１を$Vmax-V_{TH_N}$までプルアップすることができる。
【００３２】
一実施形態では、その後、時刻t_2で、スイッチ４３が、制御信号ＶＧ１、ＶＧ２によってオン状態に設定される。スイッチ４３がオンされると、ＤＡコンバータ２３$_i$の出力端子４１がソースアンプ２４$_i$の入力端子３１に電気的に接続され、ソースアンプ２４$_i$の入力端子３１が$Vmax$にプルアップされる。
【００３３】
一実施形態では、その後、時刻t_3においてＤＡコンバータ２３$_i$に供給される画像データD_iが変化すると、ＤＡコンバータ２３$_i$からバッファ２５$_i$に供給される階調電圧PV_{IN1}も変化する。図５には、階調電圧PV_{IN1}が時刻t_3において$Vmax$から$Vmin$に変化する場合の動作が示されている。
【００３４】
一実施形態では、画像データD_iの変化に同期して、スイッチ４３が、時刻t_3において制御信号ＶＧ１、ＶＧ２によってオフ状態に設定される。
【００３５】
一実施形態では、スイッチ４３がオフされると、ＰＭＯＳトランジスタＭＰ１がソースフォロアとして動作し、ソースアンプ２４$_i$の入力端子３１から電流I_{P2}を引き出す。これにより、入力端子３１の電位が低下する。ＰＭＯＳトランジスタＭＰ１の閾値電圧が$-V_{TH_P}$である場合、ＰＭＯＳトランジスタＭＰ１は、ソースアンプ２４$_i$の入力端子３１を$Vmin+V_{TH_P}$までプルダウンすることができる。
【００３６】
一実施形態では、その後、時刻t_4で、スイッチ４３が、制御信号ＶＧ１、ＶＧ２によってオン状態に設定される。一実施形態では、スイッチ４３がオンされると、ＤＡコンバータ２３$_i$の出力端子４１がソースアンプ２４$_i$の入力端子３１に電気的に接続され、ソースアンプ２４$_i$の入力端子３１が$Vmin$にプルダウンされる。
【００３７】
バッファ２５$_i$を設けず、ＤＡコンバータ２３$_i$の出力端子４１をソースアンプ２４$_i$の入力端子３１に直接に接続した場合には、ＤＡコンバータ２３$_i$から見たバッファ２５$_i$の実効的な入力容量が増大し、画像データD_iの変化に対してソースアンプ２４$_i$の入力端子３１に供給される入力電圧V_{IN1}の変化が遅延する。図５では、ＤＡコンバータ２３$_i$の出力端子４１がソースアンプ２４$_i$の入力端子３１に直接に接続された場合の入力電圧V_{IN1}、入力電流I_{IN1}の波形が、破線で示されている。
【００３８】
図５に示す回路構成では、バッファ２５$_i$の作用により、ソースアンプ２４$_i$の入力端子３１に供給される入力電圧V_{IN1}の立ち上がり及び立ち下がりの遅延が低減される。一実施形態では、バッファ２５$_i$が設けられると、バッファ２５$_i$は電圧増幅機能を有していないのでミラー効果が顕著に低減される。一実施形態では、バッファ２５$_i$が設けられると、バッファ２５$_i$は電圧増幅機能を有していないのでミラー効果が発現しない。これにより、ＤＡコンバータ２３$_i$から見たバッファ２５の実効的な入力容量が低減され、バッファ２５$_i$のＮＭＯＳトランジスタＭＮ１のゲートの電圧は、速やかに所望の階調電圧PV_{IN1}に変化する。ＮＭＯＳトランジスタＭＮ１、ＰＭＯＳトランジスタＭＰ１では、ソースアンプ２４$_i$の入力端子３１を階調電圧PV_{IN1}まで駆動することはできな

いが、スイッチ４３をオンすることで、ソースアンプ２４$_i$の入力端子３１を階調電圧ＰＶ$_{IN1}$まで駆動することができる。スイッチ４３がオンされるタイミングを適切に調整することで、ソースアンプ２４$_i$の入力端子３１に入力される入力電圧Ｖ$_{IN1}$を、速やかに階調電圧ＰＶ$_{IN1}$に駆動することができる。

【００３９】

一実施形態では、バッファ２６$_i$の作用により、ソースアンプ２４$_i$の入力端子３２に供給される入力電圧Ｖ$_{IN2}$の立ち上がり及び立ち下がりの遅延も同様に低減される。

【００４０】

図６に示す一実施形態では、バッファ２５$_i$が、ＮＭＯＳトランジスタＭＮ１と、ＰＭＯＳトランジスタＭＰ１及びスイッチ４３に加え、カレントミラー４４、４５を備えている。一実施形態では、ＮＭＯＳトランジスタＭＮ１のソース及びＰＭＯＳトランジスタＭＰ１のドレインが、ソースアンプ２４$_i$の出力端子３６に、共通に接続される。

【００４１】

一実施形態では、カレントミラー４４は、ＰＭＯＳトランジスタＭＰ３、ＭＰ４を備えている。ＰＭＯＳトランジスタＭＰ３、ＭＰ４は、ソースが電源に共通に接続され、ゲートがＰＭＯＳトランジスタＭＰ３のドレインに共通に接続されている。一実施形態では、ＰＭＯＳトランジスタＭＰ３のドレインは、ＮＭＯＳトランジスタＭＮ１のドレインに接続され、ＰＭＯＳトランジスタＭＰ４のドレインは、出力ノードＮ$_{OUT}$に接続されている。一実施形態では、カレントミラー４４は、ＮＭＯＳトランジスタＭＮ１を流れる電流Ｉ$_{N1}$に依存する、より具体的には比例する電流Ｉ$_{N2}$を生成し、電流Ｉ$_{N2}$をソースアンプ２４$_i$の入力端子３１に供給する。

【００４２】

一実施形態では、カレントミラー４５は、ＮＭＯＳトランジスタＭＮ３、ＭＮ４を備えている。一実施形態では、ＮＭＯＳトランジスタＭＮ３、ＭＮ４は、ソースが回路接地に共通に接続され、ゲートがＮＭＯＳトランジスタＭＮ３のドレインに共通に接続されている。一実施形態では、ＮＭＯＳトランジスタＭＮ３のドレインは、ＰＭＯＳトランジスタＭＰ１のドレインに接続され、ＮＭＯＳトランジスタＭＮ４のドレインは、出力ノードＮ$_{OUT}$に接続されている。一実施形態では、カレントミラー４５は、ＰＭＯＳトランジスタＭＰ１を流れる電流Ｉ$_{P1}$に依存する、より具体的には比例する電流Ｉ$_{O2}$を生成し、電流Ｉ$_{P2}$をソースアンプ２４$_i$の入力端子３１から引き出す。

【００４３】

一実施形態では、バッファ２６$_i$も、バッファ２５$_i$と同様に構成される。

【００４４】

一実施形態では、図６に示すバッファ２５$_i$は、図４に示すバッファ２５$_i$と概ね同様に動作する。

【００４５】

図６に示すバッファ２５$_i$は、一実施形態では、ソースアンプ２４$_i$の入力端子３１をプルアップするときに、ソースアンプ２４$_i$の入力端子３１、３２をＶＰ$_{IN1}$－Ｖ$_{TH_N}$よりも高い電位にプルアップする。ここで、ＰＶ$_{IN1}$は、ＤＡコンバータ２３$_i$から供給される階調電圧であり、Ｖ$_{TH_N}$は、ＮＭＯＳトランジスタＭＮ１の閾値電圧である。ソースアンプ２４$_i$の遅延が存在するから、ソースアンプ２４$_i$の出力電圧Ｖ$_{OUT}$は、ＤＡコンバータ２３$_i$に入力される画像データＤ$_i$が変化した後、しばらくの間は変動しない。よって、画像データＤ$_i$が変化した後、しばらくの間は、ＮＭＯＳトランジスタＭＮ１のゲート－ソース間電圧が十分に大きくなり、ＮＭＯＳトランジスタＭＮ１のオン状態が維持される。ＮＭＯＳトランジスタＭＮ１のオン状態が維持される間、カレントミラー４４からソースアンプ２４$_i$の入力端子３１に電流Ｉ$_{N2}$が供給され続けるので、ソースアンプ２４$_i$の入力端子３１の電位をＶＰ$_{IN1}$－Ｖ$_{TH_N}$よりも高い電位にプルアップすることができる。

【００４６】

同様の原理により、一実施形態では、図６に示すバッファ２５$_i$は、ソースアンプ２４

$_{i}$の入力端子３１、３２をプルダウンするときに、ソースアンプ２４$_{i}$の入力端子３１を$VP_{IN1}+V_{TH_P}$よりも低い電位にプルダウンする。ここで、V_{TH_P}は、ＰＭＯＳトランジスタＭＰ１の閾値電圧の絶対値である。上記のように、ソースアンプ２４$_{i}$の出力電圧V_{OUT}は、ＤＡコンバータ２３$_{i}$に入力される画像データＤ$_{i}$が変化した後、しばらくの間は変動しない。よって、画像データＤ$_{i}$が変化した後、しばらくの間は、ＰＭＯＳトランジスタＭＰ１のゲートーソース間電圧が十分に大きくなり、ＰＭＯＳトランジスタＭＰ１のオン状態が維持される。ＰＭＯＳトランジスタＭＰ１のオン状態が維持される間、カレントミラー４５はソースアンプ２４$_{i}$の入力端子３１から電流I_{P2}を引き出し続けるので、ソースアンプ２４$_{i}$の入力端子３１の電位を$VP_{IN1}+V_{TH_P}$よりも低い電位にプルダウンすることができる。

【００４７】

図７に示す一実施形態では、バッファ２５$_{i}$が、図６に示す構成と類似した構成を有しているが、更に、ＮＭＯＳトランジスタＭＮ５、ＭＮ６とＰＭＯＳトランジスタＭＰ５、ＭＰ６とを備えている。一実施形態では、バッファ２６$_{i}$についても、バッファ２５$_{i}$と同様に構成される。

【００４８】

一実施形態では、ＮＭＯＳトランジスタＭＮ５及びＰＭＯＳトランジスタＭＰ５のゲートは、入力ノードN_{IN}に共通に接続され、ＤＡコンバータ２３$_{i}$の出力端子４１から階調電圧PV_{IN1}を受け取る。一実施形態では、ＮＭＯＳトランジスタＭＮ５は、ドレインが電源電圧ＶＤＤを供給する電源に接続され、ソースが出力ノードN_{OUT}に接続されている。一実施形態では、ＰＭＯＳトランジスタＭＰ６は、ドレインが回路接地に接続され、ソースが出力ノードN_{OUT}に接続されている。

【００４９】

一実施形態では、ＰＭＯＳトランジスタＭＰ６は、電源と出力ノードN_{OUT}との間にカレントミラー４４と直列に接続され、制御信号ＶＧ２に応答して動作するスイッチとして動作する。一実施形態では、ＰＭＯＳトランジスタＭＰ６は、ソースが電源に接続され、ドレインがカレントミラー４４のＰＭＯＳトランジスタＭＰ４のソースに接続され、ゲートに制御信号ＶＧ２が供給される。なお、ＰＭＯＳトランジスタＭＰ６は、カレントミラー４４と出力ノードN_{OUT}の間に接続されてもよい。

【００５０】

一実施形態では、ＮＭＯＳトランジスタＭＮ６は、電源と出力ノードN_{OUT}との間にカレントミラー４５と直列に接続され、制御信号ＶＧ１に応答して動作するスイッチとして動作する。一実施形態では、ＮＭＯＳトランジスタＭＮ６は、ソースが回路接地に接続され、ドレインがカレントミラー４５のＮＭＯＳトランジスタＭＮ４のソースに接続され、ゲートに制御信号ＶＧ１が供給される。なお、ＮＭＯＳトランジスタＭＮ６は、カレントミラー４５と出力ノードN_{OUT}の間に接続されてもよい。

【００５１】

図７に示すバッファ２５$_{i}$は、一実施形態では、図６に示すバッファ２５$_{i}$と概ね同様に動作するが、ＮＭＯＳトランジスタＭＮ５及びＰＭＯＳトランジスタＭＰ５の動作により、ソースアンプ２４$_{i}$の入力端子３１の電位のオーバーシュート及びアンダーシュートを抑制することができる。図６に示すバッファ２５$_{i}$の構成では、ソースアンプ２４$_{i}$の入力端子３１をプルアップする動作において、ソースアンプ２４$_{i}$の出力端子３６の電位がプルアップされるまでカレントミラー４４からソースアンプ２４$_{i}$の入力端子３１に電流I_{N2}が供給され続けるので、ソースアンプ２４$_{i}$の入力端子３１の電位がオーバーシュートし得る。図７に示すバッファ２５$_{i}$の構成では、ソースアンプ２４$_{i}$の入力端子３１の電位が過剰に上昇すると、ＰＭＯＳトランジスタＭＰ５がオン状態になり、ソースアンプ２４$_{i}$の入力端子３１の電位のオーバーシュートを抑制できる。同様に、ソースアンプ２４$_{i}$の入力端子３１をプルダウンする動作においては、ソースアンプ２４$_{i}$の入力端子３１の電位が過剰に低下すると、ＮＭＯＳトランジスタＭＮ５がオン状態になり、ソースアンプ２４$_{i}$の入力端子３１の電位のアンダーシュートを抑制できる。

【００５２】
一実施形態では、加えて、スイッチ４３がオン状態に設定される期間において、ＰＭＯＳトランジスタＭＰ６、ＮＭＯＳトランジスタＭＮ６がオフ状態に設定され、カレントミラー４４、４５の動作が停止される。このような動作は、カレントミラー４４、４５を通じて電源から回路接地に電流が流れる時間を短縮し、消費電力の低減に有効である。
【００５３】
図８に示す一実施形態では、バッファ２５$_i$が、“オーバードライブ”動作に対応している。一実施形態では、“オーバードライブ”動作は、ソースアンプ２４$_i$の出力電圧Ｖ$_{OUT}$を大きく変化すべき時に、ソースアンプ２４$_i$の出力端子３６を急速にプルアップ又はプルダウンさせる。
【００５４】
一実施形態では、バッファ２５$_i$が、オーバードライブ制御信号ＳＯＮ、ＳＯＰに応じてオーバードライブ動作を行う。一実施形態では、オーバードライブ制御信号ＳＯＮがローアクティブ信号であり、オーバードライブ制御信号ＳＯＰがハイアクティブ信号である。一実施形態では、バッファ２５$_i$が、オーバードライブ制御信号ＳＯＮが活性化されたときにソースアンプ２４$_i$の入力端子３１を電源電圧ＶＤＤまたはそれに近い電圧にプルアップするように構成される。これにより、ソースアンプ２４$_i$の出力端子３６を急速にプルアップすることができる。一実施形態では、バッファ２５$_i$が、オーバードライブ制御信号ＳＯＰが活性化されたときにソースアンプ２４$_i$の入力端子３１を回路接地電圧またはそれに近い電圧にプルダウンするように構成される。これにより、ソースアンプ２４$_i$の出力端子３６を急速にプルダウンすることができる。
【００５５】
一実施形態では、バッファ２５$_i$が、ＮＭＯＳ差動入力段５１と、ＰＭＯＳ差動入力段５２と、能動負荷回路部５３と、スイッチ５４とを備えている。
【００５６】
一実施形態では、ＮＭＯＳ差動入力段５１が、ＮＭＯＳトランジスタＭＮ１、ＭＮ７、ＭＮ８を備えている。一実施形態では、ＮＭＯＳトランジスタＭＮ１、ＭＮ７のソースが、ノードＮ$_1$に共通に接続されている。一実施形態では、ＮＭＯＳトランジスタＭＮ１のドレインが、能動負荷回路部５３のノードＮ$_3$に接続され、ＮＭＯＳトランジスタＭＮ７のドレインが、能動負荷回路部５３のノードＮ$_4$に接続されている。一実施形態では、ＮＭＯＳトランジスタＭＮ１のゲートが入力ノードＮ$_{IN}$に接続され、ＮＭＯＳトランジスタＭＮ７のゲートが、ソースアンプ２４$_i$の入力端子３１に接続されている出力ノードＮ$_{OUT}$に接続されている。一実施形態では、ＮＭＯＳトランジスタＭＮ８が、ノードＮ$_1$から定電流を引き出す定電流源として動作する。一実施形態では、ＮＭＯＳトランジスタＭＮ８のドレインがノードＮ$_1$に接続され、ソースが回路接地に接続され、ゲートにバイアス電圧Ｖ$_{BN1}$が供給されている。
【００５７】
一実施形態では、ＰＭＯＳ差動入力段５２が、ＰＭＯＳトランジスタＭＰ１、ＭＰ７、ＭＰ８を備えている。一実施形態では、ＰＭＯＳトランジスタＭＰ１、ＭＰ７のソースが、ノードＮ$_2$に共通に接続されている。一実施形態では、ＰＭＯＳトランジスタＭＰ１のドレインが、能動負荷回路部５３のノードＮ$_5$に接続され、ＰＭＯＳトランジスタＭＰ７のドレインが、能動負荷回路部５３のノードＮ$_6$に接続されている。一実施形態では、ＰＭＯＳトランジスタＭＰ１のゲートが、入力ノードＮ$_{IN}$に接続され、ＰＭＯＳトランジスタＭＰ７のゲートが、出力ノードＮ$_{OUT}$に接続されている。一実施形態では、ＰＭＯＳトランジスタＭＰ８が、ノードＮ$_2$に定電流を供給する定電流源として動作する。一実施形態では、ＰＭＯＳトランジスタＭＰ８のドレインがノードＮ$_2$に接続され、ソースが電源に接続され、ゲートにバイアス電圧Ｖ$_{BP1}$が供給されている。
【００５８】
一実施形態では、能動負荷回路部５３が、ＮＭＯＳトランジスタＭＮ１、ＭＮ７のドレインと、ＰＭＯＳトランジスタＭＰ１、ＭＰ７のドレインとに接続されている。一実施形

態では、能動負荷回路部５３が、カレントミラー５５、５６と、浮遊定電流源５７と、ＰＭＯＳトランジスタＭＰ６、ＭＰ１０、ＭＰ１１と、ＮＭＯＳトランジスタＭＮ６、ＭＮ１０、ＭＮ１１とを備えている。

【００５９】

一実施形態では、ＰＭＯＳトランジスタＭＰ６とＮＭＯＳトランジスタＭＮ６が、スイッチ５４の制御にも用いられる制御信号ＶＧ１、ＶＧ２に応じてカレントミラー５５、５６をイネーブルするように構成されている。一実施形態では、ＰＭＯＳトランジスタＭＰ６のソースが電源に接続され、ドレインがカレントミラー５５に接続され、ゲートに制御信号ＶＧ２が供給されている。一実施形態では、ＮＭＯＳトランジスタＭＮ６のソースが回路接地に接続され、ドレインがカレントミラー５６に接続され、ゲートに制御信号ＶＧ１が供給されている。

【００６０】

一実施形態では、カレントミラー５５が、ＰＭＯＳトランジスタＭＰ６のドレインとノードN_3、N_4の間に接続されている。一実施形態では、カレントミラー５５が、ＰＭＯＳトランジスタＭＰ３、ＭＰ４を備えている。一実施形態では、ＰＭＯＳトランジスタＭＰ３、ＭＰ４のソースが、ＰＭＯＳトランジスタＭＰ６のドレインに共通に接続され、ＰＭＯＳトランジスタＭＰ３、ＭＰ４のゲートが、ＰＭＯＳトランジスタＭＰ３のドレインに共通に接続されている。一実施形態では、ＰＭＯＳトランジスタＭＰ３、ＭＰ４のドレインが、それぞれ、ノードN_3、N_4に接続されている。

【００６１】

一実施形態では、カレントミラー５６が、ＮＭＯＳトランジスタＭＮ６とノードN_5、N_6の間に接続されている。一実施形態では、カレントミラー５６が、ＮＭＯＳトランジスタＭＮ３、ＭＮ４を備えている。一実施形態では、ＮＭＯＳトランジスタＭＮ３、ＭＮ４のソースがＮＭＯＳトランジスタＭＮ６のドレインに共通に接続され、ＮＭＯＳトランジスタＭＮ３、ＭＮ４のゲートがＮＭＯＳトランジスタＭＮ３のドレインに共通に接続されている。一実施形態では、ＮＭＯＳトランジスタＭＮ３、ＭＮ４のドレインが、それぞれ、ノードN_5、N_6に接続されている。

【００６２】

一実施形態では、浮遊定電流源５７が、ノードN_3から定電流を引き出し、該定電流をノードN_5に供給するように構成されている。一実施形態では、浮遊定電流源５７が、ＮＭＯＳトランジスタＭＮ９とＰＭＯＳトランジスタＭＰ９とを備えている。一実施形態では、ＮＭＯＳトランジスタＭＮ９のドレインとＰＭＯＳトランジスタＭＰ９のソースがノードN_3に共通に接続され、ＮＭＯＳトランジスタＭＮ９のソースとＰＭＯＳトランジスタＭＰ９のドレインがノードN_5に共通に接続されている。一実施形態では、バイアス電圧V_{BN2}がＮＭＯＳトランジスタＭＮ９のゲートに供給され、バイアス電圧V_{BP2}がＰＭＯＳトランジスタＭＰ９のゲートに供給されている。

【００６３】

一実施形態では、スイッチ５４が、入力ノードN_{IN}と出力ノードN_{OUT}の間に接続されている。一実施形態では、スイッチ５４は、制御信号ＶＧ１、ＶＧ２に応じて入力ノードN_{IN}と出力ノードN_{OUT}とを電気的に接続し、又は切り離すように構成されている。一実施形態では、スイッチ５４は、トランスミッションゲートを構成しているＮＭＯＳトランジスタＭＮ２とＰＭＯＳトランジスタＭＰ２とを備えている。一実施形態では、ＮＭＯＳトランジスタＭＮ２のドレインが入力ノードN_{IN}に接続され、ソースが出力ノードN_{OUT}に接続されている。一実施形態では、ＰＭＯＳトランジスタＭＰ２のソースが入力ノードN_{IN}に接続され、ドレインが出力ノードN_{OUT}に接続されている。一実施形態では、ＰＭＯＳトランジスタＭＰ２のゲートに制御信号ＶＧ１が供給され、ＮＭＯＳトランジスタＭＮ２のゲートに制御信号ＶＧ２が供給される。

【００６４】

一実施形態では、ＰＭＯＳトランジスタＭＰ１０、ＭＰ１１、ＮＭＯＳトランジスタＭＮ１０、ＭＮ１１が、オーバードライブ制御信号ＳＯＮ、ＳＯＰに応じてオーバードライ

ブ動作を実施するために用いられる。一実施形態では、ＰＭＯＳトランジスタＭＰ１０、ＭＰ１１が、ＰＭＯＳトランジスタＭＰ６のドレインと出力ノード$Ｎ_{ＯＵＴ}$との間に直列に接続されている。一実施形態では、ＰＭＯＳトランジスタＭＰ１０のソースがＰＭＯＳトランジスタＭＰ６のドレインに接続され、ゲートがＰＭＯＳトランジスタＭＰ３、ＭＰ４のゲートに共通に接続されている。一実施形態では、ＰＭＯＳトランジスタＭＰ１１のソースが、ＰＭＯＳトランジスタＭＰ１０のドレインに接続され、ドレインが出力ノード$Ｎ_{ＯＵＴ}$に接続されている。一実施形態では、ＰＭＯＳトランジスタＭＰ１１のゲートにオーバードライブ制御信号ＳＯＮが供給される。ＰＭＯＳトランジスタＭＰ１１は、オーバードライブ制御信号ＳＯＮに応じて動作するスイッチとして機能する。一実施形態では、ＮＭＯＳトランジスタＭＮ１０、ＭＮ１１が、ＮＭＯＳトランジスタＭＮ６のドレインと出力ノード$Ｎ_{ＯＵＴ}$との間に直列に接続されている。一実施形態では、ＮＭＯＳトランジスタＭＮ１０のソースがＮＭＯＳトランジスタＭＮ６のドレインに接続され、ゲートがＮＭＯＳトランジスタＭＮ３、ＭＮ４のゲートに共通に接続されている。一実施形態では、ＮＭＯＳトランジスタＭＮ１１のソースがＮＭＯＳトランジスタＭＮ１０のドレインに接続され、ドレインが出力ノード$Ｎ_{ＯＵＴ}$に接続され、ゲートにオーバードライブ制御信号ＳＯＰが供給されている。ＮＭＯＳトランジスタＭＮ１１は、オーバードライブ制御信号ＳＯＰに応じて動作するスイッチとして機能する。

【００６５】

一実施形態では、図８に示されているバッファ２５_{i}が、オーバードライブ制御信号ＳＯＮ、ＳＯＰの両方が非活性化されているときに、ソースフォロア動作によってソースアンプ２４_{i}の入力端子３１を駆動するように構成されている。

【００６６】

一実施形態では、ＮＭＯＳトランジスタＭＮ１のゲートに供給されている階調電圧$ＰＶ_{ＩＮ１}$がプルアップされると、ＮＭＯＳトランジスタＭＮ１を流れる電流$Ｉ_{Ｎ１}$が階調電圧$ＰＶ_{ＩＮ１}$に依存して生成され、カレントミラー５５が、電流$Ｉ_{Ｎ１}$に応じた電流$Ｉ_{Ｎ２}$をソースアンプ２４_{i}の入力端子３１に供給して入力電圧$Ｖ_{ＩＮ１}$を上昇させる。一実施形態では、続いて、制御信号ＶＧ１、ＶＧ２によってスイッチ５４がオン状態に設定される。一実施形態では、スイッチ５４がオンされると、ＤＡコンバータ２３_{i}の出力端子４１がソースアンプ２４_{i}の入力端子３１に電気的に接続され、これにより、ソースアンプ２４_{i}の入力端子３１が階調電圧$ＰＶ_{ＩＮ１}$にプルアップされる。

【００６７】

一実施形態では、ＰＭＯＳトランジスタＭＰ１のゲートに供給される階調電圧$ＰＶ_{ＩＮ１}$がプルダウンされると、ＰＭＯＳトランジスタＭＰ１を流れる電流$Ｉ_{Ｐ１}$が階調電圧$ＰＶ_{ＩＮ１}$に依存して生成され、カレントミラー５６が、電流$Ｉ_{Ｐ１}$に応じた電流$Ｉ_{Ｐ２}$をソースアンプ２４_{i}の入力端子３１から引き出して入力電圧$Ｖ_{ＩＮ１}$を低下させる。一実施形態では、続いて、制御信号ＶＧ１、ＶＧ２によってスイッチ５４がオン状態に設定される。一実施形態では、スイッチ５４がオンされると、ＤＡコンバータ２３_{i}の出力端子４１がソースアンプ２４_{i}の入力端子３１に電気的に接続され、これにより、ソースアンプ２４_{i}の入力端子３１が階調電圧$ＰＶ_{ＩＮ１}$にプルダウンされる。

【００６８】

図８に示すようにＮＭＯＳ差動入力段５１及びＰＭＯＳ差動入力段５２を用いることは、ＮＭＯＳトランジスタＭＮ１、ＰＭＯＳトランジスタＭＰ１の両方がソースフォロアとして動作しない不感帯を縮小し、又は、なくすために有効である。一実施形態では、階調電圧$ＰＶ_{ＩＮ１}$の許容される全範囲について、ＮＭＯＳトランジスタＭＮ１、ＰＭＯＳトランジスタＭＰ１の少なくとも一方がソースフォロアとして動作し、電流$Ｉ_{Ｎ２}$及び／又は電流$Ｉ_{Ｐ２}$を制御する。

【００６９】

一実施形態では、オーバードライブ制御信号ＳＯＮ、ＳＯＰの一方が活性化されると、バッファ２５_{i}が、オーバードライブ動作を実施するように動作する。一実施形態では、オーバードライブ制御信号ＳＯＮが活性化されると、ＰＭＯＳトランジスタＭＰ１１がオ

ンされる。一実施形態では、これにより、ソースアンプ２４$_{i}$の入力端子３１が、階調電圧ＰＶ$_{ＩＮ１}$に関わらず、電源電圧ＶＤＤ又はそれに近い電圧に駆動される。一実施形態は、オーバードライブ制御信号ＳＯＰが活性化されると、ＮＭＯＳトランジスタＭＮ１１がオンされる。一実施形態では、これにより、ソースアンプ２４$_{i}$の入力端子３１が、階調電圧ＰＶ$_{ＩＮ１}$に関わらず、回路接地電圧又はそれに近い電圧に駆動される。

【００７０】

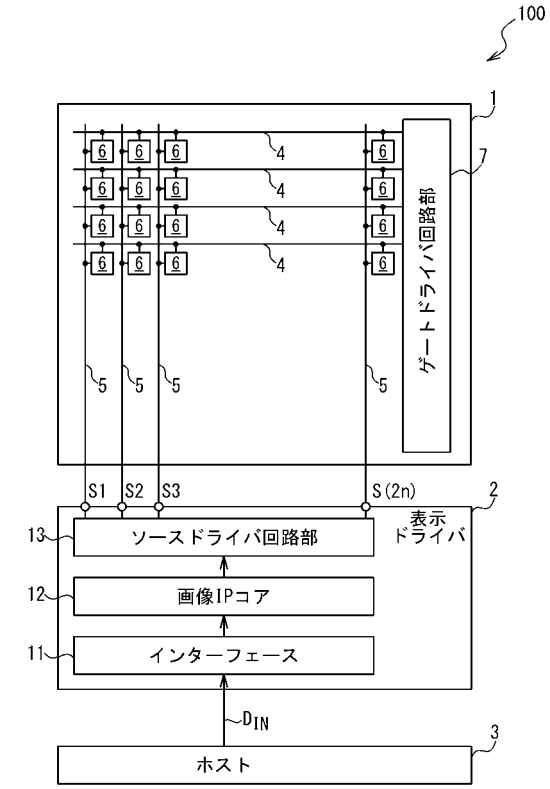
以上には、本開示の様々な実施形態が具体的に記載されているが、本開示に記載された技術は、様々な変更と共に実施され得る。例えば、上述の実施形態では、各ソースアンプ２４$_{i}$が２つの入力端子３１、３２を有している構成が記述されているが、各ソースアンプ２４$_{i}$の入力端子の数は２に限定されない。各ソースアンプ２４$_{i}$が１つの入力端子又は３以上の入力端子を備えていてもよい。この場合、上述のバッファ２５$_{i}$と同一構成のバッファが、ソースアンプ２４$_{i}$の各入力端子に接続される。

【符号の説明】

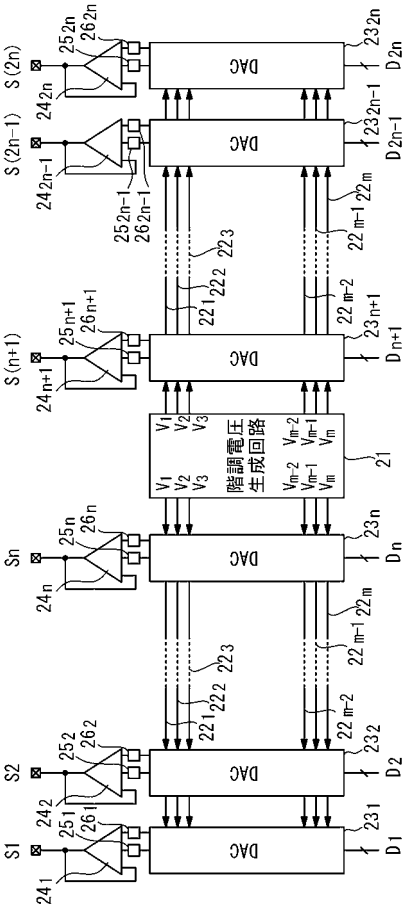
【００７１】

１００　：表示装置
１　：表示パネル
２　：表示ドライバ
３　：ホスト
４　：ゲート線
５　：ソース線
６　：画素回路
７　：ゲートドライバ回路部
１１　：インターフェース
１２　：画像ＩＰコア
１３　：ソースドライバ回路部
２１　：階調電圧生成回路
２２　：階調電圧配線
２３　：ＤＡコンバータ
２４　：ソースアンプ
２５、２６：バッファ
３１、３２：入力端子
３３、３４：入力段
３５　：中間段及び出力段
３６　：出力端子
３７、３８：定電流源
４１、４２：出力端子
４３　：スイッチ
４４、４５：カレントミラー
５１：ＮＭＯＳ差動入力段
５２：ＰＭＯＳ差動入力段
５３：能動負荷回路部
５４：スイッチ
５５、５６：カレントミラー
５７：浮遊定電流源
ＭＮ１～ＭＮ６、ＭＮ９～ＭＮ１２：ＮＭＯＳトランジスタ
ＭＰ１～ＭＰ６、ＭＰ９～ＭＰ１２：ＰＭＯＳトランジスタ

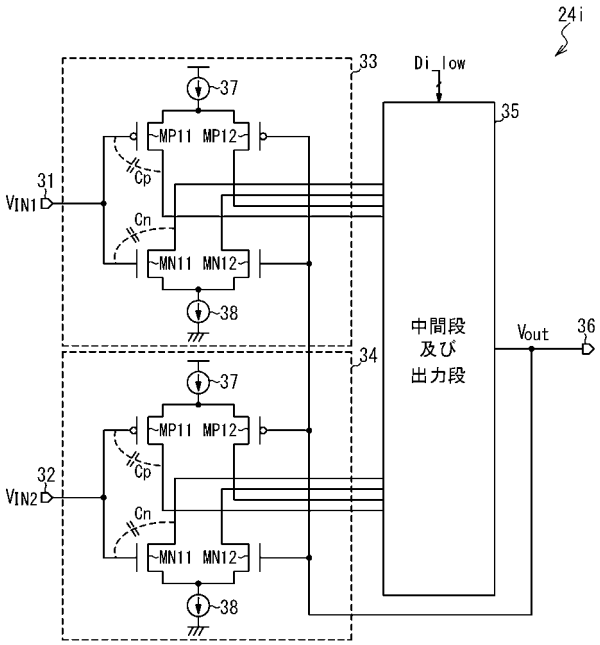
【図１】


100
1
7
ゲートドライバ回路部
S1
S2
S3
S(2n)
2
表示ドライバ
13
ソースドライバ回路部
12
画像IPコア
11
インターフェース
DIN
3
ホスト

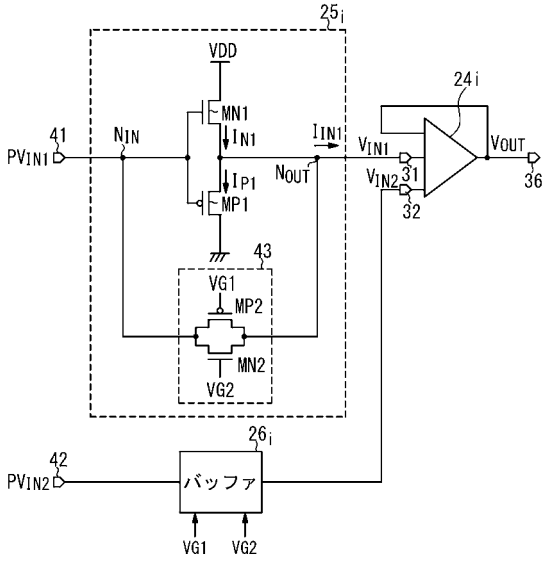
【図２】


DAC
階調電圧生成回路
21

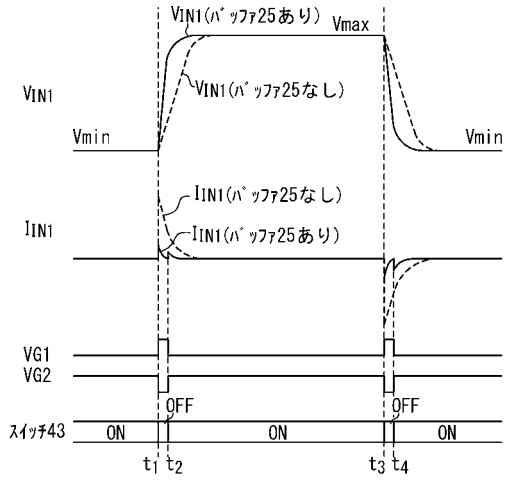
【図３】


24i
33
Di_low
35
37
MP11
MP12
Cp
Cn
31
VIN1
MN11
MN12
38
34
中間段及び出力段
Vout
36
32
VIN2

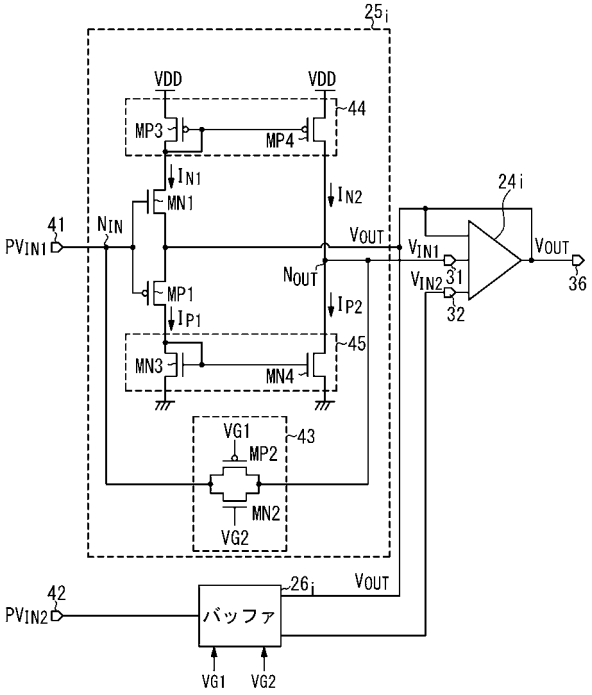
【図４】


25i
VDD
MN1
IN1
IIN1
41
PVIN1
NIN
IP1
MP1
NOUT
43
VG1
MP2
MN2
VG2
24i
VIN1
VIN2
31
32
VOUT
36
26i
42
PVIN2
バッファ
VG1
VG2

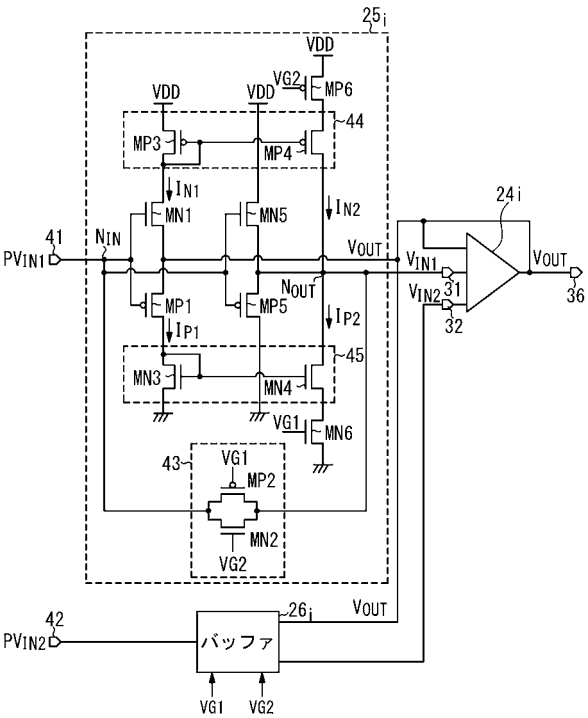
【図５】


VIN1(バッファ25あり)
Vmax
VIN1(バッファ25なし)
VIN1
Vmin
Vmin
IIN1(バッファ25なし)
IIN1(バッファ25あり)
IIN1
VG1
VG2
OFF
OFF
スイッチ43
ON
ON
ON
t1 t2
t3 t4

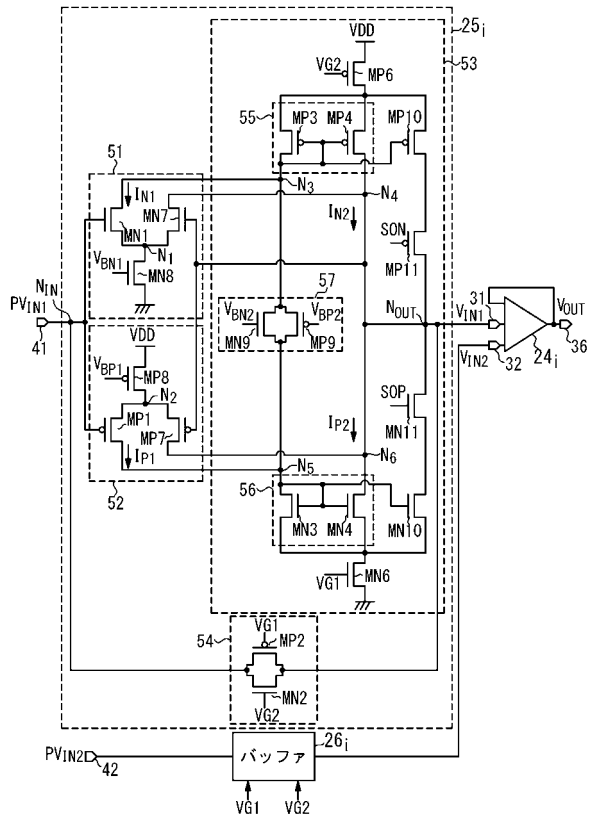
【図６】


25i
VDD
VDD
44
MP3
MP4
IN1
IN2
MN1
24i
41
NIN
VOUT
VIN1
VOUT
PVIN1
NOUT
VIN2
31
36
MP1
IP2
IP1
45
MN3
MN4
32
VG1
43
MP2
MN2
VG2
42
26i
VOUT
PVIN2
バッファ
VG1
VG2

【図７】


25i
VDD
VDD
VDD
VG2
MP6
44
MP3
MP4
IN1
MN1
MN5
IN2
24i
41
NIN
VOUT
VIN1
VOUT
PVIN1
NOUT
VIN2
31
36
MP1
MP5
IP2
IP1
45
MN3
MN4
32
VG1
MN6
43
VG1
MP2
MN2
VG2
42
26i
VOUT
PVIN2
バッファ
VG1
VG2

【図８】


VDD
25i
VG2
MP6
53
55
MP3
MP4
MP10
51
IN1
N3
N4
IN2
MN7
SON
MN1
MP11
VBN1
N1
MN8
57
NIN
PVIN1
41
VBN2
VBP2
NOUT
31
VOUT
MN9
MP9
VIN1
VDD
VOUT
VBP1
MP8
N2
SOP
MP1
MP7
IP2
MN11
IP1
N6
N5
52
56
MN3
MN4
MN10
VG1
MN6
VG1
54
MP2
MN2
VG2
26i
PVIN2
42
バッファ
VG1
VG2

フロントページの続き

(51)Int.Cl.	F I	テーマコード（参考）
	Ｇ０９Ｇ 3/3225	

Ｆターム(参考) 5C006 AF50 AF71 AF83 BB16 BC03 BC11 BC13 BC16 BF24 BF33
BF34 FA14 FA47
5C080 AA06 AA10 BB05 DD08 DD26 JJ02 JJ03 JJ04
5C380 AA01 AB06 BA01 BA20 BA31 CA04 CA12 CA32 CB01 CC33
CF22 CF26 CF48 CF54