

發明專利說明書 200423380

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號： 9310A939

※ 申請日期： 93-3-31

※IPC 分類：

H01L 27/04, 21/82

壹、發明名稱：(中文/英文)

半導體裝置及其製造方法

SEMICONDUCTOR DEVICE AND METHOD FOR FABRICATING
THE SAME

貳、申請人：(共 1 人)

姓名或名稱：(中文/英文)

日商松下電器產業股份有限公司

MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.

代表人：(中文/英文)

中村 邦夫

NAKAMURA, KUNIO

住居所或營業所地址：(中文/英文)

日本國大阪府門真市大字門真1006番地

1006, OAZA KADOMA, KADOMA-SHI, OSAKA 571-8501, JAPAN

國 籍：(中文/英文)

日本 JAPAN

參、發明人：(共 2 人)

姓 名：(中文/英文)

1.江頭 恭子

EGASHIRA, KYOKO

2.橋本 伸

HASHIMOTO, SHIN

住居所地址：(中文/英文)

1.日本國富山縣高岡市泉町6-11-2-A

6-11-2-A, IZUMIMACHI, TAKAOKA-SHI, TOYAMA, JAPAN

2.日本國大阪府枚方市田口山3-21-6

3-21-6, TAGUCHIYAMA, HIRAKATA-SHI, OSAKA, JAPAN

國 籍：(中文/英文)

1.-2.均日本 JAPAN

肆、聲明事項：

☐ 本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間，其日期為： 年 月 日。

☒ 本案申請前已向下列國家(地區)申請專利：

1. 日本；2003年03月31日；特願2003-094213
- 2.
- 3.
- 4.
- 5.

☒ 主張國際優先權(專利法第二十四條)：

【格式請依：受理國家(地區)；申請日；申請案號數 順序註記】

1. 日本；2003年03月31日；特願2003-094213
- 2.
- 3.
- 4.
- 5.

☐ 主張國內優先權(專利法第二十五條之一)：

【格式請依：申請日；申請案號數 順序註記】

- 1.
- 2.

☐ 主張專利法第二十六條微生物：

☐ 國內微生物 【格式請依：寄存機構；日期；號碼 順序註記】

☐ 國外微生物 【格式請依：寄存國名；機構；日期；號碼 順序註記】

☐ 熟習該項技術者易於獲得，不須寄存。

玖、發明說明：

【發明所屬之技術領域】

本發明關係一種半導體裝置及其製造方法，尤其關係具有MIM(Metal-Insulator-Metal)型電容元件及用於類比電路等之電阻體的半導體裝置及其製造方法。

【先前技術】

於含有類比系電路的半導體積體電路裝置中，一般情況，係裝載有於電容上方電極和電容下方電極之間具有電容絕緣膜的MIM型電容元件或者為被動元件之電阻體。

圖9為顯示用於類比電路中之習知MIM型電容元件之結構的剖面圖。

如圖9所示，於半導體基板100上形成有由第1導電膜101形成之電容下方電極101a及由第1導電膜101形成的第1佈線101b。依次形成有於為覆蓋電容下方電極101a及第1佈線101b而形成的層間絕緣膜102上有開口、且為覆蓋與電容下方電極101a之上面連通之開口面積較大之開口部102a的至少底面及側面的電容絕緣膜103及由第2導電膜104形成之電容上方電極104a。而且，尚形成有於為覆蓋電容下方電極101a及第1佈線101b而形成之層間絕緣膜102及該層間絕緣膜102上的電容絕緣膜103上有開口、且為埋入與第1佈線101b之上面連通的接觸孔(contact hole)102b而由第2導電膜104形成的接觸(contact)102c及由第2導電膜104形成的第2佈線104b。需提一下，由第1佈線101b與介以接觸孔102b與第1佈線101b連接之第2佈線104b構成的結構，係為普通

的接觸結構。

圖10為顯示結構與所述圖9所示之不同的MIM型電容元件的結構的示意圖，係顯示一般MIM型電容元件的剖面結構，該一般的MIM型電容元件，係採用藉由平坦化而形成之鎢柱塞(W plug)作為半導體積體電路上的接觸。特別是，圖10所示的結構於擁有微細元件圖案的高密度半導體裝置中適用。

如圖10所示，於半導體基板200上形成有第1佈線201，於作為電容下方電極的第1佈線201上從下依次形成電容絕緣膜202及電容上方電極203。形成有在為覆蓋電容上方電極203及第1佈線201而形成的層間絕緣膜204上有開口、且以鎢膜(W膜)埋入與電容上方電極203的上面連通之接觸孔而形成的接觸205a。在層間絕緣膜204及接觸205a上形成有藉由接觸205a與電容上方電極203連接的、由第2導電膜206形成的第2佈線206a。形成有在第1佈線201上的層間絕緣膜204上開口、且以W膜埋入與第1佈線201之上面連通的接觸孔而構成的接觸205b。需提一下，由第1佈線201與藉由接觸孔205b與第1佈線201連接之第2佈線206b構成的結構，係為普通的雙層佈線結構。

圖11為顯示通常用於一般的半導體積體電路之類比電路之電阻體的剖面圖。

如圖11所示，於Si基板300上形成有用以隔離元件的絕緣膜301，在該絕緣膜301上形成有含高濃度雜質的多晶矽電阻體302。形成有在為覆蓋多晶矽電阻體302而形成的層間

絕緣膜303上有開口、且以W膜埋入與多晶矽電阻體302的上面連通之接觸孔而形成的接觸304。在層間絕緣膜303上形成有介以接觸304與多晶矽電阻體302連接的第2佈線305(以上，例如參考專利文獻1~3)。

專利文獻1 特開昭62-42553

專利文獻2 特開平01-223757

專利文獻3 特開2001-203329

為形成上述圖9所示的MIM型電容元件，執行以下工序即可。形成由構成半導體積體電路之上層的第1導電膜101形成的電容下方電極101a及由第1導電膜101形成的第1佈線101b的工序；形成由構成半導體積體電路之上層的第2導電膜104形成的電容上方電極104a及由第2導電膜104形成之第2佈線104b的工序；再加上形成為在層間絕緣膜102上形成電容元件而開之開口部102a的工序，和沉積電容絕緣膜103的工序。於此情形，由所述圖9可知，由第1佈線101b上之第2導電膜104形成的接觸102c及由第2導電膜104形成的第1佈線104b，係於開口部102a及層間絕緣膜102上沉積電容絕緣膜103以後，再形成接觸孔102b。接著，在接觸孔102b及電容絕緣膜103上沉積第2佈線層104以後，再圖案化該第2佈線層104，而在第1佈線101b上介以接觸102c形成第2佈線104b。

正因為如此，若在含有接觸孔102b之元件圖案係微細化之情形，進行藉由以W膜埋入接觸孔102b並將其平坦化而形成接觸102c的工序，一是，開口面積較大的開口部102a

中不能埋入充分多的W膜，二是，若為對埋至接觸孔102b的W膜平坦化而進行CMP(化學機械研磨)法或者回蝕法(etch back method)，開口面積較大的開口部102a中便不能埋入充分多的W膜。

因此，近年來之平坦化工序，一般皆係於形成結構如圖10所示之MIM型電容元件時使用。然而，為形成結構如此之MIM型電容元件，係有必要進行，沉積電容絕緣膜202的工序、沉積構成電容上方電極203之金屬層的工序及圖案化該金屬層而形成電容上方電極203的工序。而且，因為於圖案化電容絕緣膜202及電容上方電極203以後，圖案化作為電容下方電極之第1佈線201，故若考慮如電容上方電極203之膜厚大的台階(step)，圖案化作為電容下方電極之第1佈線201時所用之光阻膜的膜厚便受限制。而且，因為層間絕緣膜204中之電容上方電極203之上側部份的膜厚與層間絕緣膜204中的第1佈線201上側部份的膜厚不同，形成於第1佈線201上的接觸205b和第2佈線206b的接觸電阻的可靠性會惡化。

另外，因為圖11所示的電阻，係由例如在形成閘電極的工序中所用的多晶矽膜形成者，所以電阻值會在為構成類比電路所必要的值以上，同時電阻值的偏差也大。因此，在電阻和電路直接連接的構造或者多層佈線構造的器件中，因為在不得不使從電路至電阻的佈線長度長一些之情形寄生電阻變大，所以寄生電阻對電阻值的影響便成了問題。

【發明內容】

本發明正是為解決上述問題而開發研究者，其目的係在於：在擁有微細元件的高積體半導體裝置中，提供一種包括能夠用較少的工序形成之MIM型電容元件和電阻值的偏差或者寄生電阻較少之電阻體的半導體裝置及其製造方法。

為達到上述目的，本發明的第一種半導體裝置，其係包括：佈線，其由於形成於基板上的絕緣膜上按自下往上之順序疊層的第1導電膜及第2導電膜形成；以及電容元件，其係包括由第1導電膜形成之電容下方電極、形成於電容下方電極上之電容絕緣膜、以及形成於電容絕緣膜上由第2導電膜形成之電容上方電極。

根據本發明的第一種半導體裝置，因為構成電容元件的電容上方電極，係利用構成佈線的第1導電膜及第2導電膜形成者，所以不必如習知般，以與構成佈線之膜不同的新膜來形成電容上方電極。因此，在擁有微細元件的高積體半導體裝置中，能夠減少相當於電容上方電極之膜厚大的台階，並能用較少的工序形成電容元件。

本發明的第二種半導體裝置，其係包括：佈線，其由於形成於基板上的絕緣膜上按自下往上之順序疊層的第1導電膜及第2導電膜形成；電容元件，其係包括由第1導電膜形成之電容下方電極、形成於電容下方電極上之電容絕緣膜、以及形成於電容絕緣膜上由第2導電膜形成之電容上方電極；以及中繼電極，其係由第1導電膜及第2導電膜形成，

並藉由第1導電膜與電容下方電極連接，進行電中繼。

根據本發明的第二種半導體裝置，因為構成電容元件的電容上方電極，係利用構成佈線的第1導電膜及第2導電膜形成者，所以不必如習知般，以與構成佈線之膜不同的新膜來形成電容上方電極。因此，在擁有微細元件的高積體半導體裝置中，能夠減少相當於電容上方電極之膜厚大的台階，並能用較少的工序形成電容元件。而且，利用構成電容下方電極之第1導電膜作為電容下方電極用佈線以後，與習知例般分別形成佈線和接觸而與電容下方電極連接的方法相比，可使佈線的長度短一些，並可抑制寄生電阻。

本發明的第三種半導體裝置，其係包括：佈線，其係由於形成於基板上的絕緣膜上按自下往上之順序疊層的第1導電膜及第2導電膜形成；及電阻體，其係由形成於絕緣膜上的第1導電膜形成。

根據本發明的第三種半導體裝置，因為電阻體係利用構成佈線的第1導電膜形成者，所以與習知電阻體相比，可使電阻值的值小一些，並且，於串聯電阻於積體電路的內部佈線上之情形，也可避免發生作為朝向內部的佈線的寄生電阻對積體電路之特性造成不良影響之事態。

本發明的第四種半導體裝置，其係包括：佈線，其由於形成於基板上的絕緣膜上按自下往上之順序疊層的第1導電膜及第2導電膜形成；以及電容元件，其係包括由第1導電膜形成之電容下方電極、形成於電容下方電極上之電容

絕緣膜、以及形成於電容絕緣膜上由第2導電膜形成之電容上方電極；以及電阻體，其由形成於絕緣膜上的第1導電膜形成。

根據本發明的第四種半導體裝置，因為構成電容元件的電容上方電極，係利用構成佈線的第1導電膜及第2導電膜形成者，所以不必如習知般，以與構成佈線之膜不同的新膜來形成電容上方電極。因此，在擁有微細元件的高積體半導體裝置中，能夠減少相當於電容上方電極之膜厚大的台階，並能用較少的工序形成電容元件。而且，利用構成電容下方電極之第1導電膜作為電容下方電極用佈線以後，與習知例般分別形成佈線和接觸而與電容下方電極連接的方法相比，可使佈線的長度短一些，並可抑制寄生電阻。而且，因為電阻體係利用構成佈線的第1導電膜形成者，所以與習知電阻體相比，可使電阻值的值小一些，並且，於串聯電阻於積體電路的內部佈線上之情形，也可避免發生作為朝向內部的佈線的寄生電阻對積體電路之特性造成不良影響之事態。

在本發明的半導體裝置中，在第1導電膜由金屬氮化物形成之情形，能夠獲得所希望的表面電阻。

在本發明的半導體裝置中，第2導電膜的材料為佈線的主要材料即鋁合金。

本發明的第一種半導體裝置的製造方法，其係包括：於形成於基板上的絕緣膜上依次沉積第1導電膜和電容絕緣膜的工序；對電容絕緣膜有選擇地進行蝕刻而使電容絕緣

膜殘留於形成電容元件之第1區域的工序；在第1導電膜上沉積為覆蓋電容絕緣膜的第2導電膜的工序；以及對第1導電膜及第2導電膜有選擇地進行蝕刻，而在與第1區域不同之第2區域形成由第1導電膜及第2導電膜形成的佈線，並在第1區域形成包括由第1導電膜形成之電容下方電極、電容絕緣膜及由第2導電膜形成的電容上方電極的電容元件的工序。

根據本發明的第一種半導體裝置的製造方法，因為構成電容元件的電容上方電極，係利用構成佈線的第1導電膜及第2導電膜形成者，所以不必如習知般，以與構成佈線之膜不同的新膜來形成電容上方電極。因此，在擁有微細元件的高積體半導體裝置中，能夠減少相當於電容上方電極之膜厚大的台階，並能用較少的工序形成電容元件。

本發明的第二種半導體裝置的製造方法，其係包括：於形成於基板上的絕緣膜上依次沉積第1導電膜和電容絕緣膜的工序；對電容絕緣膜有選擇地進行蝕刻而使電容絕緣膜殘留於形成電容元件和構成電容元件的電容下方電極用佈線的第3區域的工序；在第1導電膜上沉積為覆蓋電容絕緣膜的第2導電膜的工序；以及對第1導電膜及第2導電膜有選擇地進行蝕刻，而在與第3區域不同的第4區域形成由第1導電膜及第2導電膜形成的佈線，並在第3區域形成包括由第1導電膜形成的電容下方電極、電容絕緣膜及由第2導電膜形成的電容上方電極的電容元件及電容下方電極用佈線的工序。

根據本發明的第二種半導體裝置的製造方法，因為構成電容元件的電容上方電極，係利用構成佈線的第1導電膜及第2導電膜形成者，所以不必如習知般，以與構成佈線之膜不同的新膜來形成電容上方電極。因此，在擁有微細元件的高積體半導體裝置中，能夠減少相當於電容上方電極之膜厚大的台階，並能用較少的工序形成電容元件。而且，利用構成電容下方電極之第1導電膜作為電容下方電極用佈線以後，與習知例般分別形成佈線和接觸而與電容下方電極連接的方法相比，可使佈線的長度短一些，並可抑制寄生電阻。

本發明的第三種半導體裝置的製造方法，其係包括：於形成於基板上的第1絕緣膜上依次沉積第1導電膜和第2絕緣膜的工序；對第2絕緣膜有選擇地進行蝕刻而使第2絕緣膜殘留在形成電阻體的第5區域的工序；在第1導電膜上形成為覆蓋第2絕緣膜的第2導電膜的工序；以及用第2絕緣膜作為掩模的一部份而對第1導電膜及第2導電膜有選擇地進行蝕刻，而在與第5區域不同的第6區域形成由第1導電膜及第2導電膜形成的佈線，並在第5區域形成由第1導電膜形成的電阻體的工序。

根據本發明的第三種半導體裝置的製造方法，因為電阻體係利用構成佈線的第1導電膜形成者，所以與習知電阻體相比，可使電阻值的值小一些，並且，於串聯電阻於積體電路的內部佈線上之情形，也可避免發生作為朝向內部的佈線的寄生電阻對積體電路之特性造成不良影響之事態。

而且，因為第2絕緣膜成為蝕刻時之掩模的一部份，所以能夠獲得所希望的電阻體。

在本發明的半導體裝置的製造方法中，於第1導電由金屬氮化物形成之情形，能夠獲得所希望的表面電阻。

在本發明的半導體裝置的製造方法中，第2導電膜的材料為佈線的主要材料即鋁合金。

【實施方式】

下面，參考附圖，說明本發明的每一實施形態。

(第一實施形態)

圖1為本發明的第一實施形態所關係之半導體裝置的剖面圖，顯示MIM型電容元件和一般的佈線部份。

如圖1所示，於形成於半導體基板1上的絕緣膜2上形成由相同之膜層構成的第1佈線3a及3b。形成有為覆蓋該第1佈線3a及3b而表面平坦化之第1層間絕緣膜4，在該第1層間絕緣膜4上形成有埋入W膜而形成之接觸5a、5b及5c。在第1層間絕緣膜4及接觸5a上，形成有包括：由阻擋金屬膜6(第1導電膜)形成之電容下方電極、由SiO₂膜7形成之電容絕緣膜、以及依次疊層AlCu膜8(第2導電膜)及TiN膜9而形成之電容上方電極的MIM型電容元件10a。

在第1層間絕緣膜4上，形成藉由依次疊層阻擋金屬膜6、AlCu膜8及TiN膜9而形成之對電氣做貢獻的第2佈線10b及10c。需提一下，接觸5a係連接第1佈線3a和MIM型電容元件10a；接觸5b係連接第1佈線3a和第2佈線10b；接觸5c係連接第1佈線3b和第2佈線10c。

形成有為覆蓋MIM型電容元件10a、第2佈線10b及10c而表面平坦化之第2層間絕緣膜11，在該第2層間絕緣膜11上形成埋入W膜而形成之接觸12a及12b。在第2層間絕緣膜11上形成藉由接觸12a與MIM型電容元件10a連接的第3佈線13a。尚於第2層間絕緣膜11上形成藉由接觸12b與第2佈線10b連接的第3佈線13b。

如上所述，根據本實施形態，因為MIM型電容元件10a的電容上方電極，係利用在晶片內部的積體電路中由第2層間絕緣膜11覆蓋之層內所用之佈線層而形成者，故不必象圖10所示之習知例一樣，以與構成佈線之膜不同的新膜形成電容上方電極。因此，在擁有微細元件的高積體半導體裝置中，能夠減少相當於電容上方電極之膜厚大的台階，同時可用較少的工序形成MIM型電容元件。

(第二實施形態)

圖2為本發明的第二實施形態所關係之半導體裝置的剖面圖。顯示MIM型電容元件及其附近之一般的佈線部份。需提一下，圖2中，省略了對圖1所示般之半導體基板、形成於該半導體基板上的絕緣膜及形成於該絕緣膜上的第1佈線之圖示。

如圖2所示，形成有為覆蓋形成於絕緣膜上的佈線(未示)而表面平坦化之第1層間絕緣膜21。在該第1層間絕緣膜21上，係形成有包括由阻擋金屬膜22(第1導電膜)形成之電容下方電極、由SiO₂膜23形成之電容絕緣膜、以及依次疊層AlCu膜24(第2導電膜)及TiN膜25而形成之電容上方電極的

MIM型電容元件26a；在第1層間絕緣膜21上形成有藉由依次疊層阻擋金屬膜22、AlCu膜24及TiN膜25而形成、電氣上起中繼作用的中繼電極26b；在第1層間絕緣膜21上形成有依次疊層阻擋金屬膜22、AlCu膜24及TiN膜25而形成之對電特性做貢獻的第2佈線26c。

如圖2所示，作為MIM型電容元件26a之電容下方電極的阻擋金屬膜22、與作為疊層中繼電極26b之下層的阻擋金屬膜22係連著者。需提一下，稱MIM型電容元件26a和中繼電極26b間之那一部份阻擋金屬膜22為電容下方電極用佈線22a。

在第1層間絕緣膜21上，形成為覆蓋MIM型電容元件26a、中繼電極26b、第2佈線26c及電容下方電極用佈線22a而表面平坦化之第2層間絕緣膜27。在該第2層間絕緣膜27上形成有與MIM型電容元件26a連接且由W膜形成的接觸28a、和與中繼電極26b連接且由W膜形成的接觸28b。在第2層間絕緣膜27上形成有由相同之導電膜形成的第3佈線29a及第3佈線29b。第3佈線29a係藉由接觸28a與MIM型電容元件26a連接，第3佈線29b係藉由接觸28b與中繼電極26b連接。

如此一來，構成MIM型電容元件26a之電容下方電極及電容上方電極，便與第一實施形態一樣，係利用晶片內部的積體電路中由第2層間絕緣膜27覆蓋之層內所用之佈線層而形成者，故不需要用和構成佈線之膜不同的新膜形成電容上方電極。而且，在第一實施形態中，給MIM型電容元

件的電容上方電極的電壓，係自第3佈線供來，同時給電容下方電極的電壓，係從第1佈線供來。而在本實施形態中，給MIM型電容元件26a的電容上方電極及電容下方電極的電壓，皆可從由第3導電膜29形成之第3佈線29a及29b施來。需提一下，與本實施形態相比，相對MIM型電容元件和電壓施加佈線層所佔的面積而言，第一實施形態係有利者。

另外，在本實施形態的半導體裝置的結構中，若設阻擋金屬膜22為由TiN和Ti構成之疊層結構，且每一層的膜厚皆相等為20nm，則阻擋金屬膜22的表面電阻(sheet resistance)便成為 $30\Omega/\square$ ，所以阻擋金屬膜22具有用於電容下方電極用佈線22a而充分低的電阻。

如上所述，根據本實施形態，以構成電容下方電極及電容下方電極用佈線22a之阻擋金屬膜22作電容下方電極用佈線22a用之方法，與習知例(圖10)般分別形成佈線和接觸並連接在電容下方電極上的方法相比，既可使佈線的長度短一些，又可抑制寄生電阻。而且，和第一實施形態一樣，在擁有微細元件的高積體半導體裝置中，既可減小相當於電容上方電極的膜厚的台階，又可用較少的工序形成MIM型電容元件。

(第三實施形態)

圖3為本發明的第三實施形態所關係之半導體裝置的剖面圖，示出了電阻部份。

如圖3所示，於形成於半導體基板30上的絕緣膜31上形成

第1佈線32。在絕緣膜31上形成為覆蓋該第1佈線32而表面平坦化之第1層間絕緣膜33，在該第1層間絕緣膜33上形成埋入W膜而形成的接觸34。

在第1層間絕緣膜33及接觸34上，形成有由阻擋金屬膜35(第1導電膜)形成的電阻體35a；在電阻體35a的左右兩端部，形成藉由依次疊層阻擋金屬膜35、AlCu膜36(第2導電膜)及TiN膜37而形成的電阻用電極35b及35c。需提一下，係由電阻體35a、電阻用電極35b及35c構成電阻元件。在第1層間絕緣膜33上，係形成為覆蓋電阻體35a、電阻用電極35b及35c而表面平坦化之第2層間絕緣膜38。在第2層間絕緣膜38上形成埋入W膜而形成之接觸38a。在第2層間絕緣膜38上形成第3佈線39。

電阻用電極35b及35c，係利用晶片內部的積體電路中由第2層間絕緣膜38覆蓋之層內所用之佈線層而形成的，故能夠在形成佈線的同時形成之。另外，電阻體35，係利用構成由第2層間絕緣膜38覆蓋之層內所用之佈線層的阻擋金屬膜35而形成者。接觸34，係電連接第1佈線32和電阻用電極35b；接觸38a，係電連接第3佈線39和電阻用電極35c。

在本實施形態的半導體裝置的結構中，若設阻擋金屬膜35為由TiN和Ti構成的疊層結構，且每一個層的膜厚皆相等為20nm，則由阻擋金屬膜35構成之電阻體35a的表面電阻就成為 $30\Omega/\square$ ，而獲得了較低的值。

如上所述，根據本實施形態，因為類比電路用電阻體35a，係利用構成晶片內部的積體電路中由第2層間絕緣膜

38覆蓋之層內所用之佈線層的阻擋金屬膜35而形成者，所以與習知例般由多晶矽膜形成的電阻體相比，可使電阻值的值低一些，同時於串聯電阻於積體電路的內部佈線上之情形，也可避免發生作為朝向內部的佈線的寄生電阻對積體電路之特性造成不良影響之事態。而且，因為係利用由高熔點金屬或者將高熔點金屬硝化之金屬化合物制成的阻擋金屬膜35作電阻體35a用，所以電阻體和習知例中由多晶矽膜形成的電阻體不同，電阻值的偏差能夠降低。

(第四實施形態)

圖4為本發明的第四實施形態所關係之半導體裝置的剖面圖。係顯示於同時形成其結構與圖2中所示之結構一樣的MIM型電容元件和結構和圖3中所示之結構一樣的電阻體之情形，半導體裝置的剖面圖。

如圖4所示，於形成於半導體基板41上的絕緣膜42上形成第1佈線43。在絕緣膜42上形成為覆蓋該第1佈線43而表面平坦化之第1層間絕緣膜44，在該第1層間絕緣膜44上形成埋入W膜而形成之接觸45。和第二實施形態一樣，在第1層間絕緣膜44及接觸45上形成有用和圖2所示之所對應的各部份一樣的膜層形成的MIM型電容元件46a、電容下方電極用佈線46b、中繼電極46c及第2佈線46d。而且，和第三實施形態一樣，在第1層間絕緣膜44及接觸45上，形成有以與圖3所示之所對應的各部份一樣的膜層形成的電阻體46e、電阻用電極46f及46g。

需提一下，和第二及第三實施形態一樣，形成有為覆蓋

MIM型電容元件46a、電容下方電極佈線46b、電阻體46e、中繼電極46c、第2佈線46d及電阻用電極46f及46g而表面平坦化之第2層間絕緣膜47；在該第2層間絕緣膜47形成有埋入W膜後而形成的接觸48a~48c。而且，在第2層間絕緣膜47及接觸48a~48c上形成有第3佈線49a~49c。

如上所述，根據本實施形態，因為MIM型電容元件46a、電容下方電極用佈線46b、電阻體46e、中繼電極46c、第2佈線46d、電阻用電極46f及46g，係利用構成在晶片內部的積體電路中由第2層間絕緣膜47覆蓋之層內所用之佈線層的膜形成者，所以能夠收到第二實施形態及第三實施形態這兩實施形態的效果。而且，在該實施形態中，MIM型電容元件46a、電阻體46e，係利用構成品片內部的積體電路中由第2層間絕緣膜47覆蓋之層內所用之佈線層的膜而形成者。不僅如此，尚可利用構成不同的佈線層(例如第1佈線43或者第3佈線49a~49c等佈線層)的膜來形成MIM型電容元件46a、電阻體46e。另外，在該實施形態的半導體裝置的結構中，若使用膜厚30nm的TiN膜作阻擋金屬膜22，則由阻擋金屬膜22構成的電阻體46e、電容下方電極佈線46b的表面電阻便成為 $40\Omega/\square$ ，所以既能使電阻值小一些，又能抑制電阻值的偏差。

(第五實施形態)

圖5(a)~圖5(c)、圖6(a)~圖6(c)為顯示本發明的第五實施形態所關係之半導體裝置的製造方法的剖面圖。特別係顯示包括圖1所示之MIM型電容元件的半導體裝置的製造方

法。

首先，如圖 5(a)所示，於形成於半導體基板 51 上的絕緣膜 52 上形成第 1 佈線 53 之後，再形成為覆蓋該第 1 佈線 53 而表面平坦化之第 1 層間絕緣膜 54。接著，在該第 1 層間絕緣膜 54 上形成與第 1 佈線 53 之上面連通的接觸孔以後，再將 W 膜埋入該接觸孔中而形成接觸 55a 及 55b。然後，再利用濺射法，在第 1 層間絕緣膜 54、接觸 55a 及 55b 上沉積膜厚 30 nm 的 TiN 膜作阻擋金屬膜 56 (第 1 導電膜)。接著，在 370°C 且由矽烷 (monosilance) 及 N₂O 氣體構成的氣氛下利用 CVD 法在阻擋金屬膜 56 上沉積膜厚 50 nm 的 SiO₂ 膜 57 (電容絕緣膜)。

接著，如圖 5(b)所示，在 SiO₂ 膜 57 上且形成有 MIM 型電容元件的區域 (第 1 區域) 上形成光阻圖案 58 以後，再以光阻圖案 58 為掩模 (mask) 利用 CF₄ 和 CHF₃ 的混合氣體有選擇地乾蝕刻 SiO₂ 膜 57。

接著，如圖 5(c)所示，利用去灰 (ashing) 及洗淨技術除去光阻圖案 58 以後，再利用濺射法在阻擋金屬膜 56 及 SiO₂ 膜 57 上沉積膜厚 450 nm 的 AlCu 膜 59 (第 2 導電膜)。之後，再在 AlCu 膜 59 上沉積膜厚 30 nm 的 TiN 膜 60。

接著，如圖 6(a)所示，在 TiN 膜 60 上且形成佈線的區域 (第 2 區域)、和在 TiN 膜 60 上且形成有 MIM 型電容元件的區域且下方存在著 SiO₂ 膜 57 的區域上，形成光阻圖案 61。

接著，如圖 6(b)所示，以光阻圖案 61 為掩模有選擇地乾蝕刻 TiN 膜 60、AlCu 膜 59、SiO₂ 膜 57 及阻擋金屬膜 (TiN 膜) 56，形成 MIM 型電容元件 62a 及第 2 佈線 62b。

接著，如圖 6(c)所示，在第 1 層間絕緣膜 54 上形成為覆蓋 MIM 型電容元件 62a、第 2 佈線 62b 而表面平坦化之第 2 層間絕緣膜 63。接著，在第 2 層間絕緣膜 63 上形成接觸孔之後，再將 W 膜埋入該接觸孔而形成接觸 64a 及 64b。之後，再在第 2 層間絕緣膜 63 及接觸 64a 及 64b 上形成第 3 佈線 65a 及 65b。

構成如此製造之 MIM 型電容元件 62a 的電容下方電極，係由阻擋金屬膜 (TiN 膜) 56 形成；電容上方電極，係由 AlCu 膜 59、TiN 膜 60 的疊層膜形成。而且，電容下方電極，係藉由接觸 55a 接在第 1 佈線 53 上；電容上方電極，係藉由接觸 64a 接在第 3 佈線 65a 上。因此，可施加電壓至電容上方電極及電容下方電極。

如上所述，根據本實施形態，係利用製造晶片內部的積體電路中由第 2 層間絕緣膜 63 覆蓋之層內所用之佈線的工序以形成阻擋金屬膜 (TiN 膜) 56、AlCu 膜 59、TiN 膜 60，這是一道工序，在這道工序的基礎上，僅再追加一個形成 SiO₂ 膜 57 作電容絕緣膜的工序，即可形成 MIM 型電容元件 62a。因此，根據本實施形態，在製造如圖 10 所示之習知例中之 MIM 型電容元件之情形，無需另外追加形成電容上方電極的工序。結果是，既能夠減少製造對應於需要以 W 膜埋入接觸孔而形成接觸之高密度微細元件的半導體裝置的工序數，又能降低生產成本。

(第六實施形態)

圖 7(a)~圖 7(c)及圖 8(a)~圖 8(b)為顯示本發明的第六實施

形態所關係之半導體裝置的製造工序的剖面圖，為顯示製造圖4所示之半導體裝置之方法的剖面圖。

首先，如圖7(a)所示，於形成於半導體基板71上的絕緣膜72(第1絕緣膜)上形成第1佈線73。接著，再在絕緣膜72上形成為覆蓋該第1佈線73而表面平坦化之第1層間絕緣膜74。接著，在該第1層間絕緣膜74上形成與第1佈線73之上面連通的接觸孔以後，再將W膜埋入該接觸孔中而形成接觸75。接著，再利用濺射法，在第1層間絕緣膜74、接觸75上沉積膜厚30 nm的TiN膜作為阻擋金屬膜76(第1導電膜)之後，再在370℃且由矽烷及N₂O氣體構成的氣氛下利用CVD法在阻擋金屬膜76上沉積膜厚50 nm的SiO₂膜77。

接著，如圖7(b)所示，在SiO₂膜77上且至少形成有MIM型電容元件及電容下方電極用佈線的區域(第3區域)、與形成電阻體的區域(第5區域)形成第1光阻圖案78以後，再以第1光阻圖案78為掩模利用CF₄及CHF₃的混合氣體有選擇地乾蝕刻SiO₂膜77(第2絕緣膜)，而使對應於形成有MIM型電容元件、電容下方電極用佈線及電阻體的區域的SiO₂膜77殘留下來。

接著，如圖7(c)所示，利用去灰及洗淨技術除去第1光阻圖案78。接著，再利用濺射法在阻擋金屬膜76及殘留之SiO₂膜77上沉積膜厚450 nm的AlCu膜79(第2導電膜)。之後，再在AlCu膜79上沉積膜厚30 nm的TiN膜80。接著，再在形成第2佈線的區域(含在第4或者第6區域中)、形成MIM型電容元件及電容下方電極用佈線的區域、形成電阻體的區域、

形成中繼電極及電阻用電極的區域(含在第4或者第6區域中)形成第2光阻圖案81。

接著，如圖8(a)所示，利用相對SiO₂膜77之選擇比較高之乾蝕刻技術，以第2光阻圖案81為掩模，對阻擋金屬膜(TiN膜)76、AlCu膜79、SiO₂膜77及TiN膜80進行乾蝕刻。因為這時SiO₂膜77幾乎不被蝕刻，故係形成MIM型電容元件82a之電容下方電極用佈線82b和電阻體82f，並形成MIM型電容元件82a、中繼電極82c、第2佈線82d及電阻用電極82e及82g。

接著，如圖8(b)所示，為覆蓋MIM型電容元件82a、電容下方電極用佈線82b、中繼電極82c、第2佈線82d、電阻體82f及電阻體82f兩端部份之電阻用電極82e及82g，而在第1層間絕緣膜74上形成第2層間絕緣膜83。接著，在該第2層間絕緣膜83上形成接觸孔以後，再藉由以W膜埋入該接觸孔之方法形成與MIM型電容元件82a連接的接觸84、與中繼電極82c連接的接觸84b、與電阻用電極82e連接的接觸84c。接著，係於第2層間絕緣膜83上，形成與接觸孔84連接的第3佈線85a、與接觸孔84b連接的第3佈線85b以及與接觸孔84c連接的第3佈線85c。

如上所述，根據本實施形態，利用製造晶片內部的積體電路中由第2層間絕緣膜83覆蓋之層內所用之佈線的工序來形成阻擋金屬膜(TiN膜)76、AlCu膜79、TiN膜80，這是一道工序，在這道工序的基礎上，僅再追加一個形成SiO₂膜77作電容絕緣膜的工序，即可形成MIM型電容元件82a。

因此，根據本實施形態，在製造圖10所示之習知例之MIM型電容元件之情形，無需另外追加形成電容上方電極的工序。結果是，既能夠減少製造對應於需要以W膜埋入接觸孔而形成接觸之高密度微細元件的半導體裝置的工序數，又能降低生產成本。

在本實施形態中，係說明利用構成由第2層間絕緣膜83覆蓋之層內所用之佈線層的膜來形成MIM型電容元件82a及電阻體82f的方法。但是，可以根據需要，例如如第1佈線73般，利用構成TiN膜／AlCu膜／TiN膜的疊層結構的佈線層的膜形成MIM型電容元件82a，另一方面，還可如利用構成第2佈線82d之膜形成電阻體82f般，利用構成相互不同的佈線層的膜製造MIM型電容元件82a及電阻體82f。這時，可利用與對圖7及圖8所說明之MIM型電容元件部份一樣的製造工序來製造MIM型電容元件82a，還可利用與在圖7及圖8所說明的電阻體部份一樣的製造工序來製造電阻。

需提一下，在上述第一實施形態到第六實施形態中，是用TiN膜或者由TiN膜與Ti膜形成的疊層膜作阻擋金屬膜者，除此以外，因為Ti膜、W膜、Ta膜等高熔點金屬膜、高熔點金屬矽化物膜、高熔點金屬硝化物膜或者高熔點金屬炭化物膜等的電阻率很低，所以很適合作阻擋金屬膜用。於是，可以其之單體膜、或者單體膜和相對於層間絕緣膜而言為密著層的Ti膜等組合以作阻擋金屬膜。除此以外，只要能獲得所希望的表面電阻，使用由何種材料形成的膜形成阻擋金屬膜皆可。另外，以SiO₂膜作了電容絕緣膜或

者第2絕緣膜，除此以外，只要是象SiO膜、SiON膜、SiN膜、氧化鉭或者其之疊層膜等一樣，成為電容絕緣膜或者第2絕緣膜的，使用由任何材料形成的膜皆可。

— 發明的效果 —

綜上所述，根據本發明，因為構成電容元件之電容上方電極，係利用構成佈線的第1導電膜及第2導電膜形成者，所以無需如習知例般，以與構成佈線之膜不同的新膜形成電容上方電極。因此，在擁有微細元件的半導體裝置中，能夠減少相當於電容上方電極的膜厚度之台階，並可用較少的工序形成電容元件。結果是，對降低半導體裝置的製造成本、提高產品合格率及性能等做出很大貢獻。

【圖式簡單說明】

圖1為本發明的第一實施形態所關係之半導體裝置的剖面圖。

圖2為本發明的第二實施形態所關係之半導體裝置的剖面圖。

圖3為本發明的第三實施形態所關係之半導體裝置的剖面圖。

圖4為本發明的第四實施形態所關係之半導體裝置的剖面圖。

圖5(a)~圖5(c)為顯示本發明的第五實施形態所關係之半導體裝置的製造工序的剖面圖。

圖6(a)~圖6(c)為顯示本發明的第五實施形態所關係之半導體裝置的製造工序的剖面圖。

圖 7(a)~圖 7(c)為顯示本發明的第六實施形態所關係之半導體裝置的製造工序的剖面圖。

圖 8(a)~圖 8(b)為顯示本發明的第六實施形態所關係之半導體裝置的製造工序的剖面圖。

圖 9為顯示習知之MIM型電容元件的剖面圖。

圖 10為顯示習知之MIM型電容元件的剖面圖。

圖 11為顯示習知之類比電路用電阻體的剖面圖。

【圖式代表符號說明】

1、30、41、51、71	基板
2、21、31、42、52、72	絕緣膜
3a、3b、32、43、53、73	第1佈線
4、33、44、54、74	第1層間絕緣膜
6、22、35、56、76	阻擋金屬膜(第1導電膜)
7、23、57、77	SiO ₂ 膜(電容絕緣膜)
8、24、36、59、79	AlCu膜(第2導電膜)
9、25、37、60、80	TiN膜
10a、26a、46a、62a、82a	電容元件
10b、10c、26c、46d、62b、82d	第2佈線
11、38、47、63、83	第2層間絕緣膜
5a、5b、5c、12a、12b、28a、 28b、34、48a、48b、48c、55a、 55b、64a、64b、75、84a、84b、84c	接觸

13a、13b、29a、29b、39、49a、	
49b、49c、65a、65b、85a、85b、85c	第3佈線
22a、82b	電容下方電極用佈線
26b、46c、82c	中繼電極
27	層間絕緣膜
35a	電阻體
35b、35c、46f、46g、82e、82g	電阻用電極
58、61、78、81	光阻圖案

伍、中文發明摘要：

本發明旨在提供一種擁有以較少的工序形成之MIM型電容元件、及電阻值的偏差或者寄生電阻較少之電阻體的半導體裝置及其製造方法。

半導體裝置，係備有：於形成於基板上之絕緣膜2上按自下往上之順序疊層的阻擋金屬膜6、AlCu膜8及TiN膜9形成之佈線10b、10c，及包括由阻擋金屬膜6形成之電容下方電極、由形成於電容下方電極上的SiO₂膜7形成之電容絕緣膜、由形成於SiO₂膜7上之AlCu膜8及TiN膜9形成之電容上方電極的電容元件10a。

陸、英文發明摘要：

A semiconductor device is composed of: an interconnect made of a first conductive film and a second conductive film that are stacked in sequence from the interconnect underside on an insulating film formed on a substrate; and a capacitor composed of a lower capacitor electrode made of the first conductive film, a dielectric film formed on the lower capacitor electrode, and an upper capacitor electrode made of the second conductive film and formed on the dielectric film.

拾、申請專利範圍：

1. 一種半導體裝置，其特徵係在於：

備有：

佈線，其由於形成於基板上的絕緣膜上按自下往上之順序疊層的第1導電膜及第2導電膜形成；以及

電容元件，其包括：由所述第1導電膜形成之電容下方電極、形成於所述電容下方電極上之電容絕緣膜、以及形成於所述電容絕緣膜上由所述第2導電膜形成之電容上方電極。

2. 一種半導體裝置，其特徵係在於：

備有：

佈線，其由於形成於基板上的絕緣膜上按自下往上之順序疊層的第1導電膜及第2導電膜形成；

電容元件，其包括：由所述第1導電膜形成之電容下方電極、形成於所述電容下方電極上之電容絕緣膜、以及形成於所述電容絕緣膜上由所述第2導電膜形成之電容上方電極；以及

中繼電極，其由所述第1導電膜及所述第2導電膜形成，並藉由所述第1導電膜與所述電容下方電極連接，進行電中繼。

3. 一種半導體裝置，其特徵係在於：

備有：

佈線，其由於形成於基板上的絕緣膜上按自下往上之順序疊層的第1導電膜及第2導電膜形成；

電阻體，其由形成於所述絕緣膜上之所述第1導電膜形成。

4. 一種半導體裝置，其特徵係在於：

備有：

佈線，其由於形成於基板上的絕緣膜上按自下往上之順序疊層的第1導電膜及第2導電膜形成；

電容元件，其包括：由所述第1導電膜形成之電容下方電極、形成於所述電容下方電極上之電容絕緣膜、以及形成於所述電容絕緣膜上由所述第2導電膜形成之電容上方電極；以及

電阻體，其由形成於所述絕緣膜上的所述第1導電膜形成。

5. 如申請專利範圍1~4中之任一項申請專利範圍所述的半導體裝置，其中：

所述第1導電膜，係由金屬氮化物製成。

6. 如申請專利範圍5所述的半導體裝置，其中：

所述第2導電膜，係由鋁合金製成。

7. 一種半導體裝置的製造方法，其特徵係在於：

備有：

於形成於基板上的絕緣膜上依次沉積第1導電膜和電容絕緣膜的工序；

對所述電容絕緣膜有選擇地進行蝕刻而使所述電容絕緣膜殘留於形成電容元件之第1區域的工序；

在所述第1導電膜上沉積為覆蓋所述電容絕緣膜之第2

導電膜的工序；以及

對所述第1導電膜及所述第2導電膜有選擇地進行蝕刻，而在與所述第1區域不同之第2區域形成由所述第1導電膜及所述第2導電膜形成之佈線，並在所述第1區域形成包括由所述第1導電膜形成之電容下方電極、所述電容絕緣膜及由所述第2導電膜形成之電容上方電極的電容元件的工序。

8. 一種半導體裝置的製造方法，其特徵係在於：

備有：

於形成於基板上的絕緣膜上依次沉積第1導電膜和電容絕緣膜的工序；

對所述電容絕緣膜有選擇地進行蝕刻，而使所述電容絕緣膜殘留在形成電容元件、和構成所述電容元件之電容下方電極用佈線的第3區域的工序；

在所述第1導電膜上沉積為覆蓋所述電容絕緣膜之第2導電膜的工序；以及

對所述第1導電膜及所述第2導電膜有選擇地進行蝕刻，而在與所述第3區域不同的第4區域形成由所述第1導電膜及所述第2導電膜形成的佈線，並在所述第3區域形成包括由所述第1導電膜形成之電容下方電極、所述電容絕緣膜及由所述第2導電膜形成電容上方電極之電容元件及所述電容下方電極用佈線的工序。

9. 一種半導體裝置的製造方法，其特徵係在於：

備有：

於形成於基板上的第1絕緣膜上依次沉積第1導電膜和第2絕緣膜的工序；

對所述第2絕緣膜有選擇地進行蝕刻而使所述第2絕緣膜殘留在形成電阻體之第5區域的工序；

在所述第1導電膜上形成為覆蓋所述第2絕緣膜之第2導電膜的工序；以及

用所述第2絕緣膜作為掩模之一部份而對所述第1導電膜及所述第2導電膜有選擇地進行蝕刻，而在與所述第5區域不同的第6區域形成由所述第1導電膜及所述第2導電膜形成的佈線，並在所述第5區域形成由所述第1導電膜形成之電阻體的工序。

10. 如申請專利範圍7~9中之任一項申請專利範圍所述的半導體裝置的製造方法，其中：

所述第1導電膜，係由金屬氮化物製成。

11. 如申請專利範圍10所述的半導體裝置的製造方法，其中：

所述第2導電膜，係由鋁合金製成。

拾壹、圖式：

圖 1

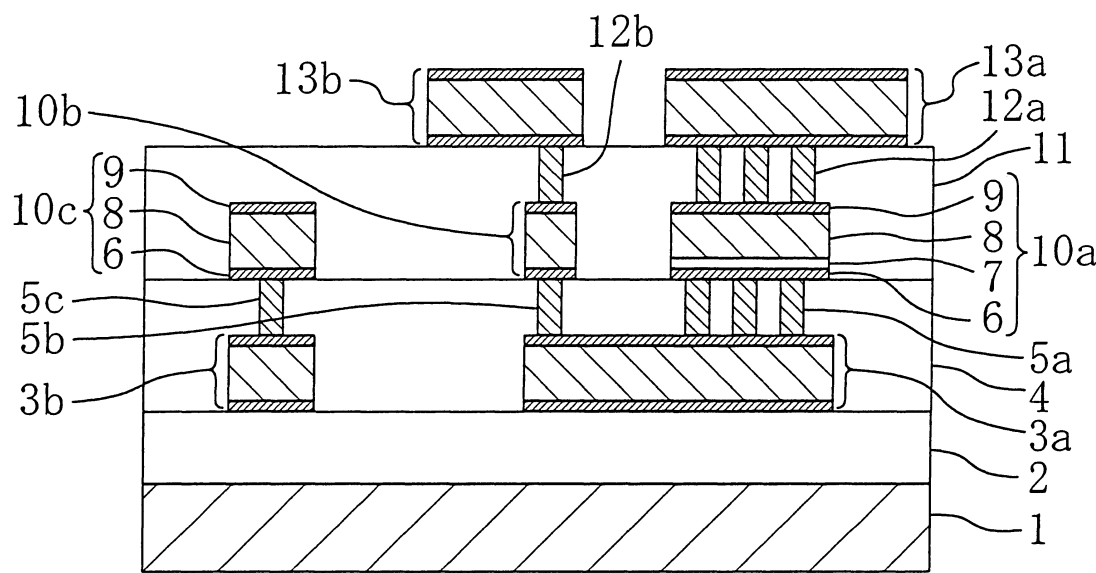


圖 2

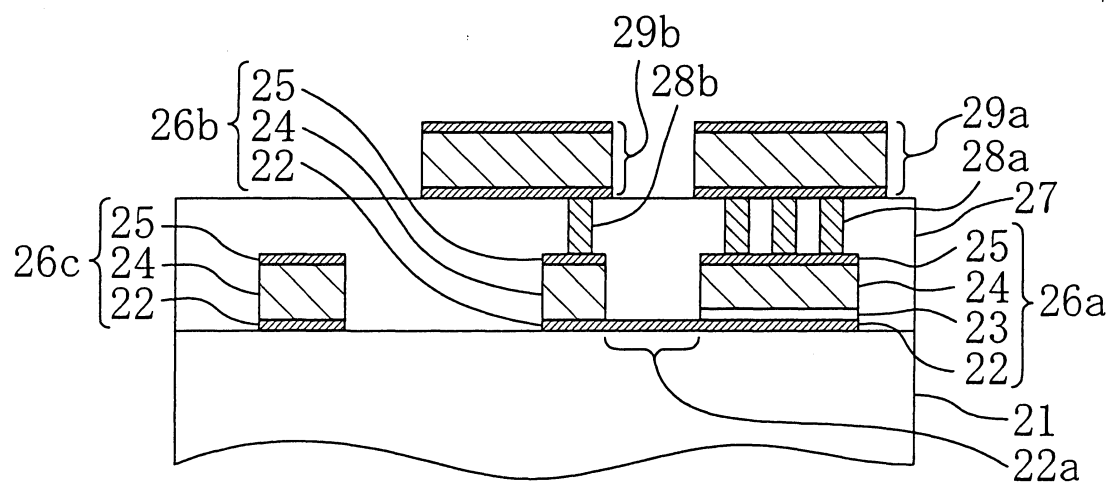


圖 3

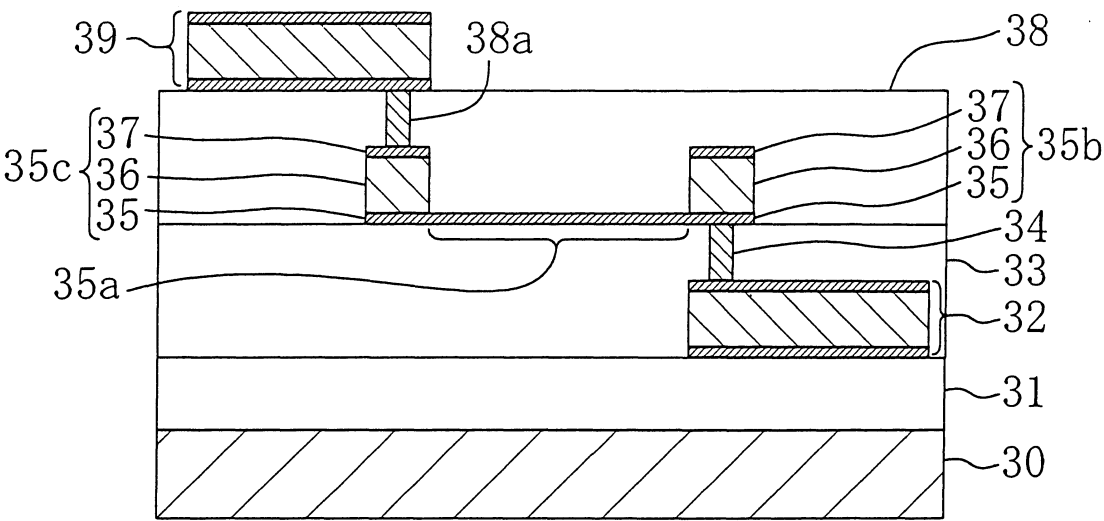


圖 4

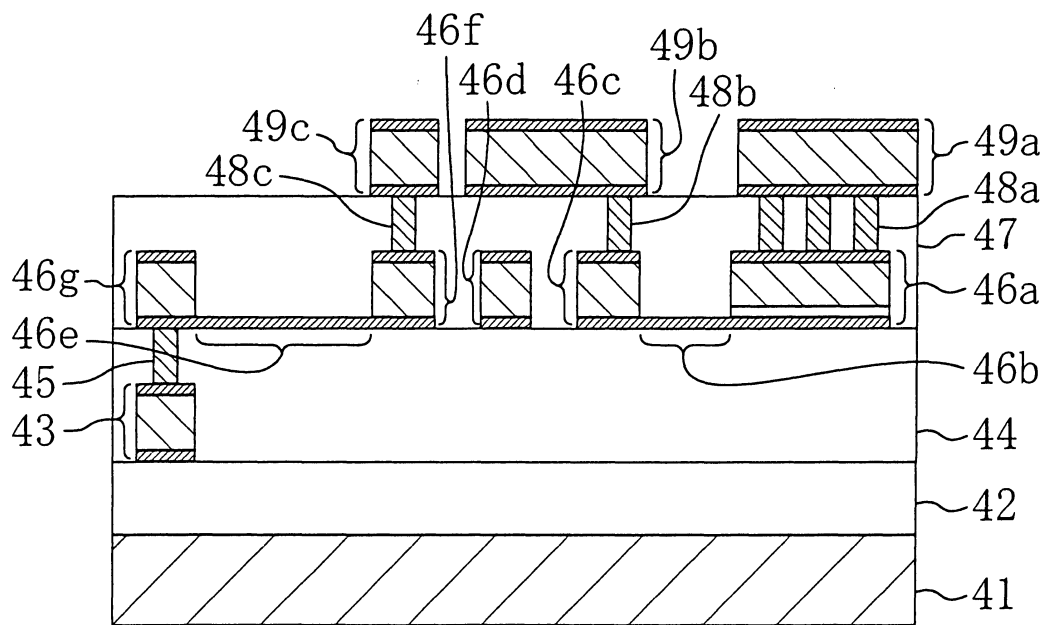


圖5(a)

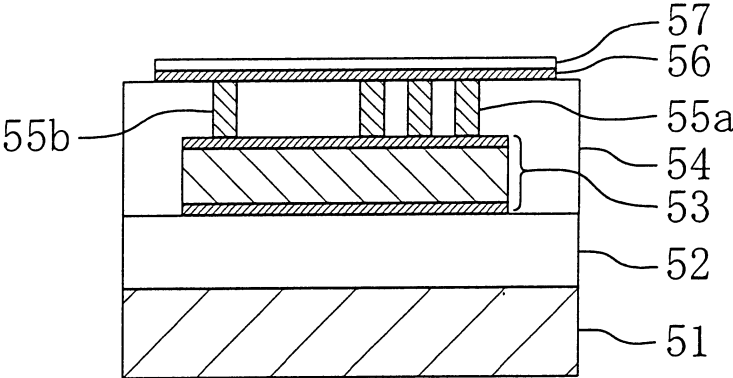


圖5(b)

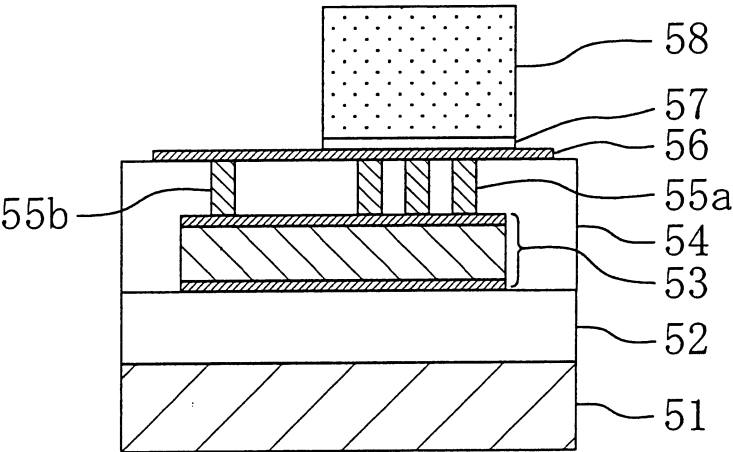


圖5(c)

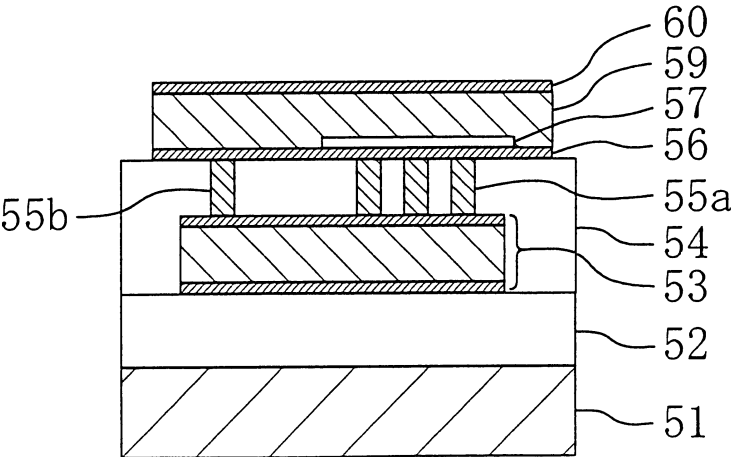


圖6(a)

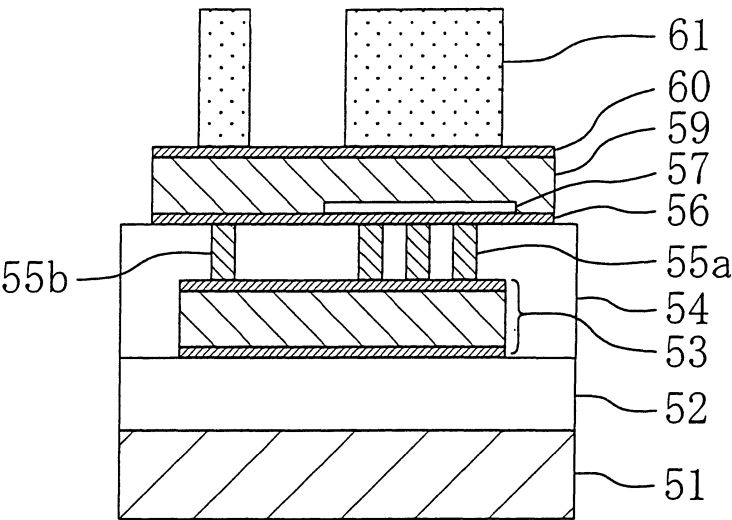


圖6(b)

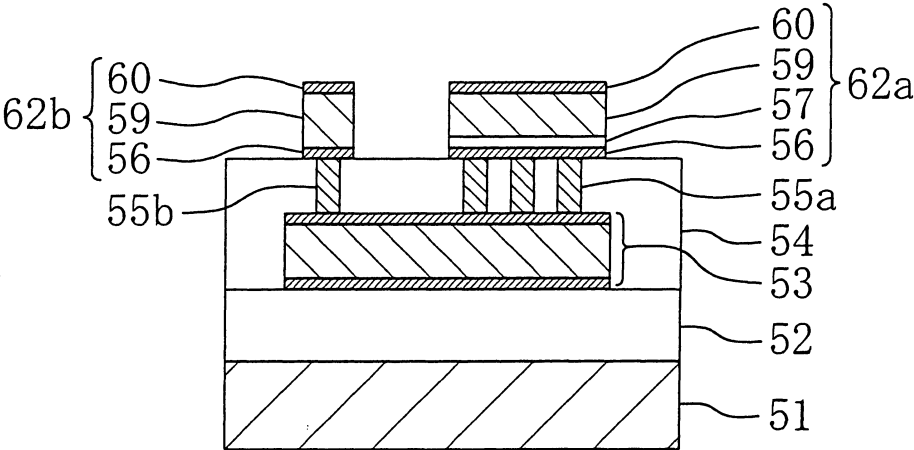


圖6(c)

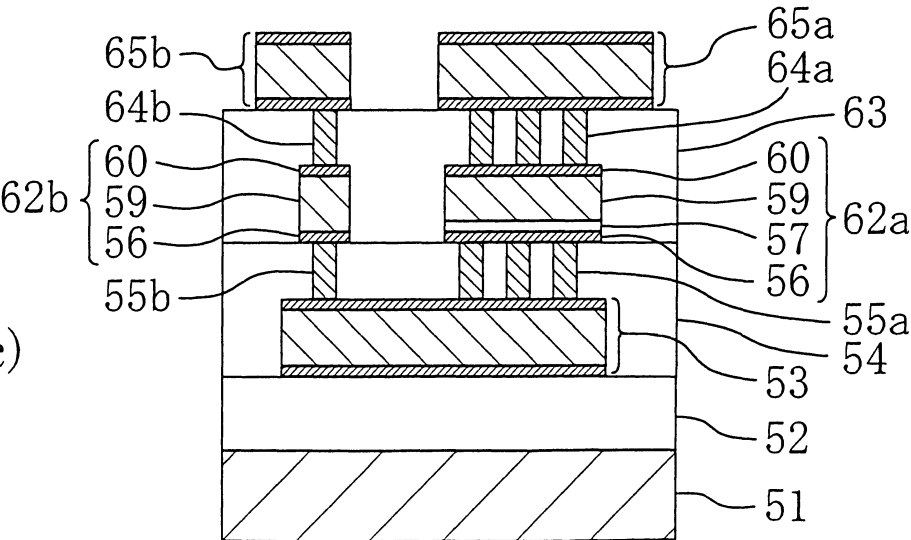


圖7(a)

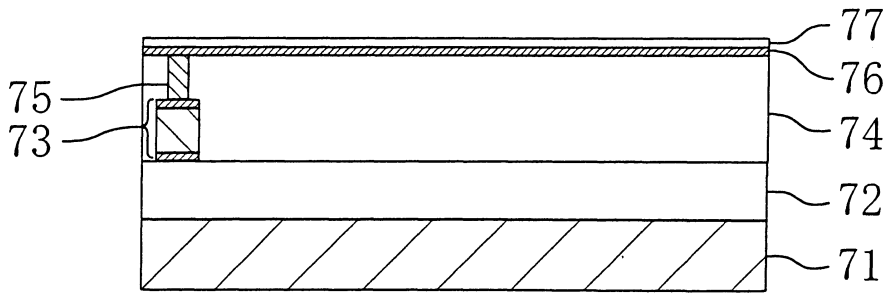


圖7(b)

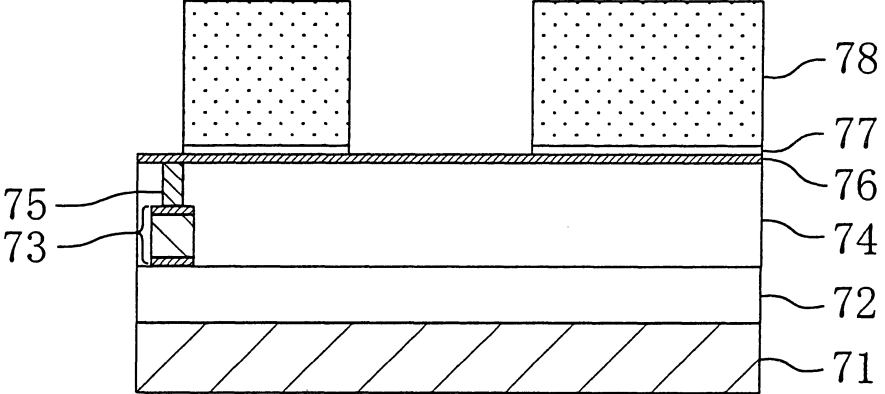


圖7(c)

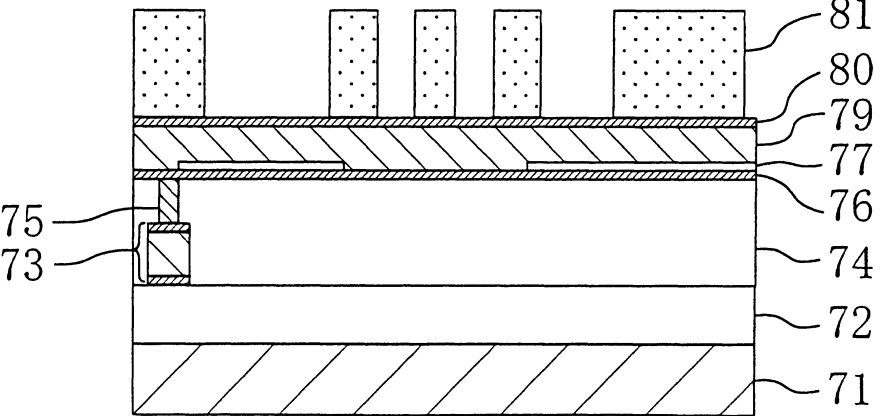


圖8(a)

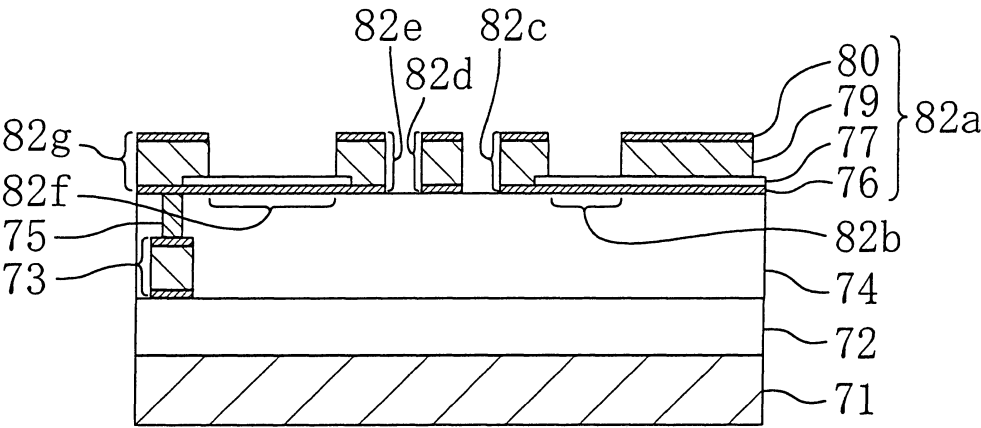


圖8(b)

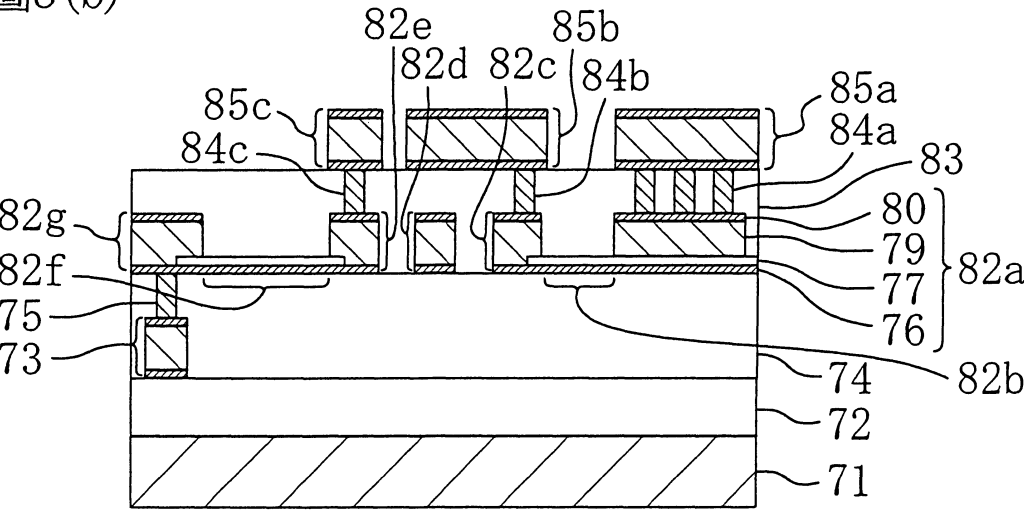


圖 9

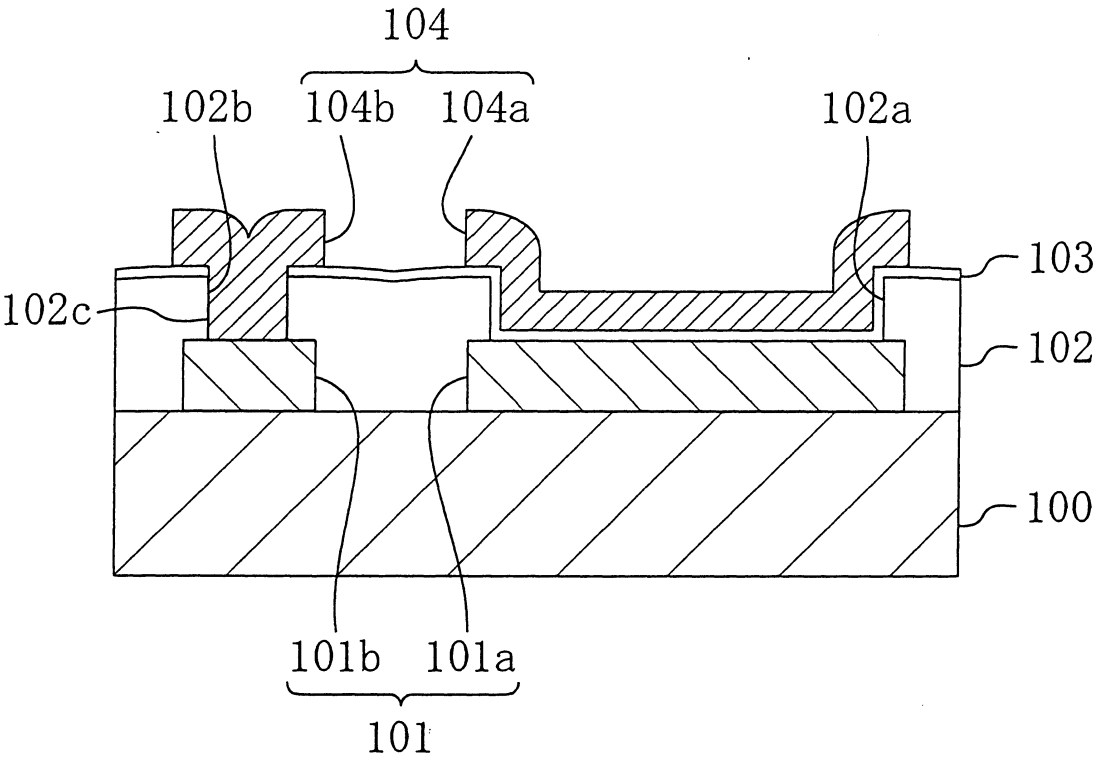


圖 10

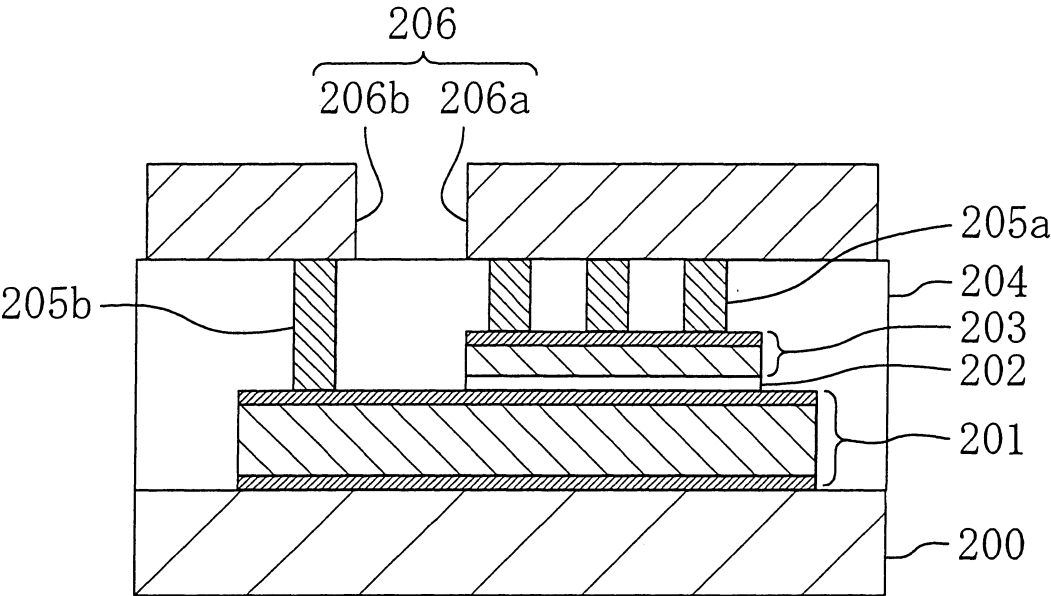
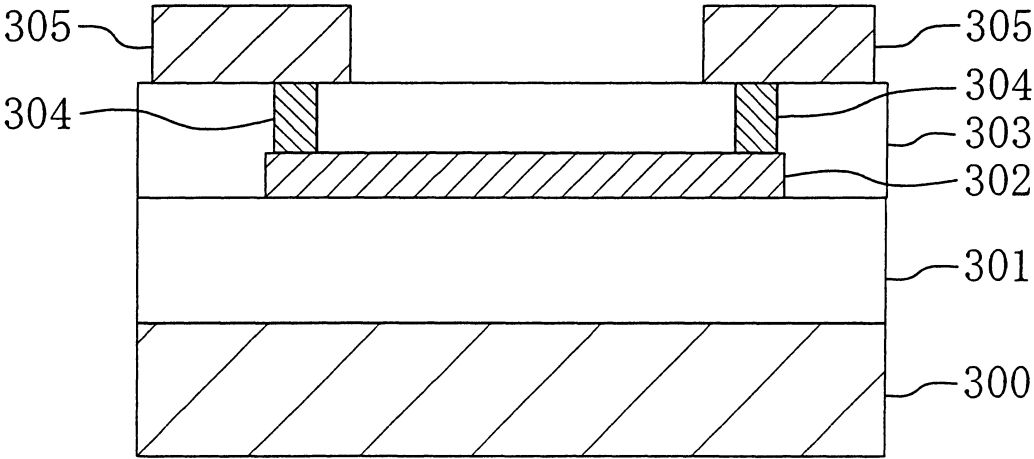


圖 11



柒、指定代表圖：

(一)本案指定代表圖為：第(1)圖。

(二)本代表圖之元件代表符號簡單說明：

2	絕緣膜；
6	阻擋金屬膜；
7	SiO ₂ 膜；
8	AlCu膜；
9	TiN膜；
10a	電容元件；
10b、10c	佈線

捌、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)