

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7616998号
(P7616998)

(45)発行日 令和7年1月17日(2025.1.17)

(24)登録日 令和7年1月8日(2025.1.8)

(51)国際特許分類	F I		
H 1 0 F 39/18 (2025.01)	H 0 1 L	27/146	A
H 1 0 F 39/10 (2025.01)	H 0 1 L	27/144	K
H 0 1 L 21/3205(2006.01)	H 0 1 L	21/88	J
H 0 1 L 21/768(2006.01)			
H 0 1 L 23/522(2006.01)			

請求項の数 28 (全20頁)

(21)出願番号	特願2021-532242(P2021-532242)	(73)特許権者	500049141 ケーエルエー コーポレーション アメリカ合衆国 カリフォルニア ミルピ タス ワン テクノロジー ドライブ
(86)(22)出願日	令和1年12月11日(2019.12.11)	(74)代理人	110001210 弁理士法人Y K I 国際特許事務所
(65)公表番号	特表2022-511102(P2022-511102 A)	(72)発明者	チャン ユン - ホ アレックス アメリカ合衆国 カリフォルニア クパチ ーノ サウス ステリング ロード 1 0 7 3 4
(43)公表日	令和4年1月28日(2022.1.28)	(72)発明者	チェルン ジェン - ウアル ハワード アメリカ合衆国 カリフォルニア モルガ ン ヒル グレープバイン コート 1 6 9 2 1
(86)国際出願番号	PCT/US2019/065575	(72)発明者	フィールデン ジョン
(87)国際公開番号	WO2020/123571		
(87)国際公開日	令和2年6月18日(2020.6.18)		
審査請求日	令和4年12月5日(2022.12.5)		
(31)優先権主張番号	62/778,445		
(32)優先日	平成30年12月12日(2018.12.12)		
(33)優先権主張国・地域又は機関	米国(US)		
(31)優先権主張番号	16/562,396		
(32)優先日	令和1年9月5日(2019.9.5)		

最終頁に続く

最終頁に続く

(54)【発明の名称】 背面照明センサ及びセンサ製造方法

(57)【特許請求の範囲】

【請求項1】

イメージセンサを製造する方法であって、
 基板上に第1エピタキシャル層を形成し、
 前記第1エピタキシャル層の第1表面上に回路素子を形成し、
 前記基板を薄化させることで薄化基板を生成し、但しその薄化基板では前記第1エピタキシャル層の第2表面の少なくとも一部の表面部分を露出させ、前記第2表面は、前記回路素子が配置された前記第1表面に対向する面であり、
 前記第1エピタキシャル層の前記露出した部分上に第2エピタキシャル層を形成し、且つ前記第2エピタキシャル層上に純硼素層を形成する、方法であり、
 前記第2エピタキシャル層を形成する際、前記第2エピタキシャル層のうち第1層部分でのp型ドーパント濃度が前記第2エピタキシャル層のうち後刻形成される第2層部分でのp型ドーパント濃度より低くなるよう、且つ前記純硼素層との界面で前記第2エピタキシャル層が最高p型ドーパント濃度となるよう、前記第2エピタキシャル層の形成中に用いるp型ドーパントの濃度を漸増させることで前記第2エピタキシャル層内にp型ドーパント濃度勾配を発生させ、
前記第2エピタキシャル層のp型ドーパントの濃度は、前記第1エピタキシャル層のp型ドーパントの濃度以上であり、前記第2エピタキシャル層において、前記第1エピタキシャル層との界面から前記純硼素層との界面まで、連続的に又はステップ的に、p型ドーパント濃度が増加し、且つ前記純硼素層との界面で最高濃度を呈する、p型ドーパント濃

度勾配を有する、方法。

【請求項 2】

請求項 1 に記載の方法であって、前記 p 型ドーパントが硼素を含む方法。

【請求項 3】

請求項 1 に記載の方法であって、前記第 2 エピタキシャル層を形成する際、350 以下の温度の硼素元素含有ガスを利用する方法。

【請求項 4】

請求項 3 に記載の方法であって、前記第 2 エピタキシャル層を形成する際、分子ビームエピタキシャル成長を用いその第 2 エピタキシャル層を成長させる方法。

【請求項 5】

請求項 1 に記載の方法であって、更に、前記純硼素層の表面上に抗反射層を堆積させる方法。

【請求項 6】

請求項 1 に記載の方法であって、更に、前記純硼素層の表面上に保護金属層を堆積させる方法。

【請求項 7】

請求項 1 に記載の方法であって、更に、前記基板の薄化に先立ち、前記回路素子の上方にて前記第 1 エピタキシャル層にハンドリングウェハを取り付ける方法。

【請求項 8】

イメージセンサを製造する方法であって、
 基板上に第 1 エピタキシャル層を形成し、
 前記第 1 エピタキシャル層上に回路素子を形成し、
 前記基板を薄化させることで薄化基板を生成し、但しその薄化基板では前記第 1 エピタキシャル層のうち少なくとも表面の一部を露出させ、
 前記第 1 エピタキシャル層の前記露出した部分上に第 2 エピタキシャル層を形成し、且つ
 前記第 2 エピタキシャル層上に純硼素層を形成する方法であり、
 前記第 2 エピタキシャル層を形成する際、前記第 2 エピタキシャル層のうち第 1 層部分での p 型ドーパント濃度が前記第 2 エピタキシャル層のうち後刻形成される第 2 層部分での p 型ドーパント濃度より低くなるよう、且つ前記純硼素層との界面で前記第 2 エピタキシャル層が最高 p 型ドーパント濃度となるよう、前記第 2 エピタキシャル層の形成中に用いる p 型ドーパントの濃度を漸増させることで前記第 2 エピタキシャル層内に p 型ドーパント濃度勾配を発生させ、前記第 2 エピタキシャル層の p 型ドーパントの濃度は、前記第 1 エピタキシャル層の p 型ドーパントの濃度以上であり、前記第 2 エピタキシャル層において、前記第 1 エピタキシャル層との界面から前記純硼素層との界面まで、連続的に又はステップ的に、p 型ドーパント濃度が増加し、且つ前記純硼素層との界面で最高濃度を呈する、p 型ドーパント濃度勾配を有する、方法であって

前記方法がさらに、

前記基板の薄化に先立ち、前記回路素子の上方にて前記第 1 エピタキシャル層にハンドリングウェハを取り付け、

前記基板の薄化に先立ち、前記第 1 エピタキシャル層及び前記ハンドリングウェハのうち少なくとも一方にピアを形成する、方法。

【請求項 9】

請求項 8 に記載の方法であって、更に、前記純硼素層を形成した後、前記ピアを露出させる方法。

【請求項 10】

請求項 1 に記載の方法であって、前記第 2 エピタキシャル層を形成する際、450 以下の温度でのプラズマ加速化学気相堆積プロセスを利用する方法。

【請求項 11】

深紫外 (D UV) 放射、真空紫外 (V UV) 放射、極端紫外 (E UV) 放射及び帯電粒子のうち少なくとも一種類を感知するイメージセンサであって、

10

20

30

40

50

第 1 エピタキシャル層を備え、且つその第 1 エピタキシャル層の第 1 表面上に形成された回路素子及び金属インタコネクトを有する、半導体膜と、

前記第 1 エピタキシャル層を支持し、前記第 1 エピタキシャル層の前記第 1 表面に対向する第 2 表面の少なくとも一部の表面部分を露出させる薄化基板と、

前記第 1 エピタキシャル層の前記第 2 表面の露出した部分上に形成された第 2 エピタキシャル層と、

前記第 2 エピタキシャル層上に形成された純硼素層と、

を備え、前記第 2 エピタキシャル層が、前記第 1 エピタキシャル層の前記第 2 表面との界面で最低 p 型ドーピング濃度を呈し且つ前記純硼素層との界面で最高 p 型ドーピング濃度を呈する p 型ドーパント濃度勾配を有し、前記第 2 エピタキシャル層の p 型ドーパントの濃度は、前記第 1 エピタキシャル層の p 型ドーパントの濃度以上であり、前記第 2 エピタキシャル層において、前記第 1 エピタキシャル層との界面から前記純硼素層との界面まで、連続的に又はステップ的に、p 型ドーパント濃度が増加し、且つ前記純硼素層との界面で最高濃度を呈する、p 型ドーパント濃度勾配を有するイメージセンサ。

10

【請求項 1 2】

請求項 1 1 に記載のイメージセンサであって、前記第 1 エピタキシャル層の厚みが $1.0 \mu\text{m} \sim 4.0 \mu\text{m}$ の範囲内であるイメージセンサ。

【請求項 1 3】

請求項 1 2 に記載のイメージセンサであって、前記純硼素層の厚みが $2 \text{nm} \sim 20 \text{nm}$ の範囲内であるイメージセンサ。

20

【請求項 1 4】

請求項 1 1 に記載のイメージセンサであって、更に、前記純硼素層上に堆積された抗反射被覆を備えるイメージセンサ。

【請求項 1 5】

請求項 1 1 に記載のイメージセンサであって、更に、前記回路素子の上方にて前記第 1 エピタキシャル層に取り付けられたハンドリングウェハを備えるイメージセンサ。

【請求項 1 6】

請求項 1 1 に記載のイメージセンサであって、更に、前記回路素子の上方にて前記第 1 エピタキシャル層上に形成された保護層を備えるイメージセンサ。

【請求項 1 7】

請求項 1 1 に記載のイメージセンサであって、前記 p 型ドーパントが硼素を含むイメージセンサ。

30

【請求項 1 8】

請求項 1 3 に記載のイメージセンサであって、電荷結合デバイス (CCD) 又は CMOS デバイスを構成するイメージセンサ。

【請求項 1 9】

深紫外 (DUV) 輻射、真空紫外 (VUV) 輻射、極端紫外 (EUV) 輻射及び帯電粒子のうち少なくとも一種類を感知するイメージセンサであって、

第 1 エピタキシャル層を備え、且つその第 1 表面上に形成された回路素子並びにそれら回路素子のうち少なくとも 1 個に接続された金属インタコネクトを有する、半導体膜と、

40

前記第 1 エピタキシャル層を支持し、前記第 1 エピタキシャル層の前記第 1 表面に対向する第 2 表面の少なくとも一部の表面部分を露出させる薄化基板と、

前記第 1 エピタキシャル層の前記第 2 表面の露出した部分上に形成された第 2 エピタキシャル層と、

前記第 2 エピタキシャル層上に形成された純硼素層と、

を備え、前記第 2 エピタキシャル層が、前記第 2 エピタキシャル層の第 1 層部分での p 型ドーパント濃度がその第 2 エピタキシャル層の第 2 層部分での p 型ドーパント濃度より低くなるよう、且つ前記純硼素層との界面で p 型ドーパント最高濃度を呈するよう構成された p 型ドーパント濃度勾配を有し、前記第 2 エピタキシャル層の p 型ドーパントの濃度は、前記第 1 エピタキシャル層の p 型ドーパントの濃度以上であり、前記第 2 エピタキシ

50

ヤル層において、前記第 1 エピタキシャル層との界面から前記純硼素層との界面まで、連続的に又はステップ的に、p 型ドーパント濃度が増加し、且つ前記純硼素層との界面で最高濃度を呈する、p 型ドーパント濃度勾配を有し、その第 2 エピタキシャル層が前記第 1 層部分と前記純硼素層との間に配置されているイメージセンサ。

【請求項 2 0】

請求項 1 9 に記載のイメージセンサであって、
前記純硼素層の厚みが 2 nm ~ 2 0 nm の範囲内であり、
前記半導体膜の厚みが 1 0 μm ~ 4 0 μm の範囲内であるイメージセンサ。

【請求項 2 1】

請求項 1 9 に記載のイメージセンサであって、更に、抗反射層及び保護層のうち一方であり前記純硼素層上に配置された層を備え、その純硼素層が 3 nm ~ 1 0 nm 厚であるイメージセンサ。

10

【請求項 2 2】

請求項 1 9 に記載のイメージセンサであって、p 型ドーパントが硼素で構成されるイメージセンサ。

【請求項 2 3】

請求項 8 に記載の方法であって、前記 p 型ドーパントが硼素を含む方法。

【請求項 2 4】

請求項 8 に記載の方法であって、前記第 2 エピタキシャル層を形成する際、3 5 0 以下の温度の硼素元素含有ガスを利用する方法。

20

【請求項 2 5】

請求項 2 4 に記載の方法であって、前記第 2 エピタキシャル層を形成する際、分子ビームエピタキシャル成長を用いその第 2 エピタキシャル層を成長させる方法。

【請求項 2 6】

請求項 8 に記載の方法であって、更に、前記純硼素層の表面上に抗反射層を堆積させる方法。

【請求項 2 7】

請求項 8 に記載の方法であって、更に、前記純硼素層の表面上に保護金属層を堆積させる方法。

【請求項 2 8】

請求項 8 に記載の方法であって、前記第 2 エピタキシャル層を形成する際、4 5 0 以下の温度でのプラズマ加速化学気相堆積プロセスを利用する方法。

30

【発明の詳細な説明】

【技術分野】

【0 0 0 1】

本願は、深 UV (D U V) 及び真空 UV (V U V) 波長での輻射感知に適したイメージセンサや、その種のイメージセンサを作成する方法に関する。それらセンサは、フォトマスク、レティクル又はウェハ検査システムでの使用や、その他の用途に適している。

【背景技術】

【0 0 0 2】

(関連出願 / 特許)

本願では、「背面照明センサ及びセンサ製造方法」(BACK-ILLUMINATED SENSOR AND A METHOD OF MANUFACTURING A SENSOR)と題し参照により本願に繰り入れられるところの、2 0 1 8 年 1 2 月 1 2 日付米国仮特許出願第 6 2 / 7 7 8 4 4 5 号に基づく優先権を主張する。本願は、また、何れも Ch e r n e t a l . に付与されており且つ何れも「硼素層を有する背面照明センサ」(Back-illuminated sensor with boron layer)と題する特許文献 1 ~ 3 に関連している。これらの特許及び出願を参照により本願に繰り入れる。

40

【0 0 0 3】

以下の記述及び諸例は、それらが本欄中にあることで従来技術であると認められるもの

50

ではない。

【 0 0 0 4 】

集積回路産業では、かつてなく小さくなってきている集積回路、フォトマスク、レティクル、太陽電池、電荷結合素子等々のフィーチャ（外形特徴）を分解・解像するため、並びにそれらのフィーチャのサイズと同等以下のサイズを有する欠陥を検出するため、検査ツールの分解能をますます高めることが求められている。

【 0 0 0 5 】

短波長、例えば約 250 nm 未満の波長にて動作する検査システムであれば、多くの場合、そうした分解能を提供することができる。とりわけフォトマスクやレティクルの検査に関しては、検査に用いる波長を、リソグラフィ向けに用いられることとなる波長と同一かそれに近いもの、即ち現世代リソグラフィ向けの 193.4 nm や将来 EUV リソグラフィ向けの 13.5 nm に近いものにするのが望ましい；何故なら、それらのパターンにより引き起こされる検査光の位相シフトが、リソグラフィ中に生じる位相シフトと同一か非常に似ることになるからである。パターン化半導体ウェハを検査するには、比較的広い波長域、例えば近 UV、DUV 及び VUV 又は VUV 域内波長を含む波長域に亘り動作する検査システムが長じている；何故なら、広い波長域にすることで、層厚又はパターン寸法の小変のうち個別波長での反射率に大きな変化を引き起こしかねないものに対する感度を、低減できるためである。

【 0 0 0 6 】

フォトマスク、レティクル及び半導体ウェハ上の小欠陥又は粒子を検出するためには、信号対雑音比が高いことが求められる。高速検査時に高い信号対雑音比を確保するためには、光子束密度を高くすることが求められる；何故なら、光子検出個数の統計揺らぎ（ポアソン雑音）が、信号対雑音比に課される基本的制限となるからである。多くの場合、1 画素当たり約 10000 個以上の光子が必要となる。通常、検査システムは短時間停止のみで 1 日当たり 24 時間用いられるので、数か月稼働させただけでも諸センサが大量の輻射に曝される。

【 0 0 0 7 】

真空波長が 250 nm の光子は約 5 eV のエネルギーを有している。二酸化シリコンの禁制帯幅は約 10 eV である。一見すると、そうした波長の光子は二酸化シリコンにより吸収されえないが、二酸化シリコンの構造がシリコン結晶のそれとは完全整合しえないので、シリコン表面上に成長させた二酸化シリコンは、シリコンとの界面にて幾ばくかのダングリングボンド（未結合手）を必ず有している。加えて、その唯一の二酸化物がアモルファスであるので、その素材内にダングリングボンドが存することとなろう。実際、その酸化物内や下にある半導体との界面には、無視しえない密度の欠陥及び不純物が存することとなり、DUV 波長を有する光子、とりわけ約 220 nm 未満の波長を有するものがそこで吸収されうる。更に、高輻射束密度下では、非常に短い期間（ナノ秒又はピコ秒単位）の間に 2 個の高エネルギー光子が同じ個所付近に到来することがあり、それが引き金となって、矢継ぎ早な 2 回の吸収事象又は二光子吸収により電子が二酸化シリコンの伝導帯へと励起されることがある。

【 0 0 0 8 】

検査、計量及びそれに関連する用途で用いられるセンサ向けの更なる要請は、感度が高いことである。先に説明した通り、信号対雑音比が高いことが求められる。仮にセンサにて大部分の入射光子が信号へと変換されないのなら、より効率的なセンサを有する検査又は計量システムと比肩する検査又は計測速度を保つために、より高強度な光源が必要となろう。より高強度な光源にすると、機器内光学系及び検査若しくは計測対象標本が高めな光強度に曝されてしまい、恐らくは経時的な損傷又は劣化が生じるであろう。より高強度な光源はより高価でもあろうし、とりわけ DUV 及び VUV 波長のそれは入手しえないであろう。シリコンは、自身に入射した DUV 及び VUV 光のうち多くの部分を反射させる。例えば 193 nm 付近の波長では、その表面上に 2 nm の酸化物層（例えば自然酸化物層）が備わるシリコンは、自身に入射した光のうち約 65% を反射させる。シリコン表面

10

20

30

40

50

上に約 21 nm の酸化物層を成長させると、193 nm 付近の波長における反射率が 40 % 付近まで低下する。40 % の反射率を有する検出器であれば、65 % の反射率を有するものよりかなり効率的ではあるが、更に低い反射率、ひいてはより高い効率が望まれている。

【0009】

抗反射被覆が、光学素子例えばレンズ及び鏡上で一般に用いられている。しかしながら、一般に光学素子にて用いられている多くの被覆素材及びプロセスは、往々にして、シリコンベースセンサと両立しない。例えば、電子及びイオン支援堆積技術が光学被覆向けによく用いられている。そうした被覆プロセスは、一般に、半導体デバイスを被覆するには用いることができない；何故なら、それら電子又はイオンによりその半導体デバイスの表面上にかなりの電荷が堆積され、それにより引き起こされる電氣的ブレークダウンによって、その半導体上に作成された回路に損傷が生じることがあるためである。

10

【0010】

DUV 及び VUV 波長はシリコンにて強く吸収される。そうした波長は、大抵、シリコンの表面から約 10 nm 又は数十 nm 以内で吸収されることとなろう。DUV 又は VUV 波長にて動作するセンサの効率は、光子吸収により生じた電子のうちどれだけ多くの割合を電子再結合前に集めうるかで、左右される。二酸化シリコンならシリコンとの高品質界面を低欠陥密度で形成することができる。抗反射被覆向けによく用いられる多くの素材を含め、他の大抵の素材は、シリコン上に直に堆積させると極高密度の電氣的欠陥をシリコンの表面に発生させる。高密度の電氣的欠陥がシリコン表面にあっても、可視波長であれば問題になりえない；何故なら、その種の波長が通常はシリコン内へと約 100 nm 以上進行してから吸収されるため、シリコン表面上の電氣的欠陥によりほとんど影響されないからである。しかしながら、DUV 及び VUV 波長はシリコン表面付近で吸収されるため、その面上の電氣的欠陥及び / 又はその面上の（諸）層内の捕獲電荷によって、生じた電子のうちかなりの部分がシリコン表面又はその付近で再結合して失われることで、低効率センサとなりかねない。

20

【0011】

特許文献 1 ~ 3 は何れも Chern et al. に付与されたものであり、少なくともそのイメージセンサの背部露出面上に堆積された硼素層を有するイメージセンサ構造及びイメージセンサ作成方法が記載されている。約 400 ~ 450 °C 域及び約 700 ~ 800 °C 域を初め、様々な硼素堆積温度域が開示されている。発明者が見出したところによれば、硼素堆積温度を高めにする、例えば約 600 °C ~ 約 900 °C の堆積温度にするこの利点の一つは、そうした温度であれば硼素がシリコン内に拡散し、背部感光面上に極薄な重 p 型ドープドシリコン層がもたらされることにある。この p 型ドープドシリコン層は、DUV 及び VUV 輻射に対する高い量子効率を確保する上で重要である；何故なら、それにより表面付近に生じる静電界によって、その面から離れシリコン層内に向かう方向に電子が加速されるからである。p 型シリコンがシリコン背面の導電率を上昇させることも、イメージセンサの高速動作上、重要である；何故なら、センサ前面側電極上で信号をスイッチングすることにより引き起こされる接地電流向けに、帰還路が必要であるからである。

30

40

【0012】

しかしながら、450 °C 超の処理温度は、在来型の CMOS 回路を有する半導体ウェハを対象にして用いることができない；何故なら、450 °C が、CMOS デバイス製造によく用いられる金属例えばアルミニウム及び銅の融点に近いからである。高温例えば 450 °C 超のそれでは、そうした金属が膨張して柔軟になり、剥離することがある。更に、高温では銅がシリコン内に拡散しやすく、それら CMOS 回路の電氣的特性が改変されることとなる。その上に何れの金属も堆積されていないうちにウェハを薄化させることで、600 ~ 900 °C の温度にて上掲の特許文献に記載の如く背面上に硼素層を堆積させること、ひいては硼素層の堆積中又は堆積後にその面内へと硼素を拡散させることが可能となる。その後は、金属インタコネクトを前面上に形成することができる。ウェハのイメージセン

50

サ領域が例えば約 $25\ \mu\text{m}$ 以下の厚みまで薄化された後、その薄化領域が顕著に撓んで何 $10\ \mu\text{m}$ 以上もの山対谷非平坦度を呈することがある。そのため、比較的幅広な金属インタコネクトライン及びビア、例えば数 μm 以上の幅のそれを用いること、ひいては非平坦性によりどのような誤整列が生じていてもそれらライン及びビアを確と接続されるようにすることが、必要である。そうした幅広な金属インタコネクト及びビアにすると、それらのライン及びビアに係る単位面積当たり静電容量が増大する。更に、幅広なインタコネクト及びビアでは、約百万個以上の画素を有する大面積センサ上で全ての信号を接続することが困難又は不可能となりうる。場合によっては、金属インタコネクト同士を接続するのにポリシリコンジャンパが必要になりうるが、ポリシリコンの抵抗率はどの金属よりもかなり高いので、そうしたジャンパの使用によりセンサの最高動作速度が制限されうる。

10

【0013】

特許文献4はHoenk et al. に付与されたものであり、 450 以下の温度で実行可能なイメージセンサ向けデルタドーピング技術が記載されている。この技術には、公称上アンドーパドなシリコンからなる $1.5\ \text{nm}$ のキャップ層が組み込まれている。このキャップ層は、意図的に酸化させてもよいし、環境内の水及び酸素により酸化させてもよい。その酸化物層は、高強度DUV、VUV、EUV又は帯電粒子輻射下で劣化することとなり、そのセンサを劣化させうる。

【先行技術文献】

【特許文献】

【0014】

20

【文献】米国特許第9496425号明細書

【文献】米国特許第9818887号明細書

【文献】米国特許第10121914号明細書

【文献】米国特許第5376810号明細書

【非特許文献】

【0015】

【文献】"Chemical vapor deposition of a-boron layers on silicon for controlled nanometer-deep p+n junction formation," Sarubbi et al., J. Electron. Material, vol. 39, pp. 162-173, 2010

【発明の概要】

30

【発明が解決しようとする課題】

【0016】

そのため、劣化なく高エネルギー光子を効率的に検出できるイメージセンサであり上掲の短所のうち一部又は全てを克服できるものへの、需要が発生している。とりわけ、硼素層を有しその背面上に硼素ドーピングがされている背面薄化イメージセンサを製造する方法であり、比較的平坦な（即ち約 $10\ \mu\text{m}$ 以下の平坦度を有する）ウェハ上での金属インタコネクトの形成が可能な方法であれば、より精細なデザインルール（例えば $0.35\ \mu\text{m}$ プロセス以下に相当するデザインルール）の使用が可能となろう。そうした方法であれば、より幅狭な金属ラインを重要フィーチャ例えば浮動拡散のそれに接続し、浮動拡散静電容量を小さくすること及び電荷対電圧変換比を高くすることが可能となろう。デザインルールをより精細なものとするすることで、そのセンサの単位面積当たりインタコネクトライン本数を増やすことや、そのイメージセンサ上での回路接続における柔軟性を高めることも可能となる。

40

【課題を解決するための手段】

【0017】

高い量子効率を有するDUV、VUV、EUV、X線及び/又は帯電粒子（例えば電子）撮像用イメージセンサ及びイメージセンサ製造方法について記述する。本イメージセンサは高輻射束下で長命動作させることができる。本方法は、半導体ウェハ（好ましくはシリコンウェハ）上の層内に感光能動及び/又は受動回路素子を形成する処理工程、並びにそのセンサの電気素子間の金属相互接続を形成する処理工程を有する。本イメージセンサ

50

は、精細な金属インタコネクタ及びビア（例えば約0.35 μm以下のデザインルールに従うそれ）を有する一方、その背面がアモルファス硼素層で以て被覆されていてその硼素層のすぐそばに重ドーパドp型シリコン層が備わるものと、することができる。それら金属相互接続は、既知CMOSプロセスにてインタコネクタの作成に用いられているタンゲステン、アルミニウム、銅その他の金属で構成することができる。

【0018】

一例に係るイメージセンサ製造方法では、基板上に第1エピタキシャル層を形成し、その第1エピタキシャル層上にゲート層、特に1個又は複数個の誘電体層例えば二酸化シリコンや窒化シリコンの層を備えるゲート層を形成し、そのゲート層上にポリシリコン及び誘電体で構成される回路素子を形成し、金属ビア及び金属インタコネクタを形成すること
10
でそれら回路素子のうち少なくとも幾つかを相互接続し、基板を薄化させることで第1エピタキシャルシリコン層のうち少なくとも一部分を露出させ（露出している第1エピタキシャルシリコン層のことを本願では半導体膜と称する）、その第1エピタキシャル層の露出部分上に直に第2エピタキシャルシリコン層、特にp型ドーパント例えば硼素の濃度勾配が内在する第2エピタキシャルシリコン層を成長させ、その第2エピタキシャルシリコン層の表面上に直にアモルファス純硼素層を形成し、そしてオプション的に、そのアモルファス硼素層の表面上に直に1個又は複数個の抗反射層を形成する。本願中の用語「回路素子」は、感光デバイス例えば電荷結合デバイス及びフォトダイオード、その他の半導体デバイス例えばトランジスタ、ダイオード、抵抗器及びキャパシタ、並びにそれらの間の電氣的相互接続部材（往々にして金属インタコネクタ又はインタコネクタと称される）の
20
ことを指している。これらの回路素子は、これに限られるものではないがフォトリソグラフィ、堆積、エッチング、イオンインプランテーション及びアニーリングを初め、標準的な半導体製造プロセスを用い形成される。第2エピタキシャルシリコン層は、第1エピタキシャルシリコン層の表面のそばでは低濃度のp型ドーパントを有し純硼素層のそばでは高濃度のp型ドーパントを有するエピタキシャルシリコン層で、構成すればよい。第2エピタキシャルシリコン層は分子ビームエピタキシ（MBE）により形成すればよい。基板（例．ウェハ）の薄化は、反応性イオンエッチング、化学エッチング及び/又は研磨を用い実行することができる。特に、この薄化により、背面に射突する光に対するイメージセンサの感度を高めることができる。抗反射被覆を硼素層上に形成してもよい。それに代え、薄い金属被覆を硼素層上に堆積させてもよい。この薄い金属被覆は、そのセンサが帯電
30
粒子（例えば電子）、EUV又はX線検出用である場合にひときわ役立ちうる。そうした薄い金属被覆により、漏洩光に対するセンサの感度を低下させること、そのセンサの表面を保護すること、並びにセンサ表面にある汚染物例えば炭素及び有機物分子のインサイチュー（その場）清掃を容易化することができる。

【0019】

別のイメージセンサ製造方法では、基板上に第1エピタキシャル層を形成した上で、その第1エピタキシャルシリコン層上に回路素子を形成する。この工程には金属インタコネクタの形成が含まれる。その金属インタコネクタはタンゲステン、モリブデン、アルミニウム、銅その他の金属で構成すればよい。回路素子上に保護層を形成してもよい。それら回路素子が備わる表面にハンドリングウェハを接合してもよい。その上でその基板を薄化
40
させることで、第1エピタキシャルシリコン層のうち少なくとも一部分を露出させる。先に示した通り、この薄化により、背面に射突する光に対するイメージセンサの感度を高めることができる。その半導体膜の露出面上に第2エピタキシャルシリコン層を成長させる。その第2エピタキシャル層にp型ドーパント例えば硼素をドーピングする。第2エピタキシャルシリコン層は約450 以下の温度で成長させればよい。p型ドーパントは、ドーパント（例えば硼素）又はドーパントプレカーサ（前駆体）（例えばジボラン）を成長プロセス中に成長チャンバ内に入れることで、第2エピタキシャルシリコン層内へとその層の成長中に組み込めばよい。そのドーパント又はドーパントプレカーサの分圧を、その第2エピタキシャルシリコン層が成長するにつれ経時的に高めることで、第2エピタキシャルシリコン層の外面上にて最高、第1エピタキシャルシリコン層のすぐそばの表面上にて最
50

低となる第2エピタキシャルシリコン層内ドーパント濃度プロファイルを、形成することができる。そのp型ドーパドエピタキシャルシリコン層の表面上に純硼素層を形成する。この純硼素層は、約300～約450の温度にて堆積させればよい。その硼素層上に抗反射被覆を形成してもよい。この抗反射被覆は、原子層堆積(ALD)その他のプロセスにより形成すればよい。それに代え、薄い金属被覆を硼素層上に堆積させてもよい。この薄い金属被覆は、そのセンサが帯電粒子(例えば電子)、EUV又はX線検出用である場合にひときわ役立ちうる。そうした薄い金属被覆により、漏洩光に対するセンサの感度を低下させること、センサの表面を保護すること、並びにセンサ表面にある汚染物例えば炭素及び有機物分子のインサイチュー清掃を容易化することができる。

【0020】

高い量子効率を有し長命動作するDUV、VUV、EUV及びノ又はX線輻射向けイメージセンサについて記述する。本イメージセンサは、その背面側からの薄化により第1エピタキシャルシリコン層のうち少なくとも一部分を露出させたものである。同イメージセンサの背面側に射突する輻射に対し高度に感受的である(なお本イメージセンサは背面照明型である)。その第1エピタキシャルシリコン層の背部露出面上に直に、第2エピタキシャルシリコン層を成長させる。その第2エピタキシャルシリコン層には、第1エピタキシャル層の表面から離れるにつれp型ドーパントの濃度が高まるよう、p型ドーパントをインサイチュードーピングする。その第2エピタキシャルシリコン層上に、薄い(例、約2nm～約20nm厚の)高純度アモルファス硼素層を堆積させる。実施形態によっては、その硼素層が1個又は複数個の付加的素材層により被覆されよう。各層の厚み及び素材を適宜選択することで、イメージセンサ内への注目波長の透過量を増やし、及びノ又は、その硼素層を損傷から保護することができる。

【0021】

本願記載のイメージセンサを製造するのにCCD(電荷結合素子)やCMOS(相補型金属酸化物半導体)のテクノロジーを用いてもよい。それらイメージセンサを二次元エリアセンサとしても一次元アレイセンサとしてもよい。

【図面の簡単な説明】

【0022】

【図1】本発明に従い生産されるイメージセンサの例を示す断面図である。

【図2】イメージセンサ製造技術の例を描いた図である。

【図3A】イメージセンサ製造方法の例を描いた図である。

【図3B】イメージセンサ製造方法の例を描いた図である。

【図3C】イメージセンサ製造方法の例を描いた図である。

【図4A】図2を参照し記述した方法に供されるウェハの部分断面例を描いた図である。

【図4B】図2を参照し記述した方法に供されるウェハの部分断面例を描いた図である。

【図4C】図2を参照し記述した方法に供されるウェハの部分断面例を描いた図である。

【図4D】図2を参照し記述した方法に供されるウェハの部分断面例を描いた図である。

【図4E】図2を参照し記述した方法に供されるウェハの部分断面例を描いた図である。

【図4F】図2を参照し記述した方法に供されるウェハの部分断面例を描いた図である。

【図4G】図2を参照し記述した方法に供されるウェハの部分断面例を描いた図である。

【図4H】図2を参照し記述した方法に供されるウェハの部分断面例を描いた図である。

【図5】イメージセンサ、シリコンインタポーザ及びその他の電子回路が組み込まれている検出器アセンブリの例を描いた図である。

【発明を実施するための形態】

【0023】

特定の諸実施形態により特許請求の範囲記載の主題につき記述するが、本件開示の技術的範囲内には、本願中で説明される諸利益及び諸特徴が全ては提供されない諸実施形態を含め、他の諸実施形態も収まる。本件開示の技術的範囲から離隔することなく様々な構造的、論理的、処理ステップ的及び電子的変更を施すことができる。従って、本件開示の技術的範囲は専ら別項の特許請求の範囲への参照によって定まる。

10

20

30

40

50

【 0 0 2 4 】

以下の記述を提示した目的は、本件技術分野に習熟した者（いわゆる当業者）が、ある具体的な応用例及びその条件の文脈に沿って提示されている通り、本件開示を作成及び使用できるようにすることにある。本願で用いられている方向指示語、例えば「上」、「下」、「前」、「後」、「上方」、「下方」、「上寄り」、「上向き」、「下寄り」、「下降」及び「下向き」の趣旨は、記述目的で相対位置を提示することであり、絶対座標系を指定する趣旨ではない。様々な修正を好適諸実施形態にしうることはいわゆる当業者にとり明らかであろうし、本願にて規定されている一般的諸原理は他の諸実施形態にも適用することができる。このように、本件開示は、図示及び記述されている具体的諸実施形態に限定される趣旨のものではなく、本願開示の諸原理及び新規特徴と符合する最大限の技術的範囲に紐づけられるべきものである。

10

【 0 0 2 5 】

図1は、深紫外（D U V）輻射、真空紫外（V U V）輻射、極端紫外（E U V）輻射又は帯電粒子を感知するよう本発明の一例実施形態に従って構成されたイメージセンサ100の一部を示す側断面図である。イメージセンサ100は、第1エピタキシャル層の上面（第1表面）102U上に形成された回路素子103と回路素子103の上方に形成された金属インタコネクタ110及び120とを有する半導体膜101、第1エピタキシャル層102の下面（第2表面）102L上に配置された第2エピタキシャル層105、第2エピタキシャル層105の下面105L上に配置された純硼素層106、並びに純硼素層106の下面（外向き面）106L上に配置されたオプション的な抗反射被覆108を備えている。

20

【 0 0 2 6 】

一実施形態に係る第1エピタキシャル層101は軽pドープドエピタキシャルシリコン層で構成されていて、その厚みT1が10 μ m～40 μ mの範囲内、p型（例．硼素）ドープメント濃度が約10¹³cm⁻³～10¹⁴cm⁻³の範囲内のものである。

【 0 0 2 7 】

回路素子103にはセンサデバイス（例．感光デバイス例えばフォトダイオード）及びそれと連携する制御トランジスタが含まれており、それらは既知技術を用い第1エピタキシャル層101の上面（第1表面）102U上（即ちその内部及び上方）に形成されている。図示されている一例実施形態では、回路素子103が、上面102Uからエピタキシャル層102の対応部分内へと延びる空間分離されたn⁺ドープド拡散領域103-11、103-12及び103-13と、ゲート酸化物層を介在させることで上面102Uからそれぞれ分離された多結晶シリコン（ポリシリコン）ゲート構造103-21及び103-22とを有している。第1金属インタコネクタ110及び第2金属インタコネクタ120が、それに対応する第1金属ビア115及び第2金属ビア125と併せ、回路素子103の上方に形成され、既知技術を用い回路素子103の関連領域へと可作動的に導電接続されている。第1金属インタコネクタ110は、回路素子103の上方に堆積された1個又は複数個の誘電体層112の内部又は上に形成されており、第1金属ビア115は、既知のビア形成技術を用い誘電体層112内に貫通延設されている。第2金属インタコネクタ120は、第1金属インタコネクタ110の上方に配置された第2誘電体層122内に形成されており、第2金属ビア125は、誘電体層112及び122のうち一方又は双方に貫通延設されている。実施形態によっては、第1金属インタコネクタ110・第2金属インタコネクタ120間に保護層（図1には示さず）が形成され、アルミニウム及び銅のうち少なくとも一方で構成される第2金属ビア125全てがその保護層内に延設される。図1に示した回路素子103を形成している例示的な拡散領域及びゲート構造や、例示的な金属インタコネクタ110及び120並びに金属ビア115及び125は、例証目的で任意構成され専ら回路素子構造例を記述する目的で提供されたものであり、機能的なセンサデバイスを表現することも添付する特許請求の範囲を限定することも意図していない。

30

40

【 0 0 2 8 】

第2エピタキシャル層105は第1エピタキシャル層101の下面102L上に配置さ

50

れており、 $1\text{ nm} \sim 100\text{ nm}$ の範囲内、より好ましくは約 $2\text{ nm} \sim 20\text{ nm}$ の範囲内の厚み T_2 を有している。

【0029】

図1の下部にある丸枠に示す通り、本発明のある態様によれば、第2エピタキシャル層105でのp型ドーパント濃度勾配 d_{np} が、下面102Lでの最小(最低)p型ドーピング濃度 $n_{p-\min}$ から上面106Uでの最大(最高)p型ドーピング濃度 $n_{p-\max}$ へと系統的に高まるものとなるよう、後述の処理技術を用い第2エピタキシャル層105が形成される。この要領でp型ドーパント濃度勾配 d_{np} 及び第2エピタキシャル層105を同時形成することにより得られる利益は、第1エピタキシャル層101内に同様のp型ドーパント濃度勾配を形成するのに必要なそれに比べ、かなり低い処理温度(即ち約450以下)にてp型ドーパント濃度勾配 d_{np} を生成できることであり(即ちp型ドーパントを第1エピタキシャル層101内に拡散させることで同様の勾配を形成するには少なくとも700、好ましくは約800以上の処理温度が必要)、ひいては熱バジェットを維持すること及び低コスト金属化素材(例、アルミニウム及び銅)の使用を可能にして総製造コストを減らすことができる。加えて、p型ドーパント濃度勾配 d_{np} を第2エピタキシャル層105内に形成することで、p型ドーパント濃度が勾配 d_{np} の枠内で変化する速度に対する制御が大きく増強されるので、様々な(例、直線的又は放物的)勾配パターンを用いイメージセンサ(回路素子)103の能力を更に増強して高エネルギー光子を効率的に検出することが可能となる。例えば図1の一例実施形態では、p型ドーパント濃度勾配 d_{np} の系統的上昇が、負Y軸方向の関数たる連続的直線上昇として示されている。他の諸実施形態にあつては、p型ドーパント濃度勾配 d_{np} の漸次上昇を定める関数が厚み(負Y軸)方向の何らかの関数、例えば第2エピタキシャル層形成プロセス中にP型ドーパント素材の導入量を変化させることによる連続的曲線の上昇(例、層厚の関数たるドーピング濃度の変化が放物曲線に倣うもの)又は不連続的(ステップ的)上昇となる。何れにせよ、最初に形成されるべき層部分(即ち第2エピタキシャル層形成プロセスにて比較的早期に生じる所与期間中に生成されるインクリメンタルな層部分)でのp型ドーピング濃度を、追って形成される少なくとも1個の層部分よりも低めにする。例えば、第2エピタキシャル層105の(第1)中途層部分105-1でのp型ドーパント濃度 n_{p1} を、第2エピタキシャル層105の(第2)中途層部分105-2でのp型ドーパント濃度 n_{p2} 以下とする。p型ドーパント濃度勾配 d_{np} を厚みに対し連続上昇的要領(例、図1に例示した線形関数と一致し又は放物的上昇速度に基づく要領)にて変化させる際には、中途層部分105-1でのp型ドーパント濃度 n_{p1} が最低p型ドーピング濃度 $n_{p-\min}$ よりも高く(大きく)なり、中途層部分105-2でのp型ドーパント濃度 n_{p2} が最高p型ドーピング濃度 $n_{p-\max}$ よりも低く(小さく)なる。他方、p型ドーパント濃度勾配 d_{np} をステップ上昇的要領にて変化させる際には、第2エピタキシャル層105の諸厚み方向領域毎にある特定のp型ドーパント濃度を保てばよい(例、中途層部分105-1でのp型ドーパント濃度 n_{p1} を最低p型ドーピング濃度 $n_{p-\min}$ と等しくしてもよい)。一例実施形態に係る最高p型ドーピング濃度 $n_{p-\max}$ は約 10^{20} cm^{-3} であり、最低p型ドーピング濃度 $n_{p-\min}$ は第1エピタキシャル層101でのドーパント濃度以上かそれにほぼ等しい。

【0030】

一実施形態に係る純硼素層106は、純硼素層106の厚み T_3 が $2\text{ nm} \sim 10\text{ nm}$ の範囲内となるよう、後述の技術を用い形成されたものである。一実施形態に係る純硼素層106は、80%以上の硼素濃度を呈すると共に、内部拡散シリコン原子及び酸素原子を主体として残りの20%以下が組成されたものである。

【0031】

一具体的実施形態に係る純硼素層106の厚み T_3 は $3\text{ nm} \sim 10\text{ nm}$ の範囲内であり、オプション的な抗反射被覆108は純硼素層106の下面(外向き面)106L上に堆積された二酸化シリコン層により構成される。

【0032】

10

20

30

40

50

図 2 にはイメージセンサ製造技術の例 200 が描かれている。本実施形態では、工程 201 にて、リソグラフィ、堆積、イオンインプラネーション、アニーリング及びエッチングを初め、標準的な半導体処理工程を用い回路素子を生成することができる。実施形態によっては CCD 及び/又は CMOS センサ素子及びデバイスも工程 201 にて生成されよう。これらの回路素子は、そのウェハの前面側にある第 1 エピタキシャル（エピ）層内に生成される。好適諸実施形態に係る第 1 エピタキシャル層は約 $10\ \mu\text{m} \sim 40\ \mu\text{m}$ 厚である。第 1 エピタキシャル層は軽 p (p^-) ドープドである。一実施形態に係る第 1 エピタキシャル層の抵抗率は約 $10 \sim 100\ \text{cm}$ である。工程 201 では、アルミニウム、銅、タングステン、モリブデン又はコバルトを初め、何らかの好適な金属を用い金属インタコネクタが生成される。耐熱金属、例えばタングステン又はモリブデンの使用により第 1 金属インタコネクタ及びそれと連携する金属ビアを形成することで、後続諸工程、とりわけ工程 209 及び/又は 211 にて高温（例えば約 600 以上の温度）が許容されることとなりうる。一方、後続諸工程での温度が約 450 以下に制限される場合は、銅及びアルミニウムを初め、何らかの都合よい金属を用い、第 2 金属インタコネクタ及びそれと連携する金属ビアを形成すればよい。

10

【0033】

工程 203 ではそのウェハの前面を保護することができる。この保護の一環として、工程 201 中に形成された回路素子の頂部上に 1 個又は複数個の保護層を堆積させてもよい。当該 1 個又は複数個の保護層は、二酸化シリコン、窒化シリコンその他の素材で構成すればよい。同保護の一環として、例えばシリコンウェハ、石英ウェハ又は他の素材で作成されたウェハたるハンドリングウェハに、そのウェハを取り付けてもよい。そのハンドリングウェハに、それら回路素子への接続用のスルーウェハビアを設けてもよい。

20

【0034】

工程 205 では、そのウェハを背面側から薄化させることで、少なくとも能動センサエリアにて第 1 エピタキシャル層を露出させる。本工程では研磨、エッチング又はその双方が行われうる。ある種の実施形態ではウェハ全体を背面薄化させる。他の諸実施形態では能動センサエリアのみを第 1 エピタキシャル層に至るまで薄化させる。

【0035】

工程 207 では、第 2 エピタキシャル層の堆積に先立ち背面を清掃及び調製する。この清掃中に、自然酸化物及びあらゆる汚染物、例えば有機物及び金属を背面から除去しなければならない。ある実施形態によれば、この清掃を、希 HF 溶液を用い又は RCA 清掃プロセスを用い実行することができる。清掃後は、マランゴニ乾燥技術又はそれに類する技術を用いウェハを乾燥させることで、その表面を、乾燥してウオーターマークの無いものとすることができる。

30

【0036】

好適諸実施形態によれば、ステップ 207・208 間にて制御下環境内（例、真空環境内、或いは乾燥不活性ガス例えば窒素で以てパージされた環境内）でウェハを保護することで、清掃後の自然酸化物再成長を最小限にすることができる。

【0037】

工程 208 では、少なくともその第 1 エピタキシャル層の露出部分上に、第 2 エピタキシャルシリコン層を成長（堆積）させる。実施形態の一つは、約 350 以下の温度にて分子ビームエピタキシ（MBE）その他のプロセスにより第 2 エピタキシャル層を成長させるものである。もう一つの実施形態は、約 450 以下の温度にて化学気相堆積（CVD）又はプラズマ加速 CVD（PECVD）プロセスにより第 2 エピタキシャル層を成長させるものである。図 3A～図 3C に示す通り、シリコンと p 型ドーパント例えば硼素の双方を含有するガス G を用い、反応チャンパ内で第 2 エピタキシャル層 $105A$ を成長させることにより、p ドープドエピタキシャルシリコン層を生成すればよい。図 3A によれば、堆積プロセス序盤にてガス G に含まれる p 型ドーパントは比較的少量 P_0 であり、それにより最先層部分 $105A_0$ が形成されるので、最低 p 型ドーパント濃度 n_{p-min} は第 1 エピ層 102 の表面 $102L$ のそばで発生する。堆積が進行している間は、選定され

40

50

ているスケジュールに従いガスG内p型ドーパント量（濃度）を増加させつつシリコンが同量に保たれるため、第1エピタキシャル層からより遠くに位置する第2エピタキシャル層部分でのp型ドーパント濃度が高いものとなる。例えば、図3Bに示す通り、エピタキシャル堆積プロセスの中途段階では、堆積プロセスガスGが、図3Aに示した時点で用いられていた量P0より多い中途量P1のp型ドーパントを含有しているため、最低p型ドーパント濃度 n_{p-min} より高い中途p型ドーパント濃度 n_{p-int} を呈する中途層部分105A1が形成される。同様に、図3Cに示す通り、エピタキシャル堆積プロセスの最終段階では、堆積プロセスガスGが、中途量P1より多い最終量P2のp型ドーパントを含有しているため、中途p型ドーパント濃度 n_{p-int} より高い最高p型ドーパント濃度 n_{p-max} を呈する最終層部分105A2が形成される。これに代わる諸実施形態によれば、第2エピタキシャル層を成長させるのに用いられるガスGが、元素形態のシリコン又は硼素を含有するもの、或いは例えばシリコンに代えシラン、或いは硼素に代えジボランというようにプレカーサを含有するものとされよう。

10

【0038】

工程209では、その第2エピタキシャル層の表面上に硼素を堆積させる。ある好適実施形態によれば、この堆積を、ジボラン又はジボランと水素の混合物を窒素で希釈したものをを用い約300～約450の温度にて行うことで、高純度アモルファス硼素層を生成することができる。これに代わる実施形態によれば、その堆積を、例えば硼素元素含有ガスを用い、約350未満の温度にて行うことができる。その硼素層の堆積厚はそのセンサの想定用途により左右される。典型的な硼素層厚は約2nm～20nmであり、好ましくは約3nm～10nmとする。最小厚が無ピンホール均一膜に関わる要請により設定される一方、最大厚は、硼素による注目光子又は帯電粒子の吸収、並びにそのウェハをその堆積温度に保持できる最長時間長により左右される。

20

【0039】

ジボランガスによる硼素堆積に関する子細を非特許文献1に見出すことができるので、参照により同文献を本願に繰り入れることにする。

【0040】

工程209後に、その硼素層の頂部上に他層を堆積させてもよい。それら他層に含まれるものに抗反射被覆があり、これは一種類又は複数種類の素材、例えば二酸化シリコン、窒化シリコン、酸化アルミニウム、二酸化ハフニウム、フッ化マグネシウム及びフッ化リチウムにより構成される。当該他層に含まれるものに薄い保護層があり、これは金属例えばアルミニウム、ルテニウム、タングステン又はモリブデンにより構成される。それら他層のうち一層又は複数層の堆積にALDを用いてもよい。それらの層の堆積にALDプロセスを用いる利点は、ALDプロセスでは、通常、堆積される（諸）層の厚みの極精密制御（単一単層制御）が可能にあることにある。これに代わる実施形態には、工程213後に他層を硼素層の頂部上に堆積させるものがある。

30

【0041】

ある実施形態によれば、工程213にて表側保護層を除去することができる。別の実施形態によれば、工程213にて、孔又はビアをハンドリングウェハ及び/又は表側保護層にて開口又は露出させることや、そのデバイスの縁を取り巻くスルーシリコンビア群を露出させることで、回路素子への接続を行えるようにすることができる。

40

【0042】

工程215では、得られた構造を相応なパッケージ内にパッキングすることができる。このパッキング工程を、基板へのデバイスのフリップチップボンディング又はワイヤボンディングを伴うものとしてもよい。そのパッケージに、注目波長を通す窓を設けてもよいし、真空シール向けインタフェース用のフランジ又はシールを設けてもよい。

【0043】

図4A～図4Gに描かれているのは方法200（図2）に供されたウェハの断面例である。図4Aには、基板401の表側に形成された第1エピタキシャル（エピ）層402が描かれている。第1エピ層402はp-エピ層とするのが望ましい。一実施形態に係る第

50

1 エピ層の抵抗率は約 $100 \sim 1000 \text{ cm}$ である。

【0044】

図4Bには、(上掲の工程201にて述べた通り第1エピ層402上に形成できるインタコネクトを含め)様々な回路素子403が描かれている。それらインタコネクトの形成先がウェハ上であり、その基板が通常は数百 μm 厚であるため大きくは歪まないことから、それらインタコネクトの形成には通常のサブミクロンCMOS処理技術を用いることができ、また複数個の高密度金属インタコネクト層をなすものとする事ができる。金属インタコネクトは金属、例えば銅、アルミニウム、タングステン、モリブデン又はコバルトにより構成される。一実施形態に係る金属インタコネクトはまるごと耐熱金属で構成される。実施形態によっては、回路素子403の接続を可能とすべく、イメージセンサレイ

10

【0045】

図4Cには、回路素子403の上方にて第1エピ層402の上面に取り付けられたハンドリングウェハ404が描かれている(工程203)。なお、図面を過剰に複雑化させないよう、スルーシリコンビアはラベル無しで示してある。ある代替的实施形態によれば、ハンドリングウェハ404に代え又は加え、保護層を用いることができる。ある実施形態(図示せず)によれば、回路素子403との接続を行えるようハンドリングウェハ404にビアが形成される。

【0046】

図4Dには、基板(例、図4Cに示した基板401)を背面薄化させることで上述の半導体膜を形成した後、即ち除去により第1エピ層402の背面(下面)402L(即ち回路素子403が形成されハンドリングウェハ404が取り付けられる面とは逆側)を露出させた後のウェハが描かれている。図4Dに示す通り、この背面薄化プロセスにより露出された背面402L上には自然酸化物が形成されうる。

20

【0047】

図4Eには、背面402Lの清掃及び調製が終了し(工程207)第2エピタキシャル(エピ)層の形成向けに第1エピ層402が調製された後のウェハが描かれている。

【0048】

図4Fには、第1エピ層402の背面402L上に第2エピ層405が、また第2エピ層405の下面405L上に純硼素層406が、それぞれ形成された後のウェハが描かれている(工程208及び209)。成長中における第2エピ層405のインサイチューp型ドーピング(工程208に関し上述したそれ)により、第1エピ層402の下面(背面)402Lから純硼素層406の下面405Lに向かい高まるドーパント濃度プロファイルが生成される。

30

【0049】

図4Gには、純硼素層406の底面/下面406Lに堆積された1個又は複数個のオプシヨンの抗反射又は保護層408が描かれている。それらの層のうち少なくとも一層を、ALDプロセスを用い堆積させるとよい。

【0050】

図4Hには、TSV403Aへの電氣的接続が可能となるようエッチング及び堆積工程により金属パッド407を生成した後のウェハが描かれている(工程213)。なお、ハンドリングウェハ404にビアが形成されているのであれば、ハンドリングウェハ404の頂面上に金属パッド407を形成すべきである。

40

【0051】

上掲の諸例は、本願開示の発明の技術的範囲を限定する意味合いのものではない。これらの意味するところは、第1エピタキシャル層の背面上にp型ドーパド第2エピタキシャル層をどのように堆積させればよいかについての、単なる例証にある。第2エピタキシャル層は、追って、その感光面上が硼素層により被覆される。第2エピタキシャル層におけるp型ドーパントの濃度勾配が、硼素のそばでその最大値を呈するものであるため、エピ

50

タキシャル層内に数 nm 又は数十 nm しか浸透し得ない短波長光又は低エネルギー帯電粒子に関しても、このイメージセンサは高効率を呈する。

【0052】

図5には検出器アセンブリの例500が描かれており、これにはイメージセンサ504、シリコンインタポーザ502その他の電子回路が本発明のある種の実施形態に従い組み込まれている。

【0053】

本発明の一態様に係る検出器アセンブリ500では、インタポーザ502の表面上に1個又は複数個の感光センサ504を配置することができる。実施形態によっては、アセンブリ500に備わる1個又は複数個のインタポーザ502のなかに、これに限られるものではないがシリコンインタポーザが含まれよう。本発明の更なる態様では、アセンブリ500に備わる1個又は複数個の感光センサ504が背面薄化されるだけでなく、上述の如く、砒素層及びその砒素層に隣り合うp型ドーパド第2エピタキシャル層を有する背面照面向けの構成とされる。

【0054】

また、本発明の一態様によれば、アセンブリ500に備わる様々な回路素子をインタポーザ502上に配置し又はその内部に組み込むことができる。ある実施形態によれば、1個又は複数個の増幅回路(例、荷電変換増幅器)(図示せず)をインタポーザ502上に配置し又はその内部に組み込むことができる。別の実施形態によれば、1個又は複数個の変換回路508(例、アナログデジタル変換回路即ちデジタルライザ508)をインタポーザ502上に配置し又はその内部に組み込むことができる。別の実施形態によれば、1個又は複数個のドライバ回路506をインタポーザ502上に配置し又はその内部に組み込むことができる。例えば、その1個又は複数個のドライバ回路506のなかにタイミング/シリアル駆動回路を含めてもよい。例えば、その1個又は複数個のドライバ回路506のなかに、これに限られるものではないがクロックドライバ回路又はリセットドライバ回路を含めてもよい。別の実施形態によれば、1個又は複数個のデカップリングキャパシタ(図示せず)をインタポーザ502上に配置し又はその内部に組み込むことができる。更なる実施形態によれば、1個又は複数個のシリアル送信機(図5には示さず)をインタポーザ502上に配置し又はその内部に組み込むことができる。別の実施形態によれば、増幅回路、アナログデジタルコンバータ回路及びドライバ回路のうち1個又は複数個を感光センサ504内に組み込むことで、回路例えば506及び508の個数を減らす(又はその必要性をなくす)ことができる。

【0055】

また、本発明の一態様によれば、感光アレイセンサ504の下面とインタポーザ502の頂面との間に1個又は複数個の支持構造を配置することで、センサ504に物理的支持手段を提供することができる。ある実施形態によれば、感光アレイセンサ504の下面とインタポーザ502の頂面との間に複数個の半田ボール516を配置することで、センサ504に物理的支持手段を提供することができる。本願での認識によれば、センサ504の撮像領域内には対外電氣的接続箇所を設けられない一方、センサ504の背面薄化によりセンサ504が一層柔軟になる。そのため、半田ボール516を利用することで、センサ504の撮像部分が補強される要領にてセンサ504をインタポーザ502に接続することができる。これに代わる実施形態によれば、感光アレイセンサ504の下面とインタポーザ502の頂面との間にアンダフィル素材を配置することで、センサ504に物理的支持手段を提供することができる。例えば、感光アレイセンサ504の下面とインタポーザ502の頂面との間にエポキシ樹脂を配置すればよい。

【0056】

また、本発明のある態様ではインタポーザ502及び様々な付加的回路(例、増幅回路、ドライバ回路506、デジタルライザ回路508等)が基板510の表面上に配置される。更なる態様では、基板510が、高い熱伝導率を有する基板(例、セラミック基板)とされる。こうすることで、センサ504/インタポーザ502のアセンブリに対し物理的

10

20

30

40

50

支持手段を提供するよう基板 510 が構成されるのに加え、撮像センサ 504 及び他の様々な回路（例．デジタルイザ 506、ドライバ回路 508、増幅器等）から離れる方向へと熱を効率的に伝達させる手段が、アセンブリ 500 向けに提供される。本願での認識によれば、本件技術分野で既知であり堅固な何れの高熱伝導性基板を以てその基板としてもよい。例えば、これに限られるものではないがセラミック基板を以て基板 510 としてもよい。例えば、基板 510 を、これに限られるものではないが窒化アルミニウムを含有するものとしてもよい。

【0057】

別の実施形態によれば、ソケット又は下にある印刷回路基板（PCB）に対するインタフェースを提供するよう、基板 510 を構成することができる。例えば、図 5 に示す通り、インタコネクタ 512 を介したインタポーザ 502・ソケット又は PCB 間相互接続を、基板 510 により提供することができる。いわゆる当業者には認識される通り、基板 510 をその下にある PCB に可作動結合させ更にソケット又は PCB に対し電氣的に結合させるやり方は多々あり、それらは何れも本発明の技術的範囲内にあるものと解される。

【0058】

本発明の構造及び方法につき上述した諸実施形態は、専ら本発明の諸原理を例証するものであり、記述されている特定の諸実施形態へと本発明の技術的範囲を限定する意図のものではない。例えば、図 2 に示されているフローチャートに付加的な諸ステップを付加してもよいし、図示されている諸ステップのうち一部を図示のそれとは別の順序で実行してもよい。即ち、本発明は、後掲の特許請求の範囲及びその均等物によってのみ限定される。

10

20

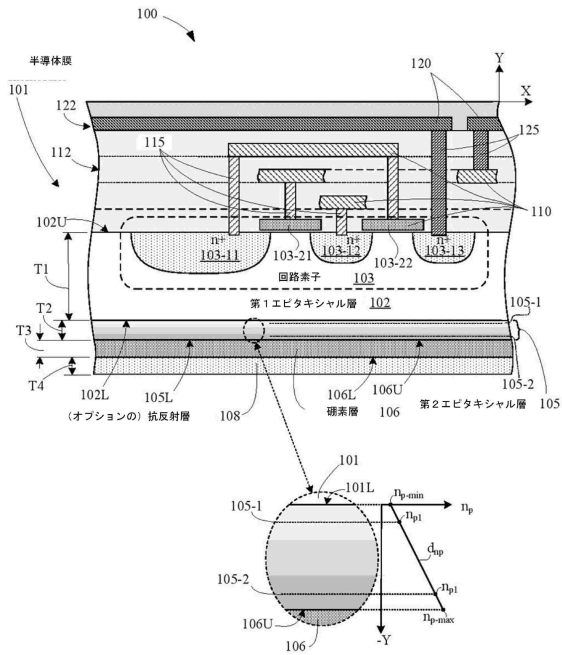
30

40

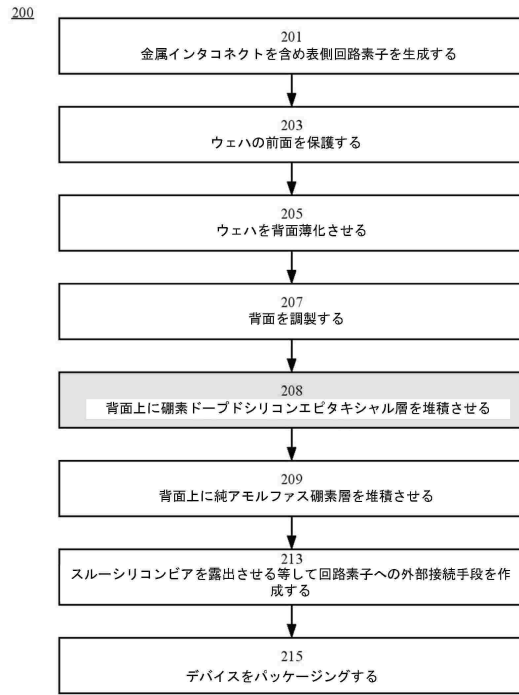
50

【図面】

【図 1】



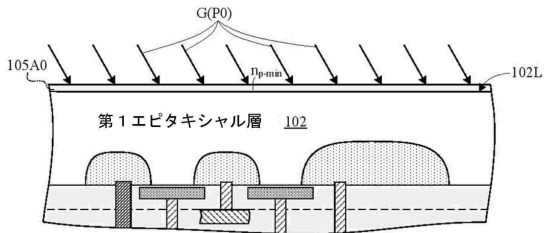
【図 2】



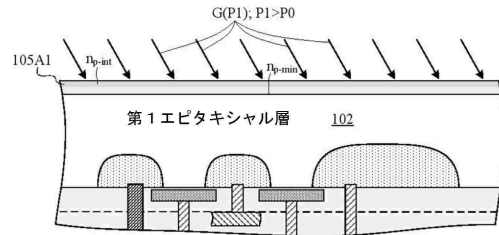
10

20

【図 3 A】



【図 3 B】

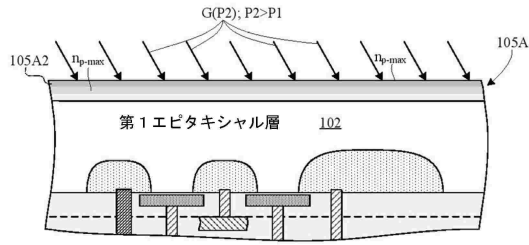


30

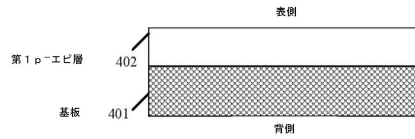
40

50

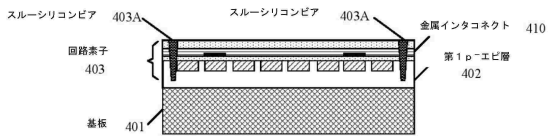
【図3C】



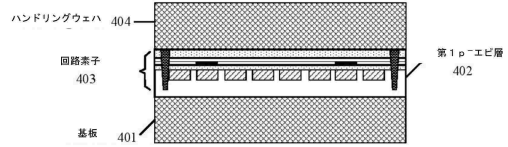
【図4A】



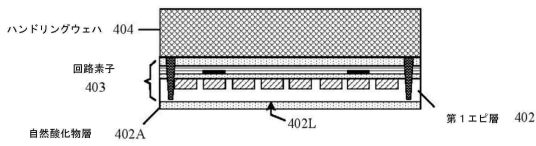
【図4B】



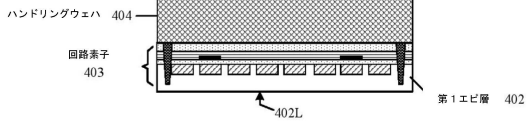
【図4C】



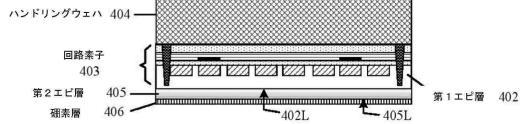
【図4D】



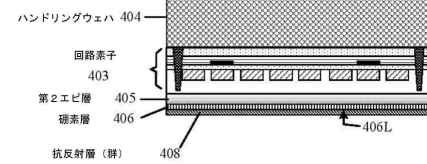
【図4E】



【図4F】



【図4G】



10

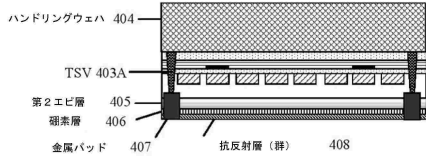
20

30

40

50

【 図 4 H 】



【 図 5 】

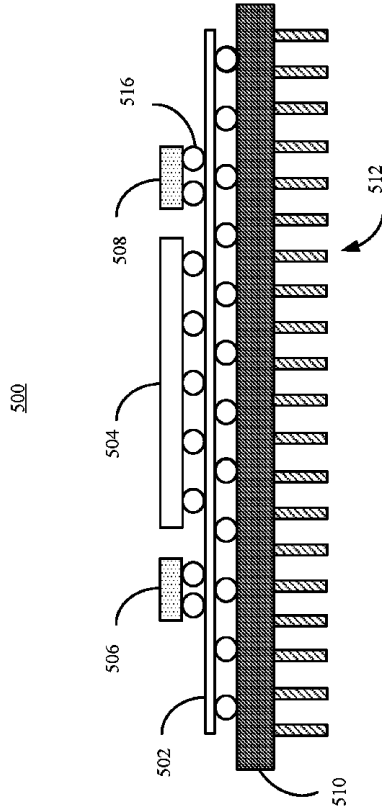


Figure 5

10

20

30

40

50

フロントページの続き

(33)優先権主張国・地域又は機関

米国(US)

アメリカ合衆国 カリフォルニア ロス アルトス ビクトリア コート 2020

(72)発明者 チョン ジンジン

アメリカ合衆国 カリフォルニア サン ノゼ テラ コッタ ドライブ 3257

(72)発明者 ブラウン デビッド エル

アメリカ合衆国 カリフォルニア ロス ガトス ウッディド ビュー ドライブ 120

(72)発明者 ヤラマンチリ シシリ

アメリカ合衆国 カリフォルニア ミルピタス テクノロジー ドライブ 1

審査官 田邊 顕人

(56)参考文献

特表2017-509142(JP,A)

特表2015-520939(JP,A)

特開2017-069374(JP,A)

特表2007-527122(JP,A)

特表2011-522421(JP,A)

米国特許出願公開第2013/0149807(US,A1)

米国特許出願公開第2018/0315747(US,A1)

特表2013-536566(JP,A)

特表2010-528473(JP,A)

特表2008-530801(JP,A)

米国特許出願公開第2013/0334638(US,A1)

米国特許出願公開第2014/0302630(US,A1)

米国特許第05272096(US,A)

特開2018-037468(JP,A)

特開2010-093229(JP,A)

特開2008-034836(JP,A)

特開平11-274465(JP,A)

特開昭53-099890(JP,A)

(58)調査した分野 (Int.Cl., DB名)

H01L 27/146

H01L 27/144

H01L 21/3205