



(12) 发明专利

(10) 授权公告号 CN 101142688 B

(45) 授权公告日 2012. 05. 23

(21) 申请号 200680008711. 7

(56) 对比文件

(22) 申请日 2006. 01. 04

US 2004/0061178 A1, 2004. 04. 01, 说明书第 [0029]-[0031]、附图 3.

(30) 优先权数据

11/039, 197 2005. 01. 18 US

CN 1416159 A, 2003. 05. 07, 全文.

(85) PCT 申请进入国家阶段日

US 2003/0227036 A1, 2003. 12. 11, 说明书第 [0075]-[0107] 段、附图 2.

2007. 09. 18

US 2004/0145019 A1, 2004. 07. 29, 说明书第 [0022]-[00028] 段、附图 4A, 4B.

(86) PCT 申请的申请数据

PCT/US2006/000378 2006. 01. 04

审查员 王琳

(87) PCT 申请的公布数据

WO2006/078469 EN 2006. 07. 27

(73) 专利权人 英特尔公司

地址 美国加利福尼亚州

(72) 发明人 B · 多伊尔 S · 达塔 B · -Y · 金

R · 曹

(74) 专利代理机构 中国专利代理(香港)有限公司 72001

代理人 周铁 韦欣华

(51) Int. Cl.

H01L 29/786 (2006. 01)

H01L 21/336 (2006. 01)

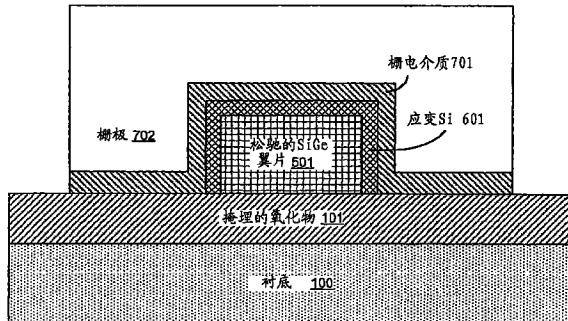
权利要求书 2 页 说明书 5 页 附图 7 页

(54) 发明名称

具有应变沟道区的非平面 MOS 结构

(57) 摘要

实施方案是包括应变沟道区的非平面 MOS 晶体管结构。非平面 MOS 晶体管结构，尤其是 NMOS 三栅晶体管，和应变沟道优点的结合，使得与具有非应变沟道的非平面 MOS 结构或者包含应变沟道的平面 MOS 结构相比，就给定栅长度宽度而言，改善了晶体管驱动电流、开关速度，并减少了漏电流。



1. 一种非平面晶体管,包括:

在衬底上形成的并且和所述衬底在电学上隔离的具有顶部和两侧壁的硅锗本体;

在所述硅锗本体的侧壁上形成的掺杂的应变硅膜;

在所述掺杂的应变硅膜上形成的栅电介质;

在所述栅电介质上形成的栅极;和

在所述应变硅中形成的源极和漏极。

2. 权利要求 1 的非平面晶体管,所述硅锗本体包含浓度为 5% -80% 的锗。

3. 权利要求 2 的非平面晶体管,所述硅锗本体包含浓度为 15% 的锗。

4. 权利要求 1 的非平面晶体管,所述栅电介质包含选自如下的材料:二氧化硅、二氧化铪、硅酸铪、氧化镧、铝酸镧、氧化锆、硅酸锆、氧化钽、二氧化钛、钛酸钡锶、钛酸钡、钛酸锶、氧化钇、氧化铝、钽酸铅钪和铌酸铅锌。

5. 权利要求 1 的非平面晶体管,所述栅极包含选自多晶硅、金属和它们的组合的材料。

6. 权利要求 1 的非平面晶体管,其中所述硅锗本体具有矩形横截面,所述掺杂的应变硅膜在所述硅锗本体的顶部和两个侧壁上形成。

7. 权利要求 1 的非平面晶体管,其中所述硅锗本体具有梯形横截面,所述掺杂的应变硅膜在所述硅锗本体的顶部和两个侧壁上形成。

8. 权利要求 1 的非平面晶体管,其中所述掺杂的应变硅膜的厚度为 2 纳米 -10 纳米。

9. 权利要求 8 的非平面晶体管,其中所述掺杂的应变硅膜的厚度为 4 纳米 -5 纳米。

10. 一种三栅晶体管,包括:

在绝缘体上形成的硅锗翼片,所述硅锗翼片包括顶表面和两个侧壁表面;

在所述硅锗翼片的顶表面和两个侧壁表面上形成的掺杂的应变硅膜;

在所述掺杂的应变硅膜上形成的栅电介质;

在所述栅电介质上形成的栅极,其中所述栅极延伸到所述硅锗翼片的顶表面上;和

在所述应变硅膜中形成的源极和漏极。

11. 权利要求 10 的三栅晶体管,所述硅锗翼片包含浓度为 5% -80% 的锗。

12. 权利要求 11 的三栅晶体管,所述硅锗翼片包含浓度为 15% 的锗。

13. 权利要求 10 的三栅晶体管,其中所述应变硅膜的厚度为 2 纳米 -10 纳米。

14. 权利要求 13 的三栅晶体管,其中所述应变硅膜的厚度为 4 纳米 -5 纳米。

15. 权利要求 10 的三栅晶体管,其中所述硅锗翼片是掺杂的。

16. 权利要求 15 的三栅晶体管,其中所述硅锗翼片掺杂有浓度位于未掺杂水平和 $6 \times 10^{19}/\text{cm}^3$ 之间的 p 型掺杂剂。

17. 权利要求 10 的三栅晶体管,其中所述应变硅膜掺杂有浓度位于未掺杂水平和 $6 \times 10^{19}/\text{cm}^3$ 之间的 p 型掺杂剂。

18. 一种制备非平面晶体管的方法,包括:

在绝缘体衬底上的硅上形成硅锗;

对所述硅锗进行退火以松弛所述硅锗;

在所述松弛的硅锗中形成翼片,所述翼片包括顶表面和两个侧壁表面;和

在所述翼片的顶表面和两个侧壁表面上形成应变硅。

19. 权利要求 18 的方法,对所述硅锗进行退火进一步包括使锗扩散到位于绝缘体衬底

上的硅的硅中。

20. 权利要求 19 的方法,进一步包括:

在应变硅膜上形成栅电介质,栅电介质材料选自二氧化硅、二氧化铪、硅酸铪、氧化镧、铝酸镧、氧化锆、硅酸锆、氧化钽、二氧化钛、钛酸钡锶、钛酸钡、钛酸锶、氧化钇、氧化铝、钽酸铅钪和铌酸铅锌。

21. 权利要求 20 的方法,进一步包括:

在栅电介质上形成栅极,栅极材料选自多晶硅、金属和它们的组合。

22. 权利要求 21 的方法,进一步包括:

掺杂所述应变硅以形成源极和漏极。

23. 一种非平面晶体管,包括:

在衬底上形成的并且和所述衬底在电学上隔离的具有顶部和两个侧壁的硅锗本体,所述硅锗本体包括与硅层相互扩散的硅锗层,这样所述硅层具有大致恒定的锗浓度;

在所述硅锗本体的侧壁上形成的应变硅膜;

在所述掺杂的应变硅膜上形成的栅电介质;

在所述栅电介质上形成的栅极;和

在所述掺杂的应变硅膜中形成的源极和漏极。

24. 权利要求 23 的非平面晶体管,其中所述硅锗本体具有矩形横截面,并且所述应变硅膜形成于所述硅锗本体的顶部和两侧壁上。

25. 权利要求 23 的非平面晶体管,其中所述硅锗本体是掺杂的。

26. 权利要求 25 的非平面晶体管,其中所述硅锗本体掺杂有浓度位于未掺杂水平和 $6 \times 10^{19}/\text{cm}^3$ 之间的 p 型掺杂剂。

27. 权利要求 23 的非平面晶体管,其中所述应变硅膜是掺杂的。

28. 一种制备非平面晶体管的方法,所述方法包括:

在绝缘衬底上形成硅膜;

在硅衬底上生长硅锗膜;

将所述硅锗膜与所述绝缘衬底的硅膜结合;

除去部分所述硅衬底,以在所述绝缘晶片上的所述硅锗膜上留下一层来自硅衬底的硅层;

将所述绝缘衬底退火,以使锗从所述硅锗膜扩散进入所述绝缘衬底上的所述硅膜中,以及进入来自所述硅衬底的硅层中,以由所述绝缘衬底上的所述硅膜、所述硅锗膜和来自所述硅衬底的硅层形成松弛的硅锗膜;

从所述松弛的硅锗膜形成翼片,所述翼片具有顶表面和两个侧壁;

在所述翼片的顶表面和侧壁上形成应变硅层;

在所述应变硅层上形成栅电介质;以及

在所述栅电介质上形成栅极。

29. 权利要求 28 的方法,其中所述退火在所述松弛的硅锗膜中产生大致恒定的锗浓度。

30. 权利要求 28 的方法,其中所述应变硅膜是掺杂的。

具有应变沟道区的非平面 MOS 结构

技术领域

[0001] 本发明的实施方案涉及晶体管结构, 尤其涉及结合有应变沟道 (strained channel) 的非平面晶体管结构。

背景技术

[0002] 传统平面金属氧化物半导体 (MOS) 晶体管技术就某些晶体管特征而言正在接近基础物理极限, 越过这些极限就将需要采用替换性材料、加工技术和 / 或晶体管结构来支持晶体管性能根据摩尔定律的持续改善。

[0003] 一种示范性的此类转变是非平面 MOS 结构。一种特殊非平面 MOS 结构是非平面三栅晶体管 (tri-gate transistor)。三栅晶体管采用三维栅极结构, 使得电信号可以沿着晶体管栅极的顶部以及沿着栅极的两个垂直侧壁来传导。沿着栅极三个侧壁的传导使得和平面 MOS 结构相比较, 驱动电流更大, 开关速度 (switching speed) 更快, 栅极长度 (gate length) 更短, 同时晶体管性能得以提高而占据的衬底面积却更小, 并具有其它改进。三栅结构通过改善晶体管的短沟道性质 (short channel characteristics), 进一步降低了漏电流的量, 而这是一直在缩小的平面 MOS 器件容易出现的问题。

[0004] 另一种示范性转变涉及对晶体管的各个部分采用应变半导体材料 (strained semiconductor material)。为半导体晶格添加拉伸或者压缩应变 (取决于特定应用), 提高了载流子在应变半导体中的迁移率。具体而言, 对于 NMOS 器件而言, 为半导体赋予拉伸应变提高了电子迁移率 (即, 在 NMOS 器件中占优势地位的电荷载流子)。增加的载流子迁移率进而使得可以具有更大的驱动电流和相应更快的开关速度。

[0005] 附图简述

[0006] 图 1 示出了绝缘体上硅 (SOI) 衬底的横截面。

[0007] 图 2 示出了图 1 的衬底、应变硅锗以及具有用于 Smart Cut 工艺的氢注入 (hydrogen implant) 的硅。

[0008] 图 3 示出了在应变硅锗和硅的 Smart Cut 成形后图 2 的衬底的横截面。

[0009] 图 4 示出了在退火形成松弛的 (relaxed) 硅锗后图 3 的衬底的横截面。

[0010] 图 5 示出了在所述松弛的硅锗实现图案化之后图 4 的衬底的横截面。

[0011] 图 6 示出了在松弛的硅锗上形成应变硅之后图 5 的衬底的横截面。

[0012] 图 7 示出了在形成栅电介质和栅极以形成包括应变沟道的非平面 MOS 结构之后, 图 6 的衬底的横截面。

[0013] 图 8 示出了图 7 的衬底的透视图。

[0014] 图 9 示出了在注入以形成源极区和漏极区之后图 8 的透视图。

[0015] 发明详述

[0016] 下面描述具有应变沟道区的非平面 MOS 晶体管结构的实施方案。现在详细参考对如附图中所示的这些实施方案的描述。虽然将结合这些附图对实施方案进行描述, 但是并不试图将其限制到在本文公开的附图中。相反, 旨在覆盖落在所附权利要求限定的所述实

施方案的精神和范围之内的所有备选方案、变体和等同方案。

[0017] 简而言之，一个实施方案是包括应变沟道区的非平面 MOS 晶体管结构。非平面 MOS 晶体管结构，尤其是 NMOS 三栅晶体管，和应变沟道优点的结合，使得和具有非应变沟道的非平面 MOS 结构或者包含应变沟道的平面 MOS 结构相比，就给定栅极长度、栅极宽度和操作电压而言，改善了晶体管驱动电流、开关速度，并减少了漏电流。

[0018] 图 1 示出了绝缘体上硅 (SOI) 衬底的横截面。如同本领域公知的，SOI 衬底尤其通过减少在杂质层（例如，平面 MOS 结构的杂质掺杂的源极区和漏极区）和衬底之间的结电容层 (junction capacitance layer) 中形成的电容这一特征来改善晶体管性能。例如，在一个实施方案中，衬底 100 包含硅。在衬底 100 上面的是掩埋的氧化物 101。在一个实施方案中，掩埋的氧化物包含二氧化硅。在掩埋的氧化物 101 上方是硅 102。市售的 SOI 衬底通常包括大约 500 埃厚的硅 102 层。为了进一步减少结电容面积，一个实施方案将硅 102 平坦化和抛光（例如，通过化学机械抛光或者 CMP）至大约 20–100 埃。但是，应该理解衬底 100、掩埋的氧化物 101 和硅 102 的 SOI 组合，也可如本领域公知的那样通过采用如下方式来制备：通过注入氧分离 (SIMOX)、粘合和回蚀刻 (BESOI) 制备或者通过在 BESOI 工艺之前的氢注入 (Smart Cut) 制备。

[0019] 图 2 示出了图 1 的衬底 100 的横截面，包括应变硅锗 201 和硅 202，其中应变硅锗 201 和硅 202 还没有通过本领域公知的、由 SOITEC 开发的 Smart Cut 技术转移到硅 201 上。Smart Cut 方法的具体应用涉及在作为独立衬底的硅 202 上生长应变硅锗层 201，其如图 2 所示包括大型牺牲性硅 202 层。将高剂量（即， $10^{17}/\text{cm}^2$ ）的氢注入到硅 202 中的靠近应变硅锗 201 的厚度，或者注入到处于硅锗层 201 中的深度，如氢注入 203 所示（所示的是在硅 202 内部沉积）。使包括硅 202 和应变硅锗 201 的独立衬底与包括掩埋的氧化物 101 和硅 102 的衬底 100 接触。具体而言，在高温退火后，硅 102 和应变硅锗 201 的表面通过化学疏水键合结合。换一种说法，即应变硅锗 201 通过共价力 (covalent force) 键合到硅 102 上。在一个实施方案中，退火是在大约 800°C – 900°C 之间进行大约 1 小时。基于硅 202 中的高剂量氢注入 203，退火进一步形成硅 202 的深入内部的弱化 (in-depth weakened) 层。由于硅 102 和应变硅锗 201 之间的键合力比深入内部的硅 202 的氢注入 203 弱化的区域所能承受的力大，所以硅 202 的牺牲部分（或者，如果氢注入 203 发生在硅锗 201 中，那么是硅锗 201 和硅 202 的牺牲部分）可以劈开，得到图 3 所示的结构。在一个实施方案中，留下的硅 202（或者硅锗 201）可以化学机械抛光以形成对后续加工步骤而言合适的硅 202（或者硅锗 201）表面。

[0020] 硅和锗具有相同的晶格结构；但是，锗的晶格常数比锗的晶格常数大 4.2%（硅的晶格常数是 5.43 埃，而锗的晶格常数是 5.66 埃）。硅锗合金 $\text{Si}_{1-x}\text{Ge}_x$ ($x = 0.0$ – 1.0) 具有单调增加的晶格常数，当 x 从 0.0 增加到 1.0 时。在硅锗上沉积薄的硅层会由于下面的硅锗晶格结构强迫薄的硅沉积层的晶格，而在较小的硅晶格向较大的硅锗晶格对齐时产生具有拉伸应变的硅层。相似地，可以在硅层上生长具有压缩应变的薄硅锗层。但是，随着应变材料沉积层增厚，它们往往发生松弛回到其固有的晶格结构。

[0021] 图 4 示出了图 3 的衬底 100 在高温长时间退火之后的横截面。在一个实施方案中，退火在大约 800°C – 1100°C 之间进行大约 1 秒 – 3 小时。在一个实施方案的退火中，温度是大约 1000°C，时间是大约 2 小时。在高温长时间退火中，应变硅锗 201 中的锗扩散到硅 102

和硅 202 中。当锗扩散至在应变硅 201、硅 102 和硅 202 中是大致恒定的浓度时, 它形成松弛的硅锗 401。由于不再受到相邻硅的压缩应变作用, 所以松弛的硅锗 401 的晶格常数基于松弛的硅锗 401 中锗的浓度而增加。在一个实施方案中, 松弛的硅锗 401 的锗浓度范围是大约 5% -80% (即, 大约 5% -80% 的硅晶格位点都被锗占据)。在一个实施方案中, 松弛的硅锗 401 的锗浓度是大约 15%。基于硅 102、应变硅锗 201、硅 202 或者其组合的退火前掺杂 (或者, 在一个实施方案中, 独立的松弛的硅锗 401 掺杂工艺), 松弛的硅锗 401 可以用本领域公知的任何 p 型掺杂剂进行 p 掺杂。松弛的硅锗 401 实施方案的 p 型掺杂剂浓度水平可以大约位于未掺杂水平和 $6 \times 10^{19}/\text{cm}^3$ 之间。在一个实施方案中, 松弛的硅锗 401 的 p 型掺杂剂浓度水平是大约 $10^{17}/\text{cm}^3$ 。

[0022] 图 5 示出了在松弛的硅锗 401 经过光刻图案化 (lithographic patterning) 以形成松弛的硅锗翼片 (fin) 501 之后图 4 的衬底 100 的横截面。松弛的硅锗翼片 501 可以通过本领域公知的任何方法进行图案化以使硅锗实现图案化。在一个实施方案中, 松弛的硅锗翼片通过本领域公知的任何干硅蚀刻工艺进行图案化。在光刻图案化之后, 一个实施方案的松弛的硅锗翼片 501 具有基本矩形的横截面, 这是因为光刻图案化基本是各向异性的并且形成基本垂直的松弛的硅锗翼片 501 侧壁。在进一步的实施方案 (未示出) 中, 松弛的硅锗翼片 501 具有基本为梯形的横截面, 其上表面和与掩埋的氧化物 101 相邻的其基底相比横跨的横向距离更小。对于基本为矩形和基本为梯形的实施方案两者而言, 松弛的硅锗翼片 501 包括顶部和两个侧壁, 所述顶部和侧壁的宽度和高度尺寸大约是晶体管栅极长度的 25% -100%, 并可以具有从根本上为高且薄的形状直至基本上为短且宽形状的任何形状。在又一实施方案 (也没有示出) 中, 松弛的硅锗翼片 501 具有其它几何横截面, 所述横截面可以包括另外的侧壁或者可以基本是半球状的。

[0023] 图 6 示出了在沉积应变硅 601 之后的图 5 的衬底 100 的横截面。如上所述, 松弛的硅锗翼片 501 的晶格常数比硅的晶格常数大。当在松弛的硅锗翼片 501 顶上形成薄硅层时, 如果硅的厚度足够小, 则硅晶格将和松弛的硅锗翼片 501 晶格对齐, 以形成应变硅 601。由于松弛的硅锗翼片 501 晶格常数比硅的晶格常数大, 所以随后形成的应变硅 601 显示出拉伸应变, 这是因为较小的硅晶格经拉伸以和松弛的硅锗翼片 501 晶格相适应。如上所述, 拉伸应变增加了包含一个实施方案的非平面 MOS 晶体管的沟道区的应变硅 601 中的载流子迁移率。

[0024] 应变硅 601 可以通过本领域公知的任何方法沉积以沉积晶体硅。在一个实施方案中, 应变硅 601 采用选择性取向生长沉积, 使得硅仅仅在松弛的硅锗翼片 401 的表面上生长, 而不在松弛的硅锗翼片 501 图案化过程中暴露的掩埋氧化物 101 的表面上生长。例如, 在一个实施方案中, 实施方案的低压化学气相沉积工艺采用硅烷 (SiH_4)、二硅烷 (Si_2H_4)、二氯代硅烷 (SiH_2Cl_2) 和三氯代硅烷 (SiHCl_3) 作为硅源, 采用 HCL 作为蚀刻气体用于选择性生长。在一个实施方案中, 沉积室的压力是大约 500 毫托 -500 托, 衬底 100 的温度是大约 400°C - 1100°C , 总前体气体流速是大约 10sccm-1000sccm。应该理解, 沉积条件可以根据沉积室的尺寸而变。应该进一步理解, 取向沉积基本上形成单晶应变硅 601。

[0025] 在一个实施方案中, 应变硅 601 掺杂有 p 型掺杂剂。在一个实施方案中, 应变硅 601 的 p 型掺杂剂浓度水平范围是从大约未掺杂到 $6 \times 10^{19}/\text{cm}^3$ 。应该理解, 应变硅 601 可以通过本领域公知的任何掺杂方法掺杂。具体而言, 在一个实施方案的低压化学沉积工艺

中应变硅 601 可以在其沉积过程中通过结合掺杂剂前体进行原位掺杂。或者应变硅 601 可以通过外扩散或者注入来掺杂。

[0026] 如上所述,一个实施方案的松弛的硅锗翼片 501 的横截面具有顶部和两个侧壁。需要注意的是,应变硅 601 应该沉积在松弛的硅锗翼片 501 的顶部和两个侧壁上,每个表面都具有基本均匀的厚度。一个实施方案中,在顶部和侧壁上的应变硅 601 具有大约在 2 纳米 -10 纳米之间的基本均匀的厚度。在一个实施方案中,应变硅 601 的厚度是大约 4-5 纳米。在一个实施方案中,应变硅 601 的厚度允许深度耗尽 (deeply depleted) 或者完全耗尽的沟道条件,这是本领域所公知的。

[0027] 图 7 示出了在沉积了栅电介质 701 和栅极 702 之后图 6 的衬底 100 的横截面,以说明非平面三栅晶体管的横截面。在一个实施方案中,栅电介质 701 包含二氧化硅。在进一步的实施方案中,栅电介质 701 包含高介电常数材料,比如二氧化铪、硅酸铪、氧化镧、铝酸镧、氧化锆、硅酸锆、氧化钽、二氧化钛、钛酸钡锶、钛酸钡、钛酸锶、氧化钇、氧化铝、钽酸铅钪 (lead scandium tantanate) 或者铌酸铅锌 (lead zincniobate)。栅电介质 701 可以以本领域公知的任何方法沉积以沉积栅电介质 701 材料。

[0028] 在一个实施方案中,栅电介质 701 的沉积是毯式沉积 (blanketdeposition)。在沉积栅电介质 701 之后,沉积栅极 702。在一个实施方案中,栅极 702 包含多晶硅、在高 k 栅电介质 701 界面处具有金属层的多晶硅、或者完全金属的栅极。在一个实施方案中,栅极 702 的沉积是毯式沉积。在其中栅电介质 701 和栅极 702 的沉积都是毯式沉积的实施方案中,两者的每一个都被蚀刻以暴露应变硅 601 区域,随后所述区域形成一个实施方案的三栅非平面晶体管的源极和漏极。值得注意的是,一个实施方案的栅极 702 和下面的栅电介质 701 延伸到松弛的硅锗翼片 501(包括其上形成的应变硅 601) 的所有壁上(在一个实施方案中,顶部和两个侧壁)。

[0029] 在替换性的实施方案(未示出)中,栅极 702 仅仅和松弛的硅锗翼片 501 的侧壁相邻,并不延伸到松弛的硅锗翼片 501 的顶部。应变硅 601 可以在松弛的硅锗翼片 501 的整个暴露表面(即,顶部和两个侧壁)上形成,或者可以仅仅在硅锗翼片 501 的两个侧壁上形成。同样地,栅电介质 701 可以在形成于松弛的硅锗翼片 501 上面的应变硅 601 的整个暴露表面(即,顶部和两个侧壁)上形成,或者可以仅仅形成在应变硅 601 的两个侧壁上。采用这种设置,一个实施方案的非平面晶体管类似于包括应变硅 601 沟道区的 FinFET。

[0030] 图 8 是图 7 的衬底 100 的透视图,包括掩埋的氧化物 101、松弛的硅锗翼片 501、应变硅 601、栅电介质 701 和栅极 702。在一个实施方案中,如上所述,栅电介质 701 和栅极 702 的毯式沉积已经被蚀刻以暴露松弛的硅锗翼片 501。应该理解,一个松弛的硅锗翼片 501 可以针对许多栅极 702 运转,一个栅极 702 可以和许多松弛的硅锗翼片 501 一起操作,以形成非平面三栅 MOS 晶体管的阵列。

[0031] 图 9 示出了图 8 的透视图,包括注入 901 以形成源极 902 和漏极 903。形成 MOS 晶体管的源极和漏极是本领域公知的,注入 901(例如,用于 NMOS 器件的 n 型掺杂剂注入)进一步降低了源极 902 和漏极 903 两者与随后制备的金属接点之间的接触电阻率,以改善一个实施方案的非平面三栅 MOS 晶体管的性能。

[0032] 一个实施方案的所得结构是包括应变硅 601 沟道的非平面三栅 MOS 晶体管。如上所述,应变硅 601 晶格的拉伸应变提高应变硅 601 晶格中的电子和空穴迁移率,以制备具有

改进的性能特征的 NMOS 器件。另外,在一个实施方案中,应变硅 601 的厚度使得可以具有深度耗尽或者完全耗尽的条件以减少当 NMOS 器件处于关闭状态(即,栅电压为 0 时的增强模式)时的漏电流。

[0033] 本领域技术人员会认识到,当实施方案将非平面 MOS 晶体管结构和应变沟道材料组合时,具有改善晶体管性能的优点。

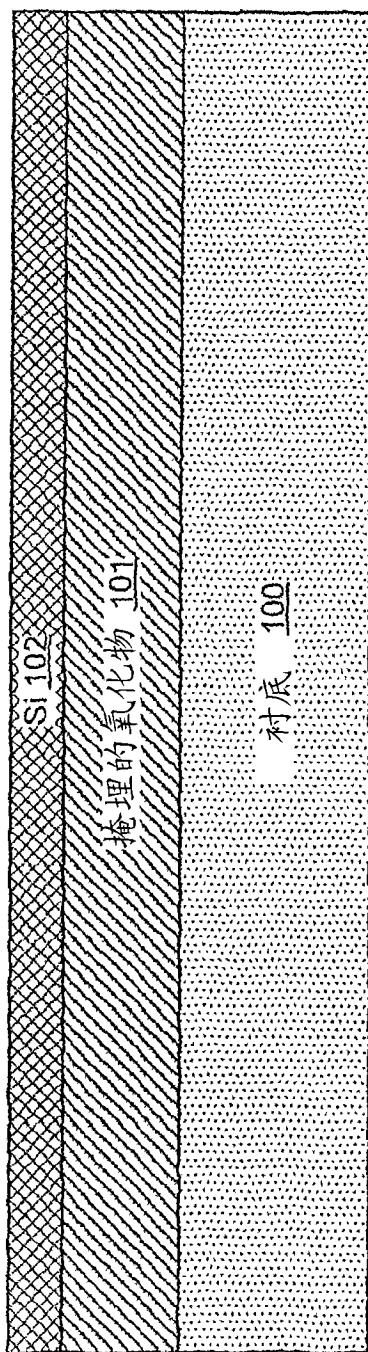


图 1

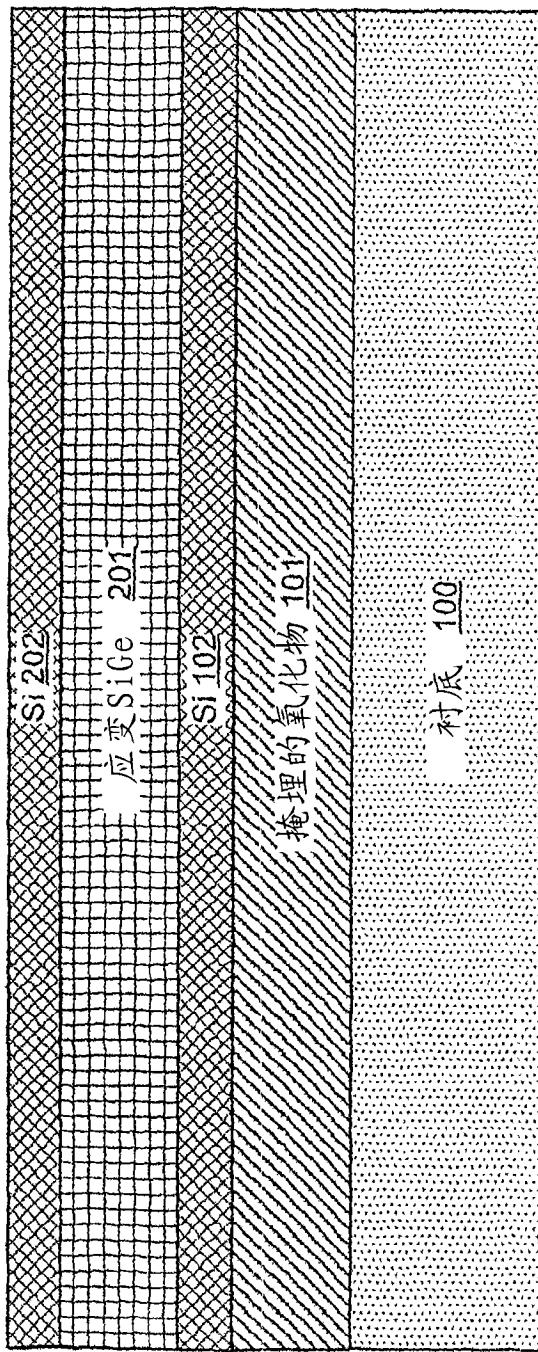


图 3

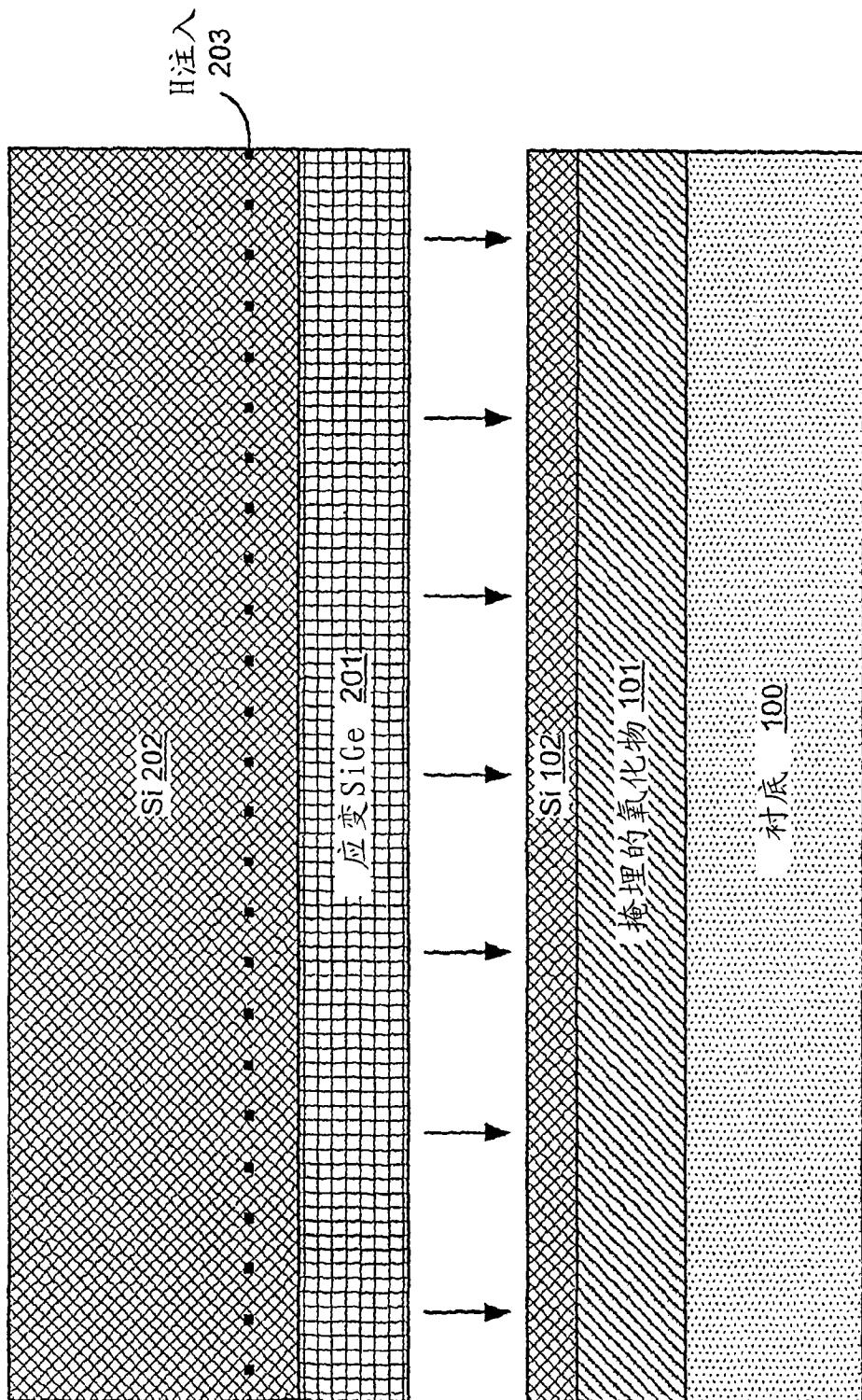


图 2

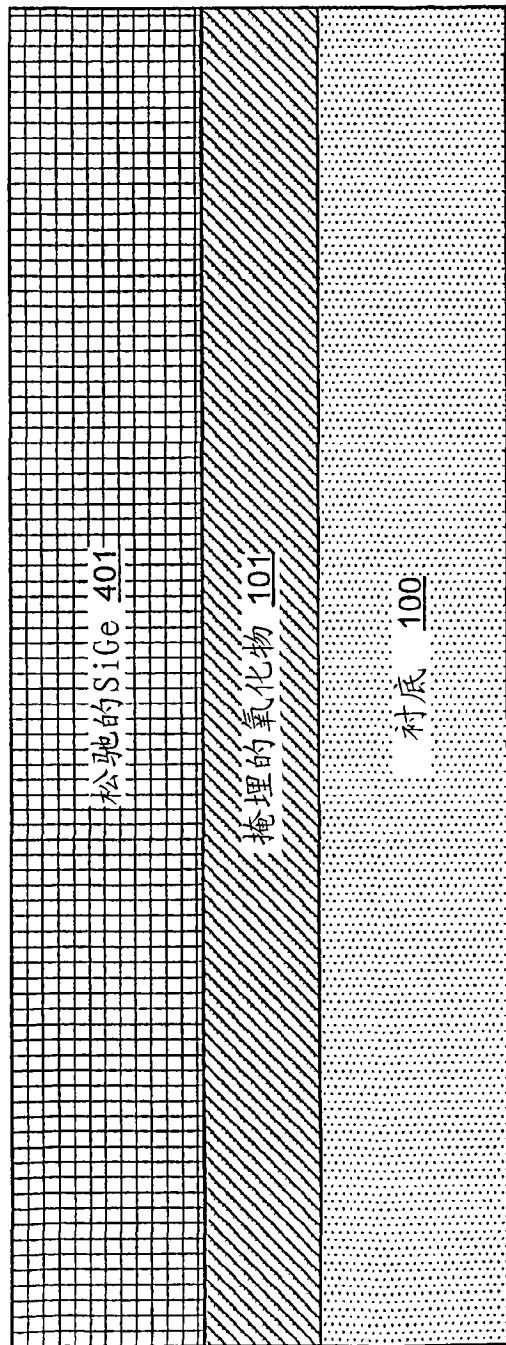


图 4

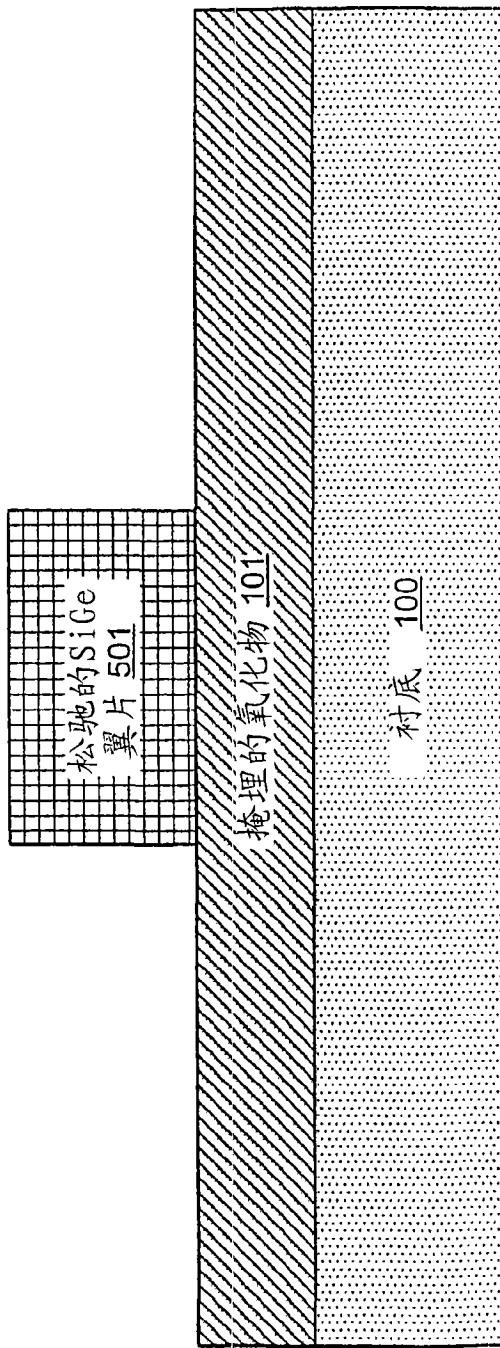


图 5

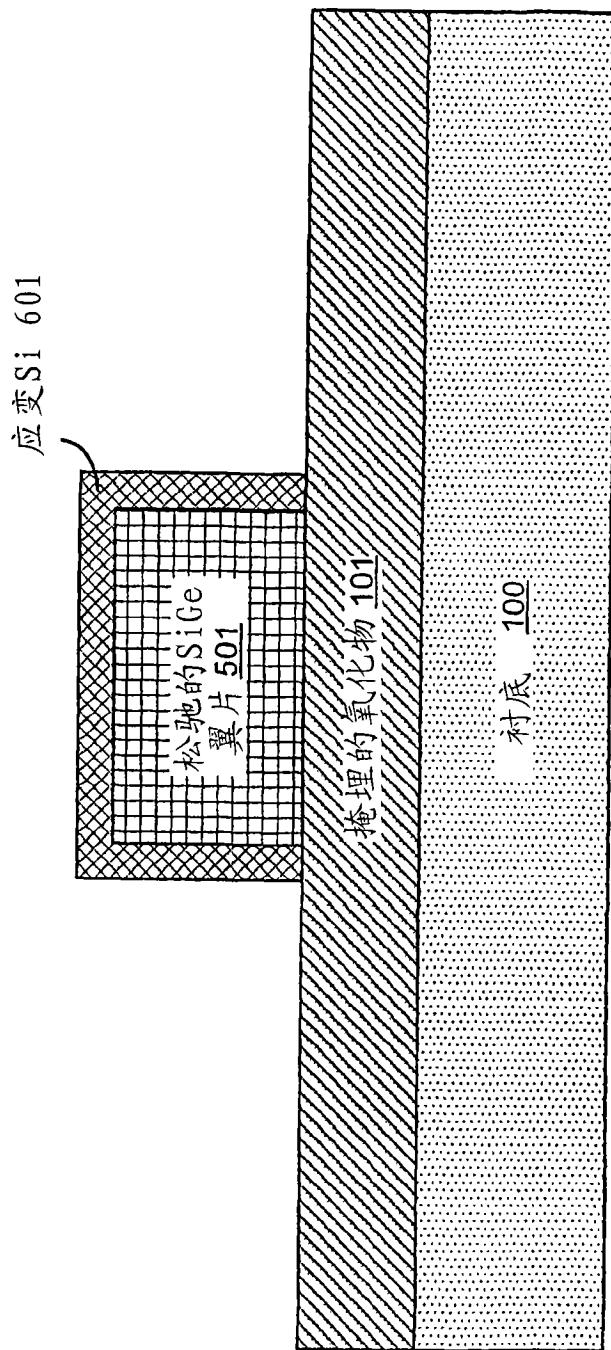


图 6

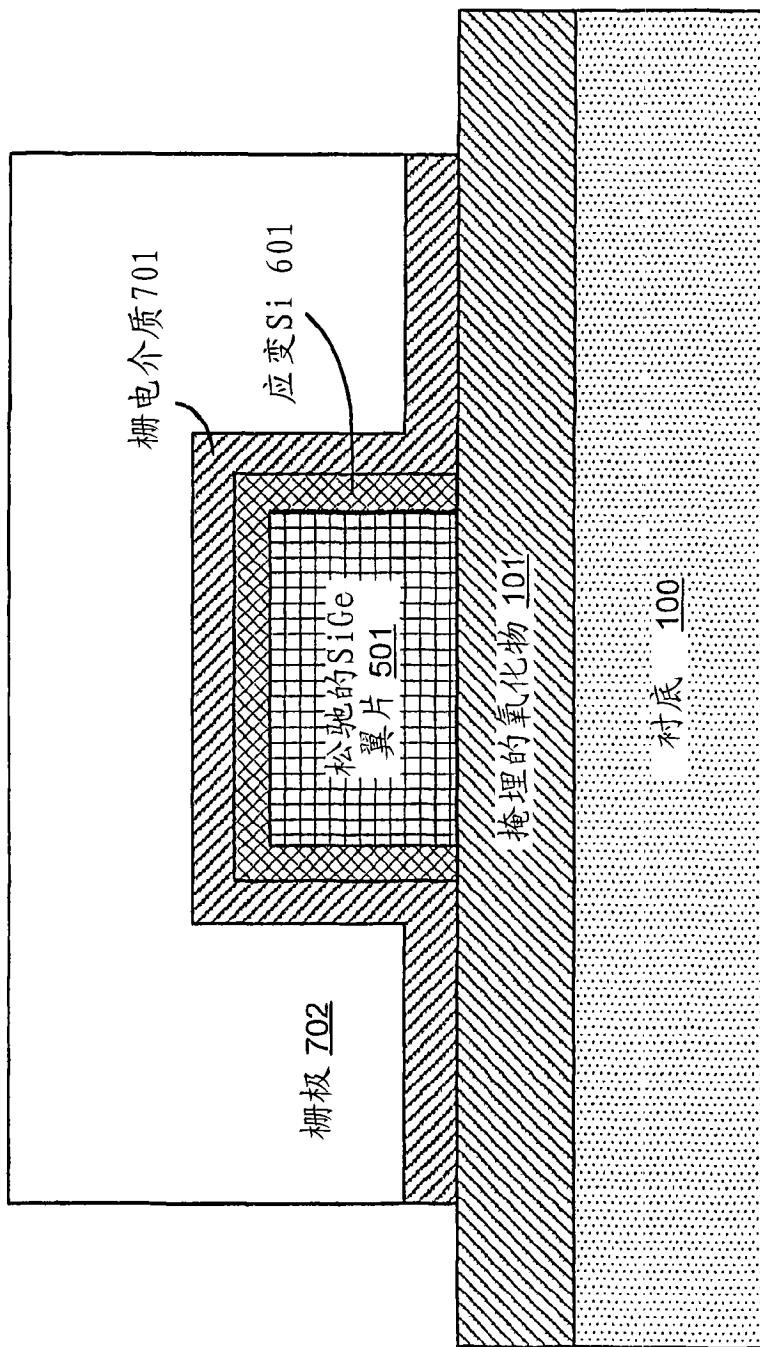
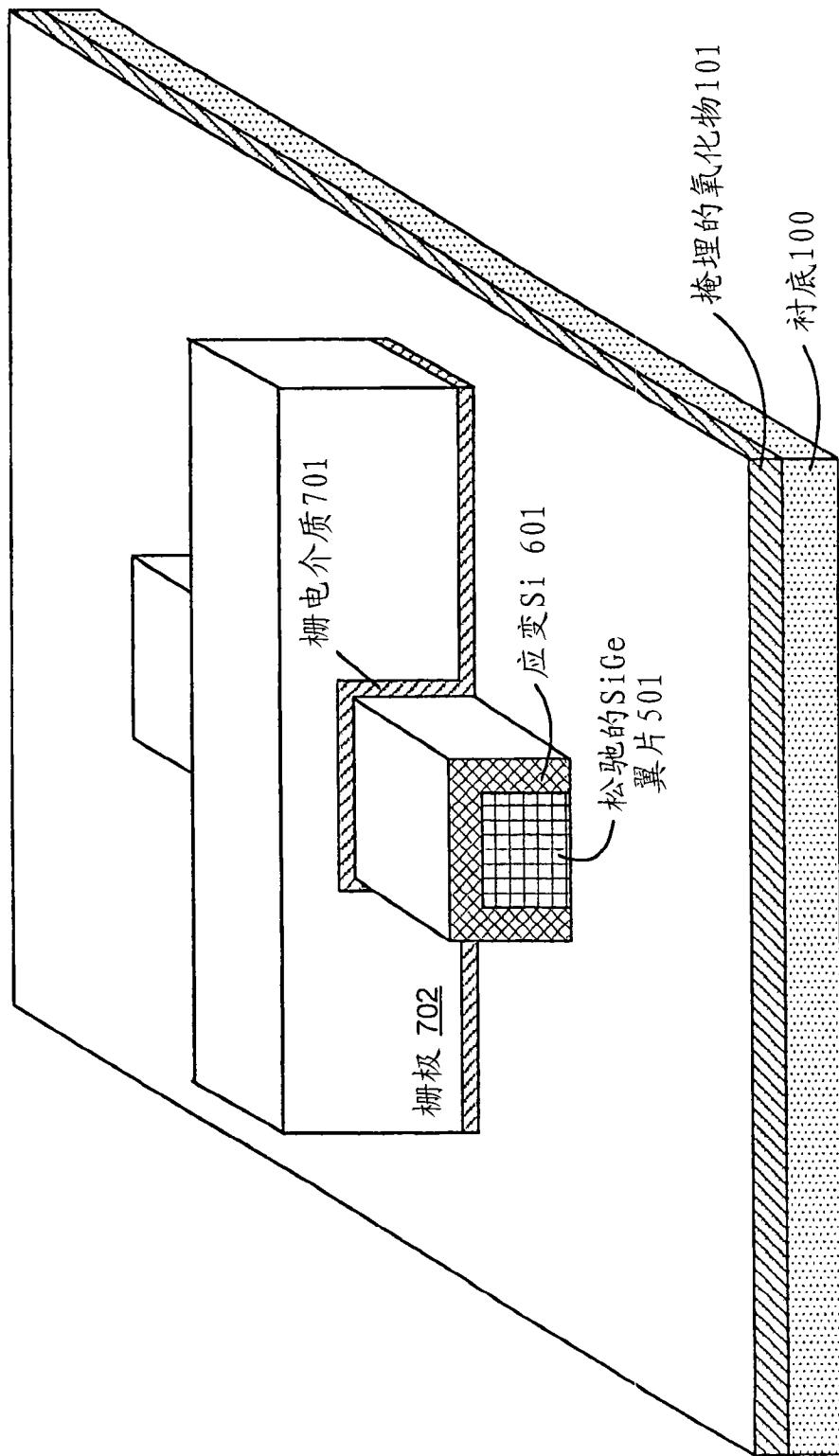


图 7



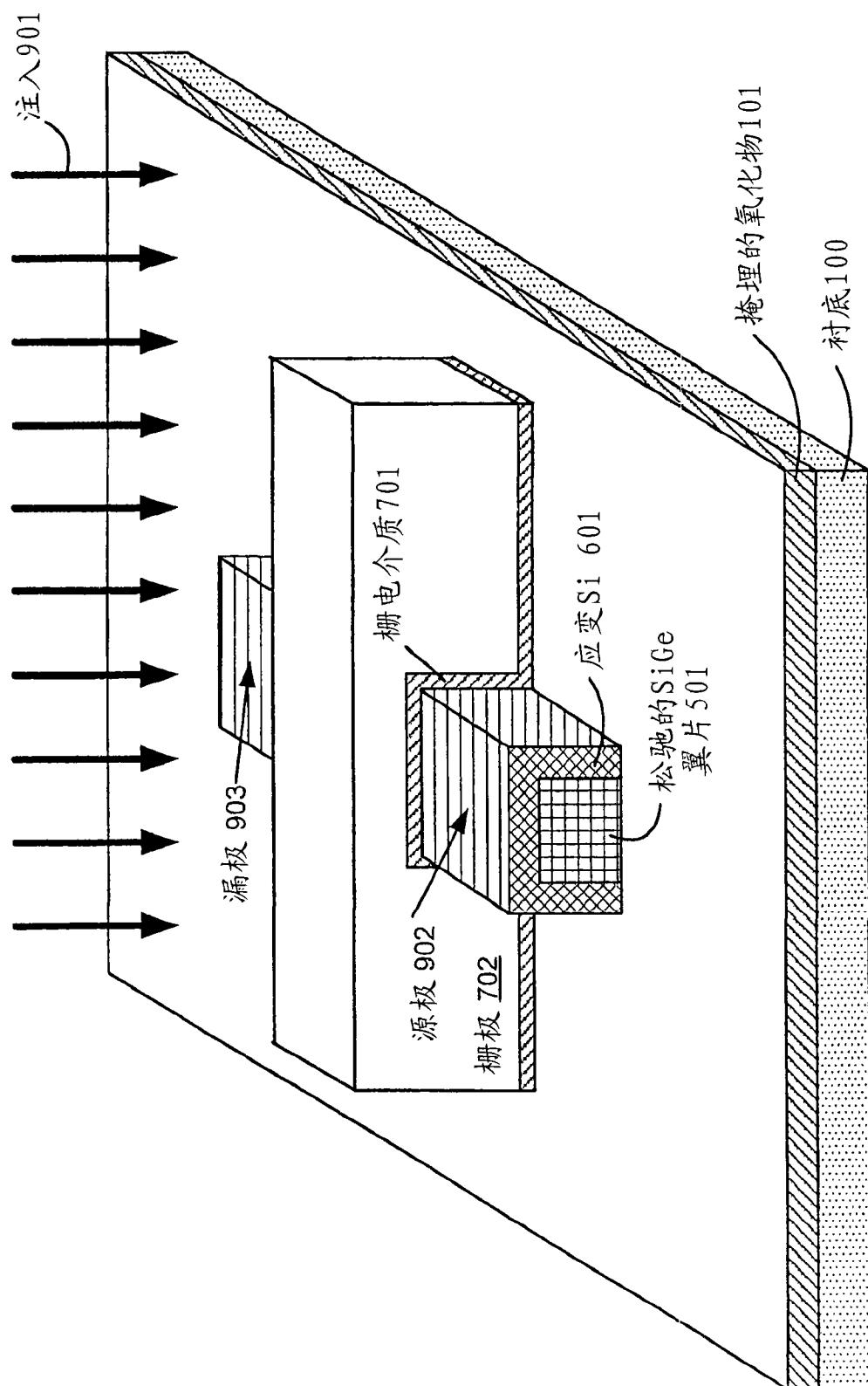


图 9