

(12) 发明专利

(10) 授权公告号 CN 101409216 B

(45) 授权公告日 2012. 11. 07

(21) 申请号 200810166535. 0

H01L 21/84(2006. 01)

(22) 申请日 2008. 10. 10

(56) 对比文件

(30) 优先权数据

2007-265014 2007. 10. 10 JP

2007-285567 2007. 11. 01 JP

US 2003/0183876 A1, 2003. 10. 02,

US 7148124 B1, 2006. 12. 12,

US 6534380 B1, 2003. 03. 18,

US 2003/0060026 A1, 2003. 03. 27,

US 6110845 A, 2000. 08. 29,

(73) 专利权人 株式会社半导体能源研究所

地址 日本神奈川县

审查员 赵世欣

(72) 发明人 大沼英人 挂端哲弥 下村明久

笹川慎也 仓田求

(74) 专利代理机构 上海专利商标事务所有限公

司 31100

代理人 张鑫

(51) Int. Cl.

H01L 21/00(2006. 01)

H01L 21/20(2006. 01)

H01L 21/762(2006. 01)

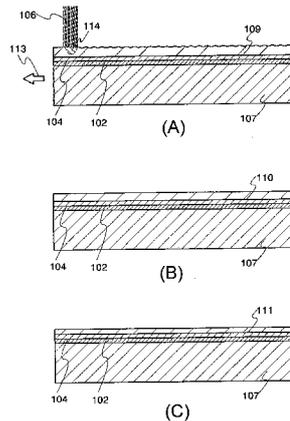
权利要求书 2 页 说明书 43 页 附图 39 页

(54) 发明名称

SOI 衬底的制造方法

(57) 摘要

本发明提供一种半导体衬底的制造方法,该半导体衬底具备即使是在使用玻璃衬底等耐热温度低的衬底的情况下、也可以实际使用的单晶半导体层。通过激发源气体产生等离子体,从单晶半导体衬底的一个表面添加等离子体中所包含的离子种,从而形成损伤区域;在单晶半导体衬底的一个表面上形成绝缘层;以中间夹着绝缘层的方式而将支撑衬底与单晶半导体衬底紧贴,以使其面对单晶半导体衬底;通过加热单晶半导体衬底,在损伤区域中进行分离,将它分离成贴合有单晶半导体层的支撑衬底和单晶半导体衬底;对贴合在支撑衬底上的单晶半导体层的表面进行干法刻蚀;通过对单晶半导体层照射激光束,使单晶半导体层的至少一部分熔化,从而使单晶半导体层再单晶化。



1. 一种 SOI 衬底的制造方法,其特征在于,包括以下工序:

通过产生等离子体并将所述等离子体中所包含的离子种添加到单晶半导体衬底,从而在所述单晶半导体衬底中形成损伤区域;

在所述单晶半导体衬底上形成绝缘层;

以中间夹着所述绝缘层的方式将支撑衬底与所述单晶半导体衬底接合,以使其面对所述单晶半导体衬底;

通过加热所述单晶半导体衬底,在所述损伤区域将单晶半导体层从所述单晶半导体衬底分离,并且将所述单晶半导体层贴合在所述支撑衬底上;

对所述单晶半导体层进行干法刻蚀;以及

在进行所述干法刻蚀之后,用激光束照射所述单晶半导体层,其中所述离子种包括占比例大于或等于 80% 的  $H_3^+$ 。

2. 如权利要求 1 所述的 SOI 衬底的制造方法,其特征在于,在所述照射工序之后进一步进行干法刻蚀工序。

3. 如权利要求 1 所述的 SOI 衬底的制造方法,其特征在于,所述支撑衬底是玻璃衬底。

4. 如权利要求 1 所述的 SOI 衬底的制造方法,其特征在于,利用所述照射工序,使所述单晶半导体层的表面熔化并凝固。

5. 如权利要求 1 所述的 SOI 衬底的制造方法,其特征在于,利用所述照射工序,使所述单晶半导体层的表面平坦化。

6. 如权利要求 1 所述的 SOI 衬底的制造方法,其特征在于,在惰性气氛下,用激光束照射所述单晶半导体层。

7. 如权利要求 1 所述的 SOI 衬底的制造方法,其特征在于,在真空状态下,用激光束照射所述单晶半导体层。

8. 一种 SOI 衬底的制造方法,其特征在于,包括以下工序:

在单晶半导体衬底上形成绝缘层;

通过产生等离子体并将所述等离子体中所包含的离子种经所述绝缘层添加到所述单晶半导体衬底,从而在所述单晶半导体衬底中形成损伤区域;

以中间夹着所述绝缘层的方式将支撑衬底与所述单晶半导体衬底接合,以使其面对所述单晶半导体衬底;

通过加热所述单晶半导体衬底,在所述损伤区域将单晶半导体层从所述单晶半导体衬底分离,并且将所述单晶半导体层贴合在所述支撑衬底上;

对所述单晶半导体层进行干法刻蚀;以及

在进行所述干法刻蚀之后,用激光束照射所述单晶半导体层,其中所述离子种包括占比例大于或等于 80% 的  $H_3^+$ 。

9. 如权利要求 8 所述的 SOI 衬底的制造方法,其特征在于,在所述照射工序之后进一步进行干法刻蚀工序。

10. 如权利要求 8 所述的 SOI 衬底的制造方法,其特征在于,所述支撑衬底是玻璃衬底。

11. 如权利要求 8 所述的 SOI 衬底的制造方法,其特征在于,

利用所述照射工序,使所述单晶半导体层的表面熔化并凝固。

12. 如权利要求 8 所述的 SOI 衬底的制造方法,其特征在于,利用所述照射工序,使所述单晶半导体层的表面平坦化。

13. 如权利要求 8 所述的 SOI 衬底的制造方法,其特征在于,在惰性气氛下,用激光束照射所述单晶半导体层。

14. 如权利要求 8 所述的 SOI 衬底的制造方法,其特征在于,在真空状态下,用激光束照射所述单晶半导体层。

## SOI 衬底的制造方法

### 技术领域

[0001] 本发明涉及 SOI 衬底的制造方法和具有 SOI 结构的半导体装置的制造方法, 该 SOI 衬底具有在绝缘表面设置有单晶半导体层的所谓 SOI (Silicon on Insulator: 绝缘体上硅) 的结构。

### 背景技术

[0002] 一种使用半导体衬底的集成电路正在被研究开发, 该半导体衬底是在绝缘表面上设置有薄的单晶半导体层、并被称为绝缘体上硅 (以下也称为“SOI”), 来代替将单晶半导体块切成薄片而制造的硅晶片。使用 SOI 衬底的集成电路以其减少晶体管的漏极和衬底之间的寄生电容、并提高半导体集成电路的性能, 正引人注目。

[0003] 作为制造 SOI 衬底的方法, 已知有氢离子注入剥离法 (例如参照专利文献 1)。氢离子注入剥离法是通过将氢离子注入到硅晶片, 而在离其表面的规定深度处形成损伤区域, 并使硅晶片在该损伤区域中分离, 从而将薄硅层与另一硅片接合。此外, 除了进行剥离硅层的热处理以外, 还必须通过氧化性气氛下的热处理, 在硅层上形成氧化膜, 然后去除该氧化膜, 再进行 1000°C ~ 1300°C 的热处理来提高接合强度。

[0004] 另一方面, 还揭示了一种在高耐热性玻璃等的绝缘衬底上设置有硅层的半导体装置 (例如参照专利文献 2)。该半导体装置具有如下结构, 即用绝缘硅膜保护应变点为 750°C 以上的晶化玻璃的整个表面, 并且将通过氢离子注入剥离法而得到的硅层贴合到该绝缘硅膜上。

[0005] [专利文献 1] 日本专利申请公开 2000-124092 号公报

[0006] [专利文献 2] 日本专利申请公开 H11-163363 号公报

[0007] 另外, 在为形成损伤区域而进行的离子照射工序中, 硅层因被照射的离子而受到损伤。在提高上述硅层和支撑衬底的接合强度的热处理中, 还进行由离子照射工序所导致的对硅层的损坏的修复。

[0008] 但是, 对于支撑衬底使用玻璃衬底等的耐热温度低的衬底时, 则不能进行 1000°C 以上的热处理, 就不能对上述离子照射工序所导致的对硅层的损坏进行充分的修复。

[0009] 另外, 在现有的氢离子注入剥离法中, 在从硅晶片分离了硅层之后, 必须进行 CMP (Chemical Mechanical Polishing: 化学机械抛光) 工序, 以使该分离面平坦化并使其变薄直到规定的厚度。但是, CMP 工序需要耗费时间, 并且难以形成具有平坦性的较大夹具 (jig)。因此, 现有的 SOI 衬底不适合大面积化, 存在阻碍生产性提高和制造成本降低的因素。

[0010] 发明内容

[0011] 鉴于上述问题, 本发明的一个目的在于提供一种 SOI 衬底的制造方法, 该 SOI 衬底具备即使是在使用玻璃衬底等的耐热温度低的衬底的情况下、也可以实际使用的单晶半导体层。本发明的另一个目的还在于制造使用了上述 SOI 衬底的高可靠性的 SOI 装置。

[0012] 本发明的特征在于, 通过激发源气体产生等离子体, 从单晶半导体衬底的一个表

面添加前述等离子体中所包含的离子,从而在前述单晶半导体衬底中形成损伤区域;在前述单晶半导体衬底的一个表面上形成绝缘层;以中间夹着前述绝缘层的方式将支撑衬底与前述单晶半导体衬底贴合,以使其面对前述单晶半导体衬底;通过加热前述单晶半导体衬底,在所述损伤区域中,将其分离成贴合有单晶半导体层的前述支撑衬底和单晶半导体衬底的一部分;对贴合在前述支撑衬底上的前述单晶半导体层的表面进行干法刻蚀;对前述单晶半导体层照射激光束,并在前述单晶半导体层的至少表面熔化后,使其凝固。

[0013] 另外,在对单晶半导体层照射了激光束之后,也可以进行干法刻蚀或湿法刻蚀中的一种、或对双方进行组合的刻蚀。

[0014] 这里,对于单晶,若着眼于某一晶轴时,是指其晶轴的方向在样品的任一部分中都是向着同一方向的晶体,而且是在晶体和晶体之间不存在晶界的晶体。此外,在本说明书中,即使是含有晶体缺陷或悬空键,但如上所述的晶轴方向一致、且不存在晶界的晶体都被视为单晶。另外,单晶半导体层的再单晶化是指单晶结构的半导体层,经与其单晶结构不同的状态(例如液相状态)再次为单晶结构。或者,单晶半导体层的再单晶化也可以说是通过对单晶半导体层进行再结晶化而形成单晶半导体层。

[0015] 在单晶半导体衬底的损伤区域中,将其分离成贴合有单晶半导体衬底的支撑衬底和单晶半导体衬底的一部分,并通过贴合于支撑衬底上的单晶半导体层进行干法刻蚀,去除单晶半导体层表面的缺陷或损伤,并降低单晶半导体层的表面粗糙度,然后照射激光束,因此,在因激光束的照射而导致单晶半导体层熔化时,可以防止缺陷和损伤进入到单晶半导体层内部。由此,可以获得缺陷减少、且平坦性高的单晶半导体层。

[0016] 另外,可以制造具备单晶半导体层的 SOI 衬底,该单晶半导体层即使是在使用玻璃衬底等的耐热温度低的衬底的情况下,也可以实际使用。再者,通过使用设置于上述 SOI 衬底上的单晶半导体层,可以高成品率地制作具备各种高性能和高可靠性的半导体元件、存储元件、集成电路等的半导体装置。

## 附图说明

[0017] 图 1 是说明实施方式 1 有关的 SOI 衬底的制造方法的图。

[0018] 图 2 是说明实施方式 1 有关的 SOI 衬底的制造方法的图。

[0019] 图 3 是说明实施方式 1 有关的 SOI 衬底的制造方法的图。

[0020] 图 4 是说明实施方式 1 有关的 SOI 衬底的制造方法的图。

[0021] 图 5 是说明实施方式 1 有关的 SOI 衬底的制造方法的图。

[0022] 图 6 是说明实施方式 2 有关的半导体装置的制造方法的图。

[0023] 图 7 是说明实施方式 2 有关的半导体装置的制造方法的图。

[0024] 图 8 是表示利用 SOI 衬底获得的微处理器的结构的框图。

[0025] 图 9 是表示利用 SOI 衬底获得的 RF CPU 的结构的框图。

[0026] 图 10 是对支撑衬底使用母体玻璃的 SOI 衬底的正面图。

[0027] 图 11(A) 是液晶显示装置的像素的平面图。图 11(B) 是沿 J-K 切断线的图 11(A) 的截面图。

[0028] 图 12(A) 是电致发光显示装置的像素的平面图。图 12(B) 是沿 J-K 切断线的图 12(A) 的截面图。

- [0029] 图 13 是表示应用本发明的电子设备的图。
- [0030] 图 14 是表示应用本发明的电子设备的主要结构的框图。
- [0031] 图 15 是表示应用本发明的电子设备的图。
- [0032] 图 16 是表示应用本发明的便携式电话的图。
- [0033] 图 17 是说明实施例 1 有关的 SOI 衬底的制造方法的图。
- [0034] 图 18 是说明实施例 1 有关的 SOI 衬底的制造方法的图。
- [0035] 图 19 是说明实施例 1 有关的 SOI 衬底的制造方法的图。
- [0036] 图 20 是单晶半导体层表面用 AFM 的观察结果 ( $10\ \mu\text{m}\times 10\ \mu\text{m}$ )。
- [0037] 图 21 是单晶半导体层表面用 AFM 的观察结果 ( $10\ \mu\text{m}\times 10\ \mu\text{m}$ )。
- [0038] 图 22 是说明实施例 2 有关的 SOI 衬底的制造方法的图。
- [0039] 图 23 是说明实施例 2 有关的 SOI 衬底的制造方法的图。
- [0040] 图 24 是阈值电压的概率统计分布图。
- [0041] 图 25 是亚阈值摆幅的概率统计分布图。
- [0042] 图 26 是场效应迁移率的概率统计分布图。
- [0043] 图 27 是说明实施方式 3 有关的半导体装置的制造方法的图。
- [0044] 图 28 是说明实施方式 3 有关的半导体装置的制造方法的图。
- [0045] 图 29 是说明实施方式 3 有关的半导体装置的制造方法的图。
- [0046] 图 30 是表示氢离子种的能量图。
- [0047] 图 31 是表示离子的质量分析结果的图。
- [0048] 图 32 是表示离子的质量分析结果的图。
- [0049] 图 33 是表示加速电压为 80kV 时的氢元素的深度方向轮廓 (实测值和计算值) 的图。
- [0050] 图 34 是表示加速电压为 80kV 时的氢元素的深度方向轮廓 (实测值、计算值和拟合函数) 的图。
- [0051] 图 35 是表示加速电压为 60kV 时的氢元素的深度方向轮廓 (实测值、计算值和拟合函数) 的图。
- [0052] 图 36 是表示加速电压为 40kV 时的氢元素的深度方向轮廓 (实测值、计算值和拟合函数) 的图。
- [0053] 图 37 是将拟合参数的比 (氢元素比和氢离子种比) 进行汇总的图。
- [0054] 标号说明
- [0055] 101 单晶半导体衬底
- [0056] 102 绝缘层
- [0057] 102a 绝缘层
- [0058] 102b 绝缘层
- [0059] 103 损伤区域
- [0060] 104 绝缘层
- [0061] 105 离子束
- [0062] 106 激光束
- [0063] 107 支撑衬底

- [0064] 108 单晶半导体层
- [0065] 109 单晶半导体层
- [0066] 110 单晶半导体层
- [0067] 111 单晶半导体层
- [0068] 112 绝缘层
- [0069] 113 箭头
- [0070] 114 部分
- [0071] 205 单晶半导体层
- [0072] 206 单晶半导体层
- [0073] 207 栅绝缘层
- [0074] 208 栅电极层
- [0075] 209 栅电极层
- [0076] 210 杂质元素
- [0077] 211 掩模
- [0078] 212a n 型杂质区域
- [0079] 213 杂质元素
- [0080] 214 掩模
- [0081] 215a p 型杂质区域
- [0082] 215b p 型杂质区域
- [0083] 216a 侧壁绝缘层
- [0084] 216c 侧壁绝缘层
- [0085] 217 杂质元素
- [0086] 218 掩模
- [0087] 219a n 型杂质区域
- [0088] 219b n 型杂质区域
- [0089] 220a n 型杂质区域
- [0090] 221 沟道形成区域
- [0091] 222 杂质元素
- [0092] 223 掩模
- [0093] 224a p 型杂质区域
- [0094] 225a p 型杂质区域
- [0095] 226 沟道形成区域
- [0096] 227 绝缘膜
- [0097] 228 绝缘层
- [0098] 229a 布线层
- [0099] 231 薄膜晶体管
- [0100] 232 薄膜晶体管
- [0101] 233a 栅绝缘层
- [0102] 302 单晶半导体层

- [0103] 321 单晶半导体层
- [0104] 322 扫描线
- [0105] 323 信号线
- [0106] 324 像素电极
- [0107] 325 TFT
- [0108] 327 层间绝缘膜
- [0109] 328 电极
- [0110] 329 柱状隔件
- [0111] 330 取向膜
- [0112] 332 相对衬底
- [0113] 333 相对电极
- [0114] 334 取向膜
- [0115] 335 液晶层
- [0116] 401 选择用晶体管
- [0117] 402 显示控制用晶体管
- [0118] 403 单晶半导体层
- [0119] 404 单晶半导体层
- [0120] 405 扫描线
- [0121] 406 信号线
- [0122] 407 电流供应线
- [0123] 408 像素电极
- [0124] 410 电极
- [0125] 411 电极
- [0126] 412 栅电极
- [0127] 413 电极
- [0128] 427 层间绝缘膜
- [0129] 428 隔断层
- [0130] 429 EL 层
- [0131] 430 相对电极
- [0132] 431 相对衬底
- [0133] 432 树脂层
- [0134] 500 微处理器
- [0135] 501 运算电路
- [0136] 502 运算电路控制部
- [0137] 503 指令解析部
- [0138] 504 控制部
- [0139] 505 时序控制部
- [0140] 506 寄存器
- [0141] 507 寄存器控制部

- [0142] 508 总线接口
- [0143] 509 专用存储器
- [0144] 510 存储器接口
- [0145] 511 RFCPU
- [0146] 512 模拟电路部
- [0147] 513 数字电路部
- [0148] 514 谐振电路
- [0149] 515 整流电路
- [0150] 516 恒压电路 516
- [0151] 517 复位电路
- [0152] 518 振荡电路
- [0153] 519 解调电路
- [0154] 520 调制电路
- [0155] 521 RF 接口
- [0156] 522 控制寄存器
- [0157] 523 时钟控制器
- [0158] 524 接口
- [0159] 525 中央处理单元
- [0160] 526 随机存取存储器
- [0161] 527 专用存储器
- [0162] 528 天线
- [0163] 529 电容部
- [0164] 530 电源管理电路
- [0165] 551 母体玻璃
- [0166] 552 单晶半导体层
- [0167] 581 形成区域
- [0168] 582 扫描线驱动电路形成区域
- [0169] 583 信号线驱动电路形成区域
- [0170] 584 像素形成区域
- [0171] 601 c-Si 衬底
- [0172] 602a 氧氮化硅层
- [0173] 602b 氮氧化硅层
- [0174] 603 损伤区域
- [0175] 604 氧化硅层
- [0176] 606 激光束
- [0177] 607 玻璃衬底
- [0178] 608 硅层
- [0179] 609 硅层
- [0180] 610 硅层

- [0181] 611 硅层
- [0182] 651 单晶半导体层
- [0183] 652 单晶半导体层
- [0184] 653 栅绝缘层
- [0185] 654 导电层
- [0186] 655 导电层
- [0187] 656 抗蚀剂掩模
- [0188] 657 抗蚀剂掩模
- [0189] 658 导电层
- [0190] 659 导电层
- [0191] 660 导电层
- [0192] 661 导电层
- [0193] 662 导电层
- [0194] 663 导电层
- [0195] 665 栅电极
- [0196] 666 栅电极
- [0197] 668 杂质元素
- [0198] 669 杂质区域
- [0199] 670 杂质区域
- [0200] 671 抗蚀剂掩模
- [0201] 672 抗蚀剂掩模
- [0202] 673 杂质元素
- [0203] 675 杂质区域
- [0204] 676 杂质区域
- [0205] 677 沟道形成区域
- [0206] 679 抗蚀剂掩模
- [0207] 680 杂质元素
- [0208] 681 杂质区域
- [0209] 682 杂质区域
- [0210] 683 沟道形成区域
- [0211] 684 绝缘层
- [0212] 685 绝缘层
- [0213] 686 绝缘层
- [0214] 705 硅层
- [0215] 706 硅层
- [0216] 707 栅绝缘膜
- [0217] 708 栅电极
- [0218] 709 栅电极
- [0219] 901 便携式电话机

- [0220] 902 显示部
- [0221] 903 操作开关
- [0222] 911 数字播放器
- [0223] 912 显示部
- [0224] 913 操作部
- [0225] 914 耳机
- [0226] 921 电子书
- [0227] 922 显示部
- [0228] 923 操作开关
- [0229] 1000 便携式电话
- [0230] 1001 框体
- [0231] 1002 框体
- [0232] 1101 显示部
- [0233] 1102 扬声器
- [0234] 1103 麦克风
- [0235] 1104 操作键
- [0236] 1105 定点设备
- [0237] 1106 相机用透镜
- [0238] 1107 外部连接端子
- [0239] 1108 耳机端子
- [0240] 1201 键盘
- [0241] 1202 外部存储器插槽
- [0242] 1203 相机用透镜
- [0243] 1204 灯
- [0244] 1904 调谐器
- [0245] 1905 图像信号放大电路
- [0246] 1906 图像信号处理电路
- [0247] 1907 控制电路
- [0248] 1908 信号分割电路
- [0249] 1909 音频信号放大电路
- [0250] 1910 音频信号处理电路
- [0251] 1911 控制电路
- [0252] 1912 输入部
- [0253] 1913 扬声器
- [0254] 2001 框体
- [0255] 2002 显示用面板
- [0256] 2003 主屏幕
- [0257] 2004 调制解调器
- [0258] 2005 接收机

- [0259] 2006 遥控器
- [0260] 2007 显示部
- [0261] 2008 子屏幕
- [0262] 2009 扬声器部
- [0263] 2010 框体
- [0264] 2011 显示部
- [0265] 2012 键盘部
- [0266] 2013 扬声器部

### 具体实施方式

[0267] 参照附图对本发明的实施方式进行详细说明。但是,本发明并不限于以下说明,在不脱离本发明的要点及其范围内,只要是所属技术领域的技术人员就能很容易地理解对其方式和详细内容进行种种变更后所得的实施方式。因而,本发明并不限于以下所示的实施方式所记载的内容而被解释。此外,在以下说明的本发明的结构中,对于同一部分或具有同样功能的部分,不同附图间公用相同的标号,并省略其反复说明。

#### [0268] (实施方式 1)

[0269] 本实施方式中,参照附图说明一种 SOI 衬底的制造方法,即分离单晶半导体衬底,将其分离成贴合有单晶半导体层的支撑衬底和单晶半导体衬底的一部分,对贴合于支撑衬底上的单晶半导体层的表面进行干刻蚀,然后,对被进行了干法刻蚀的单晶半导体层的表面照射激光束的 SOI 衬底的制造方法,参照附图进行说明。另外,本实施方式中,还说明了一种 SOI 衬底的制造方法,其目的之一在于对玻璃衬底等耐热温度低的衬底设置单晶半导体层。

[0270] 首先,准备单晶半导体衬底 101。单晶半导体衬底 101 被加工成所希望的大小和形状。单晶半导体衬底 101 例如是单晶硅衬底、锗衬底、砷化镓或磷化铟等的化合物半导体衬底等。作为单晶硅衬底,典型的是直径 5 英寸 (125mm)、直径 6 英寸 (150mm)、直径 8 英寸 (200mm)、直径 12 英寸 (300mm) 大小的圆形衬底。另外,还可以使用直径 18 英寸 (450mm) 大小的圆形衬底。还有,也可以使用形状不局限于圆形、加工成矩形的单晶硅衬底。

[0271] 在单晶半导体衬底 101 的一个表面上形成含氮的绝缘层 102(图 1(A))。为了在之后将单晶半导体衬底 101 的一部分贴合到支撑衬底上并设置单晶半导体层时,防止来自支撑衬底一侧的杂质污染,优选设置含氮的绝缘层 102。也就是说,含氮的绝缘层 102 用作防止支撑衬底中含有的可动离子或水分等的杂质扩散到单晶半导体层中用的阻挡层。因而,对于杂质污染不成为问题的情况,可以省略含氮的绝缘层 102。

[0272] 含氮的绝缘层 102 可以用化学气相沉积 (CVD:Chemical Vapor Deposition) 法、溅射法等,以单层结构或两层以上的叠层结构形成氮化硅层、氮氧化硅层或氧氮化硅层。含氮的绝缘层 102 优选设置在 50nm ~ 200nm 的范围内。例如,可以从单晶半导体衬底 101 的一侧层叠氧氮化硅层和氮氧化硅层作为含氮的绝缘层 102。还有,本说明书中的化学气相沉积 (CVD:Chemical Vapor Deposition) 法的范畴包括了等离子体 CVD 法、热 CVD 法、光 CVD 法。

[0273] 此外,对于氧氮化硅层,作为其组成,是指氧含量多于氮含量,在用卢瑟福背散射

法 (RBS:Rutherford Backscattering Spectrometry) 和氢前方散射法 (HFS:Hydrogen Forward Scattering) 进行测定时,作为浓度范围,是指氧在 50 ~ 70 原子%、氮在 0.5 ~ 15 原子%、硅在 25 ~ 35 原子%、氢在 0.1 ~ 10 原子%的范围内。另外,对于氮氧化硅膜,作为其组成,是指氮含量多于氧含量,在使用 RBS 和 HFS 进行测定时,作为浓度范围,是指氧在 5 ~ 30 原子%、氮在 20 ~ 55 原子%、硅在 25 ~ 35 原子%、氢在 10 ~ 30 原子%的范围内。但是,当将构成氧氮化硅或氮氧化硅的原子的合计设为 100 原子%时,则氮、氧、Si 和氢的含有比例在上述范围内。

[0274] 接着,隔着绝缘层 102,对单晶半导体衬底 101 照射由电场加速的离子构成的离子束 105,从而将其引入单晶半导体衬底,在离单晶半导体衬底 101 的一个表面的规定深度的区域中形成损伤区域 103(参照图 1(B))。离子束 105 是通过激发源气体产生源气体的等离子体、利用电场作用从等离子体引出等离子体中所包含的离子而产生的。

[0275] 形成损伤区域 103 的区域的深度,可以根据离子束 105 的加速电压和离子束 105 的入射角来调节。在与离子平均侵入深度大致相同深度的区域形成损伤区域 103。从单晶半导体衬底 101 分离的单晶半导体层的厚度取决于引入离子的深度。调节形成损伤区域 103 的深度,以使该单晶半导体层的厚度为 20nm ~ 500nm,优选为 20nm ~ 200nm。

[0276] 在对单晶半导体衬底 101 添加离子时,可以使用离子注入装置、或离子掺杂装置。在离子注入装置中,激发源气体并产生等离子体,从等离子体中引出离子种,然后对离子种进行质量分离,对被处理物照射具有规定质量的离子种。在离子掺杂装置中,激发源气体并产生等离子体,从等离子体中引出离子种,然后不对离子种进行质量分离就将它照射到被处理物上。另外,在具有质量分离装置的离子掺杂装置中,可以与离子注入装置相同地进行具有质量分离的离子注入。在本说明书中,只有在特别需要使用离子注入装置或离子掺杂装置中的任一方的情况下才会写明何种装置,而在没有特别写明的情况下,可以使用任一种装置来进行离子的照射。

[0277] 使用离子掺杂装置时的离子照射工序,例如可以按照以下条件进行。

[0278] • 加速电压 10kV 以上 100kV 以下 (优选为 20kV 以上 80kV 以下)

[0279] • 剂量  $1 \times 10^{16}$  ions/cm<sup>2</sup> 以上  $4 \times 10^{16}$  ions/cm<sup>2</sup> 以下

[0280] • 束电流密度  $2 \mu\text{A}/\text{cm}^2$  (优选为  $5 \mu\text{A}/\text{cm}^2$  以上,更优选为  $10 \mu\text{A}/\text{cm}^2$  以上)

[0281] 在使用离子掺杂装置的情况下,对于离子照射工序的源气体可以使用氢气。通过使用氢气 (H<sub>2</sub> 气),可以生成 H<sup>+</sup>、H<sub>2</sub><sup>+</sup>、H<sub>3</sub><sup>+</sup> 作为离子种。在使用氢气作为源气体的情况下,优选是照射大量 H<sub>3</sub><sup>+</sup>。通过照射大量 H<sub>3</sub><sup>+</sup> 离子,使其离子照射效率高于照射 H<sup>+</sup>、H<sub>2</sub><sup>+</sup>。也就是说,可以缩短照射离子所需要的时间。另外,损伤区域 103 中的分离变得更容易。另外,通过使用 H<sub>3</sub><sup>+</sup>,可以使离子的平均侵入深度变浅,因此可以在更浅的区域中形成损伤区域 103。

[0282] 在使用离子注入装置的情况下,优选利用质量分离来照射 H<sub>3</sub><sup>+</sup> 离子。当然也可以照射 H<sub>2</sub><sup>+</sup>。但是,在使用离子注入装置的情况下,由于选择离子种来照射,所以与使用离子注入装置的情况相比较,有时离子照射效率要低。

[0283] 在使用离子掺杂装置的情况下,优选的是离子束 105 中含有相对于 H<sup>+</sup>、H<sub>2</sub><sup>+</sup>、H<sub>3</sub><sup>+</sup> 的总量为 70% 以上的 H<sub>3</sub><sup>+</sup> 离子。更优选的是使 H<sub>3</sub><sup>+</sup> 离子的含有比例为 80% 以上。这样通过提高 H<sub>3</sub><sup>+</sup> 离子的比例,可以使损伤区域 103 包含  $1 \times 10^{20}$  atoms/cm<sup>3</sup> 以上的氢,因此使半导体层的分离变得容易。

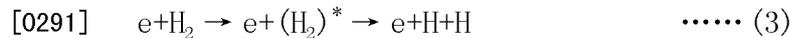
[0284] 对于离子照射工序的源气体,除了氢气以外,还可以使用选自氦或氩等惰性气体、以氟气、氯气为典型的卤素气体、氟化物气体(例如  $\text{BF}_3$ ) 等的卤化物气体中的一种或多种气体。在使用氦作为源气体的情况下,通过不进行质量分离,可以获得  $\text{He}^+$  离子的比例高的离子束 105。通过使用这样的离子束 105,可以高效地形成损伤区域 103。

[0285] 以下,对作为本发明的特征之一的离子照射方法进行分析。

[0286] 本发明中,对单晶半导体衬底照射来源于氢(H)的离子(以下称为“氢离子种”)。更具体地说,将氢气或是其组成中含氢的气体用作为原料,来产生氢等离子体,并对单晶半导体衬底照射该氢等离子体中的氢离子种。

[0287] (氢等离子体中的离子)

[0288] 在上述氢等离子体中,存在氢离子种如  $\text{H}^+$ 、 $\text{H}_2^+$ 、 $\text{H}_3^+$ 。在此,对各个氢离子种的反应过程(生成过程、湮灭过程),列举出以下反应式。



[0298] 图 30 中表示出示意上述反应的一部分的能量图。此外要注意的是,图 30 所示的能量图只不过是示意图,并没有严格地规定反应相关的能量关系。

[0299] ( $\text{H}_3^+$  的生成过程)

[0300] 如上所述,  $\text{H}_3^+$  主要是通过反应式(5)所示的反应过程而生成的。另一方面,作为与反应式(5)竞争的反应,存在如反应式(6)所示的反应过程。为了增加  $\text{H}_3^+$ ,至少必须使反应式(5)的反应以多于反应式(6)的反应而发生(此外,由于作为  $\text{H}_3^+$  减少的反应,还存在(7)、(8)、(9),所以从(5)的反应多于(6)的反应来说,  $\text{H}_3^+$  也不一定增加。)。反过来,在反应式(5)的反应比反应式(6)的反应少的情况下,等离子体中  $\text{H}_3^+$  的比例减少。

[0301] 上述反应式右边(最右边)的生成物的增加量依赖于反应式左边(最左边)所示的原料的密度或者与反应相关的速度系数等。在此,通过试验已确认了如下事实,即,当  $\text{H}_2^+$  的动能小于约 11eV 时,(5)的反应成为主要反应(即,反应式(5)有关的速度系数与反应式(6)有关的速度系数相比,变得足够大),当  $\text{H}_2^+$  的动能大于约 11eV 时,(6)的反应成为主要反应。

[0302] 带电粒子从电场受作用力并获得动能。该动能对应于电场势能的减少量。例如,某一个带电粒子直到与其它粒子碰撞为止的期间所获得的动能,与在该期间所通过的电位差的势能相等。也就是说,在电场中不与其他粒子碰撞而可以移动长距离的状况,与其他状况相比,带电粒子的动能(平均)具有增大的趋势。这样的带电粒子有关的动能的增大趋势会在粒子的平均自由程大、即压力低的状况下发生。

[0303] 另外,即使平均自由程短,只要是在其期间可以获得大的动能的状况下,带电粒子

的动能就会变大。也就是说,即使平均自由程短,只要是电位差大的状况下,带电粒子所具有的动能就会变大。

[0304] 将上述情况应用于  $H_2^+$ 。若像在等离子体的生成有关的处理室内那样,以电场的存在为前提,则当在该处理室内的压力低时,  $H_2^+$  的动能变大,当在该处理室内的压力高时,  $H_2^+$  的动能变小。也就是说,当处理室内的压力低使,(6) 的反应成为主要反应,所以  $H_3^+$  有减少的趋势,而当处理室内的压力高时,(5) 的反应成为主要反应,所以  $H_3^+$  有增大的趋势。另外,在等离子体生成区域中的电场较强的情况下,即,某两点之间的电位差大的情况下,  $H_2^+$  的动能变大,与之相反则  $H_2^+$  的动能变小。也就是说,当电场强时,(6) 的反应成为主要反应,所以  $H_3^+$  有减少的趋势,而当电场弱时,(5) 的反应成为主要反应,所以  $H_3^+$  有增加的趋势。

[0305] (离子源引起的差异)

[0306] 在此,表示离子种的比例(尤其是  $H_3^+$  的比例)不相同的例子。图 31 是表示由 100% 的氢气(离子源的压力:  $4.7 \times 10^{-2} Pa$ ) 生成的离子的质量分析结果的图表。还有,上述质量分析是通过测定从离子源引出的离子而进行的。横轴为离子的质量。在图谱中,质量 1、2、3 的峰分别对应于  $H^+$ 、 $H_2^+$ 、 $H_3^+$ 。纵轴为谱的强度,对应于离子数量。图 31 中,以与质量 3 的离子为 100 的情况相对比来表示质量不同的离子的数量。从图 31 可知由上述离子源生成的离子的比例为  $H^+ : H_2^+ : H_3^+ = 1 : 1 : 8$  左右。此外,这样比例的离子也可以利用由生成等离子体的等离子体源部(离子源)、和用于从该等离子体引出离子束的引出电极等构成的离子掺杂装置而获得。

[0307] 图 32 是表示在使用与图 31 不同的离子源的情况下,当离子源的压力大约为  $3 \times 10^{-3} Pa$  时,由  $PH_3$  生成的离子的质量分析结果的图表。上述质量分析结果着眼于氢离子种。此外,质量分析是通过测定从离子源引出的离子而进行的。与图 31 相同,横轴表示离子的质量,质量 1、2、3 的峰值分别对应于  $H^+$ 、 $H_2^+$ 、 $H_3^+$ 。纵轴为对应于离子数量的谱的强度。从图 32 可知等离子体中的离子的比例为  $H^+ : H_2^+ : H_3^+ = 37 : 56 : 7$  左右。此外,虽然图 32 是源气体为  $PH_3$  时的数据,但是即使是将 100% 的氢气用作源气体,氢离子种的比例也大致相同。

[0308] 对于获得图 32 的数据的离子源,在  $H^+$ 、 $H_2^+$ 、以及  $H_3^+$  中,  $H_3^+$  仅生成成为 7% 左右。另一方面,对于获得图 31 的数据的离子源,  $H_3^+$  的比例可以是 50% 以上(在上述条件下为 80% 左右)。可以认为这是由上述分析中获知的处理室内的压力和电场引起的。

[0309] ( $H_3^+$  的照射机制)

[0310] 在生成如图 31 那样包含多个离子种的等离子体、且对所生成的离子种不进行质量分离就照射到单晶半导体衬底的情况下,对单晶半导体衬底的表面照射  $H^+$ 、 $H_2^+$ 、 $H_3^+$  的各个离子。为了再现从离子的照射到离子引入区域形成的机制,考虑以下五种模式。

[0311] 1. 照射的离子种为  $H^+$ ,照射之后也是  $H^+$  ( $H$ ) 的情况;

[0312] 2. 照射的离子种为  $H_2^+$ ,照射之后也是  $H_2^+$  ( $H_2$ ) 的情况;

[0313] 3. 照射的离子种为  $H_2^+$ ,照射之后分裂成两个  $H(H^+)$  的情况;

[0314] 4. 照射的离子种为  $H_3^+$ ,照射之后也是  $H_3^+$  ( $H_3$ ) 的情况;

[0315] 5. 照射的离子种为  $H_3^+$ ,照射之后分裂成三个  $H(H^+)$  的情况。

[0316] (模拟结果与实测值的比较)

[0317] 根据上述模式,进行对 Si 衬底照射氢离子种的模拟。作为用于模拟的软件,使用

SRIM(the Stopping and Range of Ions in Matter:根据蒙特卡罗(Monte Carlo)法的离子引入过程的模拟软件,是TRIM(theTransport of Ions in Matter)的改良版)。此外,在计算关系上,在模式2中将 $H_2^+$ 替换为具有两倍质量的 $H^+$ 进行计算,另外,在模式4中将 $H_3^+$ 替换为具有三倍质量的 $H^+$ 进行计算。再者,在模式3中将 $H_2^+$ 替换为具有1/2动能的 $H^+$ 进行计算,在模式5中将 $H_3^+$ 转换为具有1/3动能的 $H^+$ 进行计算。

[0318] 还有,SRIM虽然是以非晶结构为对象的软件,但是在以高能量、高剂量的条件照射氢离子种的情况下,可以利用SRIM。其原因在于,由于氢离子种和Si原子的碰撞,而使Si衬底的晶体结构变成非单晶结构。

[0319] 在图33中表示使用模式1~模式5照射氢离子种时(以H换算为照射10万个时)的计算结果。另外,还表示了照射图31所示的氢离子种的Si衬底中的氢浓度(SIMS(Secondary Ion Mass Spectroscopy:二次离子质谱)的数据)。对于使用模式1~模式5进行计算的结果,纵轴(右轴)表示氢原子个数,对于SIMS数据,纵轴(左轴)表示氢原子的密度。横轴为离Si衬底表面的深度。将实测值的SIMS数据和计算结果进行比较时,模式2和模式4明显与SIMS数据的峰值偏离,另外,在SIMS数据中也不能观察到对应于模式3的峰值。由此,可知模式2~模式4的影响相对较小。相对于离子的动能为keV的数量级,考虑H-H的键能只不过大约为几eV,所以模式2和模式4的影响小的原因可以认为是由于与Si元素的碰撞,使大部分的 $H_2^+$ 或 $H_3^+$ 解离成 $H^+$ 或H。

[0320] 根据上述理由,下面不考虑模式2~模式4。在图34~图36中表示使用模式1和模式5照射氢离子种时(以H换算为照射10万个时)的计算结果。另外,还表示照射了图31所示的氢离子种的Si衬底中的氢浓度(SIMS数据)、及将上述模拟结果拟合于SIMS数据的结果(下面称为拟合函数)。在此,图34表示将加速电压设定为80kV的情况,图35表示将加速电压设定为60kV的情况,图36表示将加速电压设定为40kV的情况。还有,对于使用模式1和模式5进行计算的结果,纵轴(右轴)表示氢原子的个数,对于SIMS数据以及拟合函数,纵轴(左轴)表示氢原子的密度。横轴为距离Si衬底表面的深度。

[0321] 通过考虑模式1和模式5,使用下面的计算式算出拟合函数。还有,在计算式中,X、Y为关于拟合的参数、V为体积。

[0322] [拟合函数]

[0323]  $= X/V \times [\text{模式1的数据}] + Y/V \times [\text{模式5的数据}]$

[0324] 若考虑实际上所照射的离子种的比例( $H^+ : H_2^+ : H_3^+ = 1 : 1 : 8$ 左右),则应该顾及 $H_2^+$ 的影响(即模式3),但是根据下面所示的理由,在此不作考虑。

[0325] • 通过模式3所示的照射过程而引入的氢,与模式5的照射过程相比极少,因此即使不考虑模式3也没有大的影响(SIMS数据中也没有出现峰值)。

[0326] • 由于在模式5中发生的沟道效应(起因于晶格结构的元素移动),其峰值位置与模式5接近的模式3很有可能被隐藏。也就是说,难以估算模式3的拟合参数。其原因在于,本模拟是以非晶Si为前提,所以没有考虑结晶性引起的影响。

[0327] 在图37中总结上述拟合参数。在任一种加速电压下,引入的H的数量比为[模式1]:[模式5]=1:42~1:45左右(在模式1中的H的个数为1的情况下,模式5中的H的个数为42以上45以下左右),而照射的离子种的个数比为 $[H^+(\text{模式1})] : [H_3^+(\text{模式5})] = 1 : 14 \sim 1 : 15$ 左右(在模式1中的 $H^+$ 的个数为1的情况下,模式5中的 $H_3^+$ 的

个数为 14 以上 15 以下左右)。若不考虑模式 3、或考虑假设为非晶 Si 而进行计算等,则可以认为获得了与实际照射的离子种的比例( $H^+ : H_2^+ : H_3^+ = 1 : 1 : 8$ 左右)相近的值。

[0328] (使用  $H_3^+$  的效果)

[0329] 通过将如图 31 所示的提高了  $H_3^+$  比例的氢离子种照射到衬底上,可以获得起因于  $H_3^+$  的多个优点。例如,因为  $H_3^+$  在衬底表面上解离成  $H^+$  或 H 等并引入到衬底内,与主要照射  $H^+$  或  $H_2^+$  的情况相比,可以提高离子的引入效率。从而可以实现提高半导体衬底的生产性。另外,与此相同的,由于  $H_3^+$  解离后的  $H^+$  或 H 的动能有变小的趋势,因此适合制造较薄的半导体层。

[0330] 还有,在本说明书中,为了高效地照射  $H_3^+$ ,对利用能够照射如图 31 所示那样的氢离子种的离子掺杂装置的方法进行说明。离子掺杂装置的价格低廉且适合大面积处理,因而通过利用这种离子掺杂装置照射  $H_3^+$ ,可以获得半导体特性的提高、大面积化、低成本化、生产性提高等显著效果。另一方面,若首要考虑  $H_3^+$  的照射,则并不一定限于利用离子掺杂装置的方式来解释。

[0331] 接着,在单晶半导体衬底 101 上隔着绝缘层 102 形成绝缘层 104(也称为接合层)(参照图 1(C))。绝缘层 104 被设置在单晶半导体衬底 101 和支撑衬底实现接合的表面上。可以采用单层结构,也可以采用两层以上的叠层结构,但是优选使用与支撑衬底接合的表面(以下也称为“接合面”)为平滑面、且由亲水性表面形成的绝缘层。

[0332] 作为具有平滑面且可形成亲水性表面的绝缘层,可以使用含氢的氧化硅、含氢的氮化硅、含氧和氢的氮化硅、氧氮化硅、氮氧化硅等。

[0333] 作为含氢的氧化硅,优选是使用例如有机硅烷以化学气相沉积法而制得的氧化硅。这是因为通过使用由有机硅烷形成的绝缘层 104 如氧化硅膜,可以强化支撑衬底和单晶半导体层的接合。作为有机硅烷,可以使用四乙氧基硅烷(TEOS:化学式为  $Si(OC_2H_5)_4$ )、四甲基硅烷(TMS:化学式为  $Si(CH_3)_4$ )、四甲基环四硅氧烷(TMCTS)、八甲基环四硅氧烷(OMCTS)、六甲基二硅氮烷(HMDS)、三乙氧基硅烷( $SiH(OC_2H_5)_3$ )、三二甲氨基硅烷( $SiH(N(CH_3)_2)_3$ )等的含硅化合物。

[0334] 此外,作为绝缘层而起到作用的氧化硅层,还可以通过使用甲硅烷、乙硅烷、或丙硅烷作为原料气体以化学气相沉积法而形成。另外,作为绝缘层而起到作用的氧化硅层也可以是热氧化膜,它优选含氯。

[0335] 含氢的氮化硅可以通过使用硅烷气体和氨气以等离子体 CVD 法而形成。还可以将氢添加到上述气体中。含氧和氢的氮化硅可以通过使用硅烷气体、氨气和一氧化二氮气体以等离子体 CVD 法制备。无论如何,只要是通过等离子体 CVD 法、减压 CVD 法、常压 CVD 法等化学气相沉积法、使用硅烷气体等作为原料气体而制造的氧化硅、氧氮化硅、氮氧化硅即含氢的成品,就可以适用。对于利用化学气相沉积法成膜,所采用的温度为不从形成于单晶半导体衬底 101 中的损伤区域 103 发生脱气的程度的温度。例如,成膜温度优选为  $350^\circ C$  以下。另外,从单晶半导体衬底 101 分离单晶半导体层的加热处理,采用比化学气相沉积法的成膜温度更高的加热处理温度。无论如何,作为绝缘层 104,具有平滑面及附有羟基的表面即可。

[0336] 绝缘层 104 的厚度可以为 10nm 以上 200nm 以下,优选为 10nm 以上 100nm 以下,更优选为 20nm 以上 50nm 以下。

[0337] 接着,使单晶半导体衬底 101 和支撑衬底 107 贴紧(参照图 1(D))。通过将形成于单晶半导体衬底 101 上的绝缘层 104 的表面和支撑衬底 107 的表面贴紧,使单晶半导体衬底 101 和支撑衬底 107 接合。氢键和范德华力作用于上述接合。接合是按以下进行的,即具有亲水性的单晶半导体衬底 101 和支撑衬底 107 的表面的羟基或水分子起到粘合剂的作用。通过进行热处理,水分子扩散,而且残留成分的硅烷醇基(Si-OH)以氢键结合。再者,该接合部通过氢脱离而形成硅氧烷键(Si-O-Si),从而成为共价键,使得单晶半导体衬底 101 和支撑衬底 107 的接合被强化。

[0338] 支撑衬底 107 使用具有绝缘表面的衬底。例如,可以举出铝硅酸盐玻璃、铝硼硅酸盐玻璃、钡硼硅酸盐玻璃之类的用于电子工业的各种玻璃衬底、石英衬底、陶瓷衬底、蓝宝石衬底。优选使用玻璃衬底作为支撑衬底 107,例如使用被称为第六代(1500mm×1850mm)、第七代(1870mm×2200mm)、第八代(2200mm×2400mm)的大面积母体玻璃衬底。通过使用大面积母体玻璃衬底作为支撑衬底 107 来制造 SOI 衬底,可以实现 SOI 衬底的大面积化。其结果是,可以增加一个衬底所能制造的显示面板个数,从而可以提高生产性。

[0339] 若铝硅酸盐玻璃、铝硼硅酸盐玻璃、钡硼硅酸盐玻璃之类的用于电子工业的各种玻璃衬底的表面,使用具有抛光面的表面,则平坦性非常好,因此是优选的。通过使玻璃衬底的抛光面和单晶半导体衬底、或是形成于单晶半导体衬底上的绝缘层接合,可以减少接合不良。玻璃衬底的抛光,例如使用氧化铈等即可。通过抛光处理,可以将单晶半导体衬底贴合到玻璃衬底的主表面上的包含端部区域的大约整个表面上。

[0340] 另外,为了良好地接合支撑衬底 107 和绝缘层 104,也可以预先使接合面活性化。例如,对要接合的表面的一方或双方照射原子束或离子束。在利用原子束或离子束的情况下,可以使用氩等惰性气体的中性原子束或惰性气体离子束。除此以外,也可以进行等离子体照射或自由基处理来使接合面活性化。通过进行这种表面处理,即使是 400℃以下的温度也易于进行不同种类材料间的接合。

[0341] 在隔着绝缘层 104 贴合支撑衬底 107 和单晶半导体衬底 101 之后(参照图 2(A)),优选进行加热处理和加压处理中的一方或双方。通过进行加热处理或加压处理,可以提高支撑衬底 107 和单晶半导体衬底 101 的接合强度。加热处理的温度是在支撑衬底 107 的耐热温度以下进行的。加压处理是沿垂直于接合面的方向施加压力而进行的,并考虑支撑衬底 107 及单晶半导体衬底 101 的耐压性而实施。

[0342] 通过对单晶半导体衬底 101 进行加热处理,在损伤区域 103 中分离单晶半导体衬底 101(参照图 2(B))。加热处理的温度优选在绝缘层 104 的成膜温度以上、支撑衬底 107 的耐热温度以下而进行。例如,通过进行 400℃~700℃的加热处理,损伤区域 103 中形成的微小空洞就会发生体积变化,并在该损伤区域 103 中分离单晶半导体衬底 101。因为绝缘层 104 与支撑衬底 107 接合,所以从单晶半导体衬底 101 分离的单晶半导体层 108 贴合在支撑衬底 107 上。在支撑衬底 107 上残留单晶半导体层 108,该单晶半导体层 108 具有与单晶半导体衬底相同的晶体结构和晶体取向。

[0343] 400℃~700℃的温度范围下的热处理,既可在与前述用来提高接合强度的热处理相同的装置中连续地进行,又可使用另一装置进行。例如,在炉内以 200℃进行 2 个小时的热处理后,将温度上升到 600℃附近并保持两个小时,接着将温度下降到 400℃~室温的温度范围内,然后从炉内取出。另外,热处理也可以从室温开始升温。另外,除了在炉内以

200℃进行 2 个小时的热处理以外,还可以使用快速热退火 (RTA) 装置在 600℃~ 700℃ 的温度范围内进行 1 分钟~ 30 分钟 (例如 600℃、7 分钟,650℃、7 分钟) 的热处理。

[0344] 由于利用 400℃~ 700℃ 的温度范围内的热处理,可以使绝缘层和支撑衬底的接合从氢键变成共价键,添加到损伤区域的气体被释放并使压力上升,从而从单晶半导体衬底分离单晶半导体层。进行热处理之后的支撑衬底和单晶半导体衬底处于其一方放置在另一方上的状态,不用施加很大的力就可以分离支撑衬底和单晶半导体衬底的一部分。例如,通过使用真空吸盘拿起放置在上方的衬底,就可以简单地分离。此时,若使用真空吸盘或机械吸盘固定下侧的衬底,则可以分离支撑衬底和单晶半导体衬底的两块衬底,而且不在水平方向上发生偏离。

[0345] 此外,在图 1~图 4 中,虽然表示单晶半导体衬底 101 与支撑衬底 107 为相同尺寸的例子,但是本发明不局限于此。单晶半导体衬底 101 和支撑衬底 107 可以具有更小的尺寸,单晶半导体衬底 101 的尺寸也可以比支撑衬底 107 大。

[0346] 接着,通过干法刻蚀去除贴合在支撑衬底上的单晶半导体层 108 的表面上残留的晶体缺陷。在图 2(B) 所示的单晶半导体层 108 的表面存在用来形成损伤区域 103 的离子添加工序和分离工序所导致的缺陷,从而会破坏单晶半导体层表面的平坦性。这样,在该平坦性被破坏的单晶半导体层 108 的表面就难以形成薄且高绝缘耐压的栅极绝缘层。另外,在单晶半导体层 108 中存在缺陷的情况下,由于会给晶体管的性能和可靠性带来负面影响,例如与栅极绝缘层的界面上的局域态密度变高等,因此,进行去除单晶半导体层 108 的缺陷的处理。此外,图 2(B) 中,只是示意性地表示半导体层 108 表面的凹凸形状的表面粗糙且其平坦性低,而实际形状不局限于此。

[0347] 因此,为了去除单晶半导体层 108 的表面存在的缺陷,对单晶半导体层 108 的表面进行干法刻蚀 (参照图 2(C))。在本实施方式中,使用例如反应离子刻蚀 (RIE: Reactive Ion Etching) 法、ICP (Inductively Coupled Plasma: 感应耦合等离子体) 刻蚀法、ECR (Electron Cyclotron Resonance: 电子回旋共振) 刻蚀法、平行平板型 (电容耦合型) 刻蚀法、磁控管等离子体刻蚀法、双频等离子体刻蚀法或螺旋波等离子体刻蚀法等等的干法刻蚀法。

[0348] 另外,在单晶半导体层 108 的表面形成自然氧化膜。若对形成有自然氧化膜的单晶半导体层 108 进行干法刻蚀,则进行了干法刻蚀的单晶半导体层 108 的膜厚就会变得不均匀。由此,使用稀氢氟酸处理单晶半导体层 108 的表面,去除自然氧化膜并去除附着在表面上的灰尘等污染物,从而净化单晶半导体层 108 的表面。然后,在净化了的单晶半导体层 108 上形成氧化硅层 (未图示)。作为氧化硅层,可以使用化学氧化物。化学氧化物例如可以通过利用含臭氧的水处理单晶半导体层表面来形成。

[0349] 对形成有氧化硅层的单晶半导体层 108 进行干法刻蚀。通过进行干法刻蚀去除单晶半导体层的表面,可以去除形成于单晶半导体层表面的缺陷,并可以降低单晶半导体层的表面粗糙度。例如,在使用 ICP 刻蚀法的情况下,可以采用如下条件:作为刻蚀气体的氯的流量为 40sccm~ 100sccm;接通到线圈型电极的功率为 100W~ 200W;接通到下部电极 (偏压一侧) 的功率为 40W~ 100W;以及反应压力为 0.5Pa~ 1.0Pa。对于刻蚀气体,可以使用如氯、氯化硼、氯化硅或四氯化碳等的氯类气体、如四氟化碳、氟化硫或氟化氮等的氟类气体、氧等。例如,通过采用如下条件:作为刻蚀气体的氯的流量为 100sccm;反应压力为

1.0Pa;下部电极的温度为70℃;接通到线圈型电极的RF(13.56MHz)功率为150W;以及接通到下部电极(偏压一侧)的功率为40W,可以将单晶半导体层108薄膜化到50nm~60nm左右。单晶半导体层中存在的缺陷的大小和深度取决于添加离子的能量大小和剂量。因此,要用干法刻蚀去除的膜厚,根据干法刻蚀之前的单晶半导体层108的膜厚和其表面粗糙度进行适当设定即可。

[0350] 图2(C)的干法刻蚀处理按照以下进行。作为刻蚀气体的氯的流量为100sccm、接通到线圈型电极的功率为150W、接通到下部电极的功率为40W、反应压力为1.0Pa,从而去除单晶半导体层108直到95nm左右。

[0351] 通过对分离单晶半导体衬底而贴合在支撑衬底上的单晶半导体层表面进行干法刻蚀,可以去除由于离子添加工序和分离工序而产生的缺陷,而可以降低单晶半导体层的表面粗糙度。

[0352] 再者,通过上述干法刻蚀,可以将单晶半导体层108薄膜化到对后面形成的半导体元件最合适的膜厚。

[0353] 另外,在贴合到支撑衬底107上的单晶半导体层109中,因损伤区域103的形成以及损伤区域103导致的分离而形成有晶体缺陷。为了减少单晶半导体层109中的晶体缺陷并恢复单晶半导体层109中的结晶性,如图3(A)所示那样对单晶半导体层109照射激光束106。

[0354] 如箭头113所示那样移动支撑衬底107,一边对单晶半导体层109扫描激光束106,一边对单晶半导体层109的表面照射激光束106。通过照射激光束106,使单晶半导体层109的一部分或其深度方向上的整个层熔化。通过使单晶半导体层熔化,由表面张力的作用而使平坦性提高。图3(A)示意性地表示单晶半导体层的一部分熔化的状态,其中由虚线围绕的部分114的至少一部分是超过硅的熔点1410℃而变成液相。

[0355] 通过照射激光束106,使单晶半导体层109中的照射了激光束的区域部分地熔化或完全地熔化。还有,单晶半导体层109处于完全熔化状态指的是从膜的表面到下表面的整个层都熔化。在图3(A)的叠层结构中,完全熔化状态指的是从单晶半导体层109的上表面到与绝缘层102的界面都发生熔化,而成为液体状态。另一方面,使单晶半导体层109部分地熔化指的是单晶半导体层109熔化的深度比与绝缘层102的界面(单晶半导体层109的厚度)浅。就是说,单晶半导体层109中的部分熔化状态指的是单晶半导体层109的上层熔化而变成液相,而其下层不熔化、保持固相的单晶半导体的状态。

[0356] 另一方面,一边通过激光束106的照射使其完全熔化,一边扫描激光束106,可以使从与熔化区域相邻的单晶半导体进行结晶生长,发生横向生长。而未熔化的部分为单晶,由于晶体取向一致,因此不形成晶界,从而可以使照射激光束之后的单晶半导体层110成为没有晶界的单晶半导体层。另外,完全熔化了的区域通过凝固而再单晶化,从而形成其晶体取向与相邻的未熔化部分的单晶半导体一致的单晶半导体。因此,当使用主表面的面取向为(100)的单晶硅作为单晶半导体衬底101时,单晶半导体层110的主表面的面取向为(100),通过照射激光束完全熔化而再单晶化了的单晶半导体层110的主表面的面取向为(100)。

[0357] 通过照射激光束106而使单晶半导体层109部分地熔化或完全熔化,从而可以形成表面平坦的单晶半导体层110。这是由于单晶半导体层109的熔化部分是液体,它因表面

张力的作用而变形,以使其表面积最小。也就是说,由于液体部分以去除凹部及凸部的方式变形,该液体部分凝固而再单晶化,由此可以形成表面被平坦化了的单晶半导体层 110。

[0358] 在熔化后通过对单晶半导体层 109 进行冷却、凝固,如图 3(B) 所示那样形成其上表面的平坦性进一步提高了、且再单晶化了的单晶半导体层 110。另外,通过照射激光束,可以减少单晶半导体层 110 的歪斜。还有,根据从拉曼光谱得到的拉曼位移和半高全宽值等,可以确认激光束 106 引起的单晶半导体层 110 结晶性的改善。另外,根据原子力显微镜观察等,可以确认单晶半导体层 110 平坦性的改善。

[0359] 在该激光束照射工序中,由于使用激光束 106,可以抑制支撑衬底 107 的温度上升,因此可以使用玻璃衬底之类的低耐热性的衬底作为支撑衬底 107。

[0360] 作为振荡激光束 106 的激光振荡器,选择其振荡波长在紫外光区域至可见光区域的激光振荡器。激光束 106 的波长是被单晶半导体层 109 吸收的波长。该波长可以考虑激光束的趋肤深度 (skin depth) 等来决定。例如,波长可以是 190nm 以上 700nm 以下的范围。

[0361] 对于该激光振荡器,可以使用连续振荡激光器、准连续振荡激光器以及脉冲振荡激光器。为了实现部分熔化,优选使用脉冲振荡激光器。例如,在脉冲振荡激光器的情况下,重复频率为 1MHz 以下、脉冲宽度为 10n 秒以上 500n 秒以下。例如,可以使用重复频率为 10Hz ~ 300Hz、脉冲宽度为 25n 秒、波长为 308nm 的 XeCl 准分子激光器。

[0362] 另外,激光束 106 的能量可以考虑激光束 106 的波长、激光束的趋肤深度等来决定。激光束 106 的能量例如可以是  $300\text{mJ}/\text{cm}^2$  以上  $800\text{mJ}/\text{cm}^2$  以下的范围,例如,单晶半导体层 109 的厚度为 120nm 左右,对于激光振荡器使用脉冲振荡激光器,而且激光束 106 的波长为 308nm 的情况下,可以将激光束 106 的能量密度设定为  $600\text{mJ}/\text{cm}^2 \sim 700\text{mJ}/\text{cm}^2$ 。

[0363] 激光束 106 照射的气氛优选为在稀有气体或氦气氛等的惰性气氛、或真空状态下进行。在惰性气氛中照射激光束 106 时,在密封性的某一处理室内照射激光束、并控制该处理室内的气氛即可。当不使用处理室时,可以通过对激光束 106 的被照射面喷射氮气等惰性气体,来实现惰性气氛下的激光束 106 的照射。

[0364] 氮等惰性气氛或真空状态的方式与大气气氛相比,提高单晶半导体层 109 的平坦性的效果更大,另外,由于这些气氛的方式与大气气氛相比,抑制裂缝或皱纹的发生的效果也更大,所以激光束 106 的可用能量范围变大。

[0365] 优选是使用光学系统使激光束 106 的能量分布均匀,并且将其截面形状设定为线形。由此,可以使产率优良,而且可以均匀地照射激光束 106。通过使激光束 106 的光束长度长于支撑衬底 107 一边的长度,可以利用一次扫描对贴合在支撑衬底 107 上的所有单晶半导体层 109 照射激光束。在激光束 106 的光束长度比支撑衬底 107 一边的长度短的情况下,只要是能够利用多次扫描而对贴合在支撑衬底 107 上的所有单晶半导体层 109 照射激光束 106 的长度即可。

[0366] 还有,在对单晶半导体层 109 照射激光束 106 前,对形成于单晶半导体层 109 的表面的自然氧化膜等氧化膜进行去除处理。去除氧化膜的原因在于,在单晶半导体层 109 的表面残留氧化膜的状态下,即使照射激光束 106,也不能充分得到平坦化的效果。氧化膜的去除处理可以通过使用氢氟酸处理单晶半导体层 109 来进行。进行氢氟酸处理优选直到单晶半导体层 109 的表面呈现斥水性为止。通过呈现斥水性,可以确认已经从单晶半导体层 109 去除掉氧化膜。

[0367] 图 3(A) 的激光束 106 的照射工序可以按照以下进行。首先,用被稀释为 1/100 的氢氟酸水溶液对单晶半导体层 109 进行 110 秒的处理,去除表面的氧化膜。使用 XeCl 准分子激光器(波长:308nm、脉冲宽度:25ns、重复频率:60Hz)作为激光束 106 的激光振荡器。利用光学系统将激光束 106 的截面调整为 300mm×0.34mm 的线形。通过设定激光束 106 的扫描速度为 2.0mm/秒,扫描间距为 33 $\mu$ m,光束照射次数为大约 10 次,对单晶半导体层 109 照射激光束 106。一边对照射面喷射氮气,一边用激光束 106 进行扫描。当支撑衬底 107 为 730mm×920mm 时,由于激光束 106 的光束长度为 300mm,所以通过将激光束 106 的照射区域分割成三个区域,可以对贴合在支撑衬底 107 上的单晶半导体层 109 进行激光束 106 的照射。

[0368] 由此,通过对单晶半导体层 109 照射激光束,可以使单晶半导体层的一部分或全部熔化、及再单晶化,从而获得更优良的单晶半导体层。由此,可以获得减少了由离子添加引起的缺陷、并恢复了单晶半导体层的结晶性的单晶半导体层。另外,通过在照射激光束之前进行干法刻蚀处理,可以防止在单晶半导体层熔化时,缺陷和损伤进入到单晶半导体层内部。

[0369] 通过使单晶半导体层 109 再单晶化,可以由单晶半导体衬底 101 形成导通电流高且场效应迁移率高的晶体管。由于通过激光束 106 的照射处理进行单晶半导体层的再单晶化处理,所以不会施加损坏支撑衬底 107 的力、并且不会以超过耐热温度的温度加热支撑衬底 107,而使单晶半导体层 109 再单晶化,从而可以形成单晶。

[0370] 另外,通过照射激光束,可以在短时间内加热支撑衬底表面并在短时间内冷却,因此可以抑制支撑衬底的温度上升,从而可以使用如玻璃衬底的低耐热性衬底作为支撑衬底。因而,可以使由离子添加工序导致的单晶半导体层中的损伤充分恢复。

[0371] 此外,在照射激光束 106 之前,利用干法刻蚀去除了单晶半导体层 108 的表面的情况下,由于干法刻蚀有时会在单晶半导体层 108 的表面附近产生晶体缺陷等的损伤。但是,通过激光束 106 的照射,还可以修复由于干法刻蚀导致的损伤。

[0372] 沿着单晶半导体衬底的损伤区域分离单晶半导体衬底,对固定于支撑衬底上的单晶半导体层进行干法刻蚀,从而,可以去除单晶半导体层表面的晶体缺陷,并且可以降低单晶半导体层的表面粗糙度。另外,由于利用干法刻蚀去除了单晶半导体层表面的缺陷,所以可以防止通过照射激光束而使单晶半导体层熔化时,缺陷进入到单晶半导体层内部。从而可以获得晶体缺陷减少且平坦性高的单晶半导体层。

[0373] 接着,照射激光束 106,形成具有图 3(B) 所示的单晶半导体层 110 的 SOI 衬底,再进行处理使单晶半导体层 110 薄膜化到对后面形成的半导体元件最合适的膜厚(参照图 3(C))。

[0374] 为了使单晶半导体层 110 薄膜化,可以进行干法刻蚀或湿法刻蚀中的一方或是对双方进行组合的刻蚀。例如,在单晶半导体衬底 101 为硅衬底的情况下,通过使用 SF<sub>6</sub> 和 O<sub>2</sub> 为工艺气体的干法刻蚀,可以对单晶半导体层 110 进行薄膜化(参照图 3(C))。

[0375] 通过在照射激光束之后进行刻蚀,可以制造具有单晶半导体层的 SOI 衬底,该单晶半导体层的膜厚为对半导体元件最合适的膜厚。通过该刻蚀处理,单晶半导体层的膜厚优选在 5nm 以上 100nm 以下,更优选为 5nm 以上 50nm 以下。例如,当贴合在支撑衬底上的单晶半导体层的膜厚为 110nm 时,进行干法刻蚀 15nm,在照射激光束之后的刻蚀处理中,可

以将单晶半导体层 111 的膜厚设定为 60nm。还有,不一定要在照射激光束 106 之后对单晶半导体层 110 的表面进行刻蚀。例如,当贴合在支撑衬底上的单晶半导体层的膜厚为 110nm 时,也可以在照射激光束 106 之前的干法刻蚀中,将单晶半导体层的膜厚设定为 60nm。

[0376] 在照射激光束 106 之后,优选对单晶半导体层 111 进行 500℃ 以上 700℃ 以下的加热处理。通过该加热处理,可以去除没有通过照射激光束 106 得到恢复的单晶半导体层 111 的缺陷,并且可以缓和单晶半导体层 111 的歪斜。对于该加热处理,可以使用 RTA(Rapid Thermal Anneal :快速热退火)装置、电阻加热炉、微波加热装置。作为 RTA 装置,可以使用 GRTA(Gas Rapid Thermal Anneal :气体快速加热退火)装置、LRTA(Lamp Rapid Thermal Anneal :灯快速热退火)装置。例如,在使用电阻加热炉的情况下,可以在 550℃ 下加热 4 个小时。

[0377] 利用上述工序,可以制造图 3(C) 所示的 SOI 衬底。

[0378] 如上所述,在本实施方式中,通过对贴合在支撑衬底上的单晶半导体层进行干法刻蚀并照射激光束,可以制造具有单晶半导体层的 SOI 衬底,该单晶半导体层减少了单晶半导体层中的晶体缺陷。另外,还可以制造具备单晶半导体层的 SOI 衬底,该单晶半导体层即使是在使用玻璃衬底等的耐热温度低的衬底的情况下,也能够实际应用。

[0379] 因此,通过使用根据本实施方式的单晶半导体层制造晶体管等半导体元件,可以实现栅极绝缘层的薄膜化以及与栅极绝缘层之间的局域界面态密度的降低。另外,通过减薄单晶半导体层的膜厚,可以在支撑衬底上制造单晶半导体层为完全耗尽型、以及亚阈值小的晶体管。

[0380] 在图 1 ~ 图 3 中,表示了单晶半导体衬底 101 上设置绝缘层来形成单晶半导体层的工序,而在图 4 中,表示还在支撑衬底一侧设置绝缘层来形成单晶半导体层的工序。在图 4(A) 中,表示与图 1(A) 相同的单晶半导体衬底 101。接着,在单晶半导体衬底 101 上形成绝缘层 104。此外,形成绝缘层 104 的工序与图 1(C) 同样地进行。

[0381] 图 4(B) 表示对单晶半导体衬底 101 以规定的深度添加被电场加速了的离子、并形成损伤区域 103 的工序。对于离子的添加,与图 1(B) 的情况相同。

[0382] 图 4(C) 表示将形成了用作阻挡层的绝缘层 112 的支撑衬底 107、和单晶半导体衬底 101 的形成有绝缘层 104 的表面紧贴,并使单晶半导体衬底 101 和支撑衬底 107 接合的工序。通过使支撑衬底 107 上的绝缘层 112 和单晶半导体衬底 101 上的绝缘层 104 紧贴,来接合单晶半导体衬底和支撑衬底。在使用含有碱金属或碱土金属等降低半导体装置的可靠性的杂质的衬底作为支撑衬底 107 的情况下,绝缘层 112 可以防止上述杂质从支撑衬底 107 扩散到单晶半导体层 108。

[0383] 对于绝缘层 112,可以使用等离子体 CVD 法以单层结构或两层以上的叠层结构设置氮化硅层、氮氧化硅层、氧氮化硅层等。绝缘层 112 优选设置在 50nm ~ 200nm 的范围内。例如,可以从支撑衬底 107 一侧层叠氧氮化硅层和氮氧化硅层来形成绝缘层 112。

[0384] 然后,如图 4(D) 所示那样分离单晶半导体衬底 101。分离单晶半导体层的热处理与图 2(B) 的情况同样地进行。接合工序及分离工序中的加热处理的温度,设定为预先对支撑衬底 107 进行加热处理的温度以下。这样,可以获得图 4(D) 所示的 SOI 衬底。

[0385] 对于以后的工序,可以与图 2(C) ~ 图 3(C) 同样地进行。

[0386] 还有,在图 1 ~ 图 4 中,虽然表示单晶半导体衬底 101 与支撑衬底 107 为相同尺寸

的例子,但是本发明不局限于此。单晶半导体衬底 101 和支撑衬底 107 也可以具有更小的尺寸,或者单晶半导体衬底 101 的尺寸也可以比支撑衬底 107 大。

[0387] 另外,在要实现 SOI 衬底的大面积化的情况下,可以采用在一个支撑衬底 107 上贴合有多个单晶半导体层 111 的结构。例如,通过进行图 1(A)~图 1(C) 所示的工序,准备多个形成有损伤区域 103 的单晶半导体衬底 101。接着,通过进行图 1(D) 的接合工序,在一个支撑衬底 107 上使用多个单晶半导体衬底,进行暂时固定。然后,进行图 2(B) 的加热工序分离各单晶半导体衬底 101,从而在支撑衬底 107 上贴合多个单晶半导体层 111。然后,通过进行图 2(C)~图 3(C) 所示的工序,可以形成贴合有多个单晶半导体层 111 的 SOI 衬底(参照图 5)。

[0388] 在本实施方式中,当使用单晶硅衬底作为单晶半导体衬底 101 时,可以获得单晶硅作为单晶半导体层 111。

[0389] 在根据本实施方式的 SOI 衬底的制造方法中,由于可以设定工艺温度为 700°C 以下,因此可以使用玻璃衬底作为支撑衬底 107。也就是说,可以与现有的薄膜晶体管同样,在玻璃衬底上形成,并且可以使用单晶硅层作为单晶半导体层。根据上述情况,可以在玻璃衬底等支撑衬底上制造可进行高速工作、亚阈值低、场效应迁移度高、能够以低耗电压驱动的高性能、高可靠性的晶体管。因此,可以高成品率地制造高性能和高可靠性的半导体装置。

[0390] 另外,由于不需要进行不适合大面积化的 CMP 处理,所以可以实现高性能半导体装置的大面积化。当然,并不局限于使用大面积衬底,即使是在使用小型衬底的情况下,也可以提供良好的半导体装置。

[0391] (实施方式 2)

[0392] 在本实施方式中,作为以高成品率地制造具有高性能和高可靠性的半导体元件的半导体装置为目的的半导体装置的制造方法的一个例子,利用图 6 和图 7 对 CMOS(互补金属氧化物半导体;Complementary MetalOxide Semiconductor)进行说明。此外,省略与实施方式 1 相同的部分或具有同样功能的部分的反复说明。

[0393] 在图 6(A) 中,在支撑衬底 107 上形成有用作阻挡层的绝缘层 112、绝缘层 104、用作阻挡层的绝缘层 102、以及单晶半导体层 111。另外,虽然这里是表示使用图 6(A) 所示结构的 SOI 衬底的例子,但是也可以使用本说明书所示的其他结构的 SOI 衬底。

[0394] 单晶半导体层 111 由于从单晶半导体衬底 101 分离,并且受到由具有高能量的至少一种粒子提供该高能量而进行的加热处理和第一刻蚀,所以是晶体缺陷也减少了且平坦性也高的单晶半导体层 111。

[0395] 对单晶半导体层 111 优选根据 n 沟道型场效应晶体管和 p 沟道型场效应晶体管的形成区域,添加硼、铝、镓等 p 型杂质、或者磷、砷等 n 型杂质。就是说,对应于 n 沟道型场效应晶体管的形成区域添加 p 型杂质,而对应于 p 沟道型场效应晶体管的形成区域添加 n 型杂质,来形成所谓的阱区。杂质离子的剂量为  $1 \times 10^{12}$  ions/cm<sup>2</sup> ~  $1 \times 10^{14}$  ions/cm<sup>2</sup> 左右即可。并且,在控制场效应晶体管的阈值电压的情况下,对这些阱区添加 p 型或 n 型杂质即可。

[0396] 对单晶半导体层 111 进行刻蚀,根据半导体元件的布置而形成分离为岛状的单晶半导体层 205、206(参照图 6(B))。

[0397] 除去单晶半导体层上的氧化膜,形成覆盖单晶半导体层 205、206 的栅极绝缘层

207。由于本实施方式中的单晶半导体层 205、206 的平坦性高,因此即使形成在单晶半导体层 205、206 上的栅极绝缘层为薄膜的栅极绝缘层,也可以进行高覆盖度的覆盖。因而,可以防止由栅极绝缘层的覆盖不良而导致的特性不良,可以高成品率地制造高可靠性的半导体装置。栅极绝缘层 207 的薄膜化具有使薄膜晶体管以低电压进行高速工作的效果。

[0398] 栅极绝缘层 207 由氧化硅、或氧化硅和氮化硅的叠层结构形成即可。栅极绝缘层 207 既可通过等离子体 CVD 法或减压 CVD 法沉积绝缘膜来形成,又可通过等离子体处理的固相氧化或固相氮化来形成。这是因为通过等离子体处理对单晶半导体层进行氧化或氮化、从而形成的栅极绝缘层很致密、且具有高绝缘耐压和优异的可靠性。

[0399] 另外,作为栅极绝缘层 207,也可以使用二氧化锆、氧化锆、二氧化钛、五氧化钽等的高介电常数材料。通过对栅极绝缘层 207 使用高介电常数材料,可以降低栅极漏电流。

[0400] 在栅极绝缘层 207 上形成栅电极层 208 和栅电极层 209(参照图 6(C))。栅电极层 208 和 209 可以通过溅射法、蒸镀法、CVD 法等方法形成。栅电极层 208、209 由选自钽(Ta)、钨(W)、钛(Ti)、钼(Mo)、铝(Al)、铜(Cu)、铬(Cr)、钕(Nd)中的元素、或者以前述元素为主成分的合金材料或者化合物材料形成即可。此外,作为栅电极层 208、209,还可以使用以掺杂有磷等杂质元素的多晶硅层为代表的半导体层或 AgPdCu 合金。

[0401] 形成覆盖单晶半导体层 206 的掩模 211。将掩模 211 和栅电极层 208 用作掩模,添加使其具有 n 型的杂质元素 210,形成第一 n 型杂质区域 212a、212b(参照图 6(D))。在本实施方式中,使用磷化氢( $\text{PH}_3$ )作为包含杂质元素的掺杂气体。这里,对第一 n 型杂质区域 212a、212b 添加使之具有 n 型的杂质元素,使其含有  $1 \times 10^{17} \sim 5 \times 10^{18}/\text{cm}^3$  左右的浓度。在本实施方式中,使用磷(P)作为使之具有 n 型的杂质元素。

[0402] 接着,形成覆盖单晶半导体层 205 的掩模 214。将掩模 214 和栅电极层 209 用作掩模,添加使其具有 p 型的杂质元素 213,形成第一 p 型杂质区域 215a、第一 p 型杂质区域 215b(参照图 6(E))。在本实施方式中,由于使用硼(B)作为杂质元素,因此使用乙硼烷( $\text{B}_2\text{H}_6$ )等作为包含杂质元素的掺杂气体。

[0403] 除去掩模 214,在栅电极层 208、209 的侧面形成侧壁结构的侧壁绝缘层 216a ~ 216d、和栅极绝缘层 233a、233b(参照图 7(A))。侧壁绝缘层 216a ~ 216d 是在形成了覆盖栅电极层 208、209 的绝缘层之后,对此通过使用 RIE(Reactive ion etching:反应离子刻蚀)法的各向异性刻蚀而进行加工,在栅电极层 208、209 的侧壁自匹配地形成侧壁结构的侧壁绝缘层 216a ~ 216d 即可。这里,关于绝缘层没有特别的限制,优选为使 TEOS(tetraethyl ortho silicate:四乙氧基硅烷)或硅烷等与氧或亚氧化氮等反应而形成的台阶覆盖性良好的氧化硅。绝缘层可以通过热 CVD、等离子体 CVD、常压 CVD、偏压 ECRCVD、溅射等方法形成。栅极绝缘层 233a、233b 可以通过将栅电极层 208、209、以及侧壁绝缘层 216a ~ 216d 用作掩模,刻蚀栅极绝缘层 207 来形成。

[0404] 另外,虽然在本实施方式中,在刻蚀绝缘层时,去除栅电极层上的绝缘层来使栅电极层露出,但也可以是以绝缘层残留在栅电极层上的形状形成侧壁绝缘层 216a ~ 216d。另外,也可以在后面的工序中在栅电极层上形成保护膜。这样,通过保护栅电极层,在刻蚀加工时可以防止栅电极层变薄。另外,当在源区和漏区中形成硅化物时,由于在形成硅化物时成膜的金属膜和栅电极层不接触,所以即使金属膜的材料和栅电极层的材料为容易起反应的材料,也可以防止化学反应和扩散等的不良。刻蚀方法,可以是干法刻蚀法或湿法刻蚀

法,也可以使用各种刻蚀方法。在本实施方式中使用干法刻蚀法。作为刻蚀用气体,可以适当使用以  $\text{Cl}_2$ 、 $\text{BCl}_3$ 、 $\text{SiCl}_4$  或  $\text{CCl}_4$  等为代表的氯类气体、以及以  $\text{CF}_4$ 、 $\text{SF}_6$  或  $\text{NF}_3$  等为代表的氟类气体或  $\text{O}_2$ 。

[0405] 接着,形成覆盖单晶半导体层 206 的掩模 218。将掩模 218、栅电极层 208、侧壁绝缘层 216a、216b 用作掩模,添加使其具有 n 型的杂质元素 217,形成第二 n 型杂质区域 219a、219b、和第三 n 型杂质区域 220a、220b。在本实施方式中,使用  $\text{PH}_3$  作为包含杂质元素的掺杂气体。这里,对第二 n 型杂质区域 219a、219b 添加使之具有 n 型的杂质元素,使其含有  $5 \times 10^{19} \sim 5 \times 10^{20}/\text{cm}^3$  左右的浓度。另外,在单晶半导体层 205 中形成沟道形成区域 221(参照图 7(B))。

[0406] 第二 n 型杂质区域 219a、第二 n 型杂质区域 219b 都是高浓度 n 型杂质区域,并且用作为源极、漏极。另一方面,第三 n 型杂质区域 220a、220b 都是低浓度杂质区域,为 LDD(轻掺杂漏极)区域。第三 n 型杂质区域 220a、220b 由于形成在未被栅电极层 208 覆盖的 Loff 区域中,所以具有降低截止电流的效果。其结果,可以制造可靠性更高且低耗电的半导体装置。

[0407] 除去掩模 218,形成覆盖单晶半导体层 205 的掩模 223。将掩模 223、栅电极层 209、侧壁绝缘层 216c、216d 用作掩模,添加给使之具有 p 型的杂质元素 222,形成第二 p 型杂质区域 224a、224b、和第三 p 型杂质区域 225a、225b。

[0408] 对第二 p 型杂质区域 224a、224b 添加使之具有 n 型的杂质元素,使其含有  $1 \times 10^{20} \sim 5 \times 10^{21}/\text{cm}^3$  左右的浓度。在本实施方式中,利用侧壁绝缘层 216c、216d,自匹配地形成第三 p 型杂质区域 225a、225b,以使其浓度比第二 p 型杂质区域 224a、224b 低。另外,在单晶半导体层 206 中形成沟道形成区域 226(参照图 7(C))。

[0409] 第二 p 型杂质区域 224a、224b 都是高浓度 p 型杂质区域,并且用作为源极、漏极。另一方面,第三 p 型杂质区域 225a、225b 都是低浓度杂质区域,为 LDD(轻掺杂漏极)区域。第三 p 型杂质区域 225a、225b 由于形成在未被栅电极层 209 覆盖的 Loff 区域中,所以具有降低截止电流的效果。其结果,可以制造可靠性更高且低耗电的半导体装置。

[0410] 除去掩模 223,为了激活杂质元素,也可以进行加热处理、强光照射、或者激光束照射。在激活的同时,可以恢复对栅极绝缘层的等离子体损伤及对栅极绝缘层和单晶半导体层的界面的等离子体损伤。

[0411] 接着,形成覆盖栅电极层、栅极绝缘层的层间绝缘层。在本实施方式中,采用成为保护膜的含氢的绝缘膜 227 和绝缘层 228 的叠层结构。也可以是利用溅射法或等离子体 CVD 法而形成的氮化硅膜、氮氧化硅膜、氧氮化硅膜、或者氧化硅膜,也可以使用其他的含硅绝缘膜构成单层或三层以上的叠层结构。

[0412] 此外,在氮气气氛中,在  $300 \sim 550^\circ\text{C}$  进行 1 ~ 12 小时的热处理,进行使单晶半导体层氢化的工序。优选在  $400 \sim 500^\circ\text{C}$  的温度下进行。这一工序是利用层间绝缘层即绝缘膜 227 所含的氢来终止单晶半导体层的悬空键的工序。在本实施方式中,在  $410^\circ\text{C}$  下进行 1 小时的加热处理。

[0413] 作为绝缘膜 227 和绝缘层 228,还可以使用选自氮化铝 (AlN)、氧氮化铝 (AlON)、其中氮含量多于氧含量的氮氧化铝 (AlNO) 或氧化铝、类金刚石碳 (DLC)、含氮碳 (CN) 以及其他含有无机绝缘材料的物质的材料来形成。另外,也可以使用硅氧烷树脂。此外,硅氧烷树

脂相当于包含 Si-O-Si 键的树脂。硅氧烷的骨架结构由硅 (Si) 和氧 (O) 的键构成。作为取代基,使用至少含氢的有机基(例如,烷基、芳基)。有机基也可以包含氟基。另外,也可以使用有机绝缘材料,作为有机材料可以使用聚酰亚胺、丙烯、聚酰胺、聚酰亚胺酰胺、抗蚀剂或苯并环丁烯、聚硅氮烷。也可以使用通过涂敷法形成的平坦性良好的涂敷膜。

[0414] 绝缘膜 227 和绝缘层 228 可以使用浸渍法、喷涂法、刮刀法、辊涂法、帘涂法、刮刀涂敷法、CVD 法、或蒸镀法等。也可以通过液滴喷射法形成绝缘膜 227 和绝缘层 228。当使用液滴喷射法时,可以节省材料液体。另外,还可以使用如液滴喷射法那样能够转印或描绘图案的方法,例如印刷法(丝网印刷或胶版印刷等的图案形成方法)等。

[0415] 接着,使用由抗蚀剂构成的掩模,在绝缘膜 227 和绝缘层 228 中形成到达单晶半导体层的接触孔(开口)。根据所使用的材料的选择比,可以进行一次或多次的刻蚀。通过刻蚀去除绝缘膜 227 和绝缘层 228,形成到达源区或漏区即第二 n 型杂质区域 219a、219b、和第二 p 型杂质区域 224a、224b 的开口。刻蚀可以采用湿法刻蚀或干法刻蚀,也可以使用双方。作为湿法刻蚀的蚀刻剂,可以使用诸如包含氟化氢铵和氟化铵的混合溶液之类的氢氟酸类溶液。作为刻蚀用气体,可以适当使用以  $\text{Cl}_2$ 、 $\text{BCl}_3$ 、 $\text{SiCl}_4$  或  $\text{CCl}_4$  等为代表的氯类气体、以  $\text{CF}_4$ 、 $\text{SF}_6$  或  $\text{NF}_3$  等为代表的氟类气体、或者  $\text{O}_2$ 。此外,也可以对所使用的刻蚀用气体添加惰性气体。作为所添加的惰性元素,可以使用选自 He、Ne、Ar、Kr、Xe 中的一种或多种元素。

[0416] 形成导电膜以覆盖开口,刻蚀导电膜形成布线层 229a、229b、230a、230b,这些布线层作为与各源区或漏区的一部分分别电连接的源电极层或漏电极层而起到作用。布线层可以在用 PVD 法、CVD 法、蒸镀法等形成导电膜后,以所期望的形状进行刻蚀而形成。另外,可以通过液滴喷射法、印刷法、电镀法等规定的部位选择性地形成导电层。另外,还可以采用回流法、镶嵌法。布线层的材料是用 Ag、Au、Cu、Ni、Pt、Pd、Ir、Rh、W、Al、Ta、Mo、Cd、Zn、Fe、Ti、Zr、Ba 等的金属、以及 Si、Ge、或者其合金还有其氮化物而形成的。此外,也可以采用它们的叠层结构。

[0417] 通过上述工序,可以制造 CMOS 结构的包括 n 沟道型薄膜晶体管即薄膜晶体管 231、和 p 沟道型薄膜晶体管即薄膜晶体管 232 的半导体装置(参照图 7(D))。虽然未图示,但是由于本实施方式为 CMOS 结构,所以薄膜晶体管 231 和薄膜晶体管 232 电连接。

[0418] 并不局限于本实施方式,薄膜晶体管可以是形成有一个沟道形成区域的单栅极结构、也可以是形成有两个沟道形成区域的双栅极结构或形成有三个沟道形成区域的三栅极结构。

[0419] 如上所述,通过使用具有晶体缺陷减少了且平坦性高的单晶半导体层的 SOI 衬底,可以高成品率地制造高性能和高可靠性的半导体装置。

[0420] 这样,就可以利用 SOI 衬底来制造薄膜晶体管。SOI 衬底的单晶半导体层是几乎没有晶体缺陷、且降低了与栅极绝缘层 207 之间的界面态密度的单晶半导体层,其表面被平坦化,并且其厚度被薄膜化为 50nm 以下。由此,可以在支撑衬底 107 上形成具有低驱动电压、高场效应迁移率、小亚阈值等的优异特性的薄膜晶体管。而且,可以在同一个衬底上形成多个特性偏差小且性能高的晶体管。换言之,通过使用本发明的 SOI 衬底,可以抑制阈值电压或迁移率等作为晶体管特性的重要特性值的不均匀性,还可以实现高迁移率等的高性能化。

[0421] 从而,通过利用本发明的 SOI 衬底来形成 TFT 等各种半导体元件,可以制造具有高附加价值的半导体装置。

[0422] (实施方式 3)

[0423] 在本实施方式中,对使用本发明的 SOI 衬底的半导体装置及其制造方法进行说明。在本实施方式中,作为使用本发明的 SOI 衬底的半导体装置一个例子,对晶体管进行说明。通过组合多个晶体管,形成各种半导体装置。下面,利用图 27(A) ~ 29(B) 的截面图说明晶体管的制造方法。还有,在本实施方式中,说明同时制造 n 沟道型晶体管和 p 沟道型晶体管的方法。

[0424] 首先,如图 27(A) 所示,准备 SOI 衬底。在本实施方式中,使用在具有绝缘表面的支撑衬底 107 上隔着绝缘层 104、绝缘层 102b、绝缘层 102a 固定有单晶半导体层 111 的 SOI 衬底。还有,制造晶体管的 SOI 衬底不局限于图 27(A) 的结构,可以使用本发明有关的 SOI 衬底。

[0425] 此外,对单晶半导体层 111 优选根据 n 沟道型场效应晶体管和 p 沟道型场效应晶体管的形成区域,添加硼、铝、镓等的 p 型杂质元素、或磷、砷等的 n 型杂质元素。就是说,对应于 n 沟道型场效应晶体管的形成区域添加 p 型杂质元素、对应于 p 沟道型场效应晶体管的形成区域添加 n 型杂质元素,从而形成所谓的阱区。杂质离子的剂量为  $1 \times 10^{12}$  ions/cm<sup>2</sup> ~  $1 \times 10^{14}$  ions/cm<sup>2</sup> 左右即可。再者,在控制场效应晶体管的阈值电压的情况下,对这些阱区添加 p 型或 n 型杂质元素即可。

[0426] 接着,如图 27(B) 所示,对单晶半导体层 111 进行刻蚀,根据半导体元件的布置形成分离为岛状的单晶半导体层 651 和单晶半导体层 652。在本实施方式中,由单晶半导体层 651 形成 n 沟道型晶体管,由单晶半导体层 652 形成 p 沟道型晶体管。

[0427] 接着,如图 27(C) 所示,在单晶半导体层 651 和单晶半导体层 652 上依次形成栅极绝缘层 653、形成栅电极的导电层 654、以及导电层 655。

[0428] 栅极绝缘层 653 通过 CVD 法、溅射法、或 ALE 法等,使用氧化硅层、氧氮化硅层、氮化硅层、或氮氧化硅层等的绝缘层,以单层结构或叠层结构而形成。

[0429] 另外,栅极绝缘层 653 也可以通过对单晶半导体层 651 和单晶半导体层 652 进行等离子体处理,来使其表面氧化或氮化而形成。这种情况的等离子体处理包括利用微波(典型频率为 2.45GHz)而激发的等离子体的等离子体处理。例如,包括利用如下等离子体的处理,即该等离子体由微波激发,电子密度为  $1 \times 10^{11}$ /cm<sup>3</sup> 以上  $1 \times 10^{13}$ /cm<sup>3</sup> 以下,而且其电子温度为 0.5eV 以上 1.5eV 以下。通过采用上述等离子体处理而进行半导体层表面的氧化处理或氮化处理,可以形成薄且致密的膜。另外,由于对半导体层表面直接进行氧化,所以可以获得界面特性良好的膜。另外,栅极绝缘层 653 也可以通过对由 CVD 法、溅射法、或 ALE 法形成的膜进行使用微波的等离子体处理来形成。

[0430] 此外,由于栅极绝缘层 653 与半导体层形成界面,因此优选以氧化硅层、氧氮化硅层为界面来形成栅极绝缘层 653。这是因为若形成氮化硅层或氮氧化硅层之类的氮含量多于氧含量的膜,则会产生界面特性的问题,如形成陷阱能级。

[0431] 形成栅电极的导电层是使用选自钽、氮化钽、钨、钛、钼、铝、铜、铬、或铌等的元素、或者以这些元素为主要成分的合金材料或化合物材料、以及以掺杂有磷等杂质元素的多晶硅为代表的半导体材料,利用 CVD 法或溅射法以单层膜或叠层膜形成。在采用叠层膜的情

况下,既可使用不同的导电材料来形成,又可使用相同的导电材料来形成。在本实施方式中,表示形成栅电极的导电层是由导电层 654 和导电层 655 的两层结构形成的例子。

[0432] 在对形成栅电极的导电层采用导电层 654 和导电层 655 的两层的叠层结构的情况下,例如可以形成氮化钽层和钨层、氮化钨层和钨层、氮化钼层和钼层的叠层膜。还有,若采用氮化钽层和钨层的叠层膜时,则容易取得两者刻蚀的选择比,因此是优选的。还有,在举例说明的两层的叠层膜中,先描述的膜优选是形成在栅极绝缘层 653 上的膜。这里,导电层 654 以 20nm ~ 100nm 的厚度形成。导电层 655 以 100nm ~ 400nm 的厚度形成。另外,栅电极也可以是三层以上的叠层结构,在此情况下,可以采用钼层、铝层和钼层的叠层结构。

[0433] 接着,在导电层 655 上选择性地形成抗蚀剂掩模 656 和抗蚀剂掩模 657。然后,使用抗蚀剂掩模 656 和抗蚀剂掩模 657 进行第一刻蚀处理和第二刻蚀处理。

[0434] 首先,进行使用抗蚀剂掩模 656 和抗蚀剂掩模 657 的第一刻蚀处理,对导电层 654 和导电层 655 选择性地刻蚀,在单晶半导体层 651 上形成导电层 658 和导电层 659,在单晶半导体层 652 上形成导电层 660 和导电层 661(参照图 27(D))。

[0435] 然后,进行利用抗蚀剂掩模 656 和抗蚀剂掩模 657 的第二刻蚀处理,来对导电层 659 和导电层 661 的端部进行刻蚀,形成导电层 662 和导电层 663(参照图 27(E))。此外,形成导电层 662 和导电层 663,使其宽度(平行于载流子流过沟道形成区域的方向(连接源区和漏区的方向)的方向的长度)小于导电层 658 和导电层 660 的宽度。从而,形成由导电层 658 和导电层 662 构成的具有两层结构的栅电极 665、以及由导电层 660 和导电层 663 构成的具有两层结构的栅电极 666。

[0436] 对适用于第一刻蚀处理和第二刻蚀处理的刻蚀法,适当地进行选择即可,但是为了提高刻蚀速度,使用利用 ECR(Electron Cyclotron Resonance) 方式或 ICP(Inductively Coupled Plasma:感应耦合等离子体)方式等的高密度等离子体源的干法刻蚀装置。通过适当调节第一刻蚀处理和第二刻蚀处理的刻蚀条件,可以使导电层 658、660、以及导电层 662、663 的侧面为所希望的楔形。在形成了所希望的栅电极 665、666 之后,去除抗蚀剂掩模 656、657 即可。

[0437] 接着,以栅电极 665 和栅电极 666 为掩模,对单晶半导体层 651 和 652 添加杂质元素 668。在单晶半导体层 651 中,以导电层 658 和导电层 662 为掩模,自匹配地形成一对杂质区域 669。另外,在单晶半导体层 652 中,以导电层 660 和导电层 663 为掩模,自匹配地形成一对杂质区域 670(参照图 28(A))。

[0438] 作为杂质元素 668,是添加硼、铝、镓等的 p 型杂质元素、或磷、砷等的 n 型杂质元素。这里,为了形成 n 沟道型晶体管的高电阻区域,作为杂质元素 668 添加作为 n 型杂质元素的磷。另外,在杂质区域 669 中添加磷,使其含有  $1 \times 10^{17} \text{atoms/cm}^3 \sim 5 \times 10^{18} \text{atoms/cm}^3$  左右的浓度。

[0439] 接着,为了形成作为 n 沟道型晶体管的源区和漏区的杂质区域,形成抗蚀剂掩模 671 以部分覆盖单晶半导体层 651,并选择性地形成抗蚀剂掩模 672 以覆盖单晶半导体层 652。然后,以抗蚀剂掩模 671 为掩模,对单晶半导体层 651 添加杂质元素 673,在单晶半导体层 651 中形成一对杂质区域 675(参照图 28(B))。

[0440] 作为杂质元素 673,将作为 n 型杂质元素的磷添加到单晶半导体层 651 中,所添加的浓度为  $5 \times 10^{19} \text{atoms/cm}^3 \sim 5 \times 10^{20} \text{atoms/cm}^3$ 。杂质区域 675 作为源区或漏区而起到作

用。杂质区域 675 形成在与导电层 658 和导电层 662 不重叠的区域中。

[0441] 另外,在单晶半导体层 651 中,杂质区域 676 是没添加有杂质元素 673 的杂质区域 669。杂质区域 676 的杂质浓度比杂质区域 675 低,而将它用作高电阻区域或 LDD 区域。在单晶半导体层 651 中,沟道形成区域 677 形成在与导电层 658 和导电层 662 重叠的区域中。

[0442] 此外,LDD 区域指的是形成于沟道形成区域和以高浓度添加杂质元素形成的源区或漏区之间、以低浓度添加杂质元素的区域。若设置 LDD 区域,就可以缓和漏区附近的电场并防止热载流子注入而导致的劣化。另外,为了防止由热载流子导致的导通电流值的劣化,也可以采用隔着栅极绝缘层使 LDD 区域与栅电极重叠配置的结构(也称为“GOLD(Gate-drainOverlapped LDD:栅漏重叠 LDD)结构”)。

[0443] 接着,在去除抗蚀剂掩模 671 和抗蚀剂掩模 672 后,为了形成 p 沟道型晶体管的源区和漏区,形成抗蚀剂掩模 679 以覆盖单晶半导体层 651。然后,以抗蚀剂掩模 679、导电层 660 和导电层 663 为掩模,添加杂质元素 680,在单晶半导体层 652 中形成一对杂质区域 681、一对杂质区域 682、和沟道形成区域 683(参照图 28(C))。

[0444] 作为杂质元素 680,使用硼、铝、镓等的 p 型杂质元素。这里,添加 p 型杂质元素的硼,以使其含有  $1 \times 10^{20} \text{atoms/cm}^3 \sim 5 \times 10^{21} \text{atoms/cm}^3$  左右。

[0445] 在单晶半导体层 652 中,杂质区域 681 形成在与导电层 660 和导电层 663 不重叠的区域中,并用作为源区或漏区。使杂质区域 681 中含有  $1 \times 10^{20} \text{atoms/cm}^3 \sim 5 \times 10^{21} \text{atoms/cm}^3$  左右的作为 p 型杂质元素的硼。

[0446] 杂质区域 682 形成在与导电层 660 重叠且与导电层 663 不重叠的区域中,是杂质元素 680 贯穿导电层 660 并被添加到杂质区域 670 中的区域。由于杂质区域 670 显示为 n 型的导电性,所以添加杂质元素 680,以使杂质区域 682 具有 p 型导电性。通过调整包含在杂质区域 682 中的杂质元素 680 的浓度,可以将杂质区域 682 用作源区或漏区,还可以将它用作 LDD 区域。

[0447] 在单晶半导体层 652 中,沟道形成区域 683 形成在与导电层 660 和导电层 663 重叠的区域中。

[0448] 接着,形成层间绝缘层。层间绝缘层可以由单层结构或叠层结构构成,但这里是由绝缘层 684 和绝缘层 685 的两层的叠层结构形成的(参照图 29(A))。

[0449] 作为层间绝缘层,可以利用 CVD 法或溅射法形成氧化硅层、氧氮化硅层、氮化硅层、或氮氧化硅层等。另外,还可以使用聚酰亚胺、聚酰胺、聚乙烯苯酚、苯并环丁烯、丙烯酸、或环氧等的有机材料、硅氧烷树脂等的硅氧烷材料、或恶唑树脂等,利用旋涂法等的涂敷法来形成。还有,硅氧烷材料相当于含有 Si-O-Si 键的材料。硅氧烷的骨架结构是由硅(Si)和氧(O)的键构成的。作为取代基,可以使用至少含氢的有机基(例如烷基、芳烃)。有机基也可以包含氟基。

[0450] 例如,形成膜厚为 100nm 的氮氧化硅层作为绝缘层 684,并形成膜厚为 900nm 的氧氮化硅膜作为绝缘层 685。另外,通过使用等离子体 CVD 法连续形成绝缘层 684 和绝缘层 685。还有,层间绝缘层也可以是三层以上的叠层结构。另外,还可以采用氧化硅层、氧氮化硅层或氮化硅层,和用聚酰亚胺、聚酰胺、聚乙烯苯酚、苯并环丁烯、丙烯酸、环氧等的有机材料、硅氧烷树脂等的硅氧烷材料、或恶唑树脂而形成的绝缘层的叠层结构。

[0451] 接着,在层间绝缘层(本实施方式中为绝缘层 684 和 685)中形成接触孔,在该接

触孔中形成用作源电极或漏电极的导电层 686 (参照图 29(B))。

[0452] 在绝缘层 684 和绝缘层 685 中选择性地形成接触孔, 以使其到达形成在单晶半导体层 651 中的杂质区域 675、和形成在单晶半导体层 652 中的杂质区域 681。

[0453] 导电层 686 可以使用由选自铝、钨、钛、钽、钼、镍和钽中的一种元素或包含多个这些元素的合金构成的单层膜或叠层膜。例如, 作为由包含多个这些元素的合金构成的导电层, 可以形成含钛的铝合金、含钽的铝合金等。另外, 在采用叠层膜的情况下, 例如可以采用由钛层夹着铝层或上述铝合金层的结构。

[0454] 如图 29(B) 所示, 可以使用 SOI 衬底制造 n 沟道型晶体管和 p 沟道型晶体管。

[0455] 另外, 本实施方式可以与其他实施方式自由地组合。

[0456] (实施方式 4)

[0457] 在本实施方式中, 对以给予高性能和高可靠性为目的的半导体装置的例子进行说明。详细地说, 作为半导体装置的一个例子, 对微处理器、以及能够以非接触方式进行数据收发且具有运算功能的半导体装置的一个例子进行说明。

[0458] 首先, 作为半导体装置的一个例子, 对微处理器进行说明。图 8 是表示微处理器 500 的结构例子的框图。

[0459] 微处理器 500 包括运算电路 501 (Arithmetic logic unit: 运算逻辑单元。也称为 ALU)、运算电路控制部 502 (ALU Controller)、指令解码部 503 (Instruction Decoder)、中断控制部 504 (Interrupt Controller)、时序控制部 505 (Timing Controller)、寄存器 506 (Register)、寄存器控制部 507 (Register Controller)、总线接口 508 (Bus I/F)、只读存储器 509、以及存储器接口 510 (ROM I/F)。

[0460] 通过总线接口 508 输入到微处理器 500 的指令, 在输入到指令解码部 503 并被解码之后, 输入到运算电路控制部 502、中断控制部 504、寄存器控制部 507、以及时序控制部 505。运算电路控制部 502、中断控制部 504、寄存器控制部 507、以及时序控制部 505 根据被解码了的指令而进行各种控制。

[0461] 具体地说, 运算电路控制部 502 产生用来控制运算电路 501 的工作信号。另外, 中断控制部 504 在执行微处理器 500 的程序过程中, 对来自外部的输出输入装置或周边电路的中断要求, 根据其优先度和掩模状态进行判断而处理。寄存器控制部 507 产生寄存器 506 的地址, 并且根据微处理器 500 的状态进行寄存器 506 的读出或写入。时序控制部 505 产生控制运算电路 501、运算电路控制部 502、指令解码部 503、中断控制部 504 和寄存器控制部 507 的工作时序的信号。

[0462] 例如, 时序控制部 505 具备根据基准时钟信号 CLK1 产生内部时钟信号 CLK2 的内部时钟产生部, 并且将时钟信号 CLK2 提供给上述各种电路。还有, 图 8 所示的微处理器 500 只是将其结构简化而表示的一个例子, 而实际上可以根据其用途具有多种多样的结构。

[0463] 这样的微处理器 500 利用接合在具有绝缘表面的衬底或绝缘衬底上、且晶体取向一致的单晶半导体层 (SOI 层), 来形成集成电路, 因此不仅可以实现处理速度的高速化, 还可以实现低耗电。

[0464] 接着, 对具有以非接触方式进行数据收发的功能、和运算功能的半导体装置的一个例子进行说明。图 9 是表示这样的半导体装置的结构例子的框图。图 9 所示的半导体装置可以被称为通过无线通信与外部装置进行信号收发而工作的计算机 (以下称为

“RFCPU”)。

[0465] 如图 9 所示, RFCPU511 包括模拟电路部 512 和数字电路部 513。作为模拟电路部 512, 包括具有谐振电容的谐振电路 514、整流电路 515、恒压电路 516、复位电路 517、振荡电路 518、解调电路 519、以及调制电路 520。数字电路部 513 包括 RF 接口 521、控制寄存器 522、时钟控制器 523、接口 524、中央处理单元 525、随机存取存储器 526、以及只读存储器 527。

[0466] RFCPU511 的工作概要为如下。天线 528 所接收的信号根据谐振电路 514 产生感应电动势。感应电动势经过整流电路 515 而被充电到电容部 529。该电容部 529 优选由陶瓷电容器或双电层电容器等的电容器形成。电容部 529 并不一定要与 RFCPU511 一体化形成, 也可以作为其他部件而安装在构成 RFCPU511 的具有绝缘表面的衬底上。

[0467] 复位电路 517 产生对数字电路部 513 进行复位和初始化的信号。例如, 产生延迟于电源电压的上升而升高的信号作为复位信号。振荡电路 518 根据由恒压电路 516 产生的控制信号, 改变时钟信号的频率和占空比。解调电路 519 是解调接收信号的电路, 而调制电路 520 是调制发送数据的电路。

[0468] 例如, 解调电路 519 由低通滤波器构成, 对振幅调制 (ASK) 方式的接收信号根据其振幅的变动而进行二值化。另外, 由于是通过变动振幅调制 (ASK) 方式的发送信号的振幅来对发送数据进行发送, 所以调制电路 520 通过改变谐振电路 514 的谐振点来改变通信信号的振幅。

[0469] 时钟控制器 523 根据电源电压或中央处理单元 525 中的耗电流, 产生用来改变时钟信号的频率和占空比的控制信号。电源电压的监视是由电源管理电路 530 来进行的。

[0470] 从天线 528 输入到 RFCPU511 的信号被解调电路 519 解调后, 在 RF 接口 521 被分解为控制指令、数据等。控制指令存储在控制寄存器 522 中。控制指令中包括存储在只读存储器 527 中的数据的读出、向随机存取存储器 526 的数据的写入、以及向中央处理单元 525 的运算指令等。

[0471] 中央处理单元 525 通过接口 524 对只读存储器 527、随机存取存储器 526、以及控制寄存器 522 进行存取。接口 524 具有如下功能: 利用中央处理单元 525 所要求的地址, 产生对只读存储器 527、随机存取存储器 526、以及控制寄存器 522 中的任一个的存取信号。

[0472] 中央处理单元 525 的运算方式可以采用将 OS(操作系统) 先存储在只读存储器 527 中、在启动的同时读出并执行程序的方式。另外, 也可以采用由专用电路构成运算电路、以硬件对运算处理进行处理的方式。在并用硬件和软件的方式中, 可以采用如下方式: 利用专用运算电路进行一部分的处理, 并且使用程序由中央处理单元 525 进行剩余的运算。

[0473] 这样的 RFCPU511 利用接合在具有绝缘表面的衬底或绝缘衬底上、且晶体取向一致的单晶半导体层来形成集成电路, 因此不仅可以实现处理速度的高速化, 而且还可以实现低耗电。由此, 即使提供功率的电容部 529 小型化, 也可以保证长时间工作。

[0474] (实施方式 5)

[0475] 在本实施方式中, 利用图 10 ~ 图 13C, 作为以给予高性能和高可靠性为目的的半导体装置的一个例子, 对显示装置进行说明。

[0476] 对于 SOI 衬底的支撑衬底, 可以使用在其之上制造显示面板的、被称为母体玻璃的大面积玻璃衬底。图 10 是使用母体玻璃作为支撑衬底 107 的 SOI 衬底的正面图。

[0477] 在一块母体玻璃 551 上贴合有从多个单晶半导体衬底分离的单晶半导体层 552。为了从母体玻璃 551 切取多个显示面板,优选将单晶半导体层 552 接合在显示面板的形成区域 581 内。显示面板具有扫描线驱动电路、信号线驱动电路、以及像素部。因此,将单晶半导体层 552 接合在显示面板形成区域 581 中它们的形成区域(扫描线驱动电路形成区域 582、信号线驱动电路形成区域 583、像素形成区域 584)。

[0478] 图 11 是用来说明使用图 10 所示的 SOI 衬底而制造的液晶显示装置的图。图 11(A) 是液晶显示装置的像素平面图,图 11(B) 是沿 J-K 线的图 11A 的截面图。

[0479] 在图 11(A) 中,单晶半导体层 321 是由贴合在母体玻璃 551 上的单晶半导体层 552 形成的层,并构成像素的 TFT。在此,作为 SOI 衬底,使用根据实施方式 1 的方法制造的 SOI 衬底。如图 11(B) 所示,使用在支撑衬底 107 上层叠了绝缘层 102、绝缘层 104 和单晶半导体层的衬底。此外,绝缘层 102 可以与实施方式 1 一样,由氮氧化硅层 102a 和氧氮化硅层 102b 构成即可。支撑衬底 107 是分割了的母体玻璃 551。如图 11(A) 所示,像素具有单晶半导体层 321、与单晶半导体层 321 交叉的扫描线 322、与扫描线 322 交叉的信号线 323、像素电极 324、以及电连接像素电极 324 和单晶半导体层 321 的电极 328。

[0480] 如图 11(B) 所示,像素的 TFT325 形成在绝缘层上。TFT325 的栅电极包含在扫描线 322 中,源电极或漏电极包含在信号线 323 中。在层间绝缘膜 327 上设置有信号线 323、像素电极 324 以及电极 328。在层间绝缘膜 327 上形成有柱状隔件 329,以及覆盖信号线 323、像素电极 324、电极 328 和柱状隔件 329 而形成取向膜 330。在相对衬底 332 上形成有相对电极 333、和覆盖相对电极的取向膜 334。柱状隔件 329 是为了维持支撑衬底 107 和相对衬底 332 之间的间隙而形成的。在由柱状隔件 329 形成的空隙中形成有液晶层 335。在单晶半导体层 321 与信号线 323 以及电极 328 连接部,因接触孔的形成而在层间绝缘层 327 中产生台阶,而由该台阶导致液晶层 335 的液晶取向混乱。因此,在该台阶部中形成柱状隔件 329,以防止液晶取向的混乱。

[0481] 接着,对电致发光显示装置(以下,称为 EL 显示装置)进行说明。图 12 是用来说明使用图 10 所示的 SOI 衬底制造的 EL 显示装置的图。图 12(A) 是 EL 显示装置的像素的平面图,图 12(B) 是像素的截面图。

[0482] 图 12(A) 表示由单晶半导体层形成像素部的晶体管的电致发光显示装置的一个例子。图 12(A) 表示像素的平面,在像素中形成有 TFT 构成的选择用晶体管 401、以及显示控制用晶体管 402。图 12(B) 是表示包括显示控制用晶体管 402 的主要部分的截面图。

[0483] 选择用晶体管 401 的单晶半导体层 403、显示控制用晶体管 402 的单晶半导体层 404 是通过图 10 的 SOI 衬底的单晶半导体层 552 进行加工而形成的层。像素包括扫描线 405、信号线 406、电流供应线 407 以及像素电极 408。在 EL 显示装置中,对各个像素设置发光元件,该发光元件具有以下结构,即在一对电极之间夹有包含电致发光材料的层(EL 层)。发光元件的一个电极是像素电极 408。

[0484] 在选择用晶体管 401 中,栅电极包含在扫描线 405 中,源电极或漏电极中的一方包含在信号线 406 中,而另一方则形成为电极 411。在显示控制用晶体管 402 中,栅电极 412 与电极 411 电连接,源电极和漏电极中的一方形成为电连接到像素电极 408 的电极 413,而另一方则包含在电流供应线 407 中。

[0485] 还有,作为 SOI 衬底,可以使用根据实施方式 3 的方法制造的衬底。与图 11(B) 同

样的,在支撑衬底 107 上层叠绝缘层 102、绝缘层 104 和单晶半导体层 404。还有,绝缘层 102 也可以与实施方式 1 一样,由氮氧化硅层 102a 和氧氮化硅层 102b 构成即可。支撑衬底 107 是分割了的母体玻璃 551。

[0486] 如图 12(B) 所示,覆盖显示控制用晶体管 402 的栅电极 412,形成有层间绝缘膜 427。在层间绝缘膜 427 上形成有信号线 406、电流供应线 407、电极 411 和 413 等。另外,在层间绝缘膜上形成有电连接到电极 413 的像素电极 408。像素电极 408 的周边部分被绝缘性的隔断层 428 围绕。在像素电极 408 上形成有 EL 层 429,在 EL 层 429 上形成有相对电极 430。作为加强板设置有相对衬底 431,相对衬底 431 利用树脂层 432 贴合在支撑衬底 107 上。在 EL 显示装置的像素部中,图 12 所示的像素排列为矩阵状。

[0487] EL 显示装置的灰度控制具有用电流控制发光元件的亮度的电流驱动方式、以及用电压控制其亮度的电压驱动方式,但是在晶体管的特性值对于每一个像素的差异很大的情况下,难以采用电流驱动方式,为此必须有修正特性偏差的修正电路。通过利用本发明有关的 SOI 衬底,由于选择用晶体管 401 和显示控制用晶体管 402 对于每一个像素的特性偏差很小,所以可以采用电流驱动方式。

[0488] 如图 11 和图 12 所示,可以用制造显示装置的母体玻璃来制造 SOI 衬底,并且利用该 SOI 衬底制造显示装置。再者,在该 SOI 衬底上也可以形成如图 8 和图 9 所说明的微处理器,所以也可以在显示装置中安装计算机的功能。此外,也可以制造能够以非接触方式进行数据的输入和输出的显示装置。

[0489] 换言之,通过使用本发明有关的 SOI 衬底,可以制造各种各样的电器。作为电器,包括摄像机或数码相机等的相机、导航系统、音频再现装置(汽车音响、音响组件等)、计算机、游戏机、便携式信息终端(移动计算机、便携式电话、便携式游戏机或电子书等)、具有记录媒质的图像再现装置(具体地说,是具备再现 DVD(digital versatile disc:数字通用光盘)等的记录媒体、并显示其图像的显示装置的装置)等。

[0490] 利用图 13 来说明电器的具体方式。图 13(A) 是表示便携式电话机 901 的一个例子的外观图。该便携式电话机 901 包括显示部 902、操作开关 903 等而构成。通过对显示部 902 采用图 11 中说明的液晶显示装置或图 12 中所说明的 EL 显示装置,可以成为显示不均很少且图像质量优异的显示部 902。对于便携式电话机 901 中包含的微处理器或存储器等,也可以采用由本发明有关的 SOI 衬底所形成的半导体装置。

[0491] 此外,图 13(B) 是表示数字播放器 911 的结构例子的外观图。数字播放器 911 包括显示部 912、操作部 913 和耳机 914 等。可以使用头戴式耳机或无线式耳机来代替耳机 914。通过对显示部 912 采用图 11 中所说明的液晶显示装置或图 12 中所说明的 EL 显示装置,即使是在屏幕尺寸为 0.3 英寸~2 英寸左右的情况下,也可以显示高清晰的图像以及大量文字信息。另外,对于数字播放器 911 中所包含的存储音乐信息的存储部、微处理器,也可以采用本发明有关的 SOI 衬底所形成的半导体装置。

[0492] 另外,图 13(C) 是电子书 921 的外观图。该电子书 921 包括显示部 922 和操作开关 923。既可在电子书 921 中内置调制解调器,又可内置图 9 的 RFCPU,从而也可以是能够以无线方式收发信息的结构。通过对显示部 922 采用图 11 所说明的液晶显示装置或者图 12 所说明的 EL 显示装置,进行高图像质量的显示。对于电子书 921 中存储信息的存储部或使电子书 921 发挥作用的微处理器,可以采用本发明有关的 SOI 衬底所形成的半导体装

置。

[0493] (实施方式 6)

[0494] 利用具有使用了本发明有关的 SOI 衬底的显示元件的半导体装置,可以完成电视装置。对以给予高性能和高可靠性为目的的电视装置的例子进行说明。

[0495] 图 14 是表示电视装置(液晶电视装置或 EL 电视装置等)的主要结构的框图。

[0496] 作为其他外部电路的结构,在图像信号的输入一侧是由以下构成的:对调谐器 1904 所接收的信号中的图像信号进行放大的图像信号放大电路 1905;将从其中输出的信号转换为与红、绿和蓝的各色对应的颜色信号的图像信号处理电路 1906;以及用于将该图像信号转换成驱动器 IC 的输入规格的控制电路 1907 等。控制电路 1907 将信号分别输出到扫描线一侧和信号线一侧。在进行数字驱动的情况下,也可以是在信号线一侧设置信号分割电路 1908、将输入数字信号分割成  $m$  个而提供的结构。

[0497] 调谐器 1904 所接收的信号中的音频信号被传送到音频信号放大电路 1909,其输出经过音频信号处理电路 1910 提供给扬声器 1913。控制电路 1911 从输入部 1912 接收接收站(接收频率)和音量的控制信息,并将信号传送到调谐器 1904 和音频信号处理电路 1910。

[0498] 如图 15(A)、(B)所示,将显示模块装入框体中,从而可以完成电视装置。将还安装有 FPC 的显示面板一般称作 EL 显示模块。因此,若使用 EL 显示模块则可以完成 EL 电视装置,若使用液晶显示模块则可以完成液晶电视装置。由显示模块形成主屏幕 2003,作为其它附属设备具备扬声器部 2009 和操作开关等。像这样,通过应用根据本发明的 SOI 衬底,可以完成电视装置。

[0499] 另外,也可以使用相位差板或偏振片来遮挡从外部入射的光的反射光。还有,若使顶部发射型半导体装置,则可以对成为隔墙的绝缘层进行着色而用作黑矩阵。该隔墙可以通过液滴喷射法等形成,也可以在颜料类的黑色树脂或在聚酰亚胺等树脂材料中混合碳黑等,还可以采用其叠层。通过液滴喷射法还可以在同一区域中多次喷射不同的材料来形成隔墙。作为相位差板,使用  $\lambda/4$  板和  $\lambda/2$  板,设计成能够控制光即可。其结构是从 TFT 元件衬底一侧依次为发光元件、密封衬底(密封材料)、相位差板( $\lambda/4$ 板、 $\lambda/2$ 板)、以及偏振片的结构,从发光元件发射的光通过它们而从偏振片一侧发射到外部。该相位差板或偏振片可以设置在光发射的一侧即可,若是两侧发射的双面发射型半导体装置,则也可以设置在两侧。另外,也可以在偏振片的外侧具有防反射膜。由此,可以显示更清晰更精密的图像。

[0500] 如图 15(A)所示,利用了显示元件的显示用面板 2002 被组装到框体 2001 中,由接收机 2005 进行一般电视广播的接收,并且通过调制解调器 2004 与有线或无线的通信网络连接,由此还可以进行单向(由发送者到接收者)或双向(在发送者和接收者之间,或者在接收者彼此之间)的信息通信。电视装置的操作可以由组装在框体中的开关或另行提供的遥控器 2006 来进行,在该遥控装置上还可以设置显示输出信息的显示部 2007。

[0501] 另外,对于电视装置,还可以附加有如下结构:除了主屏幕 2003 以外,使用第二显示用面板形成辅助屏幕 2008,并显示频道或音量等。在这种结构中,也可以采用视角优异的 EL 显示用面板形成主屏幕 2003,采用能够以低耗电进行显示的液晶显示用面板来形成辅助屏幕 2008。另外,为了使低耗电化优先,可以采用如下结构:使用液晶显示用面板来形

成主屏幕 2003, 使用 EL 显示用面板形成辅助屏幕 2008, 并且辅助屏幕 2008 能够点亮和熄灭。若使用本发明, 则即使在使用这样大型衬底且使用多个 TFT 和电子部件的情况下, 也可以高生产率地制造具有高性能且高可靠性的半导体装置。

[0502] 图 15(B) 为具有例如 20 ~ 80 英寸的大型显示部的电视装置, 包括框体 2010、作为操作部的键盘部 2012、显示部 2011、和扬声器部 2013 等。本发明适用于显示部 2011 的制造。由于图 15(B) 的显示部使用了可弯曲的物质, 因此成为显示部弯曲了的电视装置。由于可以这样自由地设计显示部的形状, 所以能够制造所希望形状的电视装置。

[0503] 通过使用本发明有关的 SOI 衬底, 可以高生产率地制造具有显示功能的高性能且高可靠性半导体装置。因此, 可以高生产率地制造高性能、高可靠性的电视装置。

[0504] 当然, 本发明不局限于电视装置, 还可以用于如个人计算机的监视器、铁路的车站或机场等中的信息显示屏、街头上的广告显示屏等的大面积显示媒体的各种用途。

[0505] (实施方式 7)

[0506] 图 16 是采用了本发明的便携式电话机的结构的一个例子, 它表示与图 13(A) 所示的便携式电话机不相同的例子。在图 16 的便携式电话机中, 图 16(A) 是正面图, 图 16(B) 是背面图, 图 16(C) 是展开图。便携式电话机具有电话和便携式信息终端双方的功能, 并内置有计算机, 除了音频通话以外还能够进行各种数据处理, 即所谓的智能手机。

[0507] 便携式电话机由框体 1001 和 1002 两个框体构成。在框体 1001 上具备显示部 1101、扬声器 1102、麦克风 1103、操作键 1104、定点设备 1105、相机用透镜 1106、外部连接端子 1107、耳机端子 1008 等, 在框体 1002 上具备键盘 1201、外部存储器插槽 1202、相机用透镜 1203、灯 1204 等。另外, 天线内置于框体 1001 内部。

[0508] 另外, 除了上述结构以外, 还可以内置非接触 IC 芯片和小型记录装置等。

[0509] 对于能够组合其他上述实施方式中所示的半导体装置的显示部 1101, 根据使用方式适当地改变显示的方向。由于在与显示部 1101 同一面上具备了相机用透镜 1106, 所以可以实现电视电话。另外, 能够以显示部 1101 为取景器, 使用相机用透镜 1203 和灯 1204 拍摄静态图像和动态图像。扬声器 1102 和麦克风 1103 不局限于音频通话, 还能进行电视电话、录音、再现等。利用操作键 1104, 能够进行打电话、接电话, 电子邮件等的简单信息输入、图像滚动、或指针移动等。再者, 图 16(A) 所示的彼此重叠的框体 1001 和框体 1002 可以通过滑动而如图 16(C) 所示那样展开, 从而可以用作便携式信息终端。在此情况下, 可以使用键盘 1201 和定点设备 1105 进行顺利操作。外部连接端子 1107 可以与 AC 适配器和 USB 电缆等的各种电缆连接, 能够进行充电以及与计算机等的通信。另外, 还可以将记录媒体插入到外部存储器插槽 1202 来对应于更大量数据的存储和移动。

[0510] 另外, 除了上述功能以外, 还可以具有红外线通信功能、电视接收功能等。

[0511] 通过将根据本发明的 SOI 衬底应用于显示部 1101, 可以提供高性能且高可靠性的便携式电话机。

[0512] 如上所述, 通过应用本发明有关的 SOI 衬底, 可以高生产率地制造具有显示功能的高性能且高可靠性半导体装置。因此, 可以高生产率地制造高性能、高可靠性的便携式电话。

[0513] 如上所述, 本发明的应用范围非常广泛, 可应用于各种领域的电子设备或信息显示装置。

[0514] 实施例 1

[0515] 下面,根据实施例更详细地说明本发明。勿须置言,本发明不局限于该实施例,而是由权利要求的范围特定的。在本实施例中,对 SOI 衬底的单晶半导体层的表面粗糙度进行说明。

[0516] 利用图 17 说明本实施例的 SOI 衬底的制造方法。图 17 中所示的制造方法对应于实施方式 1 所说明的制造方法。

[0517] 作为半导体衬底,准备单晶硅衬底。单晶硅衬底是 5 英寸的 p 型硅衬底,其面取向是 (100),而其侧面取向为  $\langle 110 \rangle$ 。以下,将单晶硅衬底写为“c-Si 衬底 601”。

[0518] 用纯水清洗 c-Si 衬底 601,并干燥。接着,利用等离子体 CVD 装置,在 c-Si 衬底 601 上形成氧氮化硅层 602a,并且在氧氮化硅层 602a 上形成氮氧化硅层 602b(参照图 17(A))。

[0519] 在利用平行平板型等离子体 CVD 装置时,不使 c-Si 衬底 601 暴露于大气中,而连续地形成氧氮化硅层 602a 和氮氧化硅层 602b。此时的成膜条件如下所述。这里,在形成氧氮化硅层 602a 之前,用氢氟酸水溶液清洗 60 秒,进行去除 c-Si 衬底 601 的氧化膜的工序。

[0520]  $\langle$  氧氮化硅层 602a  $\rangle$

[0521] • 厚度 50nm

[0522] • 气体的种类(流量)

[0523]  $\text{SiH}_4$ (4sccm)

[0524]  $\text{N}_2\text{O}$ (800sccm)

[0525] • 衬底温度 400°C

[0526] • 压力 40Pa

[0527] • RF 频率 27MHz

[0528] • RF 功率 50W

[0529] • 电极间距 15mm

[0530] • 电极面积 615.75cm<sup>2</sup>

[0531]  $\langle$  氮氧化硅层 602b  $\rangle$

[0532] • 厚度 50nm

[0533] • 气体的种类(流量)

[0534]  $\text{SiH}_4$ (10sccm)

[0535]  $\text{NH}_3$ (100sccm)

[0536]  $\text{N}_2\text{O}$ (20sccm)

[0537]  $\text{H}_2$ (400sccm)

[0538] • 衬底温度 300°C

[0539] • 压力 40Pa

[0540] • RF 频率 27MHz

[0541] • RF 功率 50W

[0542] • 电极间距 30mm

[0543] • 电极面积 615.75cm<sup>2</sup>

[0544] 接着,如图 17(B) 所示,利用离子掺杂装置对 c-Si 衬底 601 照射氢离子 605,形成

损伤区域 603。作为源气体使用 100% 氢气, 利用电场加速并 添加到 c-Si 衬底 601 中, 而不对离子化了的氢进行质量分离。详细条件如下所述。

[0545] • 源气体  $H_2$

[0546] • RF 功率 100W

[0547] • 加速电压 40kV

[0548] • 剂量  $2.0 \times 10^{16}$  ions/cm<sup>2</sup>

[0549] 在离子掺杂装置中, 从氢气产生  $H^+$ 、 $H_2^+$ 、 $H_3^+$  三种离子种, 将这些离子种全部掺杂到 c-Si 衬底 601 中。在从氢气产生的离子种中, 80% 左右是  $H_3^+$ 。

[0550] 在形成损伤区域 603 之后, 利用纯水清洗 c-Si 衬底 601, 并用等离子体 CVD 装置在氮氧化硅层 602b 上形成厚 50nm 的氧化硅膜 604 (参照图 17(C))。作为氧化硅膜 604 的源气体, 使用硅酸乙酯 (TEOS: 化学式为  $Si(OC_2H_5)_4$ ) 和氧气。氧化硅膜 604 的成膜条件如下所述。

[0551] < 氧化硅膜 604 >

[0552] • 厚度 50nm

[0553] • 气体的种类 (流量)

[0554] TEOS (15sccm)

[0555]  $O_2$  (750sccm)

[0556] • 衬底温度 300°C

[0557] • 压力 100Pa

[0558] • RF 频率 27MHz

[0559] • RF 功率 300W

[0560] • 电极间距 14mm

[0561] • 电极面积 615.75cm<sup>2</sup>

[0562] 准备玻璃衬底 607 (图 17(D))。作为玻璃衬底 607, 使用旭硝子株式会社制造的铝硅酸盐玻璃衬底 (产品名称为“AN100”)。清洗玻璃衬底 607 以及形成有氧化硅膜 604 的 c-Si 衬底 601。对于清洗, 是在纯水中进行超声波清洗后, 进行用含臭氧的纯水的处理。

[0563] 接着, 如图 18(A) 所示, 通过将玻璃衬底 607 和 c-Si 衬底 601 紧贴, 而使玻璃衬底 607 和氧化硅膜 604 接合。利用该工序, 玻璃衬底 607 和 c-Si 衬底 601 贴合。该工序并不伴随加热处理, 而是常温下的处理。

[0564] 接着, 在扩散炉中进行加热处理, 如图 18(B) 所示, 在损伤区域 603 中分离。首先, 在 200°C 下进行 2 个小时的加热, 将加热温度上升到 600°C, 再进行 2 个小时的加热。通过该一系列的加热处理, 在 c-Si 衬底 601 的损伤区域 603 中发生龟裂, 而 c-Si 衬底 601 在损伤区域中分离。利用该工序, 通过在 600°C 以上加热 c-Si 衬底 601, 可以使贴合在玻璃衬底上的硅层的结晶性进一步接近于单晶半导体衬底的结晶性。

[0565] 在加热处理结束后, 从扩散炉中取出玻璃衬底 607 和 c-Si 衬底 601。由于加热处理使玻璃衬底 607 和 c-Si 衬底 601 成为可以分离的状态, 所以若去掉 c-Si 衬底 601, 则可以形成从 c-Si 衬底 601 分离了的硅层 608 贴合在玻璃衬底 607 上的 SOI 衬底。

[0566] SOI 衬底具有在玻璃衬底 607 上依次层叠氧化硅膜 604、氮氧化硅层 602b、氧氮化硅层 602a 和硅层 608 的结构。在本实施例中, 硅层 608 的厚度是 120nm 左右。

[0567] 接着,对 SOI 衬底的硅层 608 的表面进行干法刻蚀。通过对硅层 608 进行干法刻蚀,使硅层 609 的厚度为 95nm(参照图 18)。硅层 608 的刻蚀条件如下所述。

[0568] • 接通到线圈型电极的功率 150W

[0569] • 接通到下部电极的功率 40W

[0570] • 反应压力 1.0Pa

[0571] • 刻蚀气体(氯的流量)100sccm

[0572] 接着,如图 19(A)所示,对 SOI 衬底的硅层 609 照射激光束 606,形成具有硅层 610 的 SOI 衬底。图 19(B)的硅层 610 对应于激光束 606 照射后的硅层 609。

[0573] 然后,对硅层 610 进行干法刻蚀,使其膜厚减薄到 60nm。通过上述工序,形成图 19(C)所示的 SOI 衬底。此外,刻蚀条件与图 18 所示的条件相同。

[0574] 为进行图 19(A)的激光束照射而使用的激光器的规格如下所述。

[0575] <激光器的规格>

[0576] XeCl 准分子激光器

[0577] 波长 308nm

[0578] 脉冲宽度 25nsec

[0579] 重复频率 30Hz

[0580] 利用包括柱面透镜等的光学系统,使激光束 606 成为束点为线形的线形光束。一边与激光束 606 相对地移动玻璃衬底 607,一边照射激光束 606。此时,激光束 606 的扫描速度为 1.0mm/sec,并且对相同区域照射激光束 606 十二次。

[0581] 另外,激光束 606 的气氛为大气气氛或者氮气气氛。在本实施例中,氮气气氛是一边照射大气中的激光束 606、一边将氮气喷射到被照射面而形成的。

[0582] 激光束 606 的能量密度在大约 540mJ/cm<sup>2</sup> ~ 700mJ/cm<sup>2</sup> 的范围内。

[0583] 本发明人对在进行了干法刻蚀之后、由激光束 606 的照射而引起的硅层的表面粗糙度进行了测定。另外,还对在照射了激光束 606 之后、由进行干法刻蚀或湿法刻蚀而引起的硅层的表面粗糙度进行了测定。

[0584] 对于硅层的表面粗糙度及其结晶性的分析,可以采用由光学显微镜、原子力显微镜(AFM:Atomic Force Microscope)和扫描电子显微镜(SEM:Scanning Electron Microscope)的观察、电子背散射图像(EBSP:Electron Back Scatter Diffraction Pattern)的观察、以及拉曼光谱测定等。

[0585] 在本实施例中对于硅层的表面粗糙度的测定,是利用原子力显微镜(AFM:Atomic Force Microscope),测定了硅层的平均面粗糙度(Ra)、均方根面粗糙度(RMS)、峰谷的最大高低差(P-V)。

[0586] 这里,平均面粗糙度(Ra)是指将 JISB0601:2001(ISO4287:1997)所定义的中心线平均粗糙度 Ra 扩展到三维而得到的,以使其可以适用于测定面。它可以表示为从基准面到指定面的偏差的绝对值的平均值,可从下式得到。

[0587] [数学式 1]

$$[0588] \quad R_a = \frac{1}{S_0} \int_{x_1}^{x_2} \int_{y_1}^{y_2} |F(X,Y) - Z_0| dXdY$$

[0589] 另外,测定面是指所有测定数据所表示的面,记为下式。

[0590] [数学式 2]

[0591]  $Z = F(X, Y)$

[0592] 另外,指定面是指成为粗糙度测量的对象的面,是由坐标  $(X_1, Y_1)$ 、 $(X_1, Y_2)$ 、 $(X_2, Y_1)$ 、 $(X_2, Y_2)$  表示的四点所围成的长方形区域,将指定面为理想的平坦时的面积设定为  $S_0$ 。此外,  $S_0$  可由下式求出。

[0593] [数学式 3]

[0594]  $S_0 = (X_2 - X_1) \cdot (Y_2 - Y_1)$

[0595] 另外,基准面是指将指定面的高度的平均值设定为  $Z_0$  时,表示为  $Z = Z_0$  的平面。基准面平行于 XY 平面。此外,  $Z_0$  可由下式求出。

[0596] [数学式 4]

[0597]  $Z_0 = \frac{1}{S_0} \int_{Y_1}^{Y_2} \int_{X_1}^{X_2} F(X, Y) dXdY$

[0598] 均方根面粗糙度 (RMS) 是指将对于截面曲线的 RMS, 和 Ra 同样地扩展至三维而得到的, 以使其适用于测定面。它可以表示为从基准面到指定面的偏差的均方根的平均值的平方根, 可从下式得到。

[0599] [数学式 5]

[0600]  $R_{ms} = \sqrt{\frac{1}{S_0} \int_{Y_1}^{Y_2} \int_{X_1}^{X_2} \{F(X, Y) - Z_0\}^2 dXdY}$

[0601] 峰谷的最大高低差 (P-V) 可以用指定面中最高的峰顶的高度  $Z_{max}$  和最低的谷底的高度  $Z_{min}$  的差来表示, 可从下式得到。

[0602] [数学式 6]

[0603]  $P-V = Z_{max} - Z_{min}$

[0604] 这里所说的峰顶和谷底是指将 JISB0601 :2001 (ISO4287:1997) 中定义的“峰顶”和“谷底”扩展至三维而得的, 峰顶表示指定面的峰中的最高处, 谷底表示指定面中的最低处。

[0605] 本实施例中的平均面粗糙度 (Ra)、均方根面粗糙度 (RMS)、峰谷的最大高低差 (P-V) 的测量条件如下所述。

[0606] • 原子力显微镜 (AFM) :扫描型探针显微镜 SPI3800N/SPA500 (精工电子株式会社制)

[0607] • 测定模式 :动态力模式 (DFM 模式)

[0608] • 悬臂 :SI-DF40 (硅制, 弹簧常数为 42N/m, 谐振频率为 250~390kHz, 探针前端  $R \leq 10\text{nm}$ )

[0609] • 扫描速度 :1.0Hz

[0610] • 测定面积 : $10 \mu\text{m} \times 10 \mu\text{m}$

[0611] • 测定点数 :256 点  $\times$  256 点

[0612] 另外,DFM 模式是指在以某一频率 (悬臂固有的频率) 使悬臂谐振的状态下, 一边控制探针和样品的距离以使悬臂的振动振幅恒定、一边测定表面形状的测定模式。该 DFM 模式是以不接触样品表面的方式进行测定的, 因此可以不损伤样品表面, 而保持原有形状进行测定。

[0613] 在本实施例中,硅层的表面粗糙度的测定是按照上述条件对如下硅层(A)~(F)进行,并得到三维表面形状的图像:(A)分离了c-Si衬底之后(未处理)的硅层;(B)进行了干法刻蚀处理之后的硅层;(C)激光照射后的硅层;(D)在进行干法刻蚀处理之后照射了激光束的硅层;(E)在进行干法刻蚀处理之后照射激光束并进行了干法刻蚀处理的硅层;以及(F)在进行干法刻蚀处理之后照射激光束并进行了湿法刻蚀处理的硅层。考虑到所得到的测定图像的衬底截面的曲率,利用附属软件,用最小二乘法从图像的所有数据求出一次平面并拟合,进行用来修正面内的倾斜的一次倾斜修正,接着,同样地进行用来修正二次曲线的二次倾斜修正,然后再利用附属软件,进行表面粗糙度的解析,分别计算出平均面粗糙度(Ra)、均方根面粗糙度(RMS)、和峰谷的最大高低差(P-V)。

[0614] 图20表示根据AFM的测定结果。图20(D)表示在干法刻蚀后照射了激光束的硅层的表面的观察图像。另外,为了确认在进行干法刻蚀处理之后照射激光束的效果,图20(A)表示分离了c-Si衬底之后(未处理)的硅层的表面的观察图像,图20(B)表示干法刻蚀后的硅层的表面的观察图像,图20(C)表示激光照射后的硅层的表面的观察图像。另外,图20(E)表示干法刻蚀后照射激光束,并进行了干法刻蚀的硅层的表面的观察图像,图20(F)表示干法刻蚀后照射激光束,并进行了湿法刻蚀处理的硅层的表面的观察图像。另外,图20(A)~(F)对应于图21(A)~(F)的鸟瞰图。此外,图20(A)的硅层的表面的观察图像和图21(A)的鸟瞰图的图像在横向上有流动,但是根据平均面粗糙度(Ra)、均方根面粗糙度(RMS)、以及峰谷的最大高低差(P-V)的定义式,并不影响到表面粗糙度的解析。

[0615] 表1表示根据图20(A)~图20(F)的DFM图像而计算出的表面粗糙度。

[0616] [表1]

[0617]

	平均面粗糙度 (Ra) [nm]	均方根面粗糙度 (RMS) [nm]	峰谷的最大高低差 (P-V) [nm]
(A) 未处理	5.89	7.74	85.8
(B) 干法刻蚀	5.86	7.52	61.8
(C) 激光束照射	1.17	1.49	11.4
(D) 干法刻蚀 + 激光束照射	0.551	0.853	13.2
(E) 干法刻蚀 + 激光束照射 + 干法刻蚀	0.794	1.14	26
(F) 干法刻蚀 + 激光束照射 + 湿法刻蚀	1.23	1.81	29.2

[0618] 在图 21 (A) 所示的未处理的硅层的鸟瞰图中, 由于保持了晶体缺陷和分离时的形状, 所以硅层的表面为陡峭的突起状。因此, 若对硅层进行干法刻蚀, 则可以如图 21 (B) 所示, 去除硅层表面的晶体缺陷和分离时的损伤。但是, 硅层中的晶体缺陷并没有被去除, 所

以硅层的结晶性无法得到恢复。另外,虽然通过对硅层照射激光束可以恢复硅层中的结晶性,但是如图 21(C) 所示,由于单晶半导体层表面的晶体缺陷和分离时的损伤进入到了单晶半导体层内部,所以在硅层中残留有晶体缺陷。因而,通过进行干法刻蚀,去除单晶半导体层表面的晶体缺陷和分离时的损伤,再对去除了晶体缺陷和分离时的损伤的硅层照射激光束,从而可以获得其结晶性恢复了的硅层。。

[0619] 因此,通过对减少了晶体缺陷的单晶硅层进行薄膜化,可以制造利用了被薄膜化的单晶硅层的优点的高性能晶体管。

[0620] 如上所述,从表 1、图 20 和图 21 可知,通过在干法刻蚀后照射激光束,可以实现被贴合在支撑衬底上的硅层的平坦性的提高。

[0621] 实施例 2

[0622] 在本实施例中,利用图 24 ~ 图 26 所示的实验数据,对以下两个单晶半导体层的特性差异进行说明,即在进行了干法刻蚀后照射激光束而再单晶化了的单晶半导体层;以及不进行干法刻蚀就照射激光束而再单晶化了的单晶半导体层。

[0623] 在本实施例中,制造了在进行干法刻蚀之后照射激光束而再单晶化了的单晶半导体层、以及不进行干法刻蚀就照射激光束而再单晶化了的单晶半导体层之后,利用各自的单晶半导体层而制造了薄膜晶体管。就是说,制造只在是否进行干法刻蚀处理方面不相同的薄膜晶体管,从而进行特性比较。下面,表示出具体的条件。

[0624] 从损伤区域中分离单晶半导体衬底、到将单晶半导体层贴合在支撑衬底上的制造工序,是与实施例 1 的图 17(A) ~ 18(B) 同样地进行,进行直到。在损伤区域,将单晶半导体衬底分离成贴合有单晶半导体层的支撑衬底和单晶半导体衬底的一部分之后,分别形成以下单晶半导体层,即在进行了干法刻蚀之后照射激光束而再单晶化了的单晶半导体层、以及不进行干法刻蚀就照射激光束而再单晶化了的单晶半导体层。

[0625] 这里,对激光束的照射能量密度进行说明。不进行干法刻蚀就照射激光束而再单晶化时的激光束的能量密度与在进行了干法刻蚀之后照射激光束时的不同。这是因为使单晶半导体层再单晶化所需要的能量密度根据单晶半导体层的膜厚的不同而不同。在本实施例中,被分离成贴合有单晶半导体层的支撑衬底和单晶半导体衬底的一部分之后的单晶半导体层的膜厚为 120nm 左右,通过进行干法刻蚀,则单晶半导体层的膜厚为 95nm 左右。由这些单晶半导体层的膜厚所决定的激光束的能量密度,在不进行干法刻蚀就照射激光束的情况下为  $701\text{mJ}/\text{cm}^2$ 、 $710\text{mJ}/\text{cm}^2$ 、 $719\text{mJ}/\text{cm}^2$ ,而在进行了干法刻蚀之后照射激光束的情况下为  $648\text{mJ}/\text{cm}^2$ 、 $658\text{mJ}/\text{cm}^2$ 、 $669\text{mJ}/\text{cm}^2$ 。

[0626] 在进行了干法刻蚀之后照射激光束而再单晶化了的单晶半导体层,是在与图 18(C) 同样地进行了干法刻蚀之后,与图 19(A) 同样地进行激光束照射,再与图 19(B) 同样地进行干法刻蚀。另外,不进行干法刻蚀就照射激光束而再单晶化了的单晶半导体层,是与图 19(A) 同样地进行激光束照射,再与图 19(B) 同样地进行干法刻蚀,而不进行图 18(C) 所示的干法刻蚀。

[0627] 接着,利用图 22(A) ~ 图 23(C) 对薄膜晶体管的制造方法进行说明。图 22(A) 中表示根据上述方法而制造的 SOI 衬底。图 22(A) 所示的 SOI 衬底具有在玻璃衬底 607 上依次层叠氧化硅膜 604、氮氧化硅层 602b、氧氮化硅层 602a、以及硅层 611 的结构。氧化硅膜 604 的膜厚为 50nm,氮氧化硅层 602b 的膜厚为 50nm,氧氮化硅层 602a 的膜厚为 50nm。硅

层 611 的膜厚为 55nm。

[0628] 接着,进行用来控制阈值的沟道掺杂。按以下条件进行:使用硼作为材料气体,加速电压为 15kV 且硅层 611 中的峰值浓度为  $2 \times 10^{17}$  atoms/cm<sup>3</sup>。然后,使用光刻法形成由抗蚀剂构成的掩模(未图示),将硅层 611 刻蚀成所希望的形状,形成硅层 705、706(参照图 22(B))。

[0629] 接着,作为覆盖被刻蚀了的硅层的栅极绝缘膜 707,利用高密度等离子体(High Density Plasma)法形成膜厚 10nm 的氧化硅层,并利用等离子体 CVD 法形成 70nm 的氮化硅层。然后,在栅极绝缘膜 707 上以叠层结构形成膜厚 30nm 的氮化钽层和膜厚 370nm 的钨层作为导电膜。

[0630] 接着,利用光刻法形成由抗蚀剂构成的掩模(未图示),并对钨层和氮化钽层进行刻蚀,在形成栅电极 708、709 后,去除掩模(参照图 22(C))。在去除掩模之后,再形成一个由抗蚀剂构成的掩模 711 以覆盖硅层 706,并进行掺杂处理。将赋予 n 型(一导电型)的杂质元素 710 引入到用作 n 沟道型 TFT 的活性层的硅层 705 中。在此情况下,通过刻蚀钨层和氮化钽层而形成的栅电极 708,用作为对赋予 n 型的杂质元素 710 的掩模,自匹配地形成沟道形成区域 720 和夹有该沟道形成区域 720 的杂质区域 712a、712b(参照图 22(D))。在本实施例的掺杂处理中,按以下条件进行:使用 5% 的 PH<sub>3</sub>/H<sub>2</sub> 作为材料气体,剂量为  $3 \times 10^{15}$  ions/cm<sup>3</sup>,加速电压为 60kV。

[0631] 然后,在去除了由抗蚀剂构成的掩模 711 之后,再形成一个由抗蚀剂构成的掩模 714 以覆盖 n 沟道型薄膜晶体管的硅层 705,并进行掺杂处理。将赋予 p 型(与一导电型相反的导电型)的杂质元素 713 引入到用作 p 沟道型 TFT 的活性层的硅层 706 中。在此情况下,栅电极 709 用作为对赋予 p 型的杂质元素 713 的掩模,自匹配地形成沟道形成区域 721 和夹有该沟道形成区域 721 的杂质区域 715a、715b(参照图 22(E))。在本实施例的掺杂处理中,按以下条件进行:使用 15% 的 B<sub>2</sub>H<sub>6</sub>/H<sub>2</sub> 作为材料气体,剂量为  $1.6 \times 10^{16}$  ions/cm<sup>2</sup>,加速电压为 80kV。

[0632] 利用上述工序,在每个岛状硅层中形成沟道形成区域、以及夹有该沟道形成区域的杂质区域。

[0633] 接着,去除由抗蚀剂构成的掩模 714,利用等离子体 CVD 法形成膜厚 50nm 的氮化硅膜(组成比:Si = 32.8%, O = 63.7%, H = 3.5%)作为第一层间绝缘膜 716。然后,通过热处理,进行岛状硅层的结晶性的恢复、以及使添加在各个岛状硅层中的杂质元素的活性化。在本实施例中,利用使用退火炉的热退火法,以 480°C 在氮气气氛中进行热处理一个小时。

[0634] 接着,在第一层间绝缘膜上形成由无机绝缘材料或有机绝缘材料构成的第二层间绝缘膜 717。在本实施例中,使用 CVD 法形成膜厚 100nm 的氮化硅膜,然后形成膜厚 600nm 的氧化硅膜(参照图 23(A))。并且,通过进行热处理,可以进行氢化处理。在本实施例中,使用退火炉以 410°C 进行 1 个小时的热处理。

[0635] 接着,使用由抗蚀剂构成的掩模,在绝缘膜中形成到达单晶半导体层的接触孔 718(开口部)(参照图 23(B))。根据所使用的材料的选择比,刻蚀可以进行一次,也可以进行多次。通过刻蚀,去除绝缘膜并形成到达源区或漏区的开口部 718。

[0636] 接着,如附图所示那样形成导电层以覆盖开口部 718,通过刻蚀导电层,形成作

为与各源区或漏区的一部分分别电连接的源电极或漏电极而起到作用的导电层（参照图 23(C)）。在本实施例中，作为导电层，以膜厚 60nm 的钛层、膜厚 40nm 的氮化钛层、膜厚 300nm 的铝层、以及膜厚 100nm 的钛层的叠层结构而形成。再进行刻蚀，形成源电极或漏电极 719a、719b。

[0637] 如上所述，可以形成根据本实施例的薄膜晶体管。

[0638] 图 24 表示以下两种 n 沟道型晶体管的对阈值电压的概率统计分布图，即使用在进行干法刻蚀之后照射激光束而再单晶化了的单晶半导体层所制造的 n 沟道型晶体管（以下称为“被进行了干法刻蚀的晶体管”）；以及使用不进行干法刻蚀就照射激光束而再单晶化了的单晶半导体层所制造的 n 沟道型晶体管（以下称为“没有进行干法刻蚀的晶体管”）。

[0639] 图 24(A) 表示不进行干法刻蚀就照射了激光束（能量密度为  $701\text{mJ}/\text{cm}^2$ （标记○）、 $710\text{mJ}/\text{cm}^2$ （标记□）、 $719\text{mJ}/\text{cm}^2$ （标记◇））的情况，图 24(B) 表示在进行干法刻蚀之后照射了激光束（能量密度为  $648\text{mJ}/\text{cm}^2$ （标记○）、 $658\text{mJ}/\text{cm}^2$ （标记□）、 $669\text{mJ}/\text{cm}^2$ （标记◇））的情况。任何一种情况都是沟道形成区域的长度 / 沟道形成区域的宽度 =  $8\mu\text{m}/8\mu\text{m}$  的 n 沟道型晶体管。图 24 的数据是通过将漏电压 (Vd) 设定为 5V 进行测量而得到的。在图 24(A)、(B) 中，横轴表示阈值电压  $V_{th}$  [V]，纵轴表示百分比 [%]。另外，图中的分布越平行于纵轴，则表示偏差越小。还有，如上所述，激光束的能量密度在不进行干法刻蚀的情况下和进行了干法刻蚀的情况是不同的，这是因为再单晶化所需的能量密度根据单晶半导体层的厚度的不同而不同。因此，能量密度的不同并不影响到晶体管特性的偏差。图 25、图 26 中也是一样的。

[0640] 在图 24(B) 中，进行了干法刻蚀的晶体管的阈值电压的值 99% 在以下范围内：能量密度为  $648\text{mJ}/\text{cm}^2$  时，为  $1.45 \pm 0.17\text{V}$ ；能量密度为  $658\text{mJ}/\text{cm}^2$  时，为  $1.46 \pm 0.22\text{V}$ ；能量密度为  $668\text{mJ}/\text{cm}^2$  时，为  $1.36 \pm 0.13\text{V}$ 。与之相对的，在图 24(A) 中，没有进行干法刻蚀的晶体管的阈值电压的值 99% 在以下范围内：能量密度为  $701\text{mJ}/\text{cm}^2$  时，为  $1.46 \pm 0.70\text{V}$ ；能量密度为  $710\text{mJ}/\text{cm}^2$  时，为  $1.99 \pm 1.20\text{V}$ ；能量密度为  $719\text{mJ}/\text{cm}^2$  时，为  $1.59 \pm 0.93\text{V}$ 。就是说，从图 24(A)、(B) 可知，与没有进行干法刻蚀的情况相比，在进行干法刻蚀之后照射激光束的情况可以进一步降低偏差。

[0641] 图 25 中表示对亚阈值摆幅 (S 值) 的概率统计分布图。图 25(A) 表示没有进行干法刻蚀就照射了激光束（能量密度为  $701\text{mJ}/\text{cm}^2$ （标记○）、 $710\text{mJ}/\text{cm}^2$ （标记□）、 $719\text{mJ}/\text{cm}^2$ （标记◇））的情况，图 25(B) 中表示在进行干法刻蚀之后照射了激光束（能量密度为  $648\text{mJ}/\text{cm}^2$ （标记○）、 $658\text{mJ}/\text{cm}^2$ （标记□）、 $669\text{mJ}/\text{cm}^2$ （标记◇））的情况。在任何一种情况下，都对沟道形成区域的长度 / 沟道形成区域的宽度 =  $8\mu\text{m}/8\mu\text{m}$  的 n 沟道型 TFT 进行测定。在图 25(A)、(B) 中，横轴表示亚阈值摆幅 S 值 [V/dec]，纵轴表示百分比 [%]。

[0642] 在图 25(B) 中，进行了干法刻蚀的晶体管的 S 值的 99% 在以下范围内：能量密度为  $648\text{mJ}/\text{cm}^2$  时，为  $1.18 \pm 0.02\text{V}/\text{dec}$ ；能量密度为  $658\text{mJ}/\text{cm}^2$  时，为  $0.16 \pm 0.03\text{V}/\text{dec}$ ；能量密度为  $668\text{mJ}/\text{cm}^2$  时，为  $0.16 \pm 0.02\text{V}/\text{dec}$ 。与之相对的，在图 25(A) 中，没有进行干法刻蚀的晶体管的 S 值的 99% 在以下范围内：能量密度为  $701\text{mJ}/\text{cm}^2$  时，为  $0.17 \pm 0.04\text{V}/\text{dec}$ ；能量密度为  $710\text{mJ}/\text{cm}^2$  时，为  $0.19 \pm 0.07\text{V}/\text{dec}$ ；能量密度为  $719\text{mJ}/\text{cm}^2$  时，为  $0.17 \pm 0.07\text{V}/\text{dec}$ 。就是说，从图 25(A)、(B) 可知，与没有进行干法刻蚀的情况相比，在进行干法刻蚀之后照射了激光束的情况可以进一步降低偏差。

[0643] 图 26 中表示对场效应迁移率的概率统计分布图。图 26 (A) 表示没有进行干法刻蚀就照射了激光束 (能量密度为  $701\text{mJ}/\text{cm}^2$  (标记○)、 $710\text{mJ}/\text{cm}^2$  (标记□)、 $719\text{mJ}/\text{cm}^2$  (标记◇)) 的情况,而图 26B 表示在进行干法刻蚀之后照射了激光束 (能量密度为  $648\text{mJ}/\text{cm}^2$  (标记○)、 $658\text{mJ}/\text{cm}^2$  (标记□)、 $669\text{mJ}/\text{cm}^2$  (标记◇)) 的情况。在任一情况下,都对沟道形成区域的长度 / 沟道形成区域的宽度 =  $8\mu\text{m}/8\mu\text{m}$  的 n 沟道型 TFT 进行测定。在图 26 (A)、(B) 中,横轴表示场效应迁移率  $\mu$  [ $\text{cm}^2/\text{Vs}$ ],纵轴表示百分比 [%]。

[0644] 在图 26 (B) 中,进行了干法刻蚀的晶体管的场效应迁移率的 99% 在以下范围内:能量密度为  $648\text{mJ}/\text{cm}^2$  时,为  $434 \pm 30\text{cm}^2/\text{Vs}$ ;能量密度为  $658\text{mJ}/\text{cm}^2$  时,为  $471 \pm 38\text{cm}^2/\text{Vs}$ ;能量密度为  $668\text{mJ}/\text{cm}^2$  时,为  $446 \pm 25\text{cm}^2/\text{Vs}$ 。与之相对的,在图 26 (A) 中,没有进行干法刻蚀的晶体管的场效应迁移率的 99% 在以下范围内:能量密度为  $701\text{mJ}/\text{cm}^2$  时,为  $434 \pm 51\text{cm}^2/\text{Vs}$ ;能量密度为  $710\text{mJ}/\text{cm}^2$  时,为  $497 \pm 57\text{cm}^2/\text{Vs}$ ;能量密度为  $719\text{mJ}/\text{cm}^2$  时,为  $450 \pm 51\text{cm}^2/\text{Vs}$ 。就是说,从图 26 (A)、(B) 可知,与没有进行干法刻蚀的情况相比,在进行干法刻蚀之后照射了激光束的情况可以进一步降低偏差。

[0645] 如上所述,若使用本发明而获得的单晶半导体层制造 TFT,则可以降低阈值电压、S 值、以及场效应迁移率的偏差,从而本发明的有效性很明确。这是因为:通过对贴合在支撑衬底上的单晶半导体层进行干法刻蚀,在去除单晶半导体层表面的缺陷和损伤后照射激光束,因此可以防止在由激光束照射而引起的单晶半导体层熔化时,缺陷和损伤进入到单晶半导体层内部。因而,通过使用缺陷减少且平坦性高的单晶半导体层,可以制造多个元件之间的特性偏差被抑制的半导体装置。因此,可以提供可靠性高的半导体装置。

[0646] 本申请是根据 2007 年 10 月 10 日和 2007 年 11 月 1 日向日本专利局提出申请的日本专利申请编号 2007-265014 和 2007-285567 而制作的,所参考的全部内容都包括在本申请中。

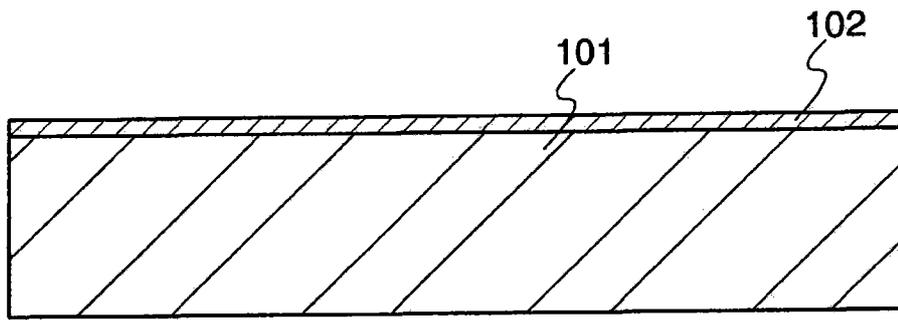


图 1(A)

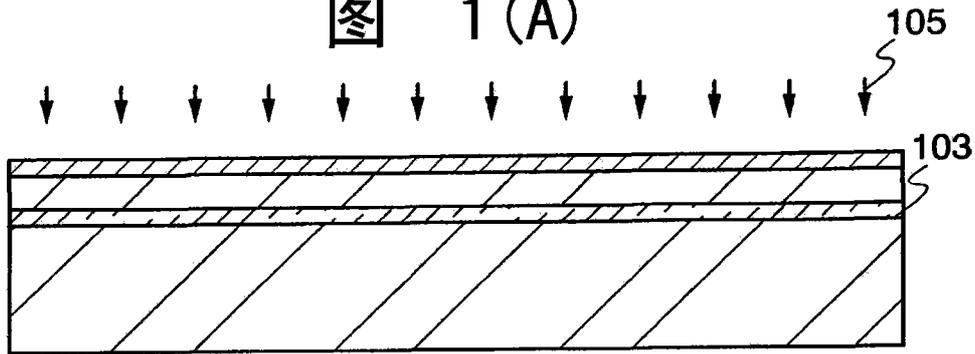


图 1(B)

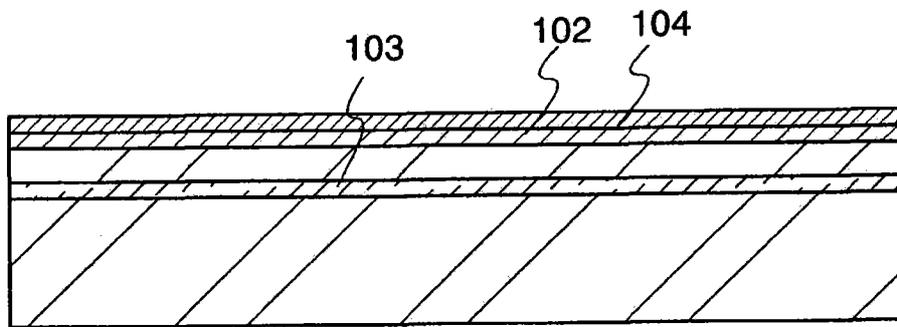


图 1(C)

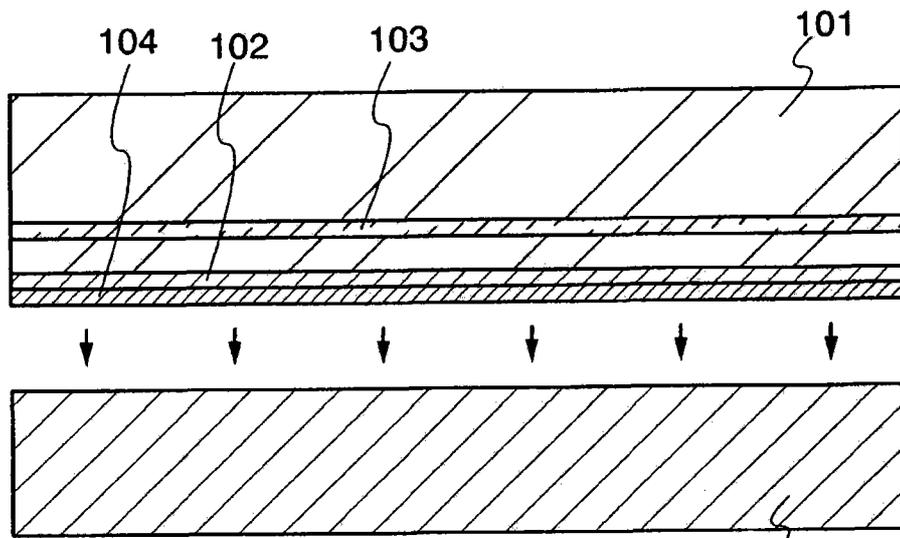


图 1 (D)

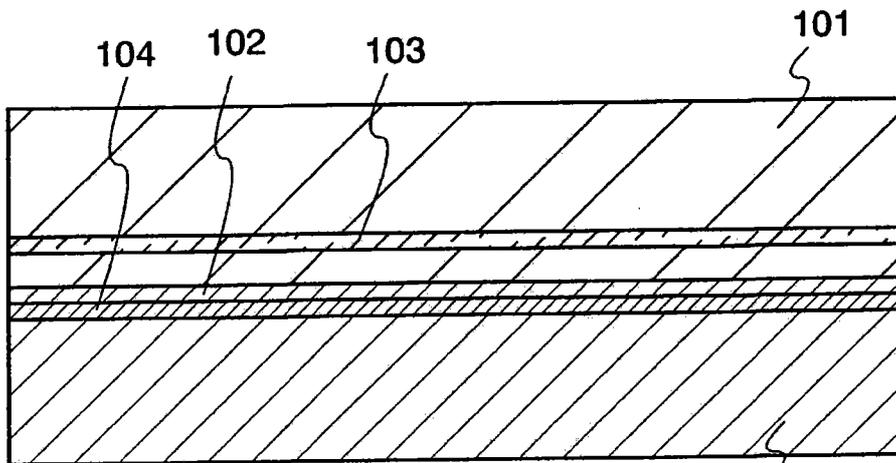


图 2 (A)

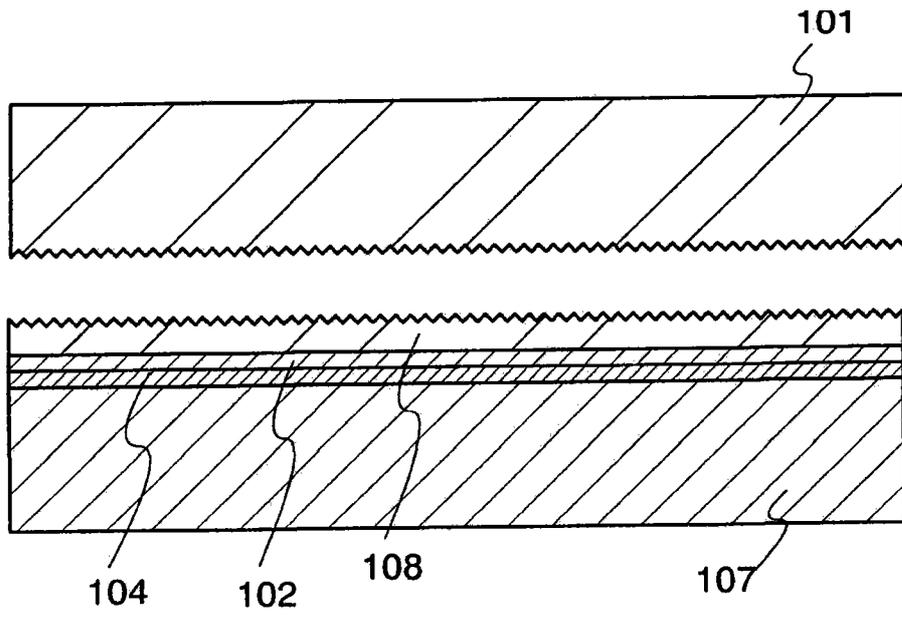


图 2(B)

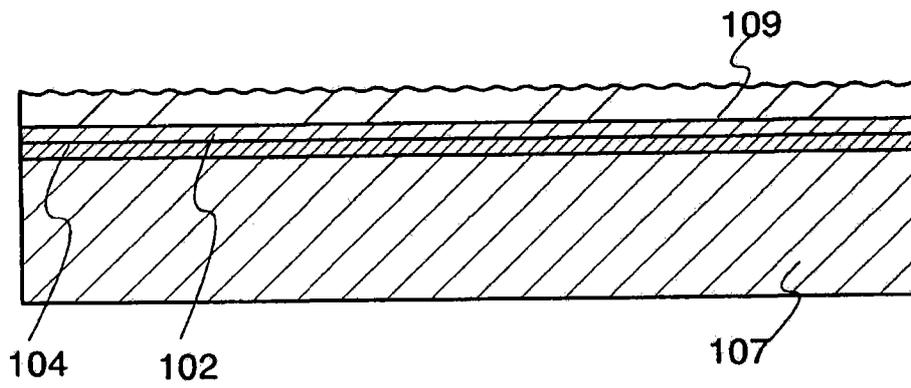


图 2(C)

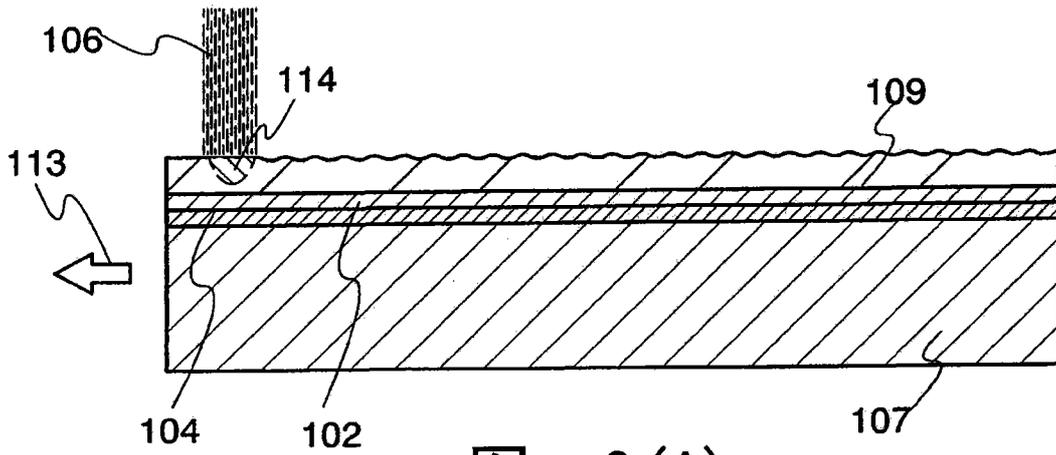


图 3(A)

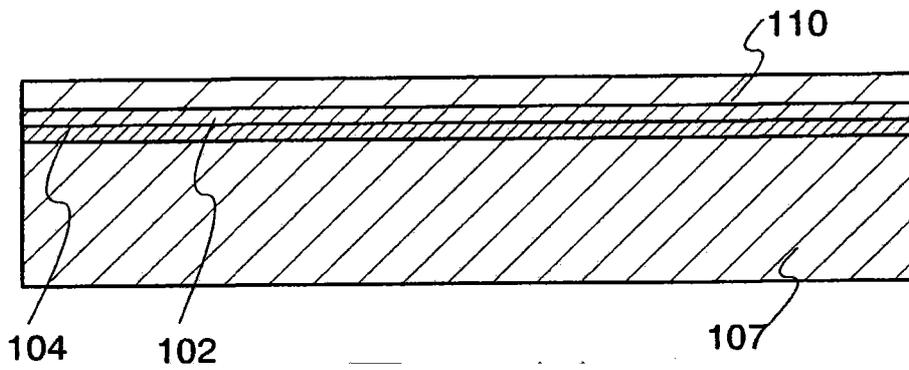


图 3(B)

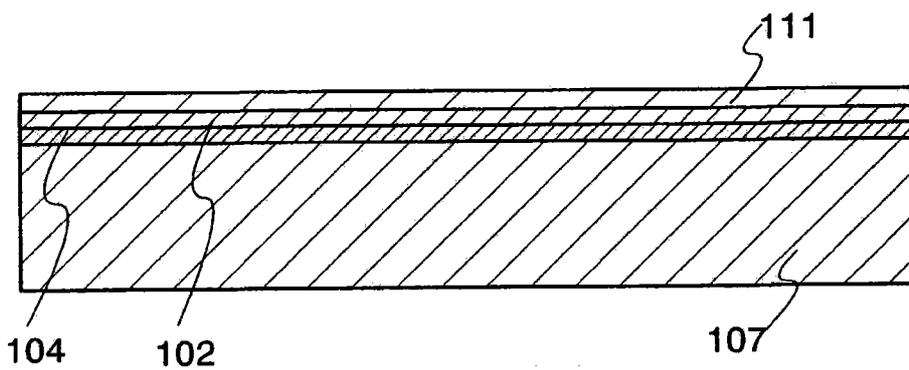


图 3(C)

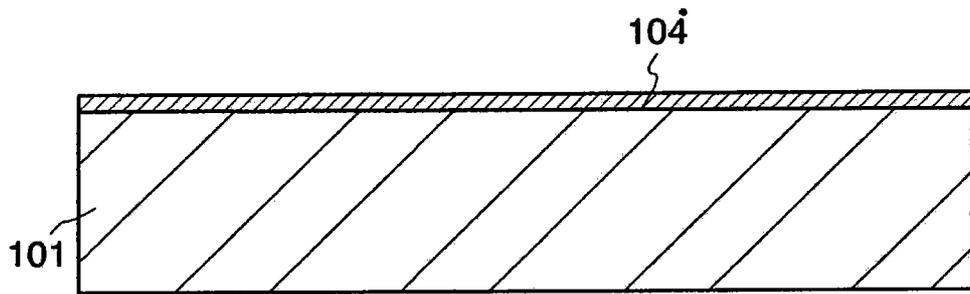


图 4(A)

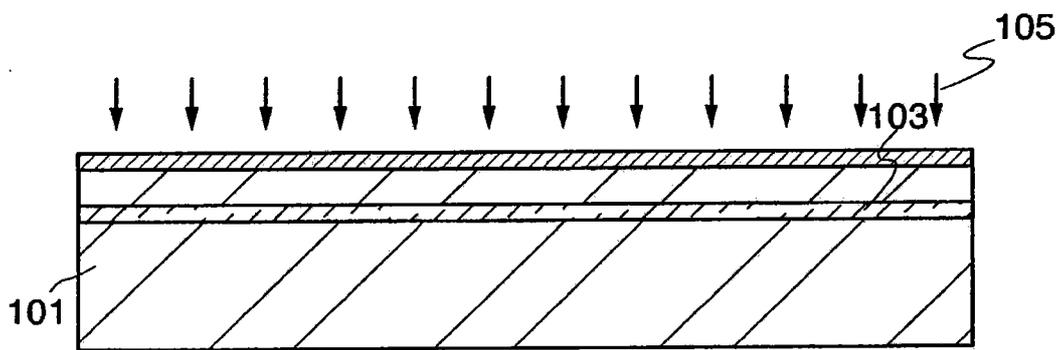


图 4(B)

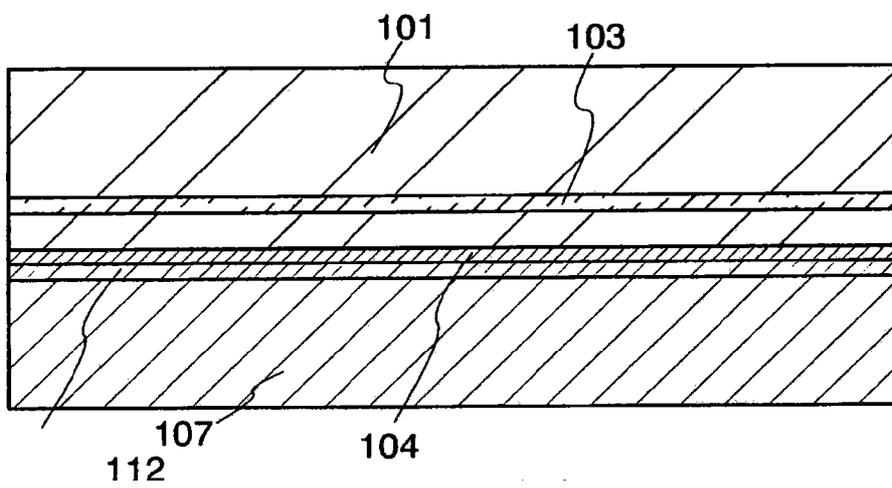


图 4(C)

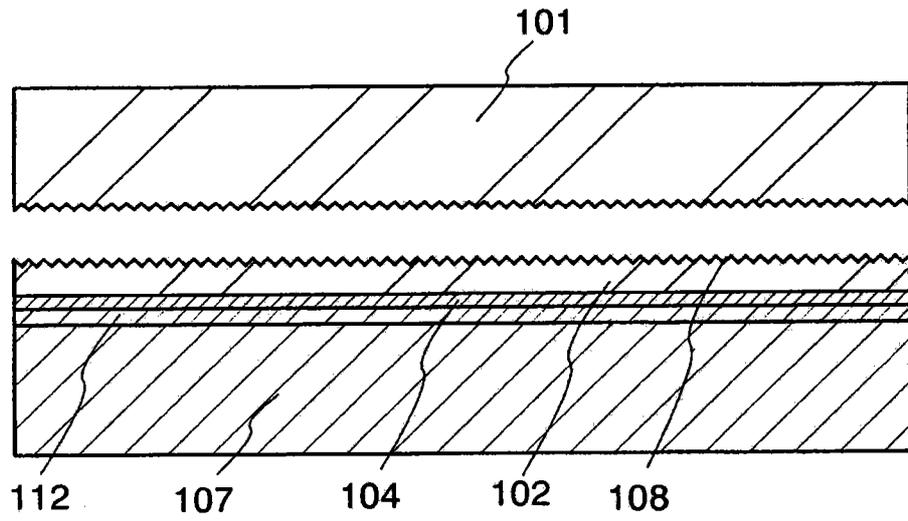


图 4(D)

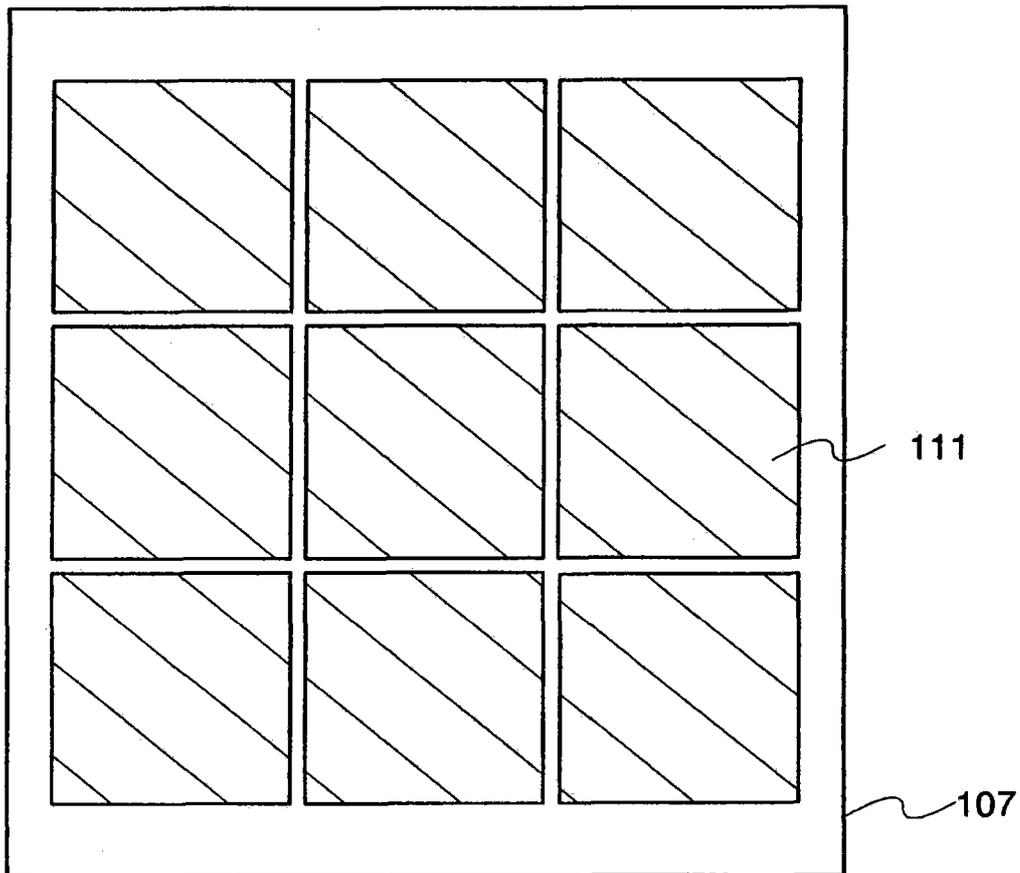


图 5

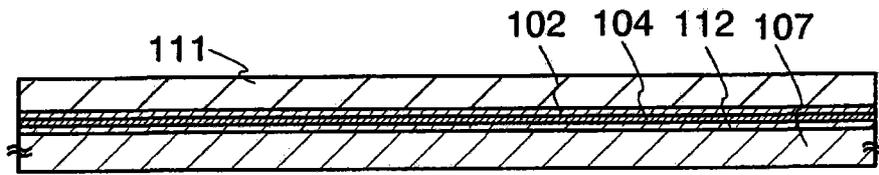


图 (A)

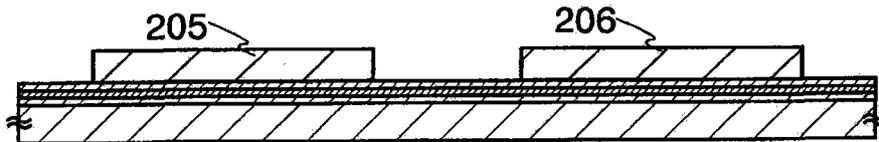


图 (B)

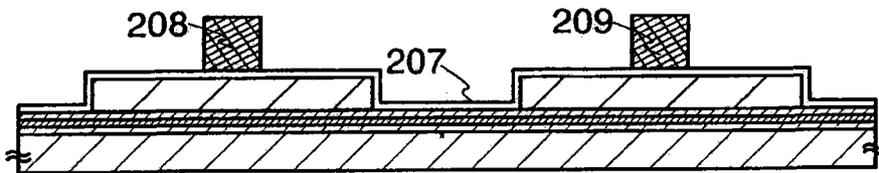


图 6 (C)

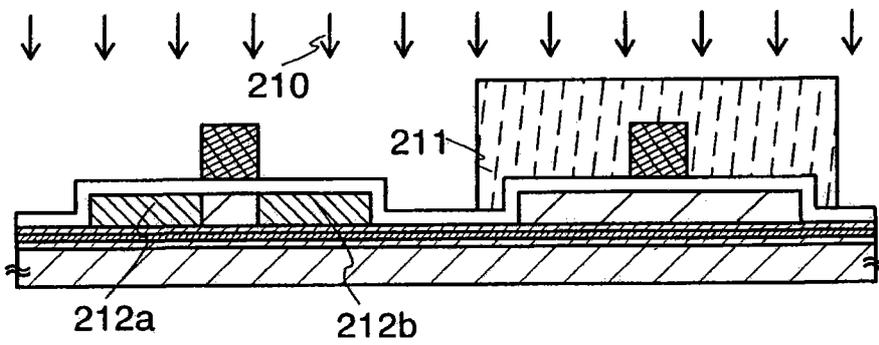


图 6 (D)

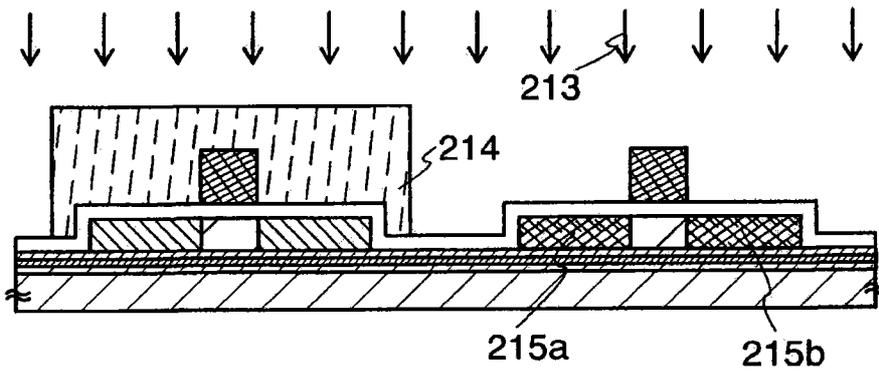


图 6(E)

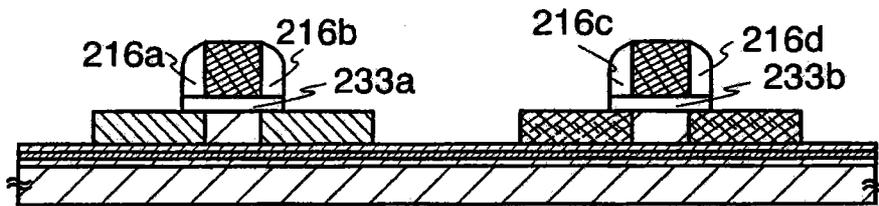


图 7(A)

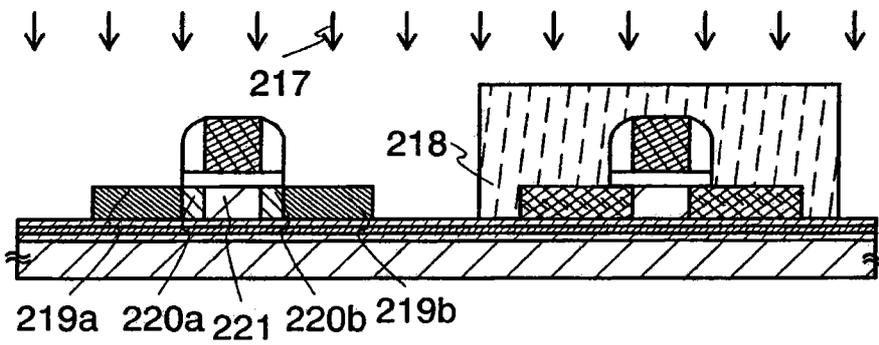


图 7(B)

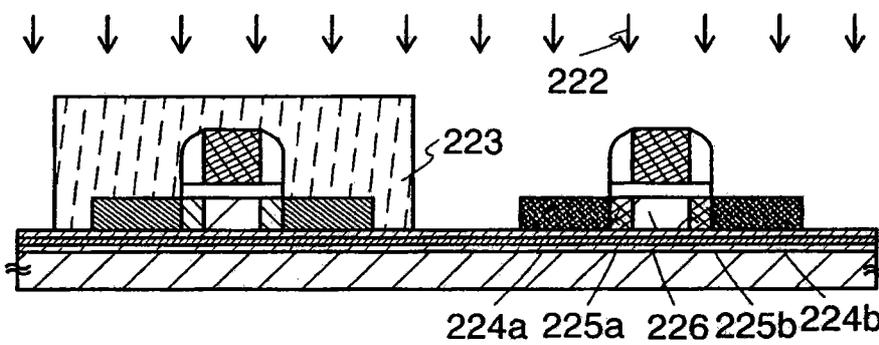


图 7(C)

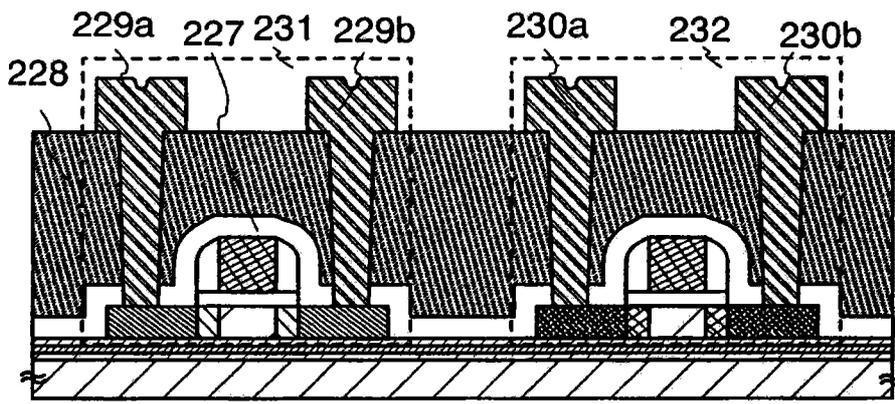


图 7(D)

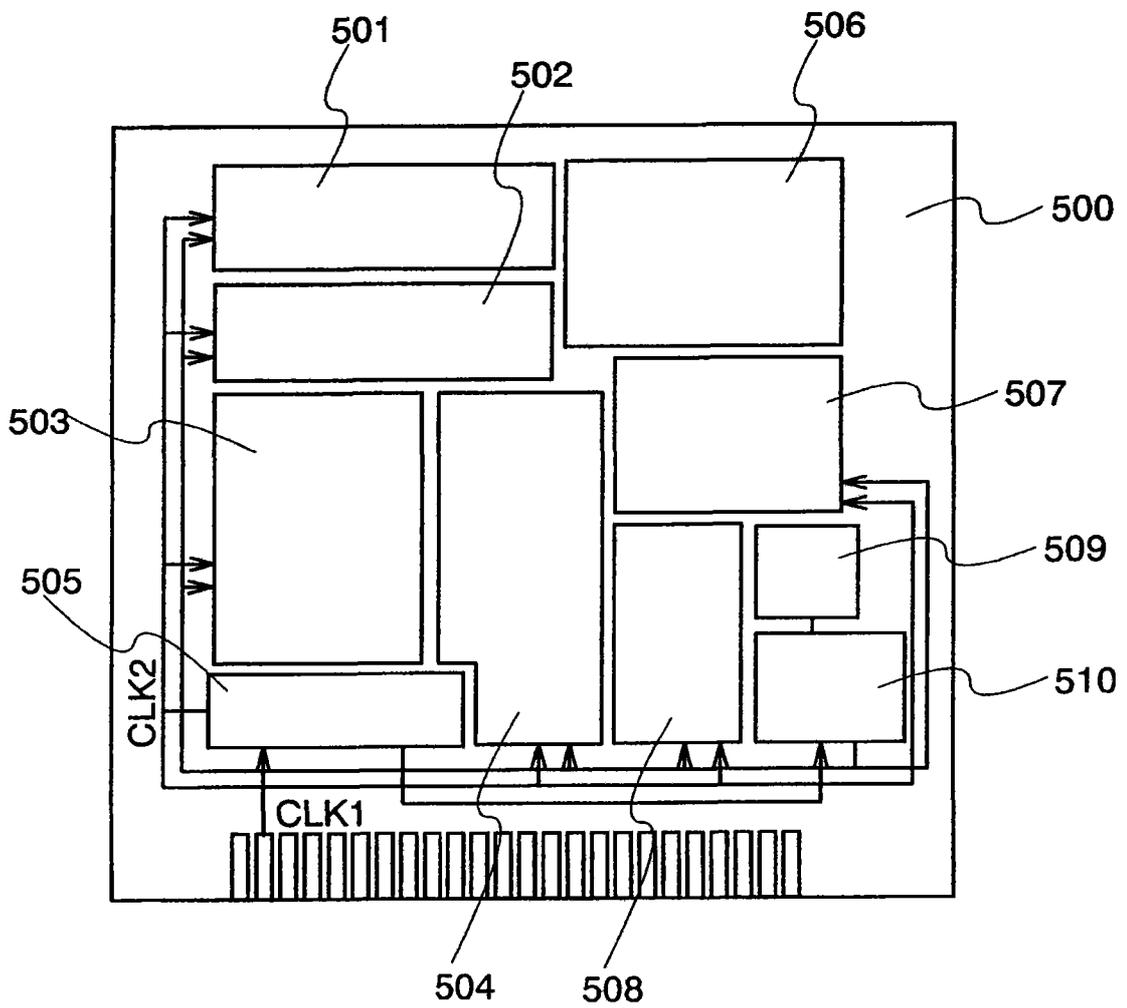


图 8

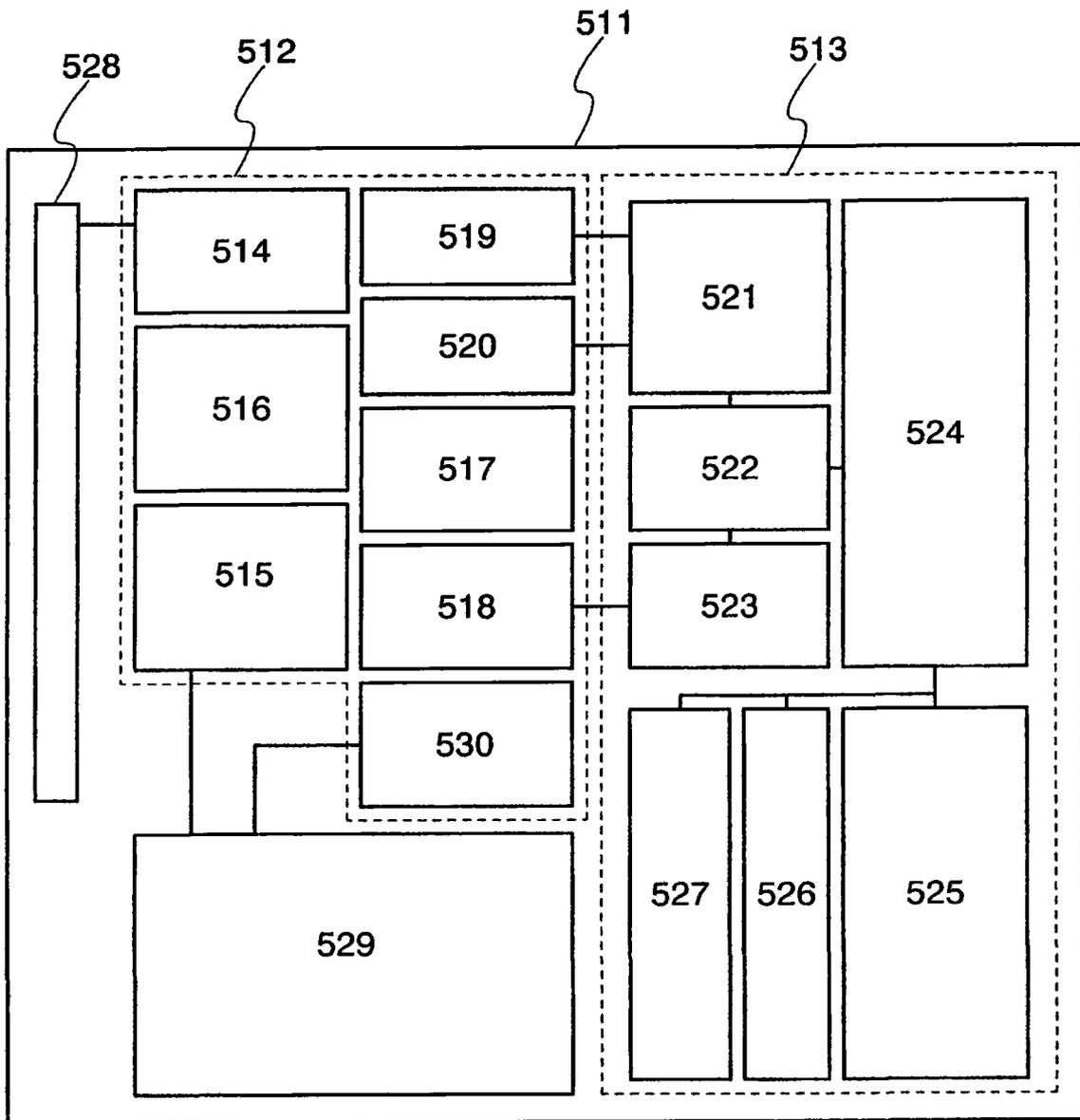


图 9

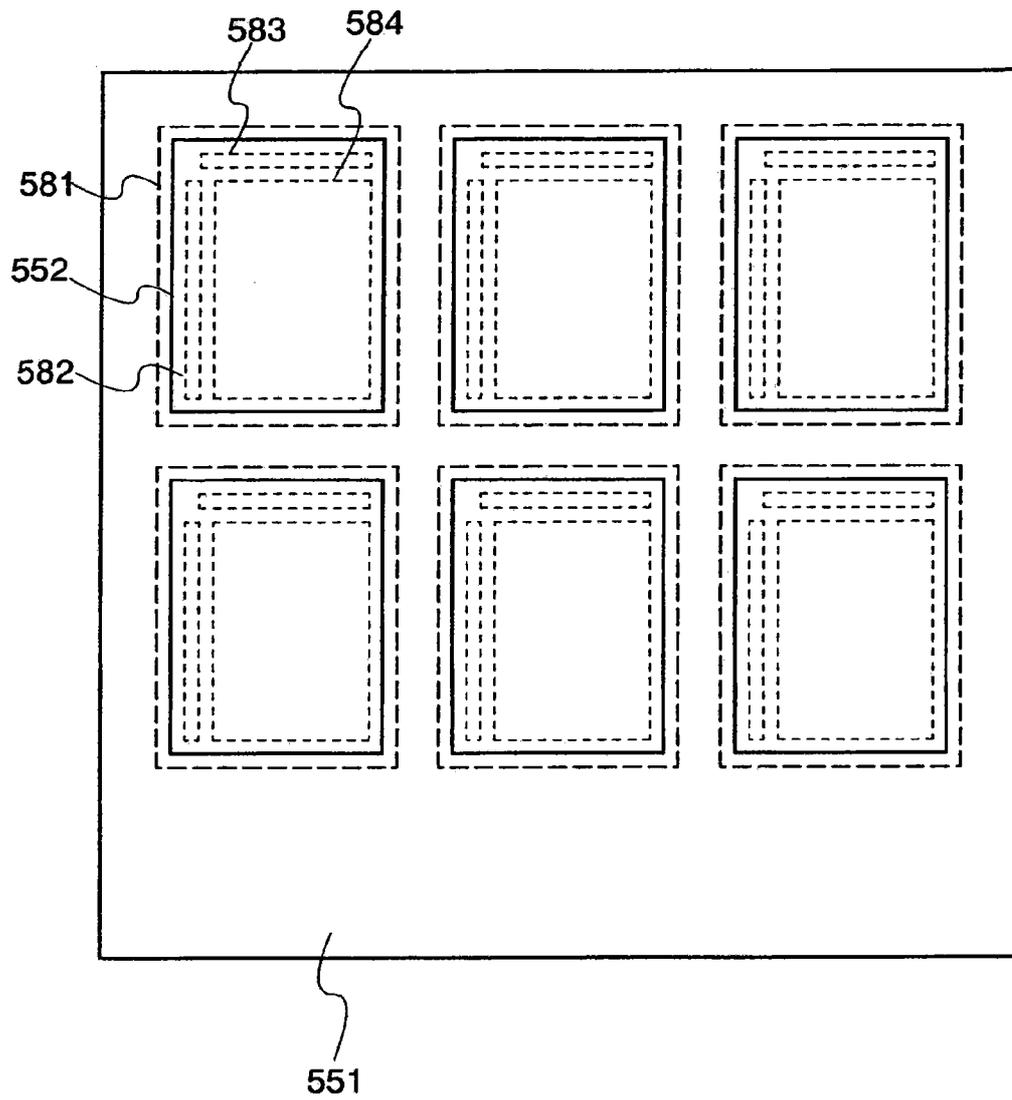


图 10

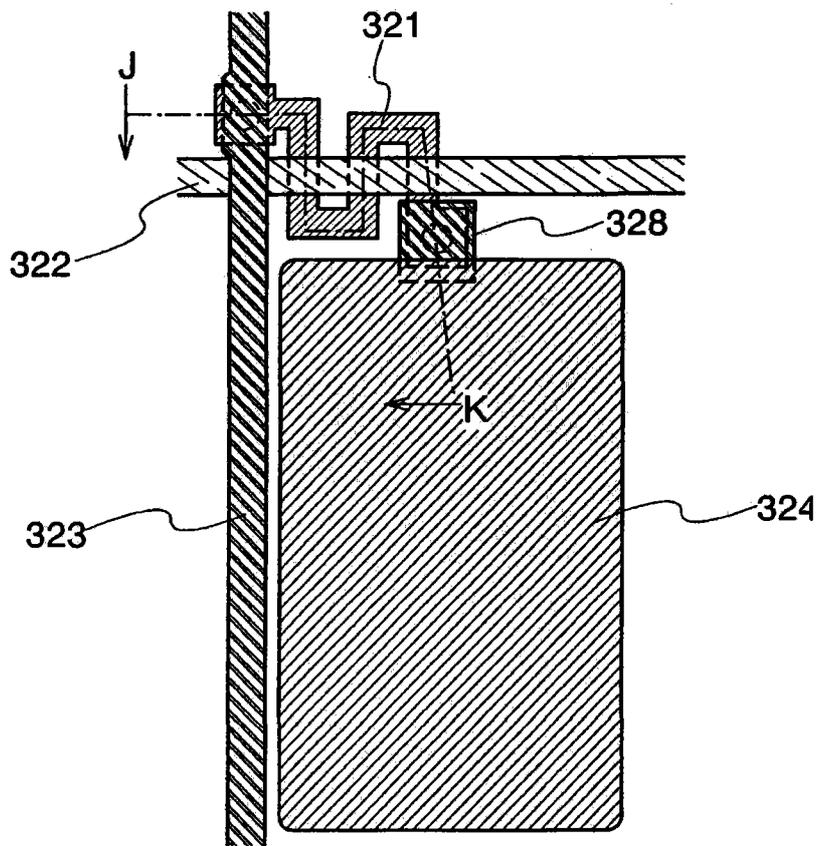


图 11(A)

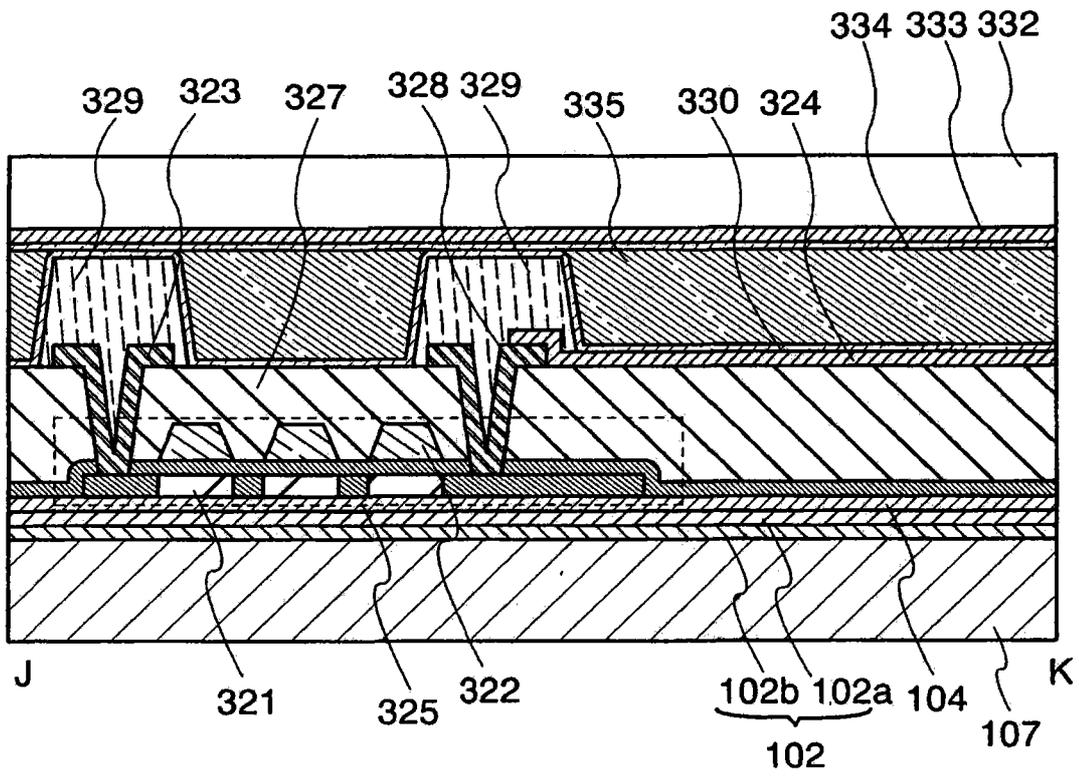


图 11(B)

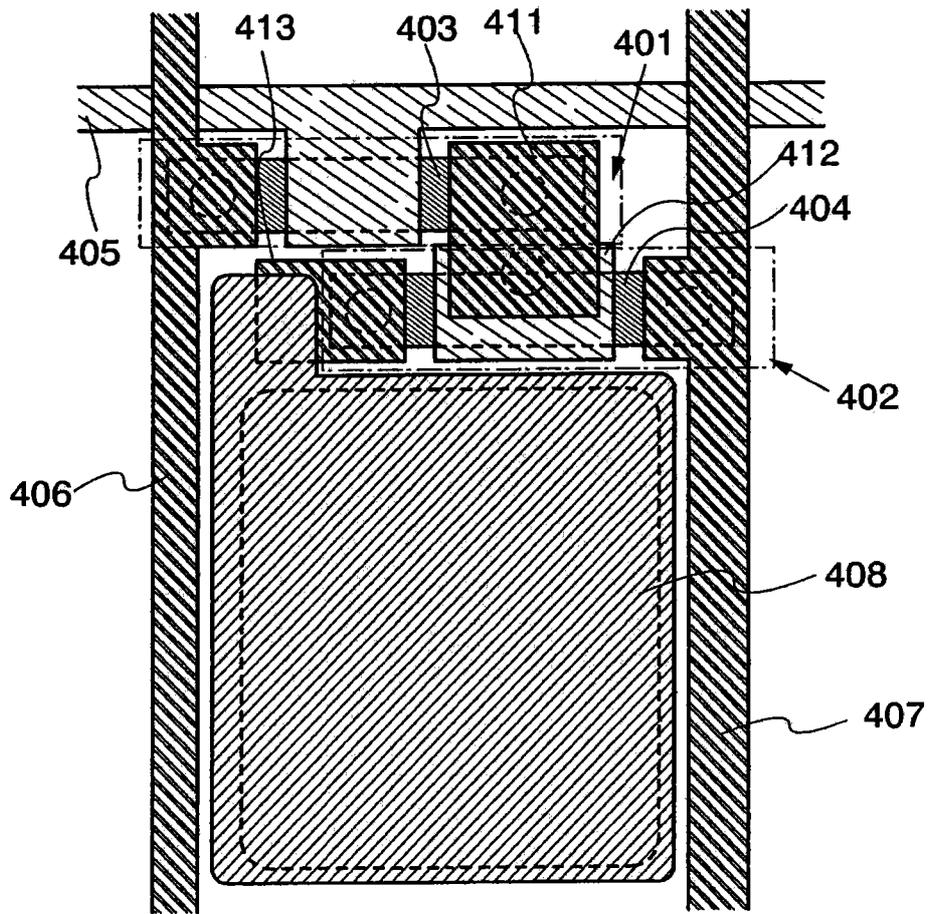


图 12(A)

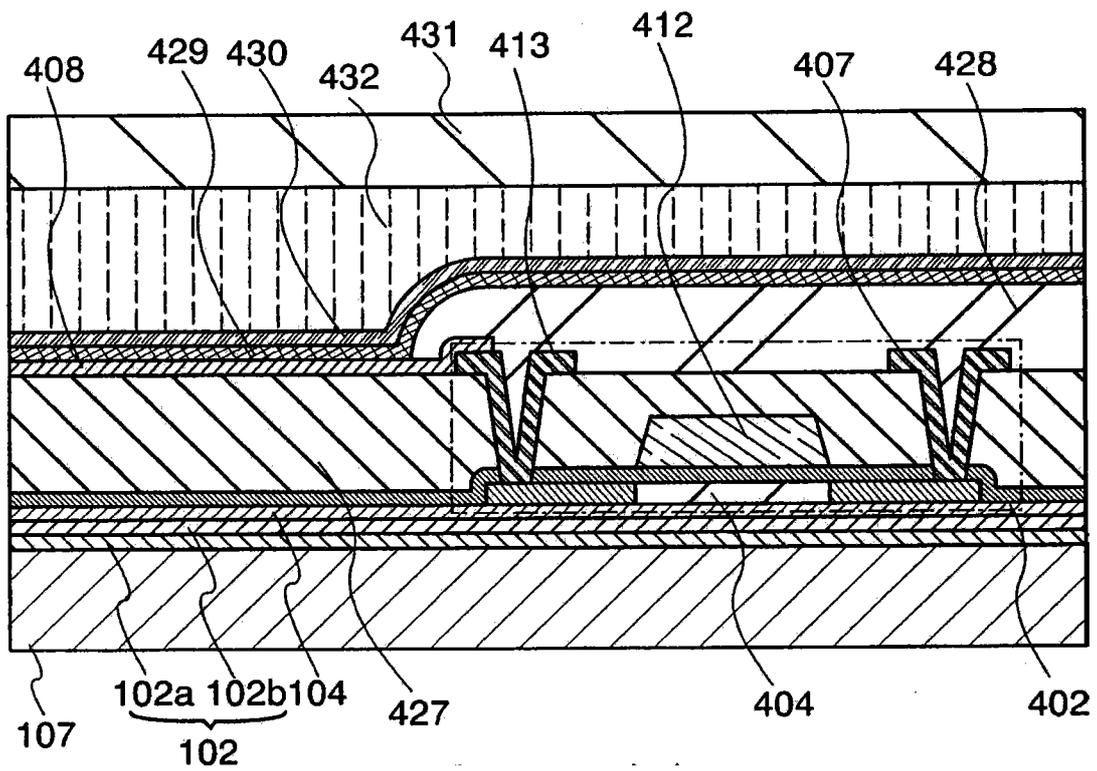


图 12(B)

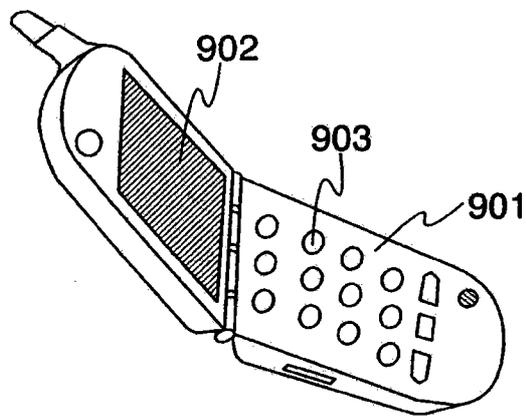


图 13(A)

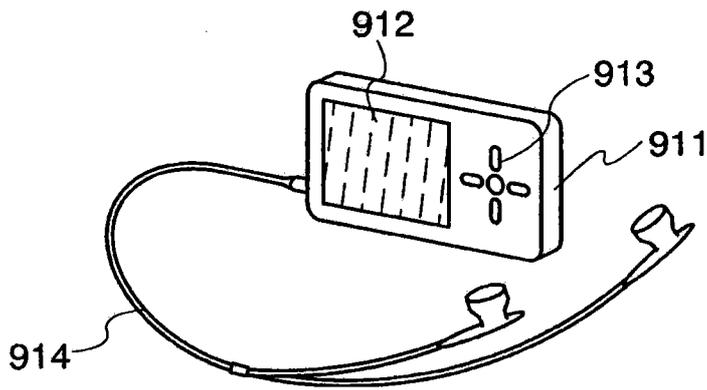


图 13(B)

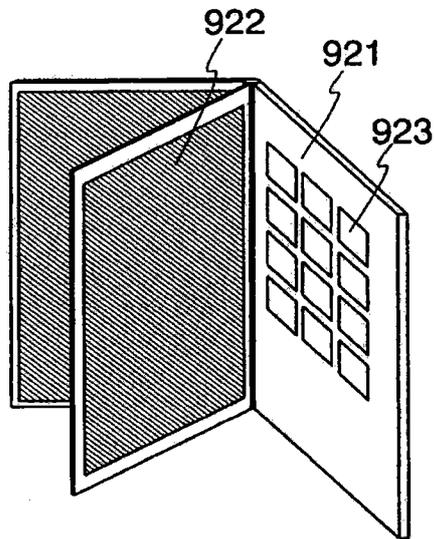


图 13(C)

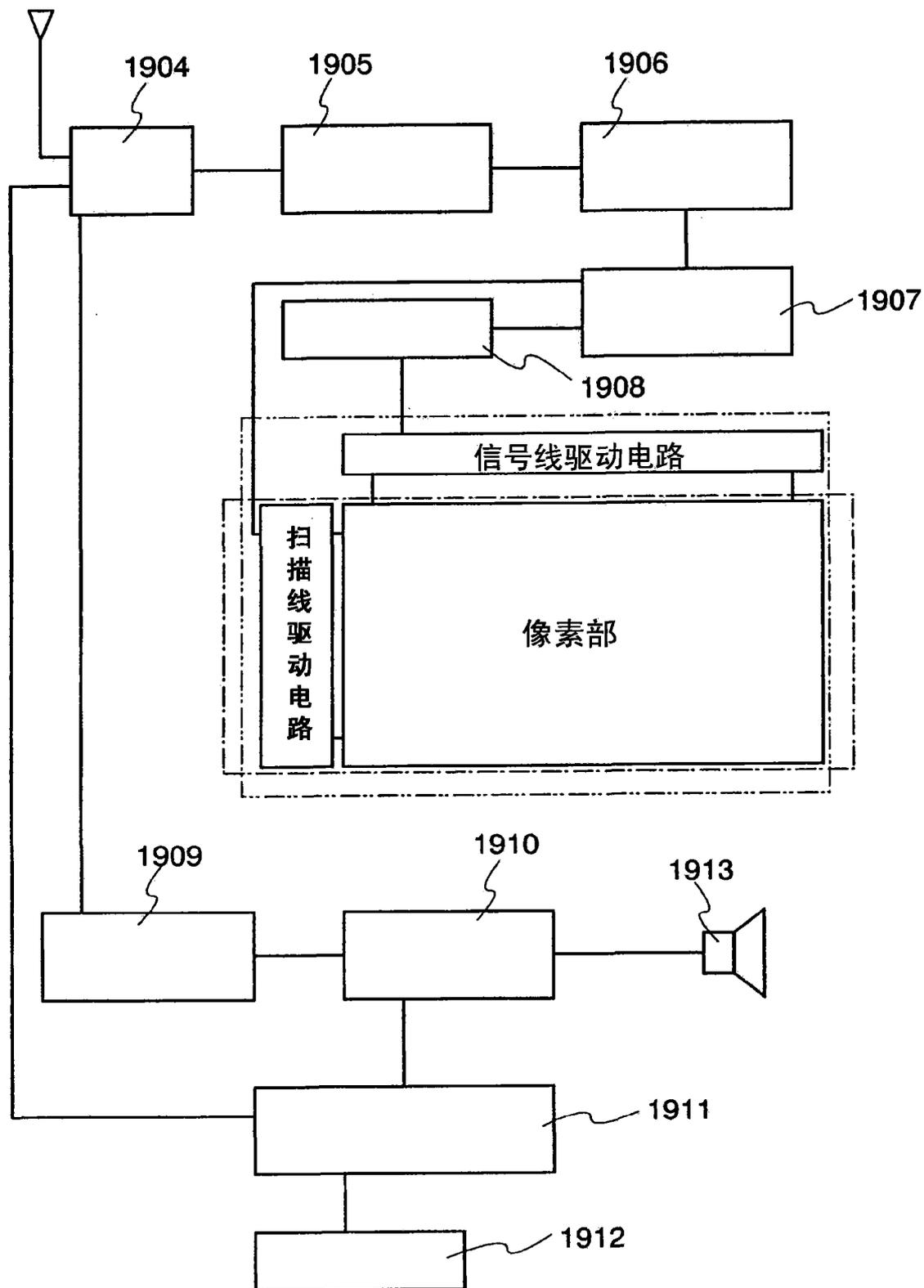


图 14

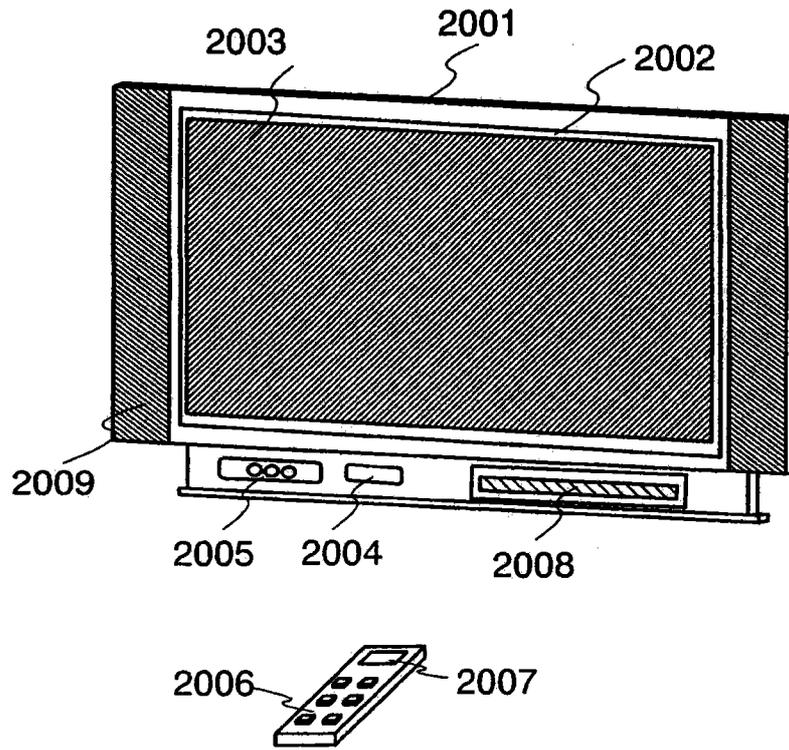


图 15(A)

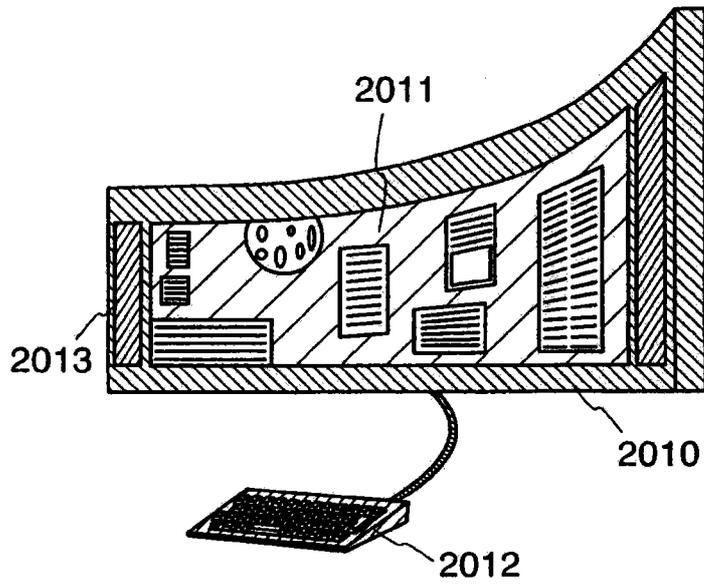


图 15(B)

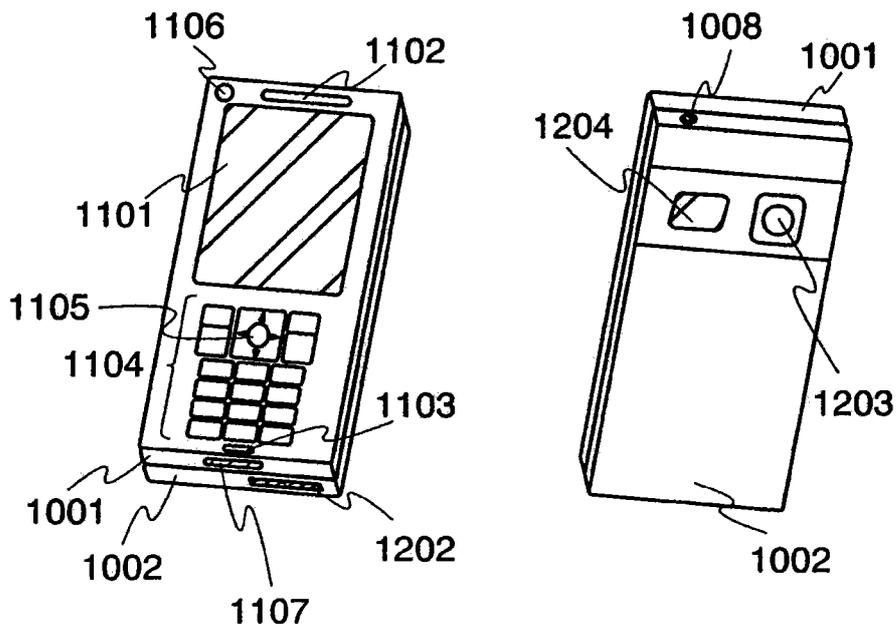


图 16(A)

图 16(B)

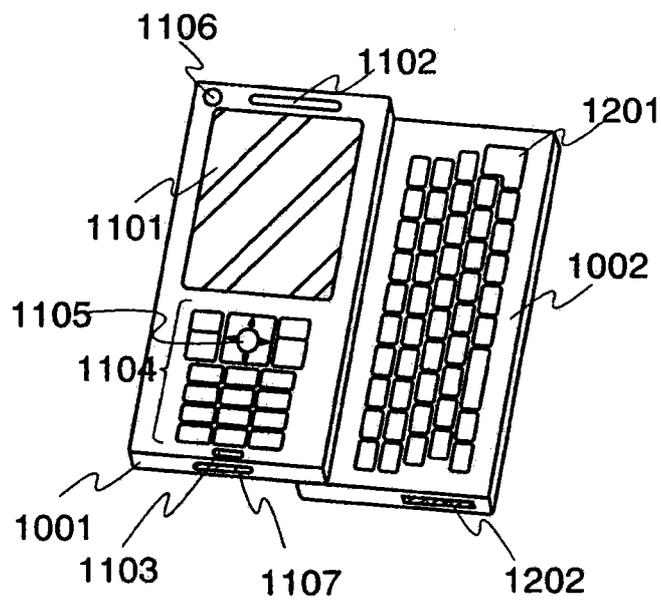


图 16(C)

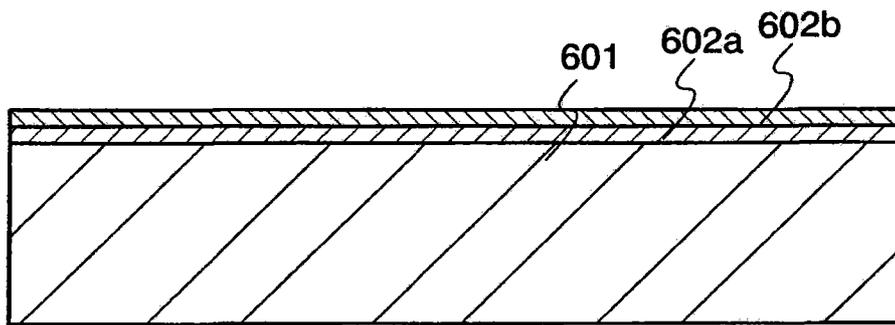


图 17(A)

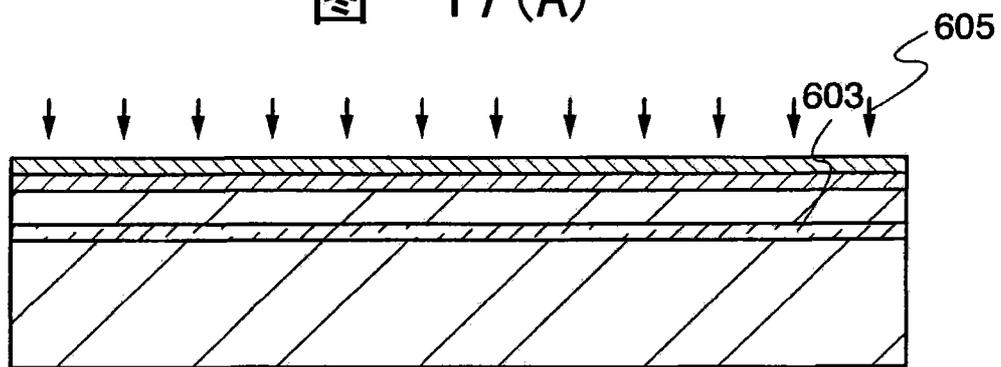


图 17(B)

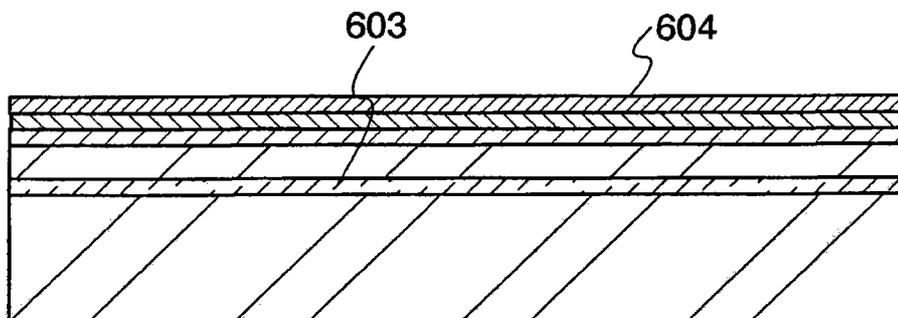


图 17(C)

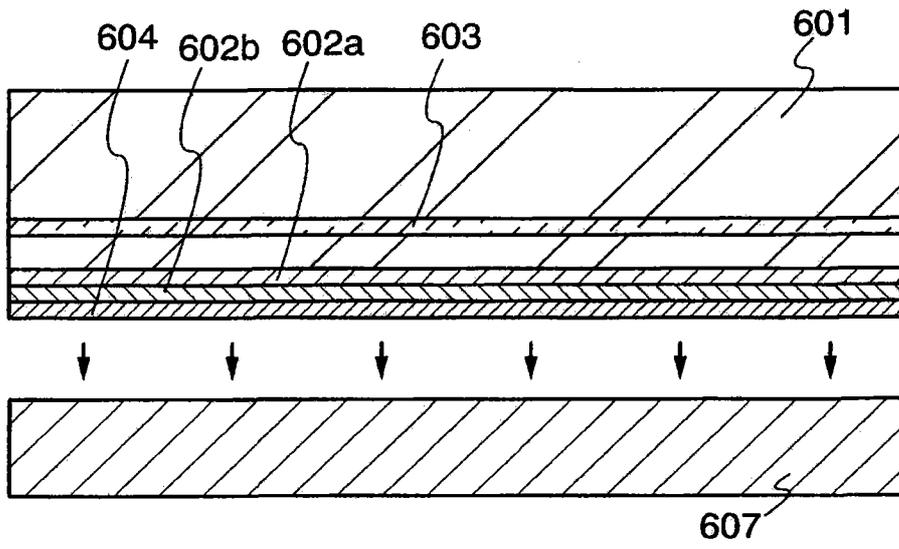


图 17(D)

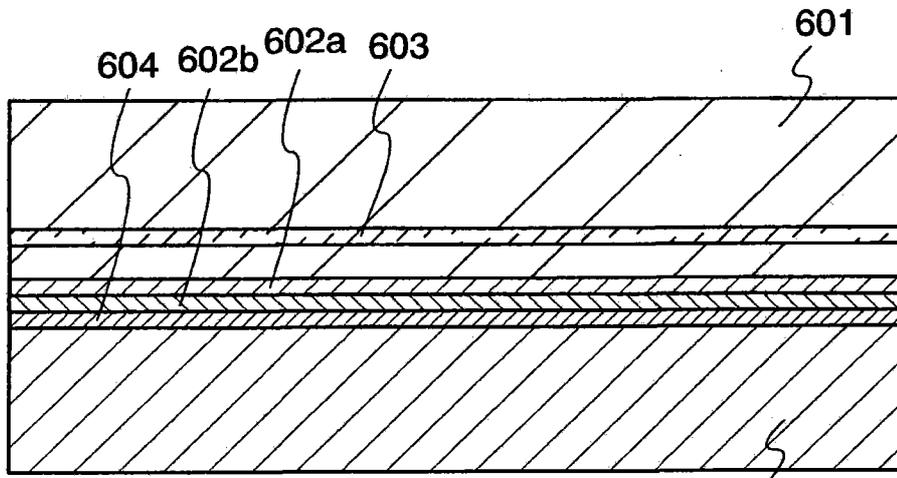


图 18 (A)

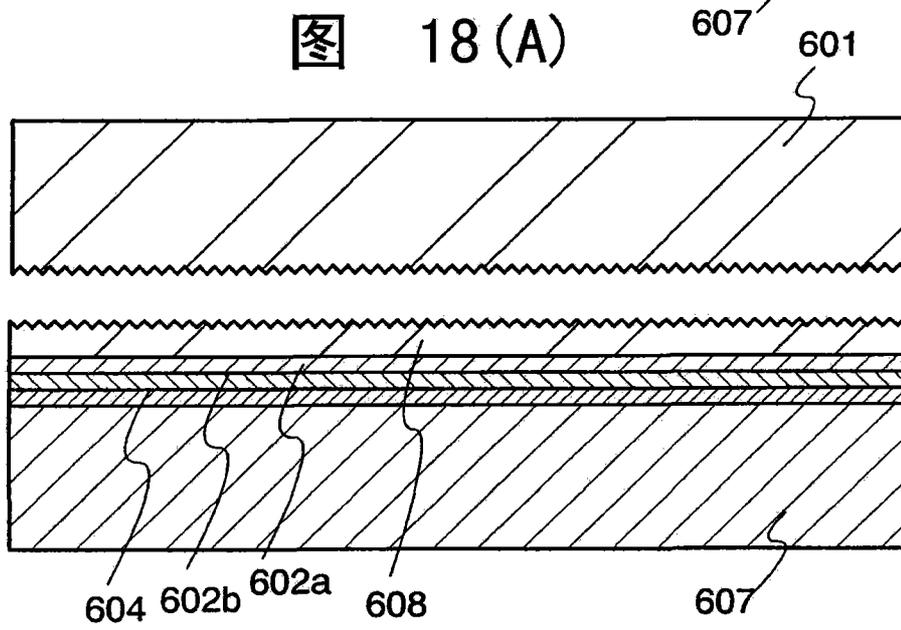


图 18 (B)

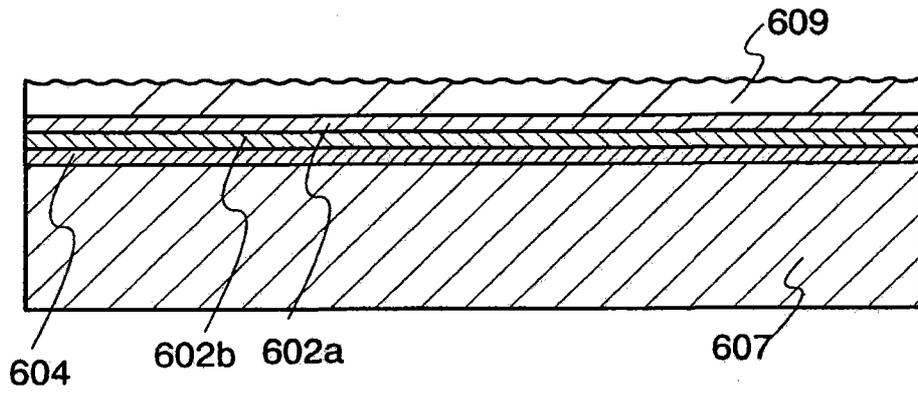


图 18(C)

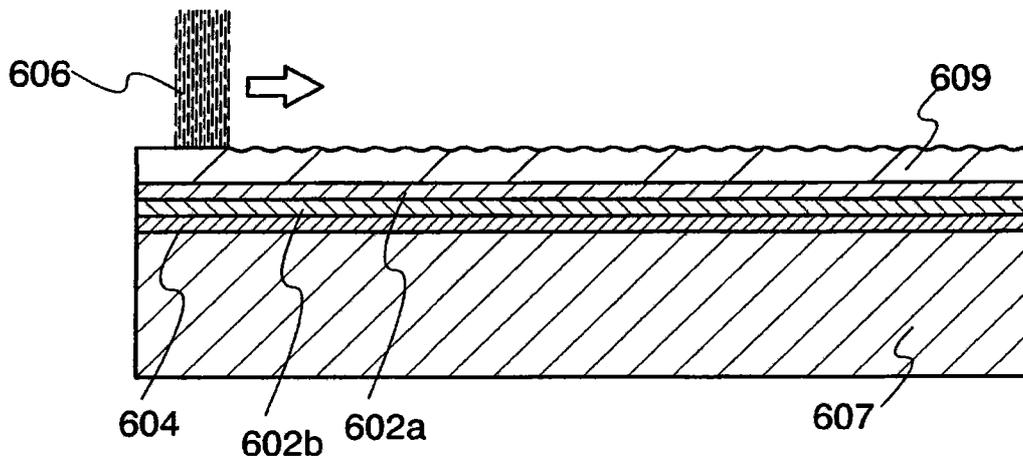


图 19(A)

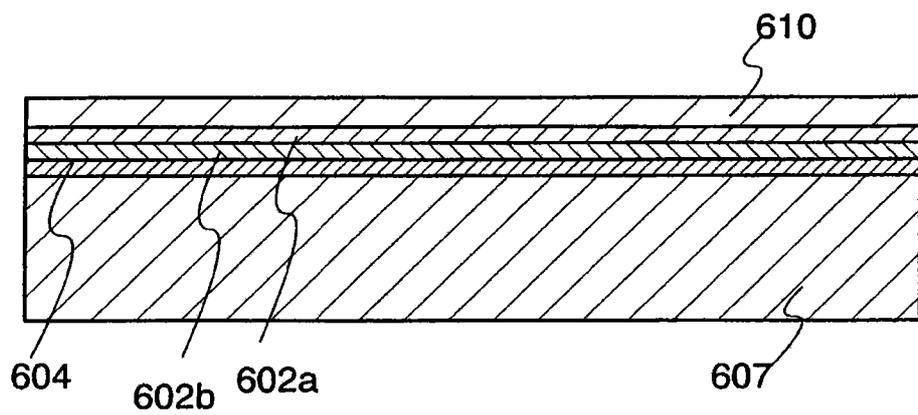


图 19(B)

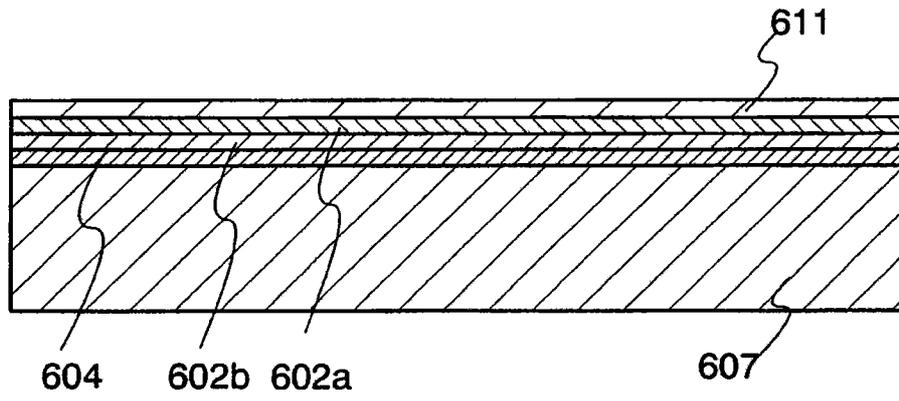


图 19(C)

未处理

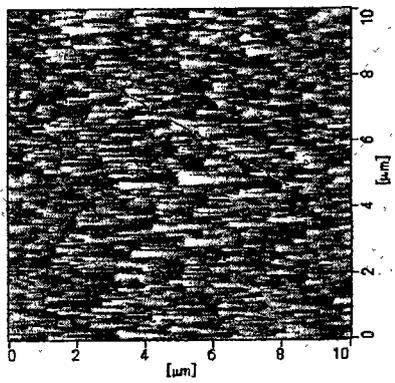


图 20(A)

干法刻蚀+激光束照射

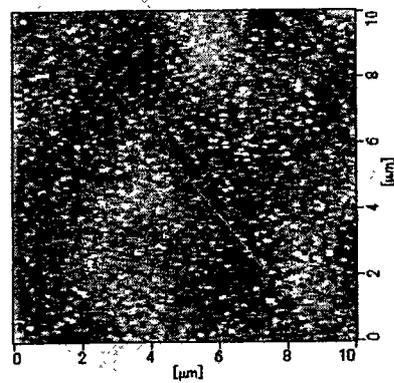


图 20(D)

干法刻蚀

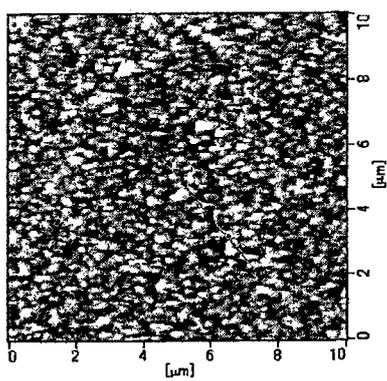


图 20(B)

干法刻蚀+激光束照射+干法刻蚀

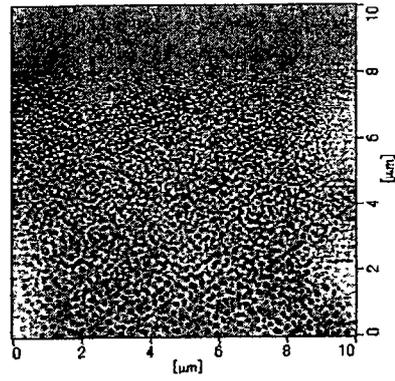


图 20(E)

激光束照射

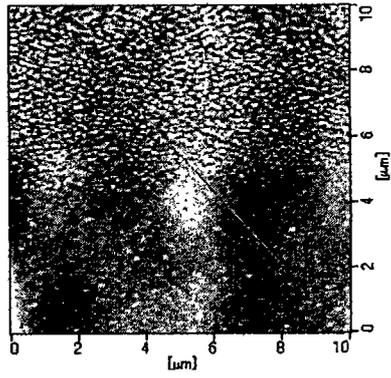


图 20(C)

干法刻蚀+激光束照射+湿法刻蚀

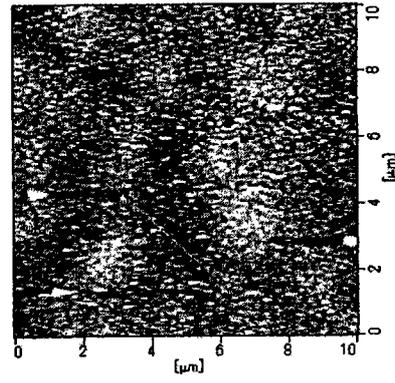


图 20(F)

未处理

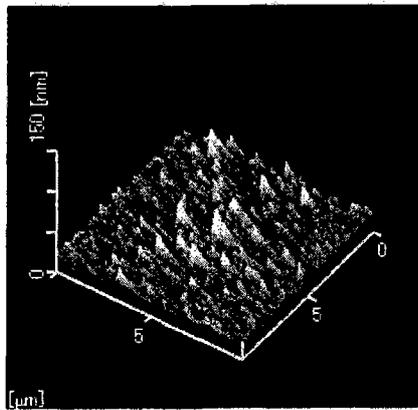


图 21(A)

干法刻蚀+激光束照射

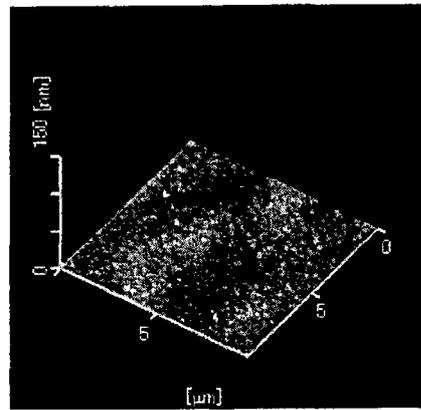


图 21(D)

干法刻蚀

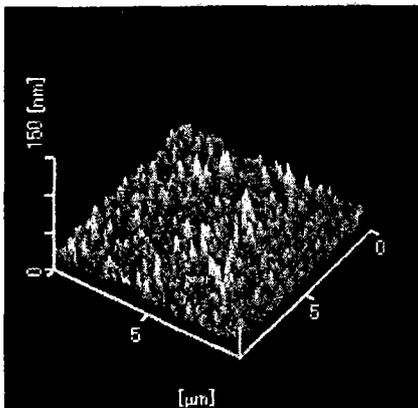


图 21(B)

干法刻蚀+激光束照射+干法刻蚀

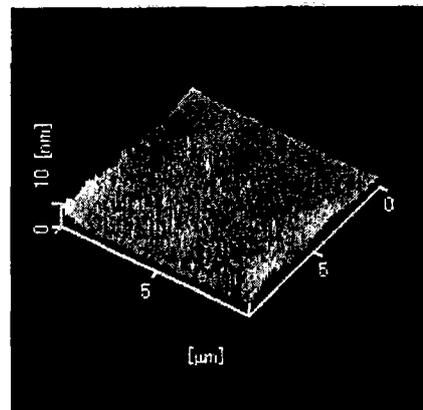


图 21(E)

激光束照射

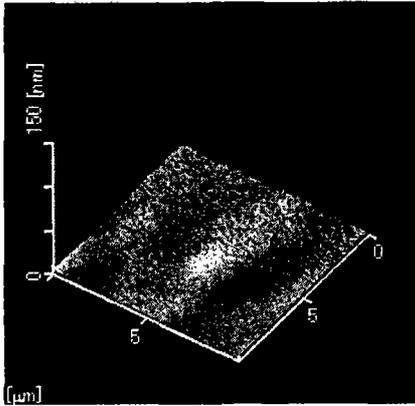


图 21 (C)

干法刻蚀+激光束照射+湿法刻蚀

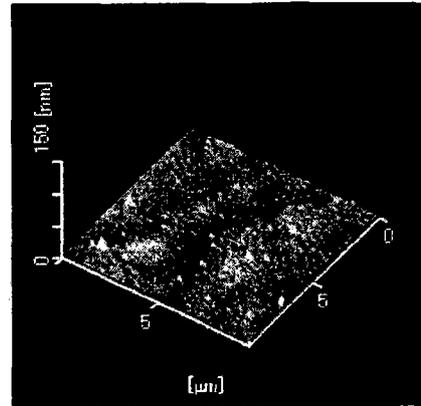


图 21 (F)

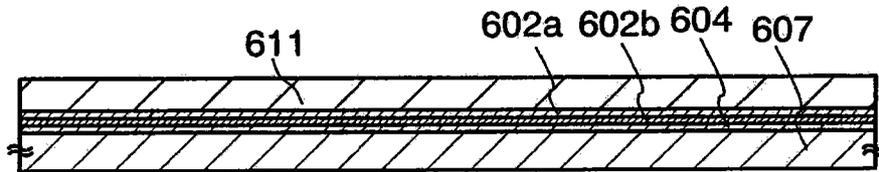


图 22 (A)

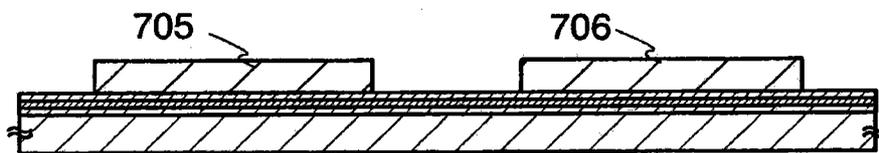


图 22 (B)

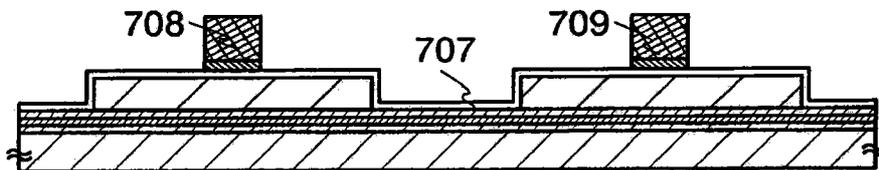


图 22 (C)

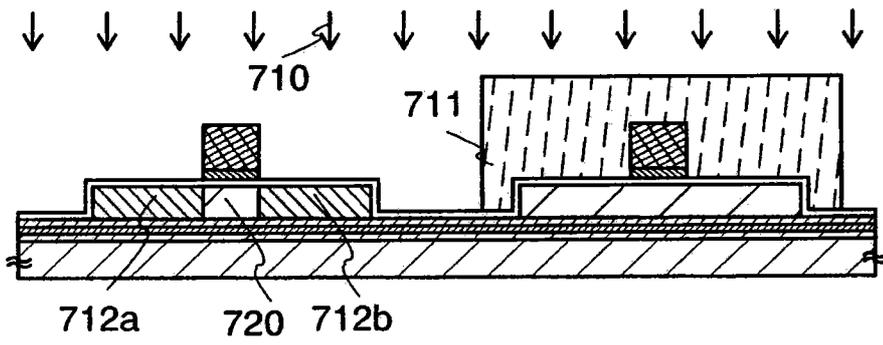


图 22(D)

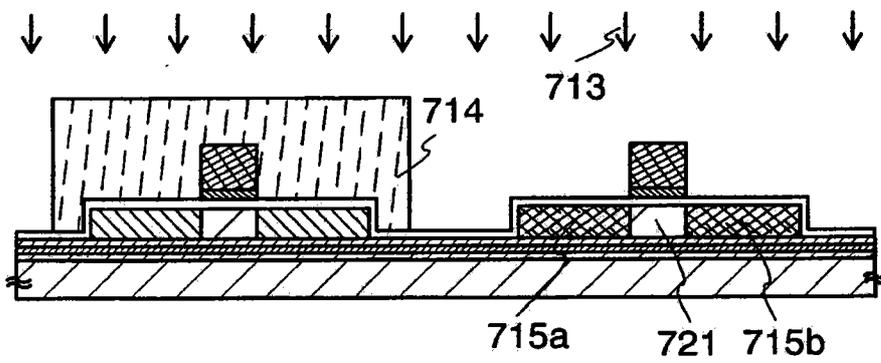


图 22(E)

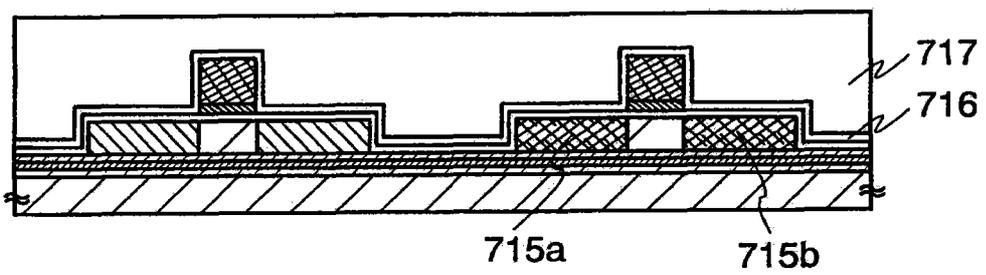


图 23(A)

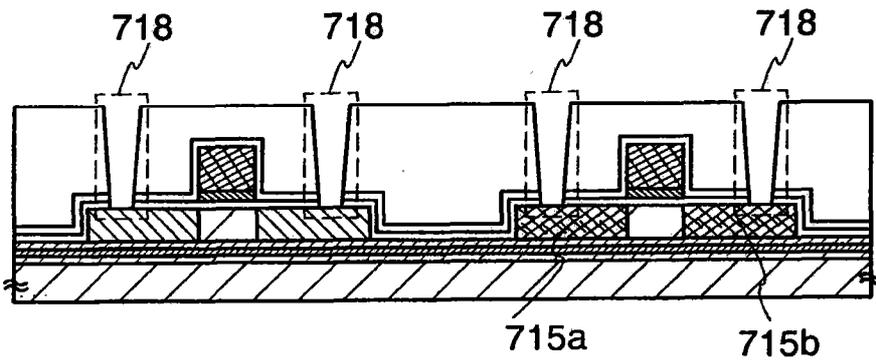


图 23(B)

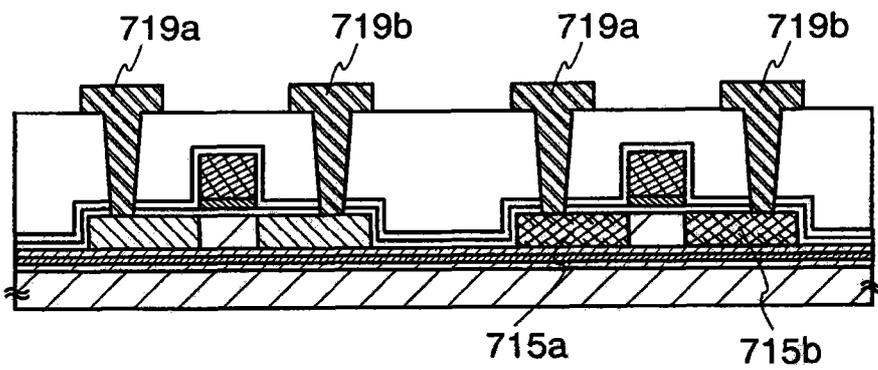


图 23(C)

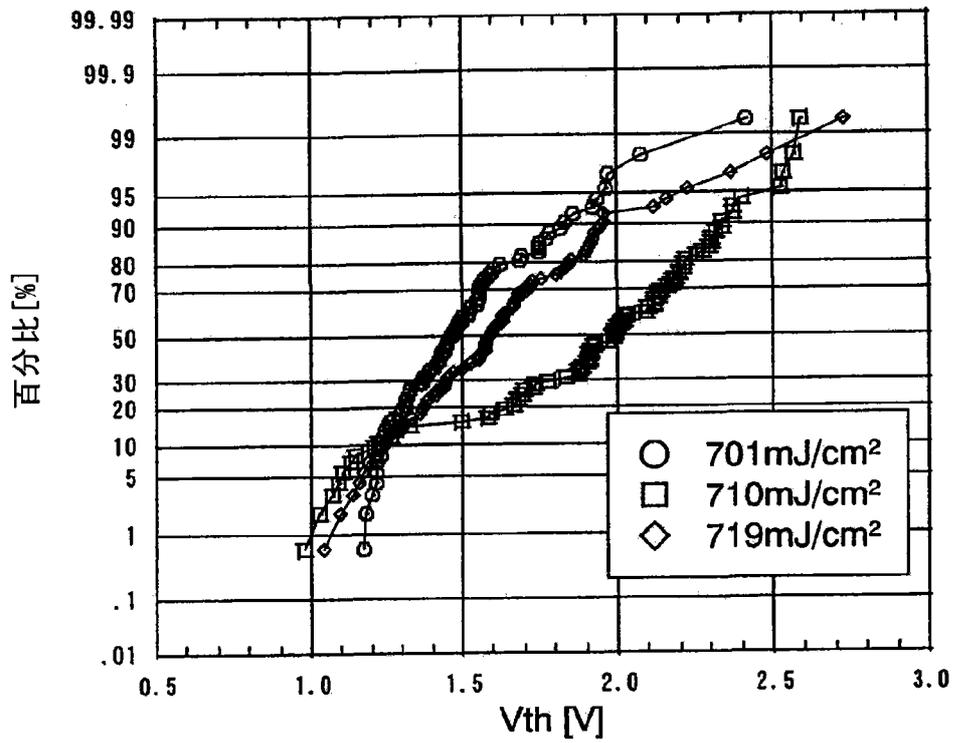


图 24(A)

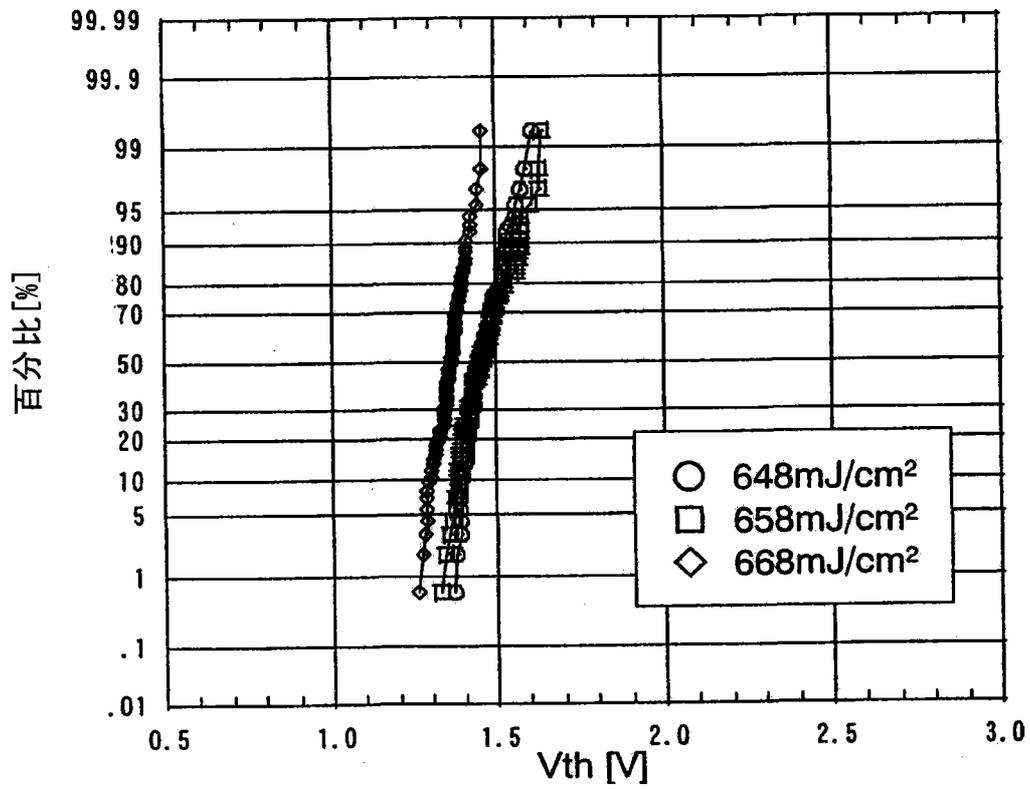


图 24(B)

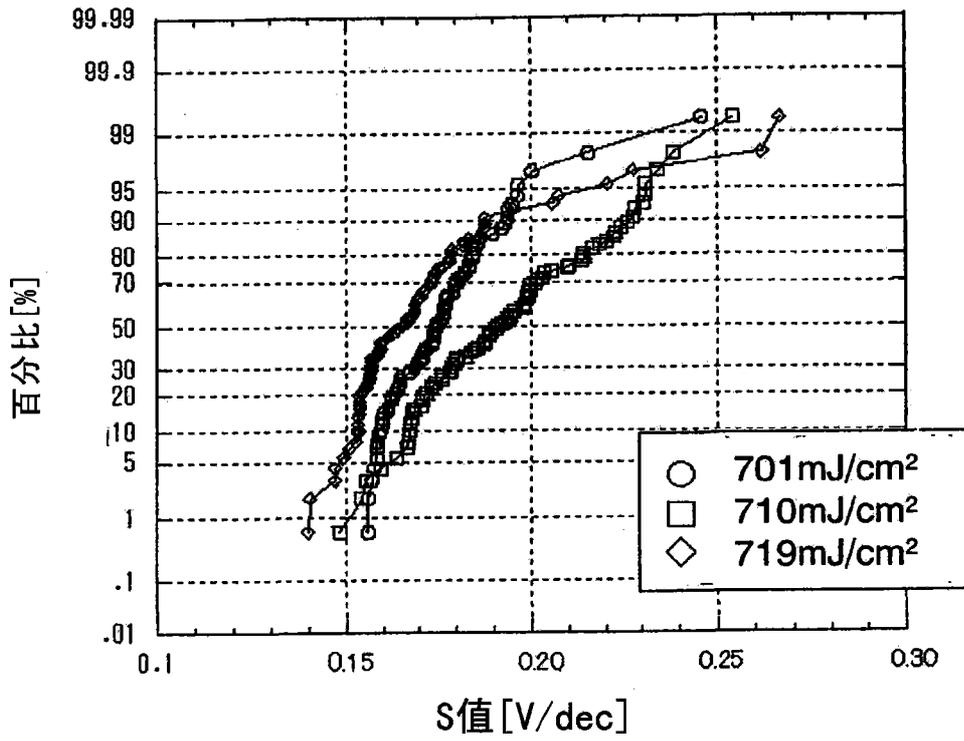


图 25(A)

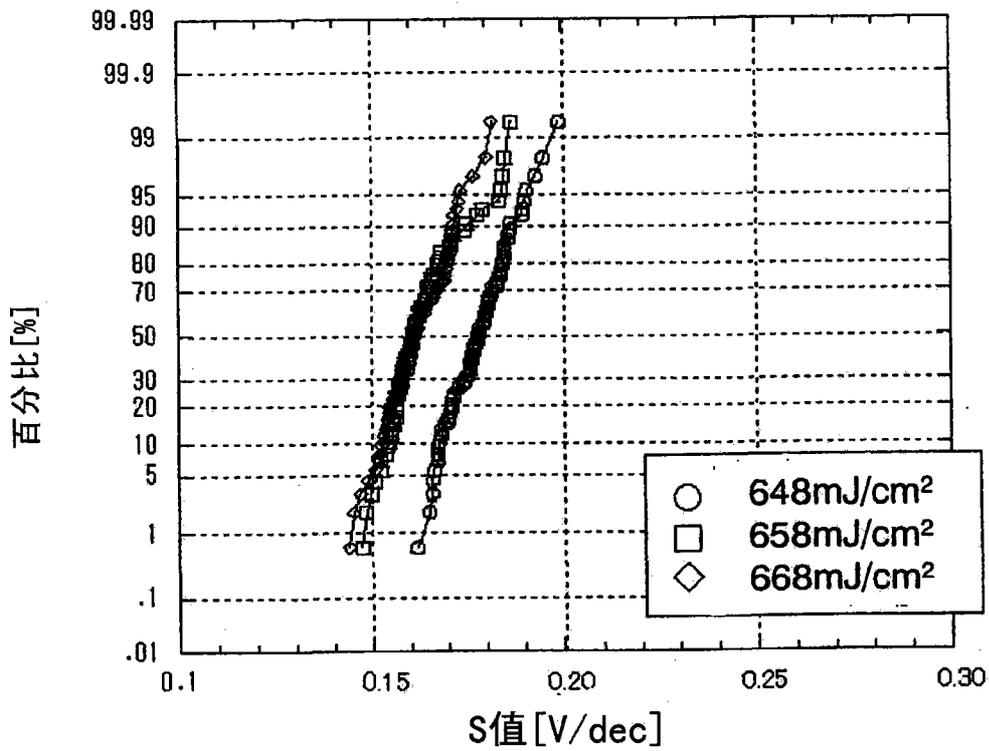


图 25(B)

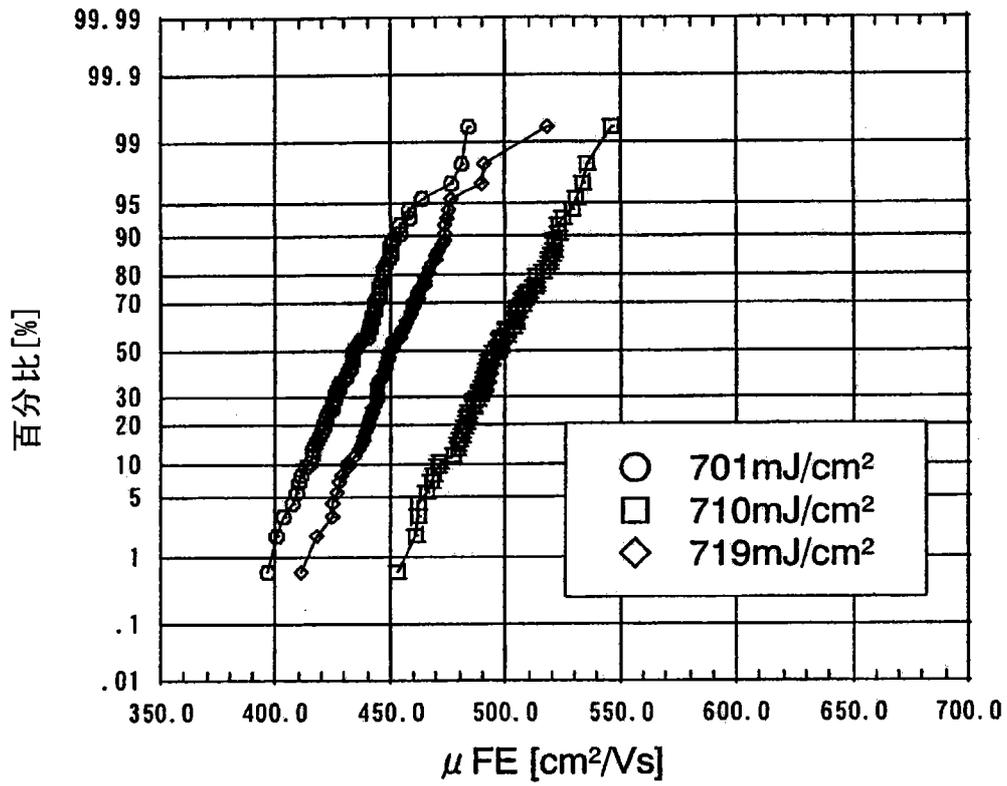


图 26(A)

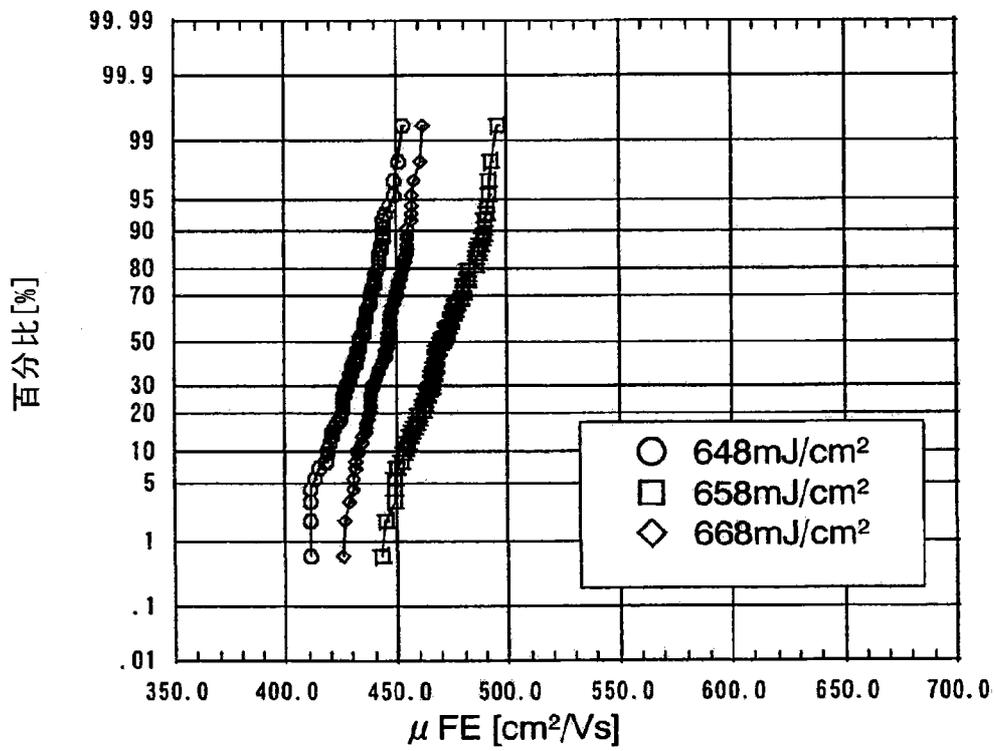


图 26(B)

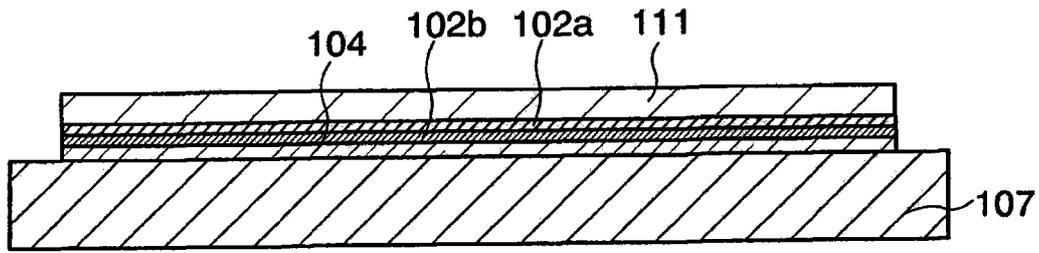


图 27(A)

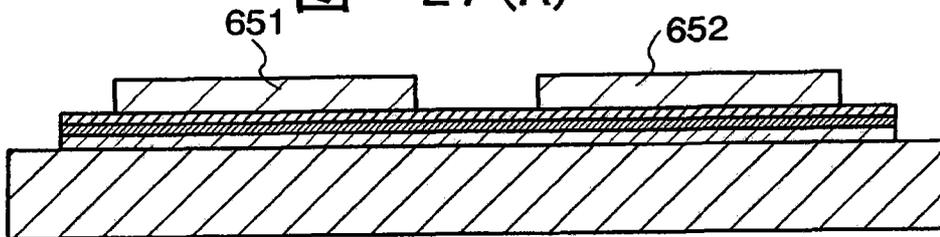


图 27(B)

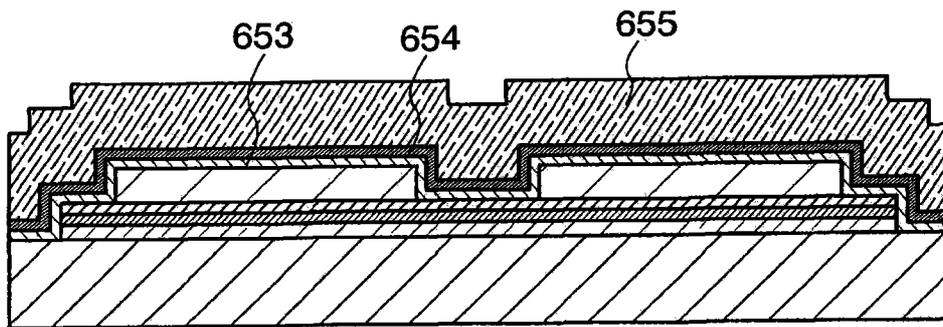


图 27(C)

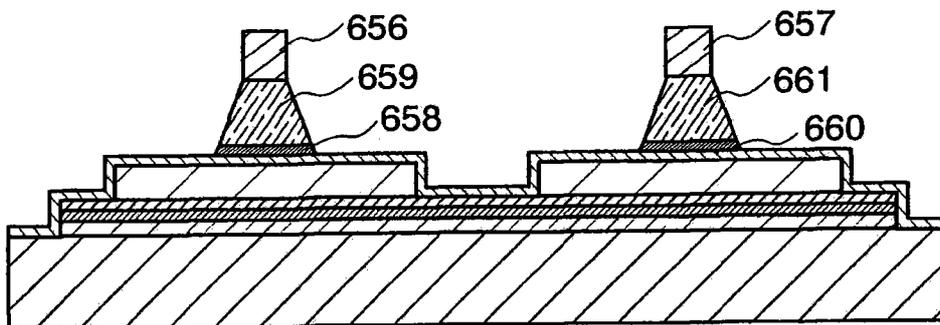


图 27(D)

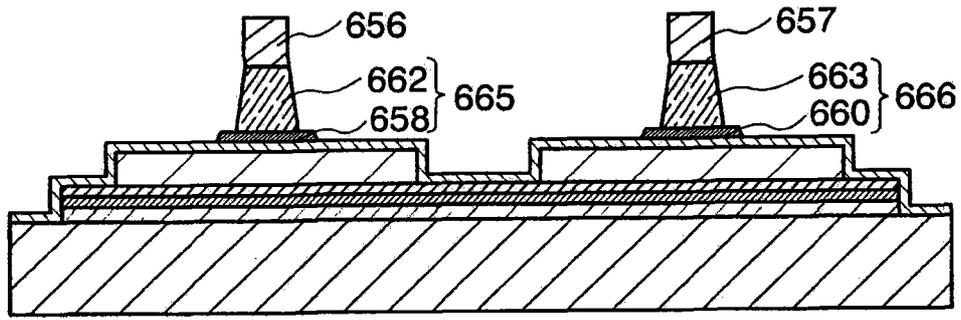


图 27(E)

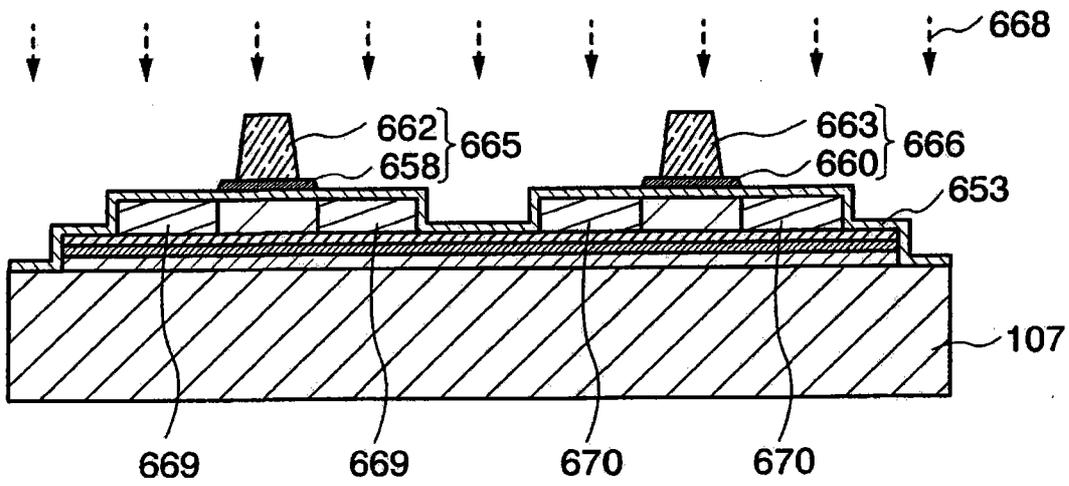


图 28(A)

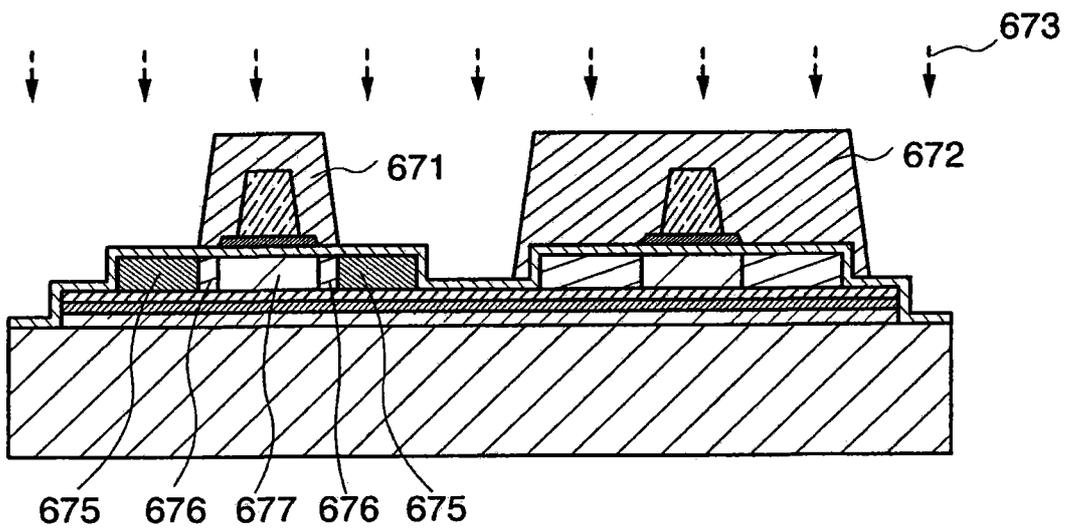


图 28(B)

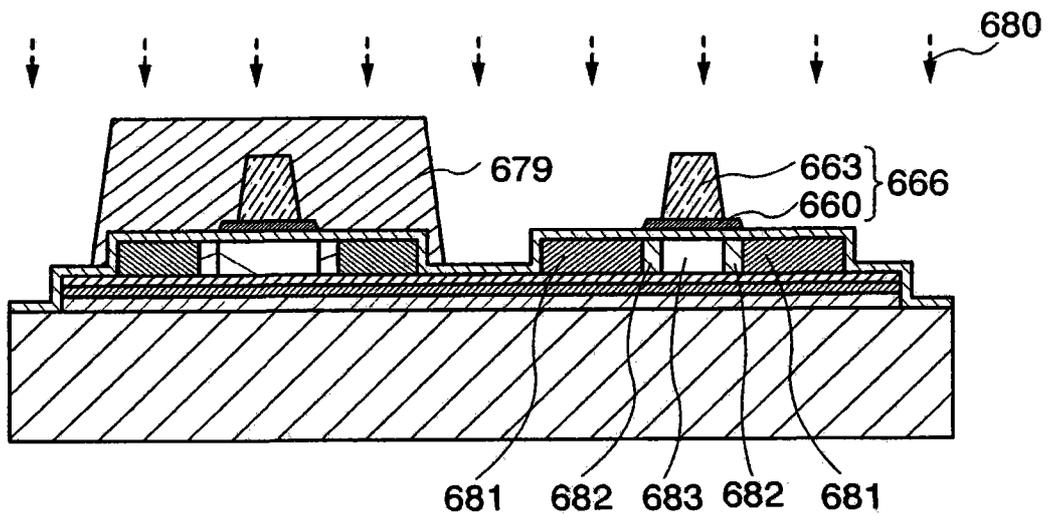


图 28(C)

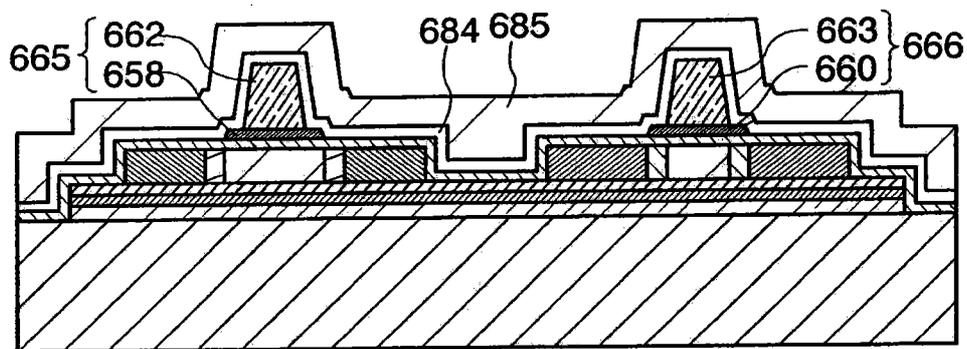


图 29(A)

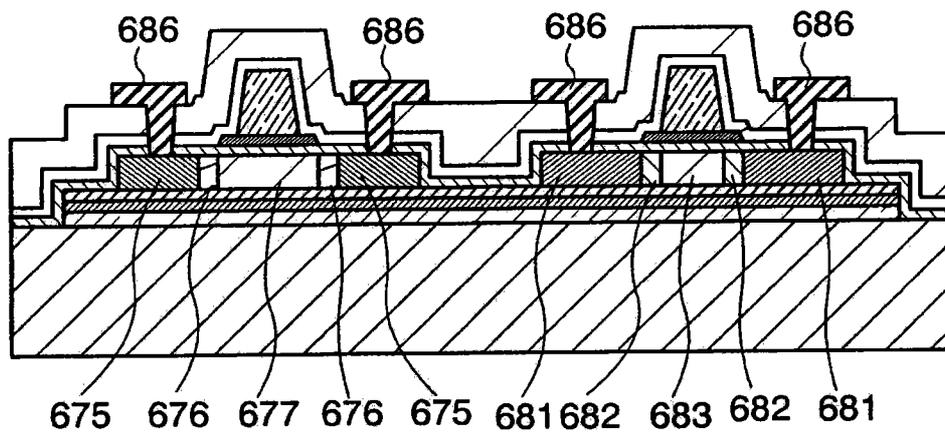


图 29(B)

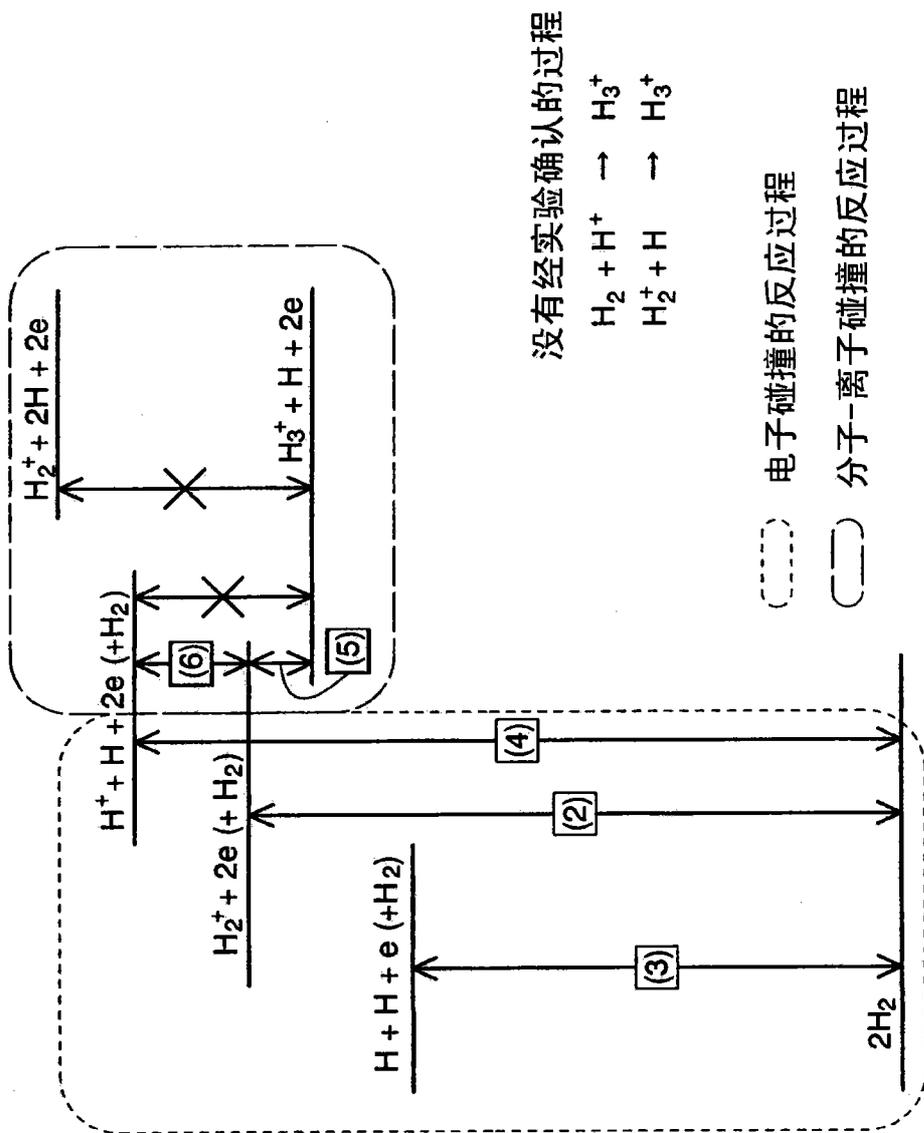


图 30

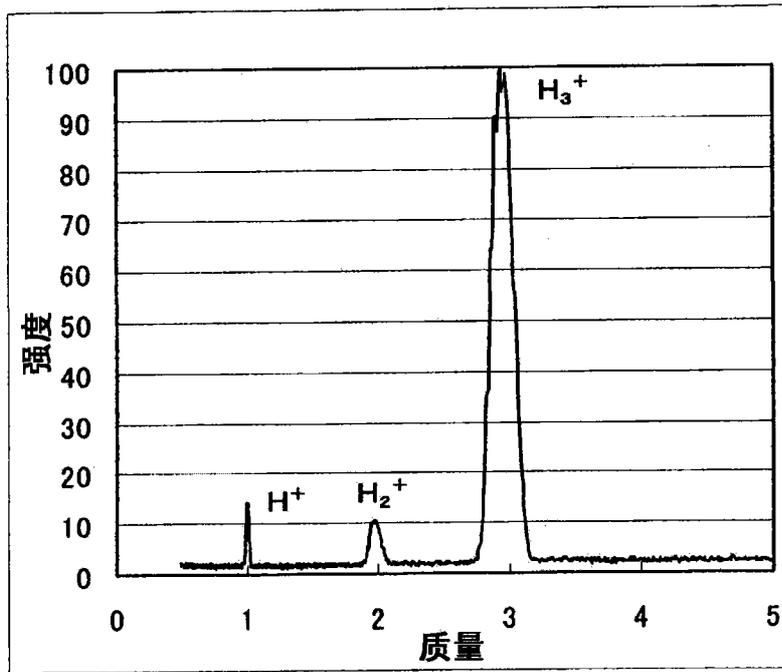


图 31

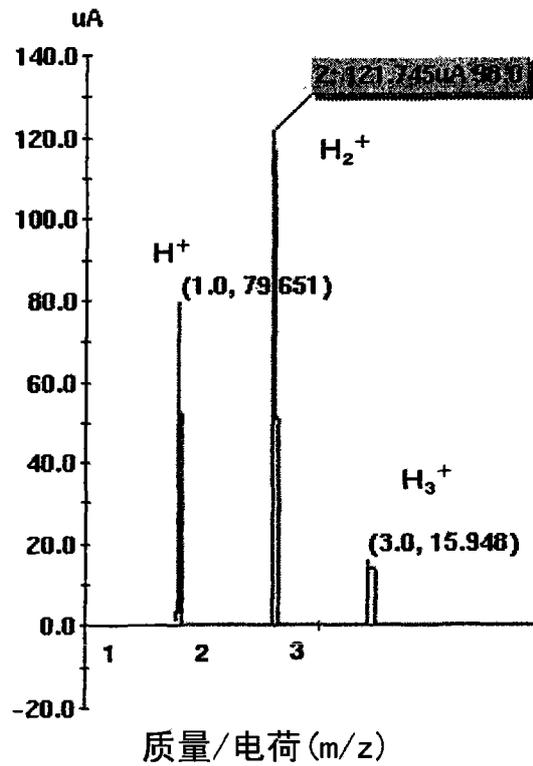


图 32

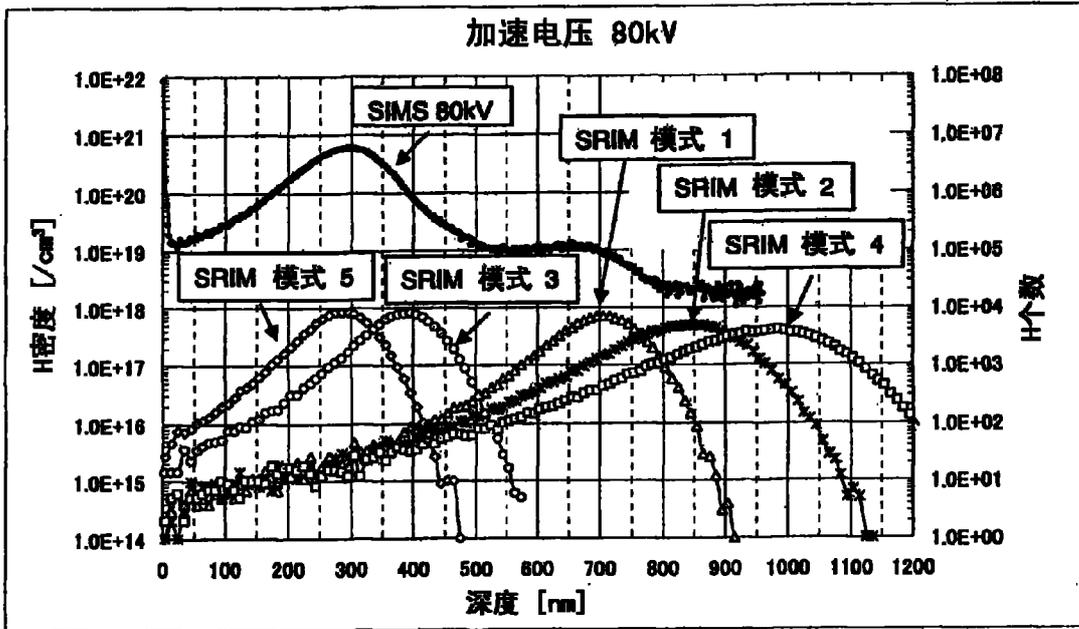


图 33

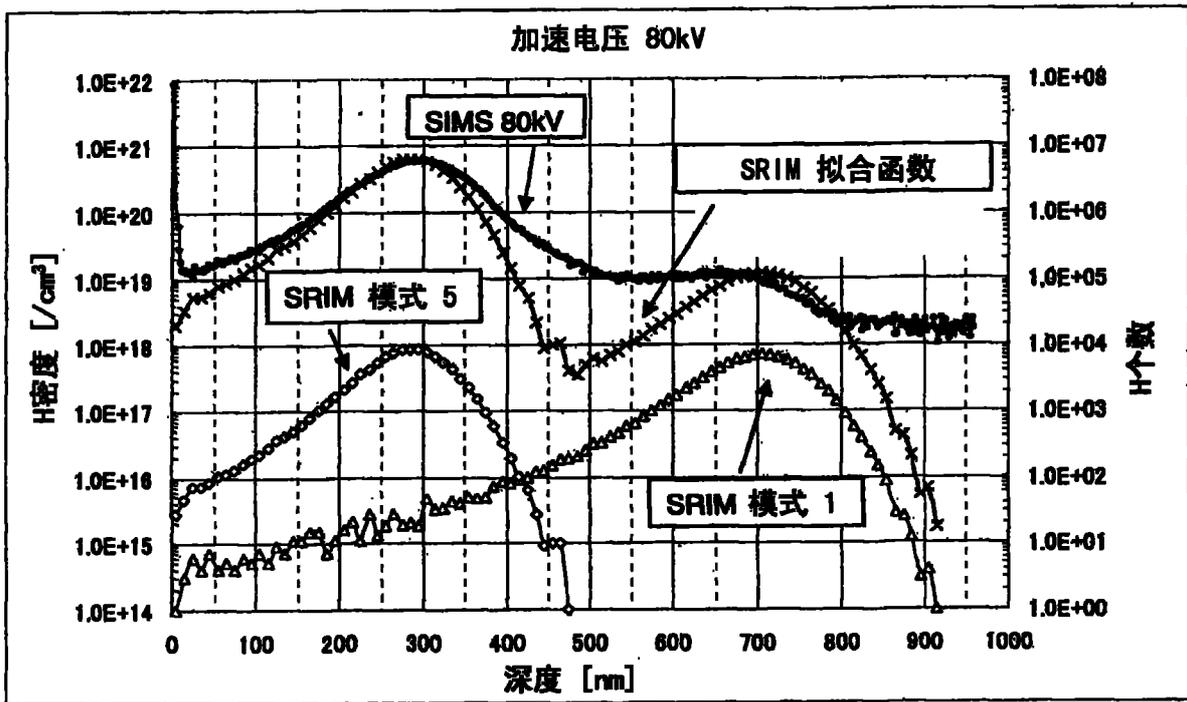


图 34

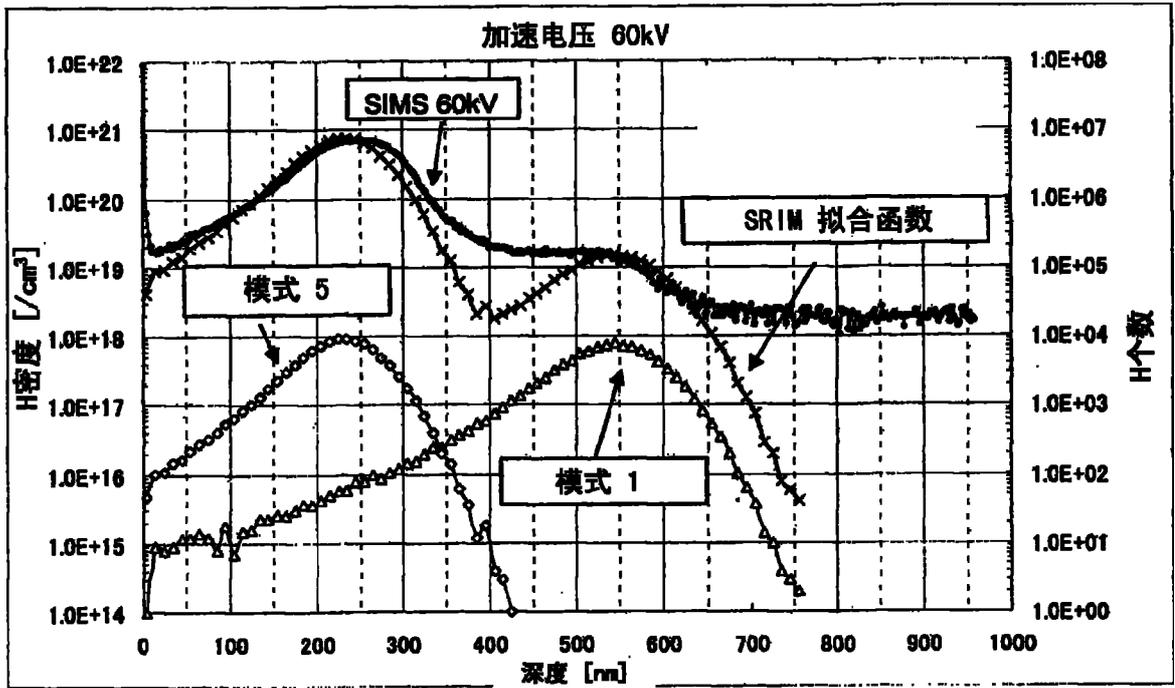


图 35

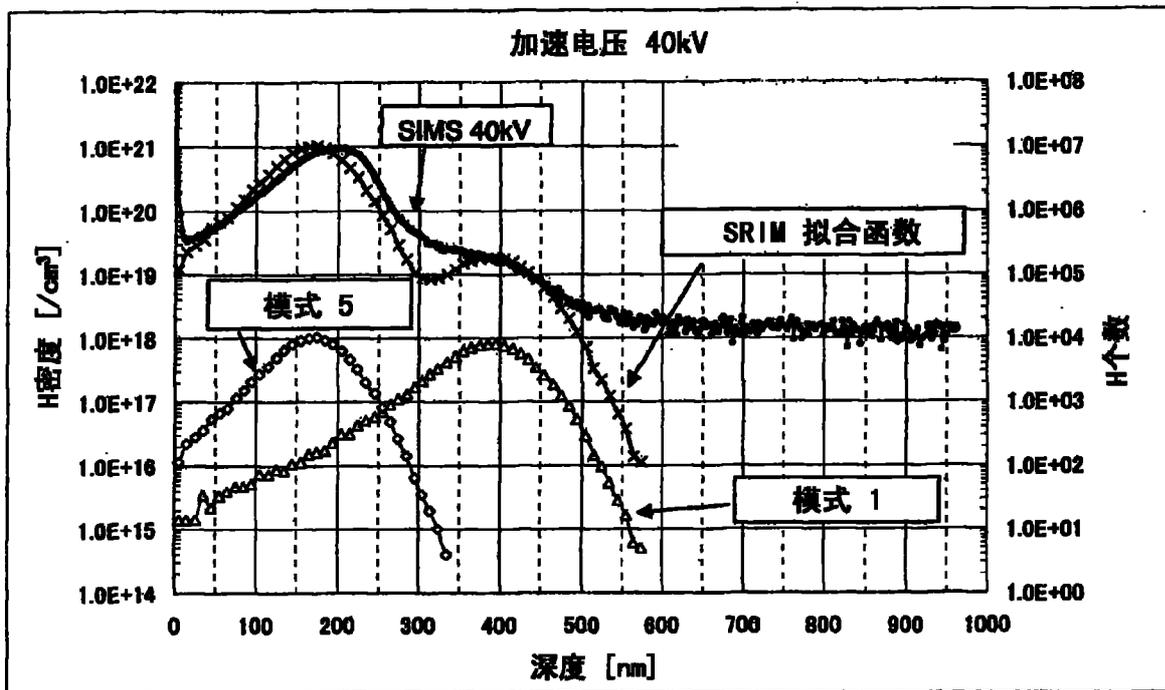


图 36

加速电压	氢元素(H)比 (X : Y)	氢离子种比 (X : Y / 3)
80 kV	1 : 44.1	1 : 14.7
60 kV	1 : 42.5	1 : 14.2
40 kV	1 : 43.5	1 : 14.5

图 37