



PCT
WELTORGANISATION FÜR GEISTIGES EIGENTUM
Internationales Büro
INTERNATIONALE ANMELDUNG VERÖFFENTLICHT NACH DEM VERTRAG ÜBER DIE
INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES PATENTWESENS (PCT)

<p>(51) Internationale Patentklassifikation ⁷ : H01L 21/02, 21/316</p>	A1	<p>(11) Internationale Veröffentlichungsnummer: WO 00/02237</p> <p>(43) Internationales Veröffentlichungsdatum: 13. Januar 2000 (13.01.00)</p>
<p>(21) Internationales Aktenzeichen: PCT/DE99/01977</p> <p>(22) Internationales Anmeldedatum: 1. Juli 1999 (01.07.99)</p> <p>(30) Prioritätsdaten: 198 30 155.3 6. Juli 1998 (06.07.98) DE</p> <p>(71) Anmelder (für alle Bestimmungsstaaten ausser US): SIEMENS AKTIENGESELLSCHAFT [DE/DE]; Wittelsbacherplatz 2, D-80333 München (DE).</p> <p>(72) Erfinder; und</p> <p>(75) Erfinder/Anmelder (nur für US): REISINGER, Hans [DE/DE]; Eibseestrasse 14, D-82031 Grünwald (DE). BEITEL, Gerhard [DE/DE]; Linprunstrasse 44, D-80335 München (DE). SCHLAMMINGER, Stephan [DE/CH]; Seestrasse 296, CH-8038 Zürich (CH). WENDT, Hermann [DE/DE]; Am Weichselgarten 49, D-85630 Grasbrunn (DE). LANGE, Gerrit [DE/DE]; Meindlstrasse 1, D-81373 München (DE). HANEDER, Thomas-Peter [DE/DE]; Görzner Strasse 96, D-81549 München (DE). FRANOSCH, Martin [DE/DE]; Helmut-Käutner-Strasse 27, D-81739 München (DE). SCHÄFER, Herbert [DE/DE]; Lerchenstrasse 3, D-85635 Höhenkirchen-Siegertsbrunn (DE).</p>	<p>(74) Gemeinsamer Vertreter: SIEMENS AKTIENGESELLSCHAFT; Postfach 22 16 34, D-80506 München (DE).</p> <p>(81) Bestimmungsstaaten: CN, JP, KR, US, europäisches Patent (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE).</p> <p>Veröffentlicht <i>Mit internationalem Recherchenbericht. Vor Ablauf der für Änderungen der Ansprüche zugelassenen Frist; Veröffentlichung wird wiederholt falls Änderungen eintreffen.</i></p>	
<p>(54) Title: DRAM MEMORY CAPACITOR AND METHOD FOR THE PRODUCTION THEREOF</p> <p>(54) Bezeichnung: DRAM-SPEICHERKONDENSATOR UND VERFAHREN ZU DESSEN HERSTELLUNG</p> <p>(57) Abstract</p> <p>The invention relates to a DRAM memory capacitor comprising a BaSrTiO₃ (BST) dielectric. Said dielectric has a three-layer structure enabling the formation of a potential trough in which electrons can be permanently trapped.</p> <p>(57) Zusammenfassung</p> <p>Die Erfindung betrifft einen DRAM-Speicherkondensator mit einem Dielektrikum aus BaSrTiO₃ (BST). Dieses Dielektrikum weist eine Dreischichtstruktur zur Bildung eines Potentialtopfes auf, in welchem Elektronen dauerhaft getrappt werden.</p>		

LEDIGLICH ZUR INFORMATION

Codes zur Identifizierung von PCT-Vertragsstaaten auf den Kopfbögen der Schriften, die internationale Anmeldungen gemäss dem PCT veröffentlichen.

AL	Albanien	ES	Spanien	LS	Lesotho	SI	Slowenien
AM	Armenien	FI	Finnland	LT	Litauen	SK	Slowakei
AT	Österreich	FR	Frankreich	LU	Luxemburg	SN	Senegal
AU	Australien	GA	Gabun	LV	Lettland	SZ	Swasiland
AZ	Aserbaidshjan	GB	Vereinigtes Königreich	MC	Monaco	TD	Tschad
BA	Bosnien-Herzegowina	GE	Georgien	MD	Republik Moldau	TG	Togo
BB	Barbados	GH	Ghana	MG	Madagaskar	TJ	Tadschikistan
BE	Belgien	GN	Guinea	MK	Die ehemalige jugoslawische Republik Mazedonien	TM	Turkmenistan
BF	Burkina Faso	GR	Griechenland	ML	Mali	TR	Türkei
BG	Bulgarien	HU	Ungarn	MN	Mongolei	TT	Trinidad und Tobago
BJ	Benin	IE	Irland	MR	Mauretanien	UA	Ukraine
BR	Brasilien	IL	Israel	MW	Malawi	UG	Uganda
BY	Belarus	IS	Island	MX	Mexiko	US	Vereinigte Staaten von Amerika
CA	Kanada	IT	Italien	NE	Niger	UZ	Usbekistan
CF	Zentralafrikanische Republik	JP	Japan	NL	Niederlande	VN	Vietnam
CG	Kongo	KE	Kenia	NO	Norwegen	YU	Jugoslawien
CH	Schweiz	KG	Kirgisistan	NZ	Neuseeland	ZW	Zimbabwe
CI	Côte d'Ivoire	KP	Demokratische Volksrepublik Korea	PL	Polen		
CM	Kamerun	KR	Republik Korea	PT	Portugal		
CN	China	KZ	Kasachstan	RO	Rumänien		
CU	Kuba	LC	St. Lucia	RU	Russische Föderation		
CZ	Tschechische Republik	LI	Liechtenstein	SD	Sudan		
DE	Deutschland	LK	Sri Lanka	SE	Schweden		
DK	Dänemark	LR	Liberia	SG	Singapur		
EE	Estland						

Beschreibung

DRAM-Speicherkondensator und Verfahren zu dessen Herstellung

5 Die vorliegende Erfindung betrifft einen DRAM-Speicherkondensator mit einem zwischen zwei Elektroden angeordnetem Dielektrikum aus BaSrTiO_3 (BST) sowie ein Verfahren zum Herstellen eines solchen DRAM-Speicherkondensators.

10 Bekanntlich ist BST ein "hoch- ϵ -Material", das infolge seiner beispielsweise gegenüber Siliziumnitrid etwa zehnmal höheren maximal möglichen Dichte der elektrischen Ladung als Dielektrikum von DRAM-Speicherkondensatoren für besonders erfolgversprechend gehalten wird. Vorteilhaft an BST ist dabei zusätzlich, daß seine Skalierung hinsichtlich Schichtdicke und
15 Betriebsspannung weit unterhalb von derjenigen für Siliziumnitrid liegt.

Aus VLSI Symposium 98, H. Reisinger et al., "Dielectric Breakdown, Reliability and Defect Density of
20 $(\text{Ba}_{0.7}\text{Sr}_{0.3})\text{TiO}_3$ (BST)" ist bekannt, daß die maximale Dichte der elektrischen Ladung auf BST und damit dessen minimale Schichtdicke bei vorgegebener Betriebsspannung nicht durch Leckströme, sondern vielmehr durch die elektrische Durchbruchspannung und die Lebensdauer bis zu einem Durchbruch und
25 damit letztlich durch die Zuverlässigkeit des BST begrenzt werden.

Bei der Bemessung der Lebensdauer eines Dielektrikums unter
30 elektrischer Beanspruchung spielt das Trappen von Elektronen eine bedeutsame Rolle. So ist aus Applied Surface Science 39 (1989), S. 178-191, W. Hönlein et al. "ONO Technology", bekannt, daß bei ONO-(Oxyd-Nitrid-Oxyd-)Strukturen mit Schichtdicken von beispielsweise 5 nm, 8 nm, 5 nm Elektronen möglichst permanent getrappt werden sollten, was zu einem geringeren Strom und damit zu einer erhöhten Lebensdauer und zu
35 einer niedrigeren Defektdichte infolge eines Selbstheilungsmechanismus von Schwachstellen führt.

Unter dem Trappen von Ladungsträgern wird in der Fachwelt das Einfangen von Ladungsträgern in einer Potentialmulde oder in einem Potentialtopf verstanden. In diesem Sinne wird der Begriff auch hier verwendet.

5

Die Bedeutung des Trappens läßt sich wie folgt erklären: Nach Anlegen einer Spannung mittels Elektroden an eine BST-Schicht werden in dieser Elektronen getrappt, was den Strom als Funktion der Zeit abnehmen läßt. Getrappte Elektronen wirken sich also infolge des verminderten Stromes günstig auf die Lebensdauer aus. Bei Umpolen der elektrischen Spannung an den Elektroden werden jedoch die getrappten Elektronen "de-trappt" (bzw. aus den Trappstellen freigesetzt), was die Schicht wieder in ihren Ausgangszustand zurückbringt und den Strom erhöht. Ein ständiges Hin- und Herpolen der Spannung an den Elektroden, was bei einem DRAM-Speicherkondensator zwangsläufig der Fall ist, führt somit zu einer beträchtlichen Verkürzung der Lebensdauer dieses Kondensators.

20 Schließlich ist aus Thin Solid Films 299 (1997) 14-17, F. Tcheliabon et al. "On the microstructure and optical properties of $Ba_{0.5}Sr_{0.5}TiO_3$ films", bekannt, daß die Bandlücke von BST eine Funktion des Bariumgehaltes ist.

25 Es ist Aufgabe der vorliegenden Erfindung, einen ein BST-Dielektrikum aufweisenden DRAM-Speicherkondensator zu schaffen, der sich durch eine lange Lebensdauer auszeichnet; außerdem soll ein Verfahren zum Herstellen eines solchen DRAM-Speicherkondensators angegeben werden.

30

Diese Aufgabe wird bei einem DRAM-Speicherkondensator der eingangs genannten Art erfindungsgemäß dadurch gelöst, daß das Dielektrikum mindestens drei Schichten aufweist, wobei die mittlere Schicht einen Potentialtopf zum Trappen von
35 Elektronen darstellt.

Im Betrieb des Speicherkondensators werden in dem Potentialtopf, das heißt in der mittleren Schicht, getrappte Ladungsträger, insbesondere Elektronen, permanent festgehalten, so

daß sie selbst bei mehrfachem Umpolen des Speicherkondensators nicht freigesetzt werden. Dadurch wird die Lebensdauer des Speicherkondensators erheblich gesteigert.

5 Dieser Potentialtopf kann dadurch gebildet werden, daß das Dielektrikum als Dreifachschicht ausgebildet ist. Anstelle von drei Schichten können aber auch n Schichten ($n \geq 4$) vorgesehen werden. Eine Dreifachschicht ist in ihrer Dickenrichtung in bevorzugter Weise symmetrisch gestaltet. Dabei können
10 zwei Randschichten aus BaSrTiO_3 und eine mittlere Schicht aus BaSrTiO_3 mit einem gegenüber den Randschichten verminderten Gehalt an Ba und/oder Ti bestehen. Der Potentialtopf wird also durch Variation des Ba- bzw. Ti-Gehaltes der mittleren Schicht in bezug auf die Randschichten geschaffen.

15

Die Dreifachschicht kann eine Schichtdicke von etwa 50 nm aufweisen, wobei auf die einzelnen Schichten Schichtdicken von etwa 17 nm entfallen. Generell sind aber Schichtdicken von 5 ... 30 nm möglich.

20

Bei dem erfindungsgemäßen DRAM-Speicherkondensator mit einer nur wenig von Ba/Sr bzw. Ti abhängigen Dielektrizitätskonstanten ϵ ($200 < \epsilon < 500$) beträgt die zu Siliziumdioxid äquivalente Dicke nur wenige Angström (Å).

25

Für die Elektroden des Speicherkondensators kann beispielsweise Pt verwendet werden. Andere Materialien sind aber auch möglich.

30

Das erfindungsgemäße Verfahren zum Herstellen des DRAM-Speicherkondensators zeichnet sich dadurch aus, daß das Dielektrikum durch CVD (Abscheidung aus der Gasphase) oder Sputtern erzeugt wird und daß nach Abscheiden einer jeweiligen Schicht eine Temperaturbehandlung in der Form eines Glüh- bzw. Annealschrittes in Sauerstoff (O_2) vorgenommen wird. Während einer CVD werden so beispielsweise die Ba/Sr- bzw. Ti-Gehalte der Precursoren verändert, während beim Sputtern das Target umgeschaltet wird. Damit ist die gewünschte Änderung der Schichtstöchiometrie auf einfache Weise möglich.

35

Nachfolgend wird die Erfindung anhand der Zeichnung näher erläutert, in deren einziger Figur schematisch die Schichtenfolge des erfindungsgemäßen DRAM-Speicherkondensators und dessen Energieniveaus gezeigt sind.

Zwischen zwei Elektroden aus Pt mit einem Fermi-Niveau E_F befindet sich eine Dreifachschicht aus zwei Randschichten aus $BaSrTiO_3$ mit einem unteren Rand E_C des Leitungsbandes und einem oberen Rand E_V des Valenzbandes und einer mittleren Schicht aus $SrTiO_3$ (ggf. mit geringem Ba-Anteil). Die mittlere Schicht bildet infolge ihrer Stöchiometrie mit im Vergleich zu den Randschichten geringem Ba- (oder Ti)Anteil einen Potentialtopf, in welchem die getrappten Elektronen permanent festgehalten sind, so daß sie selbst bei mehrfachem Umpolen des Speicherkondensators nicht freigesetzt werden können und dauerhaft getrappt bleiben. Durch den dadurch verminderten Stromfluß kann die Lebensdauer des Speicherkondensators erheblich gesteigert werden.

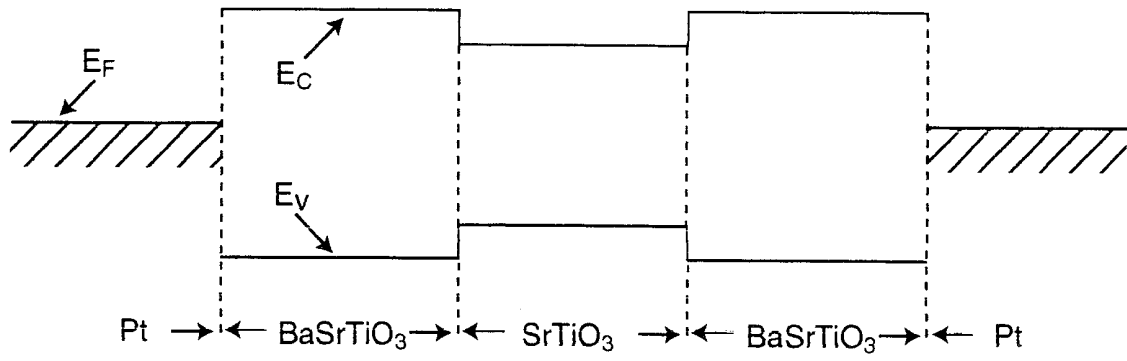
Die Herstellung des dargestellten Speicherkondensators ist durch CVD oder Sputtern auf einfache Weise möglich, wobei durch den erwähnten Glüh- bzw. Annealschritt das Kornwachstum nach Herstellung jeder einzelnen Schicht unterbrochen wird, so daß die Entstehung von Strompfaden entlang von Korngrenzen unterdrückt wird.

Patentansprüche

1. DRAM-Speicher kondensator mit einem zwischen zwei Elektroden angeordneten Dielektrikum, das BaSrTiO₃ (BST) enthält,
5 d a d u r c h g e k e n n z e i c h n e t ,
 daß das Dielektrikum mindestens drei Schichten aufweist, wobei die mittlere Schicht einen Potentialtopf zum Trappen von Elektronen darstellt.
- 10
2. DRAM-Speicher kondensator nach Anspruch 1,
 d a d u r c h g e k e n n z e i c h n e t ,
 daß das Dielektrikum als Dreifachschicht ausgebildet ist, die den Potentialtopf bildet.
- 15
3. DRAM-Speicher kondensator nach Anspruch 2,
 d a d u r c h g e k e n n z e i c h n e t ,
 die Dreifachschicht in ihrer Dickenrichtung symmetrisch ausgebildet ist.
- 20
4. DRAM-Speicher kondensator nach einem der Ansprüche 1 bis 3,
 d a d u r c h g e k e n n z e i c h n e t ,
 daß die Dreifachschicht aus zwei Randschichten aus
25 BaSrTiO₃ und einer mittleren Schicht aus BaSrTiO₃ mit einem gegenüber den Randschichten verminderten Gehalt an Ba und/oder Ti besteht.
- 30
5. DRAM-Speicher kondensator nach einem der Ansprüche 1 bis 4,
 d a d u r c h g e k e n n z e i c h n e t ,
 daß die Elektroden aus Pt bestehen.
- 35
6. DRAM-Speicher kondensator nach Anspruch 2 und einem der Ansprüche 3 bis 5,
 d a d u r c h g e k e n n z e i c h n e t ,
 daß die Dreifachschicht eine Schichtdicke von etwa 50 nm aufweist.

7. DRAM-Speicherkondensator nach Anspruch 6,
d a d u r c h g e k e n n z e i c h n e t ,
daß die Schichtdicke jeder Schicht der Dreifachschicht
etwa 17 nm beträgt.
- 5
8. DRAM-Speicherkondensator nach Anspruch 1,
d a d u r c h g e k e n n z e i c h n e t ,
daß das Dielektrikum aus n Schichten ($n \geq 4$) besteht.
- 10 9. DRAM-Speicherkondensator nach Anspruch 2 oder 8,
d a d u r c h g e k e n n z e i c h n e t ,
daß jede Schicht der Dreifachschicht bzw. der n Schichten
eine Schichtdicke zwischen 5 ... 30 nm aufweist.
- 15 10. Verfahren zum Herstellen des DRAM-Speicherkondensators
nach einem der Ansprüche 1 bis 9,
d a d u r c h g e k e n n z e i c h n e t ,
daß das Dielektrikum durch CVD oder Sputtern erzeugt wird
und daß nach Abscheiden einer jeweiligen Schicht eine
20 Temperaturbehandlung (Annealschritt) in Sauerstoff vorge-
nommen wird.

Fig. 1



INTERNATIONAL SEARCH REPORT

International Application No

PCT/DE 99/01977

A. CLASSIFICATION OF SUBJECT MATTER
 IPC 7 H01L21/02 H01L21/316

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC 7 H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category °	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 5 834 060 A (HORIKAWA TSUYOSHI ET AL) 10 November 1998 (1998-11-10)	1-4, 8, 9
A	& JP 09 219497 A (MITSUBISHI ELECTRIC CORP) 19. August 1997 (1997-08-19) example 6	5-7, 10
X	US 5 731 220 A (TSU ROBERT ET AL) 24 March 1998 (1998-03-24)	1-3, 5, 6
A	column 3, line 66 -column 6, line 60	4, 9, 10
A	WO 96 01493 A (MATSUSHITA ELECTRONICS CORP ; SYMETRIX CORP (US)) 18 January 1996 (1996-01-18) page 4, line 2 -page 6, line 2 page 9, line 10-17	1-5, 10
	-/--	

Further documents are listed in the continuation of box C.

Patent family members are listed in annex.

Special categories of cited documents :

- "A" document defining the general state of the art which is not considered to be of particular relevance
- "E" earlier document but published on or after the international filing date
- "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- "O" document referring to an oral disclosure, use, exhibition or other means
- "P" document published prior to the international filing date but later than the priority date claimed

- "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
- "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
- "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.
- "&" document member of the same patent family

Date of the actual completion of the international search

3 December 1999

Date of mailing of the international search report

22/12/1999

Name and mailing address of the ISA

European Patent Office, P. B. 5818 Patentlaan 2
 NL - 2280 HV Rijswijk
 Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
 Fax: (+31-70) 340-3016

Authorized officer

van der Linden, J.E.

INTERNATIONAL SEARCH REPORT

International Application No

PCT/DE 99/01977

C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT

Category	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	<p>TAKESHIMA Y ET AL: "Preparation and dielectric properties of multilayer (Ba,Sr)TiO₃ capacitors by MOCVD" JAPANESE JOURNAL OF APPLIED PHYSICS, vol. 36, no. 9B, PART 01, page 5870-5873 XP000824031 ISSN: 0021-4922 the whole document</p> <p style="text-align: center;">---</p>	1,8-10
A	<p>RIESINGER H ET AL: "Dielectric Breakdown, Reliability and Defect Density of BST" IEEE SYMPOSIUM ON VLSI TECHNOLOGY, HONOLULU, HI, USA, 9-11 JUNE 1998, TECHNICAL PAPERS DIGEST, pages 58-59, XP002124708 ISBN: 0-7803-4770-6 cited in the application page 58, left-hand column, paragraph 5</p> <p style="text-align: center;">-----</p>	10

INTERNATIONAL SEARCH REPORT

Information on patent family members

International Application No

PCT/DE 99/01977

Patent document cited in search report	A	Publication date	Patent family member(s)	Publication date
US 5834060	A	10-11-1998	JP 9219497 A	19-08-1997
US 5731220	A	24-03-1998	US 5635741 A EP 0709355 A JP 8198669 A	03-06-1997 01-05-1996 06-08-1996
WO 9601493	A	18-01-1996	US 5723361 A US 5624707 A EP 0769206 A JP 10506227 T US 5814849 A US 5690727 A	03-03-1998 29-04-1997 23-04-1997 16-06-1998 29-09-1998 25-11-1997

INTERNATIONALER RECHERCHENBERICHT

Internationales Aktenzeichen

PCT/DE 99/01977

A. KLASSIFIZIERUNG DES ANMELDUNGSGEGENSTANDES IPK 7 H01L21/02 H01L21/316		
Nach der Internationalen Patentklassifikation (IPK) oder nach der nationalen Klassifikation und der IPK		
B. RECHERCHIERTE GEBIETE		
Recherchiertes Mindestprüfstoff (Klassifikationssystem und Klassifikationssymbole) IPK 7 H01L		
Recherchierte aber nicht zum Mindestprüfstoff gehörende Veröffentlichungen, soweit diese unter die recherchierten Gebiete fallen		
Während der internationalen Recherche konsultierte elektronische Datenbank (Name der Datenbank und evtl. verwendete Suchbegriffe)		
C. ALS WESENTLICH ANGESEHENE UNTERLAGEN		
Kategorie ²	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
X	US 5 834 060 A (HORIKAWA TSUYOSHI ET AL) 10. November 1998 (1998-11-10)	1-4, 8, 9
A	& JP 09 219497 A (MITSUBISHI ELECTRIC CORP) 19. August 1997 (1997-08-19) Beispiel 6 ---	5-7, 10
X	US 5 731 220 A (TSU ROBERT ET AL) 24. März 1998 (1998-03-24)	1-3, 5, 6
A	Spalte 3, Zeile 66 - Spalte 6, Zeile 60 ---	4, 9, 10
A	WO 96 01493 A (MATSUSHITA ELECTRONICS CORP ; SYMETRIX CORP (US)) 18. Januar 1996 (1996-01-18) Seite 4, Zeile 2 - Seite 6, Zeile 2 Seite 9, Zeile 10-17 ---	1-5, 10
	-/--	
<input checked="" type="checkbox"/> Weitere Veröffentlichungen sind der Fortsetzung von Feld C zu entnehmen <input checked="" type="checkbox"/> Siehe Anhang Patentfamilie		
² Besondere Kategorien von angegebenen Veröffentlichungen :		
"A" Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist		"T" Spätere Veröffentlichung, die nach dem internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist
"E" älteres Dokument, das jedoch erst am oder nach dem internationalen Anmeldedatum veröffentlicht worden ist		"X" Veröffentlichung von besonderer Bedeutung, die beanspruchte Erfindung kann allein aufgrund dieser Veröffentlichung nicht als neu oder auf erfinderischer Tätigkeit beruhend betrachtet werden
"L" Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchenbericht genannten Veröffentlichung belegt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt)		"Y" Veröffentlichung von besonderer Bedeutung, die beanspruchte Erfindung kann nicht als auf erfinderischer Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren anderen Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann naheliegend ist
"O" Veröffentlichung, die sich auf eine mündliche Offenbarung, eine Benutzung, eine Ausstellung oder andere Maßnahmen bezieht		"&" Veröffentlichung, die Mitglied derselben Patentfamilie ist
"P" Veröffentlichung, die vor dem internationalen Anmeldedatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist		
Datum des Abschlusses der internationalen Recherche 3. Dezember 1999		Absenddatum des internationalen Recherchenberichts 22/12/1999
Name und Postanschrift der Internationalen Recherchenbehörde Europäisches Patentamt, P. B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Tx. 31 651 epo nl, Fax: (+31-70) 340-3016		Bevollmächtigter Bediensteter van der Linden, J.E.

C.(Fortsetzung) ALS WESENTLICH ANGESEHENE UNTERLAGEN		
Kategorie	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
A	<p>TAKESHIMA Y ET AL: "Preparation and dielectric properties of multilayer (Ba,Sr)TiO₃ capacitors by MOCVD" JAPANESE JOURNAL OF APPLIED PHYSICS, Bd. 36, Nr. 9B, PART 01, Seite 5870-5873 XP000824031 ISSN: 0021-4922 das ganze Dokument</p>	1,8-10
A	<p>RIESINGER H ET AL: "Dielectric Breakdown, Reliability and Defect Density of BST" IEEE SYMPOSIUM ON VLSI TECHNOLOGY, HONOLULU, HI, USA, 9-11 JUNE 1998, TECHNICAL PAPERS DIGEST, Seiten 58-59, XP002124708 ISBN: 0-7803-4770-6 in der Anmeldung erwähnt Seite 58, linke Spalte, Absatz 5</p>	10

INTERNATIONALER RECHERCHENBERICHT

Angaben zu Veröffentlichungen, die zur selben Patentfamilie gehören

Internationales Aktenzeichen

PCT/DE 99/01977

Im Recherchenbericht angeführtes Patentedokument	Datum der Veröffentlichung	Mitglied(er) der Patentfamilie	Datum der Veröffentlichung
US 5834060 A	10-11-1998	JP 9219497 A	19-08-1997
US 5731220 A	24-03-1998	US 5635741 A	03-06-1997
		EP 0709355 A	01-05-1996
		JP 8198669 A	06-08-1996
WO 9601493 A	18-01-1996	US 5723361 A	03-03-1998
		US 5624707 A	29-04-1997
		EP 0769206 A	23-04-1997
		JP 10506227 T	16-06-1998
		US 5814849 A	29-09-1998
		US 5690727 A	25-11-1997