

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2006-149098

(P2006-149098A)

(43) 公開日 平成18年6月8日(2006.6.8)

(51) Int. Cl. F I テーマコード (参考)
 H02M 3/28 (2006.01) H02M 3/28 C 5H730
 H02M 3/28 H

審査請求 有 請求項の数 12 O L (全 19 頁)

(21) 出願番号 特願2004-336008 (P2004-336008)
 (22) 出願日 平成16年11月19日(2004.11.19)

(71) 出願人 000106276
 サンケン電気株式会社
 埼玉県新座市北野3丁目6番3号
 (74) 代理人 100095407
 弁理士 木村 満
 (74) 代理人 100109449
 弁理士 毛受 隆典
 (72) 発明者 京野 羊一
 埼玉県新座市北野3丁目6番3号 サンケン電気株式会社内
 Fターム(参考) 5H730 AA17 AS01 BB43 DD04 EE13
 FD51

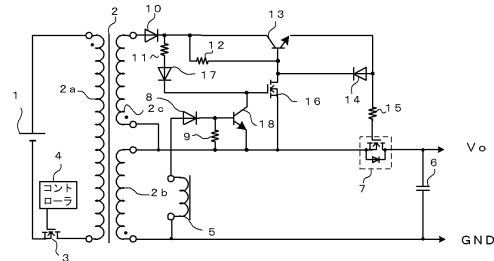
(54) 【発明の名称】 スイッチング電源装置

(57) 【要約】

【課題】 スイッチング電源装置の効率を改善する。

【解決手段】 リアクトル5に流れる電流が抵抗9に流れ、抵抗9がその電流値に対応する電圧を発生する。抵抗9が発生する電圧がトランジスタ18の閾値以上であれば、トランジスタ18がオン状態である。リアクトル5に流れる電流が減少し、抵抗9が発生する電圧がトランジスタ18の閾値を下回ると、トランジスタ18がオフし、NMOS16がオンする。これにより、NMOS7のゲート電圧がダイオード14により減少し、トランス2の二次巻線2bに流れる電流がゼロになる前に、確実にNMOS7をオフすることができる。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

一次巻線及び二次巻線を有する変圧器と、
前記一次巻線に流れる電流をオン、オフする主スイッチ素子と、
前記主スイッチ素子の動作を制御するコントローラと、
平滑回路と、
前記二次巻線と前記平滑回路との間をオン、オフする整流用スイッチ素子と、
前記整流用スイッチ素子を駆動する整流素子駆動回路とを備え、
前記整流素子駆動回路は、
前記二次巻線に並列に接続され、前記主スイッチ素子のオン期間にエネルギーを蓄積し 10
、該主スイッチ素子のオフ期間に該蓄積されたエネルギーを放出するリアクトルと、
前記リアクトルに流れる電流の電流値を検出する電流検出手段と、
前記主スイッチ素子のオフ期間でかつ前記リアクトルに流れる電流が所定値以上の時に
前記整流用スイッチ素子をオンさせ、該リアクトルに流れる電流が所定値に満たないとき
に前記整流用スイッチ素子をオフさせる駆動手段と、
を備えることを特徴とするスイッチング電源装置。

【請求項 2】

前記電流検出手段は、前記リアクトルに一端が接続されると共に他端が前記二次巻線に
接続された電流検出用抵抗と、制御電極と該制御電極に与えられた信号に基づき導通状態
が変化する第 1 の導通電極及び第 2 の導通電極を有し、前記リアクトルに該制御電極が接 20
続されると共に第 1 の導通電極が前記二次巻線に接続されたトランジスタとを備え、
前記駆動手段は、前記リアクトルに流れる電流による前記電流検出用抵抗の電圧降下が
前記トランジスタの閾値よりも低くなった時に、前記整流用スイッチ素子をオフさせるこ
とを特徴とする請求項 1 に記載のスイッチング電源装置。

【請求項 3】

前記トランジスタは、前記制御電極がベースであり前記第 1 の導通電極がエミッタであ
るバイポーラトランジスタであることを特徴とする請求項 2 に記載のスイッチング電源装
置。

【請求項 4】

前記トランジスタは、前記制御電極がゲートであり前記第 1 の導通電極がソースである 30
MOS トランジスタであることを特徴とする請求項 2 に記載のスイッチング電源装置。

【請求項 5】

前記駆動手段は、
主端子の一端が前記二次巻線に接続され、他端が前記整流用スイッチ素子の制御端子に
接続され、前記二次巻線に直列の補助巻線及び前記トランジスタの第 2 の導通電極に制御
端子が接続され、該トランジスタがオフしたときにオンして、前記整流用スイッチ素子の
制御端子の電圧を引き抜くオフ制御スイッチを、
備えることを特徴とする請求項 2 乃至 4 のいずれか 1 項に記載のスイッチング電源装置
。

【請求項 6】

前記駆動手段は、アノードが前記リアクトルに接続され、カソードが前記トランジスタ
の第 2 の導通電極に接続された電流バイパス用ダイオードを有することを特徴とする請求
項 2 乃至 5 のいずれか 1 項に記載のスイッチング電源装置。 40

【請求項 7】

前記駆動手段は、
抵抗及びダイオードを含み、前記リアクトルと前記オフ制御スイッチの主端子の他端と
の間に接続され、該オフ制御スイッチのオン期間に、該リアクトルに流れる電流の一部を
該オフ制御スイッチに流すヒステリシス回路を備えることを特徴とする請求項 5 または 6
に記載のスイッチング電源装置。

【請求項 8】

前記駆動手段は、前記補助巻線或いは前記整流用スイッチ素子の制御端子から、抵抗を介して前記電流検出手段に電流を流すバイアス回路を備えることを特徴とする請求項 1 乃至 7 のいずれか 1 項に記載のスイッチング電源装置。

【請求項 9】

前記整流素子駆動回路は、前記整流用スイッチ素子の制御端子と前記補助巻線間に接続され、該整流用スイッチ素子の制御端子の電圧を引き抜く電圧引き抜き機能或いは該整流用スイッチ素子を駆動する駆動機能と該電圧引き抜き機能の両機能を持つキャパシタを備えることを特徴とする請求項 5 乃至 8 のいずれか 1 項に記載のスイッチング電源装置。

【請求項 10】

前記駆動手段は、前記整流用スイッチ素子の制御端子にエミッタが接続され、前記オフ制御スイッチの主端子の他端にベースが接続され、前記補助巻線にコレクタが接続され、該ベースとコレクタ間に抵抗とツェナーダイオードの直列回路が接続された駆動トランジスタを備えることを特徴とする請求項 5 乃至 9 のいずれか 1 項に記載のスイッチング電源装置。

10

【請求項 11】

前記駆動手段は、前記電流検出手段の出力信号を 1 入力信号として該入力信号に基づき前記整流用スイッチをオン、オフさせる NOR 回路を備えることを特徴とする請求項 1 に記載のスイッチング電源装置。

【請求項 12】

前記電流検出手段は、
前記リアクトルに一端が接続されると共に他端が前記二次巻線に接続された電流検出用抵抗と、

20

前記電流検出用抵抗が発生する電圧と所定電圧とを比較する比較器とを備え、

前記駆動手段は、比較器の出力信号に基づき前記整流用スイッチ素子をオン、オフさせることを特徴とする請求項 1 に記載のスイッチング電源装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、スイッチング電源装置に関する。

【背景技術】

30

【0002】

従来スイッチング電源装置としては、特許文献 1 に記載されたものがある。

【特許文献 1】特開 2004 - 135415 号公報

【0003】

図 13 は、従来スイッチング電源装置を示す回路図であり、特許文献 1 に掲載されたものである。

このスイッチング電源装置は、変圧器（以下、トランスという）T1 の一次巻線 LP に流れる電流をオンオフする主スイッチ素子 Q1 と、トランス T の二次巻線 LS と負荷との間に接続された同期整流スイッチ素子 Q2 と、同期整流スイッチ素子 Q2 に並列に接続された直列回路 26 とを備えると共に、ダイオード D2、キャパシタ C51、トランジスタ Q5 等を含む同期整流スイッチング制御回路とを備えている。直列回路 26 は、同期整流インダクタンス素子 L1 とダイオード D1 とを含んでいる。

40

【0004】

主スイッチ素子 Q1 のオン期間に、同期整流スイッチ素子 Q2 をオフにしてトランス T1 及び同期整流インダクタンス素子 L1 に電力を蓄積し、主スイッチ素子 Q1 のオフ期間に、同期整流スイッチ素子 Q2 をオンにしてその蓄積電力を放出させる。トランス T1 に蓄積された電力の放出が完了する前に、ダイオード D1 の働きにより、同期整流インダクタンス素子 L1 は、蓄積電力の放出を完了する。同期整流用制御回路 27 中のダイオード D2 は、同期整流インダクタンス素子 L1 とダイオード D1 との接続点 A の電圧により、同期整流インダクタンス素子 L1 の蓄積電力が放出されたことを検出して同期整流スイッ

50

チ素子 Q 2 をオフさせる。

【発明の開示】

【発明が解決しようとする課題】

【0005】

しかしながら、前述の特許文献 1 に示されたスイッチング電源装置では、同期整流インダクタンス素子 L 1 のインダクタンスと同期整流用制御回路 27 の持つ容量の影響或いは同期整流インダクタンス素子 L 1 自体の持つ寄生容量の影響により、接続点 A の電圧が瞬時に低下しない。この接続点 A の電圧低下の遅れにより、トランス T 1 の蓄積電力の放出が完了した後も、同期整流スイッチ素子 Q 2 がオンしていることがあった。これにより、効率が悪化すると共に、素子の破損につながることもあった。

10

【0006】

本発明は、整流用スイッチを適正なタイミングでオン、オフさせるスイッチング電源装置を実現することを目的とする。

【課題を解決するための手段】

【0007】

上記目的を達成するために、本発明の観点に係るスイッチング電源装置は、一次巻線及び二次巻線を有する変圧器と、前記一次巻線に流れる電流をオン、オフする主スイッチ素子と、前記主スイッチ素子の動作を制御するコントローラと、平滑回路と、前記二次巻線と前記平滑回路との間をオン、オフする整流用スイッチ素子と、前記整流用スイッチ素子を駆動する整流素子駆動回路とを備え、前記整流素子駆動回路は、前記二次巻線に並列に接続され、前記主スイッチ素子のオン期間にエネルギーを蓄積し、該主スイッチ素子のオフ期間に該蓄積されたエネルギーを放出するリアクトルと、前記リアクトルに流れる電流の電流値を検出する電流検出手段と、前記主スイッチ素子のオフ期間でかつ前記リアクトルに流れる電流が所定値以上の時に前記整流用スイッチ素子をオンさせ、該リアクトルに流れる電流が所定値に満たないときに前記整流用スイッチ素子をオフさせる駆動手段と、を備えることを特徴とする。

20

30

このような構成を採用したことにより、変圧器の二次巻線に並列に接続されたリアクトルに流れる電流が所定値以上のときに、駆動手段により整流用スイッチ素子がオンし、リアクトルに流れる電流が所定値よりも低下したとき整流用スイッチ素子がオフする。そのため、整流用スイッチ素子がオンしているオン期間が必要以上に長くなることを防止できる。

【0008】

尚、前記電流検出手段は、前記リアクトルに一端が接続されると共に他端が前記二次巻線に接続された電流検出用抵抗と、制御電極と該制御電極に与えられた信号に基づき導通状態が変化する第 1 の導通電極及び第 2 の導通電極を有し、前記リアクトルに該制御電極が接続されると共に第 1 の導通電極が前記二次巻線に接続されたトランジスタとを備え、

40

前記駆動手段は、前記リアクトルに流れる電流による前記電流検出用抵抗の電圧降下が前記トランジスタの閾値よりも低くなった時に、前記整流用スイッチ素子をオフさせてもよい。

【0009】

ここで、前記トランジスタは、前記制御電極がベースであり前記第 1 の導通電極がエミッタであるバイポーラトランジスタであってもよい。また、前記トランジスタは、前記制御電極がゲートであり前記第 1 の導通電極がソースである MOS トランジスタであってもよい。

【0010】

また、前記駆動手段は、

50

主端子の一端が前記二次巻線に接続され、他端が前記整流用スイッチ素子の制御端子に接続され、前記二次巻線に直列の補助巻線及び前記トランジスタの第2の導通電極に制御端子が接続され、該トランジスタがオフしたときにオンして、前記整流用スイッチ素子の制御端子の電圧を引き抜くオフ制御スイッチを、

備えてもよい。

また、前記駆動手段は、アノードが前記リアクトルに接続され、カソードが前記トランジスタの第2の導通電極に接続された電流バイパス用ダイオードを有してもよい。

【0011】

また、前記駆動手段は、

抵抗及びダイオードを含み、前記リアクトルと前記オフ制御スイッチの主端子の他端との間に接続され、該オフ制御スイッチのオン期間に、該リアクトルに流れる電流の一部を該オフ制御スイッチに流すヒステリシス回路を備えてもよい。

10

【0012】

また、前記駆動手段は、前記補助巻線或いは前記整流用スイッチ素子の制御端子から、抵抗を介して前記電流検出手段に電流を流すバイパス回路を備えてもよい。

【0013】

また、前記駆動手段は、前記整流用スイッチ素子の制御端子と前記補助巻線間に接続され、該整流用スイッチ素子の制御端子の電圧を引き抜く電圧引き抜き機能或いは該整流用スイッチ素子を駆動する駆動機能と該電圧引き抜き機能の両機能を持つキャパシタを備えてもよい。

20

【0014】

また、前記駆動手段は、前記整流用スイッチ素子の制御端子にエミッタが接続され、前記オフ制御スイッチの主端子の他端にベースが接続され、前記補助巻線にコレクタが接続され、該ベースとコレクタ間に抵抗とツェナーダイオードの直列回路が接続された駆動トランジスタを備えてもよい。

【0015】

また、前記駆動手段は、前記電流検出手段の出力信号を1入力信号として該入力信号に基づき前記整流用スイッチをオン、オフさせるNOR回路を備えてもよい。

【0016】

また、前記電流検出手段は、

前記リアクトルに一端が接続されると共に他端が前記二次巻線に接続された電流検出用抵抗と、

30

前記電流検出用抵抗が発生する電圧と所定電圧とを比較する比較器とを備え、

前記駆動手段は、比較器の出力信号に基づき前記整流用スイッチ素子をオン、オフさせてもよい。

【発明の効果】

【0017】

本発明によれば、整流素子駆動回路にリアクトルと電流検出回路を備え、駆動手段でリアクトルに流れる電流が所定値に満たないときに整流用スイッチ素子をオフさせるので、整流用スイッチ素子がオンしている時間が必要以上に伸びることを防止でき、効率が改善される。

40

【発明を実施するための最良の形態】

【0018】

[第1の実施形態]

図1は、本発明の第1の実施形態に係るスイッチング電源装置を示す回路図である。

【0019】

このスイッチング電源装置は、直流電源1に接続された変圧器(以下、トランスという)2を備えたフライバックコンバータである。

直流電源1の陽極にトランス2の一次巻線2aのホット側が接続され、一次巻線2aのコールド側は、主スイッチ素子としてのNチャンネル型MOSトランジスタ(以下、NMO

50

S という) 3 のドレインに接続されている。NMOS 3 のゲートには、コントローラ 4 が接続され、コントローラ 4 からそのゲートに制御信号が与えられる。NMOS 3 のソースは、直流電源 1 の陰極に接続されている。

【0020】

トランス 2 は、一次巻線 2 a とコアを介して電磁結合する二次巻線 2 b 及び補助巻線 2 c を備えている。二次巻線 2 b のコールド側に補助巻線 2 c が直列に接続されている。

【0021】

二次巻線 2 b のホット側は、リアクトル 5 の一端と、平滑キャパシタ 6 の負極と、グラウンド GND とに接続されている。二次巻線 2 b のコールド側は、同期整流用のスイッチ素子としての NMOS 7 のソースに接続されている。NMOS 7 のドレインが、キャパシタ 6 の正極に接続されている。キャパシタ 6 の正極から図示しない負荷に出力電圧 V_o が供給される。

10

【0022】

リアクトル 5 の他端には、逆流防止用のダイオード 8 のアノードが接続され、ダイオード 8 のカソードが電流検出用の抵抗 9 の一端に接続されている。抵抗 9 の他端は二次巻線 2 b のコールド側に接続され、リアクトル 5、ダイオード 8 及び抵抗 9 の直列回路が二次巻線 2 b に並列接続された構成になっている。

【0023】

二次巻線 2 b に接続された補助巻線 2 c のコールド側には、ダイオード 10 のアノードが接続され、ダイオード 10 のカソードには、抵抗 11 の一端と、抵抗 12 の一端と、NPN 型トランジスタ 13 のコレクタが接続されている。

20

【0024】

抵抗 12 の他端は、トランジスタ 13 のベースに接続されている。トランジスタ 13 のエミッタは、ダイオード 14 のアノードと抵抗 15 の一端とに接続されている。ダイオード 14 のカソードは、トランジスタ 13 のベースに接続されている。抵抗 15 の他端は、NMOS 7 のゲートに接続されている。

【0025】

トランジスタ 13 のベースには、さらに、NMOS 16 のドレインが接続されている。NMOS 16 のソースは、二次巻線 2 b のコールド側に接続されている。

【0026】

抵抗 11 の他端は、ダイオード 17 のアノードに接続されている。ダイオード 17 のカソードは、NMOS 16 のゲートに接続されると共に、NPN 型トランジスタ 18 のコレクタに接続されている。トランジスタ 18 のベースは、抵抗 9 とダイオード 8 との接続点に接続され、トランジスタ 18 のエミッタが、二次巻線 2 b のコールド側に接続されている。NMOS 16 の代わりに、バイポーラトランジスタの NPN 型トランジスタを用いることも可能である。この場合、NMOS 16 の代わりにの NPN 型トランジスタのコレクタが NPN 型トランジスタ 13 のベースに接続され、NMOS 16 の代わりにの NPN 型トランジスタのベースがダイオード 17 のカソードに接続され、NMOS 16 の代わりにの NPN 型トランジスタのエミッタが二次巻線 2 b のコールド側に接続される。

30

【0027】

次に、このスイッチング電源装置の動作を説明する。

図 2 (a) ~ (h) は、スイッチング電源装置の動作を説明するための波形図である。

40

【0028】

コントローラ 4 から与えられた制御信号に基づき、NMOS 3 はオン、オフする。NMOS 3 のオンした期間、つまり、NMOS 3 のドレイン・ソース間電圧 V_{ds} が 0 ボルトのとき (図 2 (a))、トランス 2 の一次巻線 2 a に一次電流 I_d が流れる (図 2 (b))。

【0029】

NMOS 3 のオンしているオン期間の長さを T_{on} 、一次巻線 2 a のインダクタンスを L_p 、直流電源 1 の発生電圧を V_{in} とすると、NMOS 3 がオン期間に、トランス 2 に

50

は $(V_{in}^2 / 2 L_p) T_{on}$ のエネルギーが蓄積される。

【0030】

NMOS3がオンしている期間には、二次巻線2bは、ホット側から電圧 V_T (図2(c))を発生し、コールド側よりもホット側の電圧が高くなる。補助巻線2cは、ホット側から電圧を発生し、コールド側よりもホット側の電圧が高くなる。補助巻線2cのホット側の電圧が補助巻線2cのコールド側の電圧よりも高くなることで、トランジスタ13はオフ状態に設定され、NMOS7のゲート・ソース間電圧 V_{gs} が発生せずオフ状態に設定される(図2(h))。

【0031】

トランス2の一次巻線2aの巻数を n_s 、二次巻線2bの巻数を n_p とすると、NMOS3のオン期間に二次巻線2bが発生する電圧 V_T は、

$$V_T = (n_s / n_p) V_{in}$$

となる。

【0032】

二次巻線2bのホット側の電圧がコールド側の電圧よりも高くなることで、リアクトル5からダイオード8及び抵抗9に電流 I_L が流れる(図2(e))。電流 I_L は、NMOS3のオン期間に増加する。

抵抗9に電流 I_L が流れることによる抵抗9の電圧降下が、トランジスタ18の閾値を超えると、トランジスタ18がオン状態になる。ここで、ダイオード8の順方向電圧と、抵抗9での電圧降下或いはトランジスタ18のベース・エミッタ間電圧との和を $V(t)$ とすると、リアクトル5には $V_T - V(t)$ の電圧が印加される。

【0033】

コントローラ4からの制御信号に基づきNMOS3がオフすると、トランス2の二次巻線2b及び補助巻線2cは、ホット側よりも高い電圧をコールド側から発生する。トランス2の二次巻線2bの電圧によって、NMOS7の寄生ダイオードを介してキャパシタ6が充電される。

【0034】

NMOS3がオフした直後には、トランジスタ18がオン状態で、NMOS16がオフしているので、補助巻線2cのコールド側の電圧が補助巻線2cのホット側よりも高くなることにより、抵抗12を介してトランジスタ13のベース電圧が上昇してトランジスタ13がオンする。

【0035】

トランジスタ13がオンすると、NMOS7がオンする。NMOS7がオンすることにより、トランス2に蓄積されたエネルギーが、NMOS7を通じて二次電流 I_T として放出され、その二次電流 I_T により、キャパシタ6が充電される(図2(d))。

【0036】

二次電流 I_T は、時間と共に減少する。二次電流 I_T の減少する傾きは、 $(V_o^2 / 2 L_S) t^2$ で表すことができる。一次巻線2aのインダクタンス L_P 及び二次巻線2bのインダクタンス L_S は、それぞれの巻数 n_p 、 n_s により、

$$L_S = (n_s^2 / n_p^2) L_P$$

の関係を有する。

【0037】

そのため、二次電流 I_T が流れなくなるまでの時間 t は、

$$t = (n_s V_{in} / n_p V_o) T_{on}$$

となる。

【0038】

一方、リアクトル5は、NMOS3がオフすると、NMOS3のオン期間に蓄積したエネルギーをダイオード8を介して放出する。NMOS3のオン期間の終了時にリアクトル5に流れる電流 I_L は、ダイオード8の順方向電圧と抵抗9での電圧降下或いはトランジスタ18のベース・エミッタ間電圧との和を $V(t)_{on}$ とし、リアクトル5のインダ

10

20

30

40

50

クタンスをLとすると、

$$I_L = (V_T - V(t)_{on}) T_{on} / L$$

となる。このリアクトル5に流れる電流 I_L は、NMOS3のオフするオフ期間に減少する。

【0039】

ダイオード8の順方向電圧と、抵抗9での電圧降下或いはトランジスタ18のベース・エミッタ間電圧との和を $V(t)_{off}$ とすると、リアクトル5に流れる電流 I_L がゼロになる時間は、

$$t = (V_T - V(t)_{on}) T_{on} (V_o + V(t)_{off})$$

$$= ((n_s / n_p) V_{in} - V(t)_{on}) T_{on} (V_o + V(t)_{off}) \dots \dots (1)$$

10

となる。

【0040】

ここで、 $V(t)_{on}$ 及び $V(t)_{off}$ は、二次巻線2bが発生する電圧 V_2 及び出力電圧 V_o に比べて十分に小さい値であるので、リアクトル5に流れる電流 I_L は、二次電流 I_T (図2(d))よりもわずかに早くゼロになる。

【0041】

リアクトル5に流れる電流 I_L が減少し、抵抗9における電圧降下が、トランジスタ18の閾値よりも低くなると、トランジスタ18がオフし、抵抗11及びダイオード17を介してNMOS16のゲートが駆動され、NMOS16がオンする。NMOS16がオンすると、トランジスタ13がオフ状態になり、NMOS7のゲートからダイオード14を介して電荷が引き抜かれる。これにより、NMOS7のゲート・ソース間電圧 V_{gs} が下がり、NMOS7がオフする。

20

ここで、NMOS7をオフするタイミングを決めるリアクトル5に流れる電流 I_L は、

$$I_L = V_{BE} / R_9$$

で設定することができる。但し、 V_{BE} は、トランジスタ18のベース・エミッタ間電圧であり、 R_9 は抵抗9の抵抗値である。

【0042】

抵抗値 R_9 を大きくすると、リアクトル5の電流 I_L がゼロになる直前に、NMOS7のオフするタイミングを設定することができる。そのため、(1)式の関係により、二次電流 I_T がゼロになるよりも早く、NMOS7がオフすることになる。NMOS7がオフした後は、NMOS7に寄生するダイオードを介して整流が行われることになるが、二次電流 I_T は基本的に三角波なので、そのダイオードで整流されていても、その期間の電流積は全体の数パーセントであり、損失に大きく影響しない。

30

【0043】

二次巻線2bに図1のように接続されたリアクトル5の両端の電圧は、リアクトル5のエネルギーを放出する期間には $(V_o + V)$ で、エネルギーを放出し終わるとゼロになる。このリアクトル5の電圧を検出することにより、二次電流 I_T がゼロになる直前にNMOS7をオフすることも可能であるが、リアクトル5のインダクタンス及び電圧検出回路の容量、或いはリアクトル自身の寄生容量により、リアクトル5の両端電圧が瞬時に低下しない。この遅れにより、二次電流 I_T がゼロになった後も、NMOS7がオンし続ける危険性がある。

40

【0044】

このような遅れを考慮して電源装置を設計すると、リアクトル5に直列に接続する抵抗9の抵抗値を大きくしたり、ダイオード8を複数直列に接続する必要がある。また、負荷や温度により、電圧降下が変化するので、同期整流期間を短めに設計しなくてはならない。リアクトル5のインダクタンスLを小さくすれば、リアクトル5の両端の電圧の低下速度は速くなるが、その分リアクトル5に流れる電流 I_L が増加し、損失が増加する。

【0045】

即ち、リアクトル5の両端電圧の変化に基づいてNMOS7をオフさせる場合には、損失の増加や実装スペースの増大につながり、コスト低減が困難である。これに対し、本

50

実施形態のスイッチング電源装置は、抵抗 9 により、リアクトル 5 に流れる電流 I_L の電流値を検出し、その電流値に基づいて NMOS 7 をオフにするので、リアクトル 5 のインダクタンスによる遅れの影響を受けることなく、確実に、二次電流 I_T がゼロになる前に、NMOS 7 をオフにすることができる。従って、低コストであると共に、効率の良いスイッチング電源装置を実現できる。

【0046】

[第 2 の実施形態]

図 3 は、本発明の第 2 の実施形態に係るスイッチング電源装置を示す回路図であり、第 1 の実施形態の図 1 中の要素と共通する要素には、共通の符号を付している。

【0047】

このスイッチング電源装置は、第 1 の実施形態のスイッチング電源装置にダイオード 20 をさらに設けたものであり、他の構成は、第 1 の実施形態のスイッチング電源装置と同様である。

ダイオード 20 のアノードは、リアクトル 5 の一端とダイオード 8 のアノードとの接続点に接続されている。ダイオード 20 のカソードは、トランジスタ 18 のコレクタに接続されている。

【0048】

このスイッチング電源装置の基本的動作は、第 1 の実施形態と同様であるが、ダイオード 20 がリアクトル 5 の一端とトランジスタ 18 のコレクタとの間に取付けられているので、トランジスタ 18 がオンした後にリアクトル 5 に流れる電流 I_L は、トランジスタ 18 のベースばかりでなく、トランジスタ 18 のコレクタにも流れる。

【0049】

前述の第 1 の実施形態のスイッチング電源装置では、リアクトル 5 に流れる電流 I_L は、全てトランジスタ 18 のベース電流となっていた。一般に、トランジスタのベース電流の絶対最大定格は、コレクタ電流に比べて小さく、制御用の小信号のトランジスタでは、リアクトル 5 に流れる電流 I_L を大きくできない。

リアクトル 5 のインダクタンス L を大きくすることで、リアクトル 5 に流れる電流 I_L の値を規格内に制限することも可能ではあるが、制限しすぎると、トランジスタ 18 での十分な電流増幅率が得られないこともある。よって、トランジスタ 18 のベースへリアクトル 5 の電流 I_L をすべて流すことは、好ましくない。

【0050】

本実施形態のスイッチング電源装置では、リアクトル 5 に流れる電流 I_L の一部がトランジスタ 18 のコレクタに流れるので、トランジスタ 18 のベース電流が絶対最大定格を超えることを防止できる。尚、この場合、トランジスタ 18 のコレクタ・エミッタ間電圧が、ベース・エミッタ間電圧と等しくなるように、A 級動作することになるので、NMOS 16 の閾値が低い場合や、NMOS 16 の代わりにバイポーラトランジスタを用いる場合には、トランジスタ 18 のコレクタ電圧を分圧抵抗等を利用して分圧し、分圧した電圧をその NMOS 16 のゲートやバイポーラトランジスタのベースに与える必要がある。

【0051】

[第 3 の実施形態]

図 4 は、本発明の第 3 の実施形態に係るスイッチング電源装置を示す回路図であり、第 2 の実施形態の図 3 中の要素と共通する要素には、共通の符号を付している。

【0052】

このスイッチング電源装置は、第 2 の実施形態のトランジスタ 18 を NMOS 21 に置換にしたものであり、他の構成は第 2 の実施形態のスイッチング電源装置と同様である。

【0053】

NMOS 21 のゲートが、ダイオード 8 のカソード及び抵抗 9 の接続点に接続され、NMOS 21 のドレインが、ダイオード 20 のカソード、ダイオード 17 のカソード及び NMOS 16 のゲートに接続されている。NMOS 21 のソースがトランス 2 の二次巻線 2b のコールド側に接続されている。

10

20

30

40

50

【0054】

このスイッチング電源装置では、リアクトル5から流れる電流 I_L による抵抗9の電圧降下が、NMOS21の閾値よりも高ければ、NMOS21がオンする。電流 I_L による抵抗9の電圧降下が、NMOS21の閾値よりも低くなれば、NMOS21がオフする。NMOS21がオフすると、NMOS16がオンする。これにより、NMOS7がオフして同期整流が停止する。

【0055】

NMOS21のゲート電圧は、トランジスタ18のベース・エミッタ間電圧と異なり、NMOS21がオンしていても一定の電圧にクランプされることはない。そのため、(1)式により、リアクトル5から流れる電流 I_L が増加して抵抗9での電圧降下が大きくなると、二次巻線2bに流れる二次電流 I_T に比べてリアクトル5から流れる電流 I_L がゼロになるまでの時間が大幅に短くなることになる。ダイオード20は、NMOS21がオンした後に、リアクトル5から流れる電流 I_L をNMOS21のドレインに流すので、電流検出用の抵抗9での電圧降下をNMOS21の閾値近辺の1~2V程度に抑えるように機能する。よって、二次電流 I_T に比べて電流 I_L がゼロになるまでの時間が大幅に短くなることが防止される。尚、この場合にも、NMOS16の閾値が低い場合や、NMOS16の代わりにバイポーラトランジスタを用いる場合には、NMOS21のドレイン電圧を分圧抵抗等を利用して分圧し、分圧した電圧をそのNMOS16のゲートやバイポーラトランジスタのベースに与える必要がある。

【0056】

[第4の実施形態]

図5は、本発明の第4の実施形態に係るスイッチング電源装置を示す回路図であり、第2の実施形態を示す図3中の要素と共通する要素には、共通の符号を付している。

【0057】

このスイッチング電源装置は、第2の実施形態のスイッチング電源装置に、さらに、ダイオード23と抵抗24とを設けたものである。他の構成は、第2の実施形態のスイッチング電源装置と同様である。

ダイオード23のアノードは、リアクトル5の一端、ダイオード8のアノード、及びダイオード20のアノードに接続されている。ダイオード23のカソードが抵抗24の一端に接続され、抵抗24の他端が、トランジスタ13のベース及びNMOS16のドレインの接続点に接続されている。

【0058】

フライバックコンバータでは、主スイッチ素子のオフ時で、トランスのエネルギーが放出し終わったときにリングングが発生する。第2の実施形態のスイッチング電源装置では、NMOS3がオン時に、トランス2のエネルギーが放出し終わったときにリングングが発生し、二次巻線2bに、出力電圧 V_o と等しい正弦波状の電圧が発生する。この正弦波状の電圧によっても、リアクトル5は、エネルギーの蓄積と放出を行う。最大限に同期整流を行うために、抵抗9の抵抗値を、リアクトル5に流れる電流 I_L がゼロになる直前までNMOS7がオンするように設定すると、リングングの期間にもトランジスタ18がオンすることがあり、リングングの期間にもNMOS7が駆動されてオンする。

【0059】

このようなフライバックコンバータとしてのスイッチング電源装置の課題を本実施形態のスイッチング電源装置は、解決できる。

トランス2のエネルギーの放出が終了し、二次巻線2bから流れる二次電流 I_T がゼロになったときには、リアクトル5から流れる電流 I_L もゼロになっている。これにより、トランジスタ18がオフし、NMOS16がオンしている。その後、リングングの発生により、リングング電圧でリアクトル5に再び電流 I_L が流れると、その電流 I_L は、抵抗9ばかりでなく、ダイオード23及び抵抗24を介してNMOS16に流れる。

【0060】

NMOS16のオン抵抗を例えば200m、NMOS16に最大流す電流を50mA

10

20

30

40

50

とすると、NMOS 16のドレイン・ソース間電圧は10mVで、トランジスタ18のベース・エミッタ間の閾値の約0.6Vに比べて十分に小さい。そこで、NMOS 16のドレイン・ソース間電圧を無視し、ダイオード8とダイオード23の順方向電圧が等しいとすると、抵抗9と抵抗24との合成抵抗による電圧降下が、トランジスタ18の閾値以上になったときに、トランジスタ18がオンすることになる。つまり、抵抗9及び抵抗24の抵抗値を R_9 、 R_{24} とすると、リアクトル5に流れる電流 I_L が、

$$I_{L2} = V_{BE} (R_9 + R_{24}) / (R_9 \cdot R_{24})$$

になったときに、トランジスタ18がオンすることになる。

【0061】

NMOS 16のゲート・ソース間容量により、トランジスタ18がオンするまで、NMOS 16のゲート電圧が保持されるので、 I_{L2} を、リングングによりリアクトル5に流れる電流よりも大きくするように、抵抗24の抵抗値 R_{24} を設定すれば、リングング期間にNMOS 7が駆動されてオンすることがなくなる。

【0062】

NMOS 16の代わりに、バイポーラトランジスタを用いた場合でも、ダイオード17のカソードと二次巻線2bのコールド側との間にキャパシタを接続してベース電流を流し続けることで、同様の効果が得られる。

【0063】

主スイッチ素子のNMOS 3がオンし、リアクトル5に I_{L2} 以上の電流 I_L が流れると、トランジスタ18がオンしてNMOS 16がオフするので、抵抗24には電流が流れなくなる。そのため、トランジスタ18のオフ時のリアクトル5に流れる電流 I_L が抵抗9の抵抗値のみで設定することができ、リアクトル5に流れる電流 I_L がゼロになる直前に、NMOS 7をオフするようにできる。

【0064】

また、負荷の状態をフィードバックして主スイッチ素子のオン期間の長さを調整するフライバックコンバータの場合、負荷が軽いときには二次巻線2bの二次電流 I_T が減少し、同期整流を行うことによる損失が大きくなることがあり、同期整流を行わない方がよい場合がある。

本実施形態のスイッチング電源装置では、軽負荷でNMOS 3のオン期間が短い場合、リアクトル5に流れる電流 I_L も少なくなるので、トランジスタ18がオンせず、同期整流が行われぬ。よって、軽負荷時の損失を軽減できるという効果も本実施形態のスイッチング電源装置は奏することになる。

【0065】

[第5の実施形態]

図6は、本発明の第5の実施形態に係るスイッチング電源装置を示す回路図であり、第2の実施形態の図3と共通する要素には、共通の符号を付している。

このスイッチング電源装置は、第2の実施形態のスイッチング電源装置に、さらに、ダイオード25と、抵抗26、27と、ダイオード28と、キャパシタ29とを設けたものであり、他の構成は、第2の実施形態のスイッチング電源装置と同様の構成になっている。

【0066】

ダイオード25のアノードは、抵抗15の一端とトランジスタ13のエミッタとの接続点に接続され、ダイオード25のカソードに抵抗26の一端が接続されている。抵抗26の他端には、抵抗27の一端とダイオード28のアノードとキャパシタ29の一方の電極とが接続されている。抵抗27の他端が、トランジスタ18のベースに接続されている。ダイオード28のカソードは、トランジスタ18のコレクタに接続されている。キャパシタ29の他方の電極は、トランス2の二次巻線2bのコールド側に接続されている。

【0067】

このスイッチング電源装置は、第4の実施形態のスイッチング電源装置と同様の効果を奏し、リングングが発生したときや軽負荷時にNMOS 7がオンすることを防止する。

10

20

30

40

50

主スイッチ素子であるNMOS 3がオンしているとき、或いはリングング期間で同期整流用のNMOS 7のゲートに電圧が印加されていないとき、抵抗 9 には、リアクトル 5 に流れる電流 I_L のみが流れる。この状態でトランジスタ 18 がオンする時のリアクトル 5 に流れる電流 I_L の電流値 I_{L3} を、トランジスタ 18 のベース・エミッタ間電圧 V_{BE} 及び抵抗 9 の抵抗値 R_9 で表すと、

$$I_{L3} = V_{BE} / R_9$$

となる。

【0068】

そこで、電流値 I_{L3} がリングング期間や軽負荷時にリアクトル 5 に流れる電流 I_L 以上になるように、抵抗 9 の抵抗値 R_9 を設定することにより、トランジスタ 18 がオンすることが防止され、NMOS 7 がリングング期間や軽負荷時にオンすることを防止できる。

【0069】

これに対し、NMOS 7 のゲートが駆動されてNMOS 7 がオンしている状態では、NMOS 7 のゲートからダイオード 25、抵抗 26、27 を介して抵抗 9 にバイアス電流が流される。

【0070】

このとき、ダイオード 28 により、抵抗 26 と抵抗 27 の接続点の電圧は、トランジスタ 18 のコレクタ・エミッタ間電圧 V_{CE} とダイオード 28 の順方向電圧 V_F の和となる。トランジスタ 18 では、前述したように、コレクタ・エミッタ間電圧 V_{CE} が、ベース・エミッタ間電圧 V_{BE} に等しくなるので、抵抗 26 と抵抗 27 の接続点は、 $V_{BE} + V_F$ の値にクランプされる。従って、トランジスタ 18 がオンしているときには、抵抗 27 の抵抗値を R_{27} とすると、抵抗 9 に V_F / R_{27} のバイアス電流が流れる。

【0071】

リアクトル 5 に流れる電流 I_L と抵抗 27 を通じてバイアスされる電流の和により、抵抗 9 で発生する電圧が、トランジスタ 18 の閾値よりも低くなると、トランジスタ 18 はオフする。このトランジスタ 18 がオフした時にリアクトル 5 に流れる電流 I_L の電流値 I_{L4} とすると、

$$I_{L4} + V_F / R_{27} = V_{BE} / R_9$$

つまり、 $R_{27} = V_F (I_{L3} - I_{L4})$

となるように設定することで、リングングが発生したときや軽負荷時にNMOS 7 がオンすることが抑えられる。

【0072】

尚、トランジスタ 18 がオフした後、NMOS 16 がオンしてNMOS 7 のゲート電圧が下がるまでの短い間に、抵抗 26、27 の接続点の電圧が上昇して抵抗 9 のバイアス量が増加し、これにより、トランジスタ 18 が再度オンすることが懸念されるが、キャパシタ 29 が抵抗 26、27 の接続点の電圧上昇を遅らせるので、トランジスタ 18 が再度オンすることを防止できる。

【0073】

尚、抵抗 9 に流すバイアス電流を一定化せず、NMOS 7 のゲート或いは補助巻線 2c から抵抗及びダイオードを用いて直接抵抗 9 にバイアス電流を流すことは可能であるが、この場合、補助巻線 2c で発生する電圧の変動や、トランジスタの温度特性を考慮してバイアス量を設定する必要がある。

【0074】

[第 6 の実施形態]

図 7 は、本発明の第 6 の実施形態に係るスイッチング電源装置を示す回路図であり、第 4 の実施形態の図 5 中の要素と共通する要素には、共通の符号を付している。

【0075】

このスイッチング電源装置は、第 5 の実施形態のスイッチング電源装置にさらに、ダイオード 30 と、キャパシタ 31 と、抵抗 32 とを設けたものであり、他の構成は、第 5 の

10

20

30

40

50

実施形態のスイッチング電源装置と同様である。

【0076】

ダイオード30のアノードは、ダイオード14のカソードに接続され、ダイオード30のカソードがキャパシタ31の一方の電極に接続されている。キャパシタ31の他方の電極は、トランス2の補助巻線2cのコールド側に接続されている。キャパシタ31の両電極間に、抵抗32が接続されている。

【0077】

フライバックコンバータでは、起動時などでは連続モードで動作する場合がある。起動時で出力電圧 V_o の低いときには補助巻線2cのコールド側からNMOS16のゲートを駆動する電圧を発生できないことがある。そのため、リアクトル5に流れる電流がゼロになってトランジスタ18がオフしても、NMOS16のゲートに所定の電圧が発生しないことになり、NMOS7のゲート電圧が不確定になる。このように、NMOS7のゲートの電圧が不確定の状態、主スイッチ素子のNMOS3がオンし、NMOS7のドレインに対してNMOS7のソースの電圧が低くなると、NMOS7の帰還容量を介して入力容量が充電されてNMOS7のゲートに電圧が発生する。このゲート電圧により、NMOS7がオンし、貫通電流が流れてしまう危険性がある。

【0078】

これに対し、本実施形態のスイッチング電源装置は、NMOS16がオフ状態でNMOS3がオンすると、NMOS7のドレインに対してソースの電圧が低くなるとともに、NMOS7のソースに対して補助巻線2cのコールド側がさらに低い電位となる。そのため、NMOS7の帰還容量は、ダイオード14、ダイオード30、キャパシタ31を介して充電される。このときダイオード14のカソードの電位はNMOS7のソースに対してNMOS16の寄生ダイオードの順方向電圧だけ低い電位となるので、NMOS7のゲート電圧は、ほぼ0Vになり、オンすることがない。また、負の過電圧が印加されることもない。

【0079】

[第7の実施形態]

図8は、本発明の第7の実施形態に係るスイッチング電源装置を示す回路図であり、第6の実施形態の図7中と共通する要素には、共通の符号を付している。

【0080】

このスイッチング電源装置は、第6の実施形態のスイッチング電源装置の抵抗32の代わりに、ダイオード33を設けたものである。ダイオード33のアノードは、ダイオード30のカソードとキャパシタ31の接続点に接続され、ダイオード30のカソードは、トランジスタ13のコレクタに接続されている。

【0081】

前述の第6の実施形態では、NMOS3がオンしている期間にキャパシタ31に蓄えられた電荷は、抵抗32で放電されていたが、本実施形態のスイッチング電源装置では、キャパシタ31に蓄えられた電荷が、トランジスタ13のコレクタを通じてNMOS7のゲートに与えられる。即ち、キャパシタ31に蓄えられた電荷が、NMOS7の駆動に用いられ、有効利用されたことになる。

【0082】

[第8の実施形態]

図9は、本発明の第8の実施形態に係るスイッチング電源装置を示す回路図であり、第6の実施形態の図7中と共通する要素には、共通の符号を付している。

このスイッチング電源装置は、第6の実施形態のスイッチング電源装置中のトランジスタ13及びダイオード10、14を削除し、ダイオード34、35を設けたものである。

【0083】

キャパシタ31の一方の電極が抵抗15を介してNMOS7のゲートに接続され、キャパシタ31の他方の電極が直接補助巻線2cのコールド側に接続されている。キャパシタ31の一方の電極にダイオード34のアノードが接続され、ダイオード34のカソードが

10

20

30

40

50

、抵抗 24 と NMOS 16 のドレインの接続点に接続されている。NMOS 7 のソースにダイオード 35 のアノードが接続され、ダイオード 35 のカソードが NMOS 7 のゲートに接続されている。

【0084】

このスイッチング電源装置では、キャパシタ 31 により、同期整流用の NMOS 7 を駆動するもので、主スイッチ素子の NMOS 3 がオフし、補助巻線 2c の電圧が反転したときに、NMOS 3 のオン期間にキャパシタ 31 に蓄積された電荷で NMOS 7 をオンさせる。

【0085】

リアクトル 5 に流れる電流 I_L が減少し、NMOS 16 がオンすると、ダイオード 34 により、NMOS 7 のゲートから電荷が抜かれて NMOS 7 がオフするとともに、キャパシタ 31 の一方の電極が補助巻線 2c のホット側に接続された状態になり、NMOS 3 がオンしたときにキャパシタ 31 が充電される。キャパシタ 31 の充電は、キャパシタ 31 の充電電圧が補助巻線 2c の発生する電圧になるまで行われるが、それ以降は、補助巻線 2c に電流が流れない。キャパシタ 31 に充電した電荷は、NMOS 7 のゲートを駆動するだけあればよいので、キャパシタ 31 の容量は、比較的小さくてよい。

ダイオード 34 は、リアクトル 5 に流れる電流 I_L がキャパシタ 31 の一方の電極に逆流することを防止する。ダイオード 35 は、NMOS 7 に負の過電圧が印加されることを防止する。

【0086】

以上のような、本実施形態のスイッチング電源装置では、トランジスタ 13 を削除でき、トランジスタ 13 よりも安価なキャパシタ 31 で NMOS 7 を駆動できる。また、ダイオード及び抵抗の素子数を減じることが可能になり、スイッチング電源装置のコストを下げることができる。

【0087】

[第 9 の実施形態]

図 10 は、本発明の第 9 の実施形態に係るスイッチング電源装置を示す回路図であり、第 7 の実施形態の図 8 中と共通する要素には、共通の符号を付している。

【0088】

このスイッチング電源装置は、第 7 の実施形態のスイッチング電源装置に、さらに、ツェナーダイオード 36 を設けたものである。

ツェナーダイオード 36 のカソードは、ダイオード 10 のカソードに接続され、ツェナーダイオード 36 のアノードは、抵抗 12 の一端に接続され、抵抗 12 の他端がトランジスタ 13 のベースに接続されている。

【0089】

このスイッチング電源装置では、起動時等で出力電圧 V_o が低く、補助巻線 2c が発生する電圧が低い場合に、ツェナーダイオード 36 がトランジスタ 13 にベース電流が流入するのを防ぐ。これにより、起動時等で発生しやすい不安定動作を抑制できる。

【0090】

[第 10 の実施形態]

図 11 は、本発明の第 10 の実施形態に係るスイッチング電源装置を示す回路図であり、第 4 の実施形態の図 5 中と共通する要素には、共通の符号を付している。

このスイッチング電源装置は、直流電源 1 とトランス 2 と主スイッチ素子である NMOS 3 と NMOS 3 のオンオフを制御するコントローラ 4 とを備えている。トランス 2 に対し、直流電源 1 及び NMOS 3 が、第 1 ~ 9 の実施形態と同様に接続されている。

【0091】

トランス 2 の二次巻線 2b のコールド側は、抵抗 11 の一端と、キャパシタ 6 の一方の電極とに、接続されている。キャパシタ 6 の他方の電極は、グランド GND に接続されている。

【0092】

10

20

30

40

50

二次巻線 2 b のホット側には、抵抗 3 7 の一端と、補助巻線 2 c のコールド側と、同期整流用の N M O S 7 のドレインとが接続されている。抵抗 3 7 の他端に抵抗 3 8 の一端が接続され、抵抗 3 8 の他端が、N M O S 7 のソースに接続されている。N M O S 7 のソースがグランド G N D に接続されている。

【 0 0 9 3 】

補助巻線 2 c のホット側には、リアクトル 5 の一端が接続されている。リアクトル 5 の他端には、ダイオード 8 , 2 0 , 2 3 のアノードが接続されている。ダイオード 8 のカソードは、抵抗 9 を介してグランド G N D に接続されると共に、トランジスタ 1 8 のベースに接続されている。

【 0 0 9 4 】

ダイオード 2 0 のカソードは、トランジスタ 1 8 のコレクタに接続され、トランジスタ 1 8 のエミッタがグランド G N D に接続されている。抵抗 1 1 の他端にダイオード 1 7 のアノードが接続され、ダイオード 1 7 のカソードが、トランジスタ 1 8 のコレクタに接続されている。

【 0 0 9 5 】

ダイオード 1 7 のカソードには、さらに、N M O S 1 6 のゲートが接続されている。ダイオード 2 3 のカソードに抵抗 2 4 の一端が接続され、抵抗 2 4 の他端が、N M O S 1 6 のドレインに接続されている。N M O S 1 6 のソースがグランド G N D に接続されている。

抵抗 3 7 と抵抗 3 8 の接続点は、2 入力 N O R 回路 3 9 の一方の入力端子に接続されている。N O R 回路 3 9 の他方の入力端子には、トランジスタ 1 8 のコレクタが接続されている。N O R 回路 3 9 の出力端子が抵抗 1 5 を介して N M O S 7 のゲートに接続されている。

【 0 0 9 6 】

以上のように接続されたスイッチング電源装置は、補助巻線 2 c の発生する電圧に応じてリアクトル 5 がエネルギーの蓄積と放出を行う。抵抗 9 により、リアクトル 5 に流れる電流 I L が検出され、第 1 ~ 第 9 の実施形態のスイッチング電源装置と同様に、リアクトル 5 に流れる電流に基づいてトランジスタ 1 8 がオンオフする。

【 0 0 9 7 】

トランジスタ 1 8 がオンすると、N O R 回路 3 9 の他方の入力端子に、低レベルの信号が入力される。トランジスタ 1 8 がオフすると、N O R 回路 3 9 の他方の入力端子に、高レベルの信号が入力される。

【 0 0 9 8 】

トランジスタ 1 8 がオンでかつ N M O S 7 のドレイン・ソース間電圧が低レベルのとき、つまり、主スイッチ素子の N M O S 3 がオフのときに、N O R 回路 3 9 から N M O S 7 のゲートを駆動する信号を出力する。

【 0 0 9 9 】

前述の第 1 の実施形態から第 9 の実施形態に係るスイッチング電源装置では、補助巻線 2 c が発生する電圧で N M O S 7 のゲートを駆動するので、補助巻線 2 c が発生する電圧をあまり低い電圧にできなかったが、本実施形態では、補助巻線 2 c をリアクトル 5 のエネルギーの蓄積及び放出用として用いるだけなので、巻数 n s を少なくできるばかりでなく、これにより、リアクトル 5 も小型で安価なものに変更できる。

【 0 1 0 0 】

[第 1 1 の実施形態]

図 1 2 は、本発明の第 1 1 の実施形態に係るスイッチング電源装置を示す回路図であり、第 1 0 の実施形態の図 1 1 中と共通する要素には、共通の符号を付している。

このスイッチング電源装置は、第 1 0 の実施形態のスイッチング電源装置のダイオード 2 0 , 2 7 、抵抗 1 1 、トランジスタ 1 8 、N M O S 1 6 、N O R 回路 3 9 を削除し、比較器 4 0 、基準電圧 4 1 、ダイオード 4 2 、インバータ 4 3 及び A N D 回路 4 4 を設けたものである。

10

20

30

40

50

【0101】

リアクトル5の他端にアノードが接続されたダイオード8には、第10の実施形態と同様に抵抗9の一端が接続されると共に、比較器40の一方の入力端子及びダイオード42のアノードが接続されている。ダイオード42のカソードが抵抗9の他端と共にグラウンドGNDに接続されている。比較器40の他方の入力には、基準電圧41が発生する電圧が入力される。基準電圧41が発生する電圧は、ダイオード42の順方向電圧よりも低い。

【0102】

リアクトル5の他方の電極にアノードが接続されたダイオード23のカソードに抵抗24の一端が接続され、抵抗24の他端は、比較器40の出力端子に接続されている。

【0103】

NMOS7のドレインとソースの間に、第10の実施形態と同様に、抵抗37、38の直列回路が接続されている。抵抗37と抵抗38の接続点に、インバータ43の入力端子が接続され、インバータ43の出力端子がAND回路43の一方の入力端子に接続されている。AND回路43の他方の入力端子に、比較器40の出力端子が接続されている。AND回路43の出力端子が、抵抗15を介してNMOS7のドレインに接続されている。

【0104】

このスイッチング電源装置では、ダイオード42により、抵抗9の電圧がダイオード42の順方向電圧にクランプされる。抵抗9での電圧降下と基準電圧41の発生する電圧とを比較器40が比較し、この比較結果に基づき同期整流用のNMOS7のオン、オフが設定される。トランジスタのベース・エミッタ間電圧に比べて温度変化による変化の少ない基準電圧41の発生する電圧と比較することにより、比較器40での比較結果は安定化することが抑制される。

【図面の簡単な説明】

【0105】

【図1】本発明の第1の実施形態に係るスイッチング電源装置を示す回路図である。

【図2】スイッチング電源装置の動作を示すための波形図である。

【図3】本発明の第2の実施形態に係るスイッチング電源装置を示す回路図である。

【図4】本発明の第3の実施形態に係るスイッチング電源装置を示す回路図である。

【図5】本発明の第4の実施形態に係るスイッチング電源装置を示す回路図である。

【図6】本発明の第5の実施形態に係るスイッチング電源装置を示す回路図である。

【図7】本発明の第6の実施形態に係るスイッチング電源装置を示す回路図である。

【図8】本発明の第7の実施形態に係るスイッチング電源装置を示す回路図である。

【図9】本発明の第8の実施形態に係るスイッチング電源装置を示す回路図である。

【図10】本発明の第9の実施形態に係るスイッチング電源装置を示す回路図である。

【図11】本発明の第10の実施形態に係るスイッチング電源装置を示す回路図である。

【図12】本発明の第11の実施形態に係るスイッチング電源装置を示す回路図である。

【図13】従来のスイッチング電源装置を示す回路図である。

【符号の説明】

【0106】

- 1 直流電源
- 2 トランス
- 2 a 一次巻線
- 2 b 二次巻線
- 2 c 補助巻線
- 3 NMOS
- 4 コントローラ
- 5 リアクトル
- 6 キャパシタ
- 7 NMOS

10

20

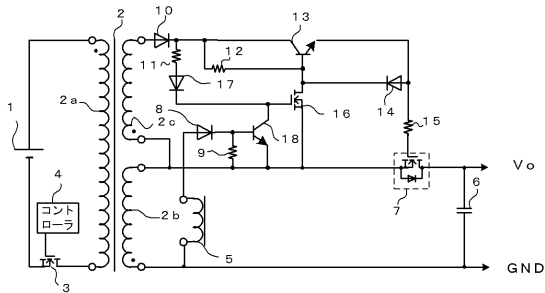
30

40

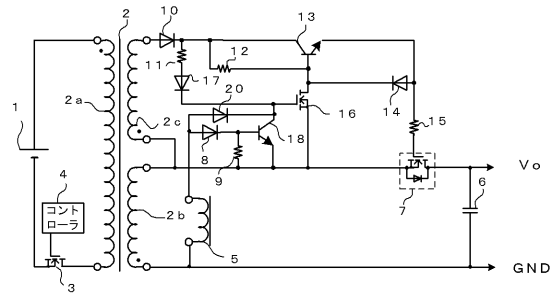
50

- 9 抵抗
- 13 NPN型トランジスタ
- 16 NMOS
- 20 ダイオード
- 21 NMOS
- 23 ダイオード
- 24 抵抗
- 25 ダイオード
- 27 抵抗
- 31 キャパシタ
- 36 ツェナーダイオード
- 39 NOR回路
- 40 比較器

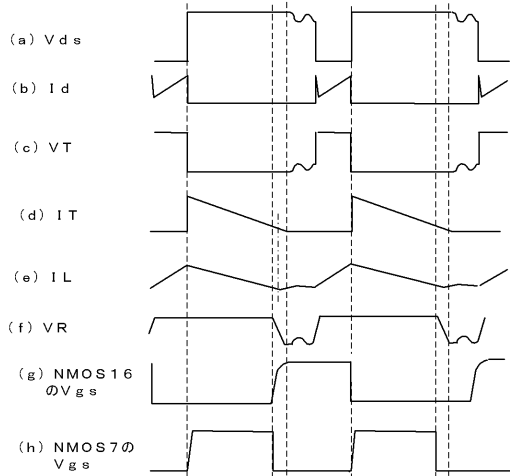
【図1】



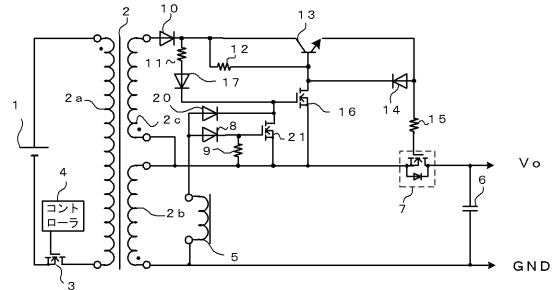
【図3】



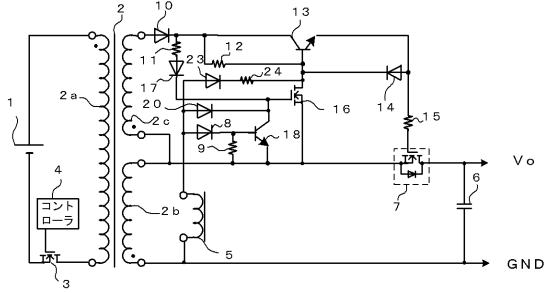
【図2】



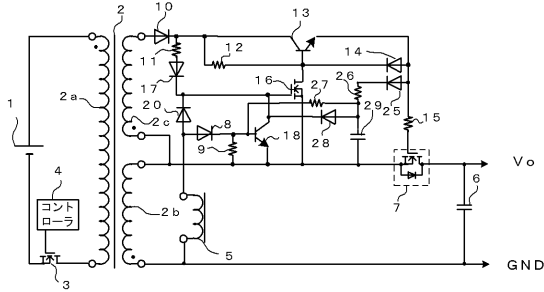
【図4】



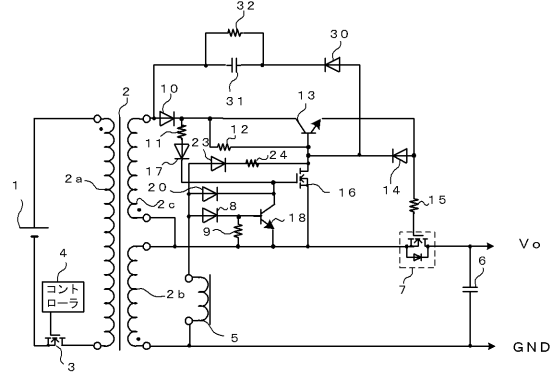
【図 5】



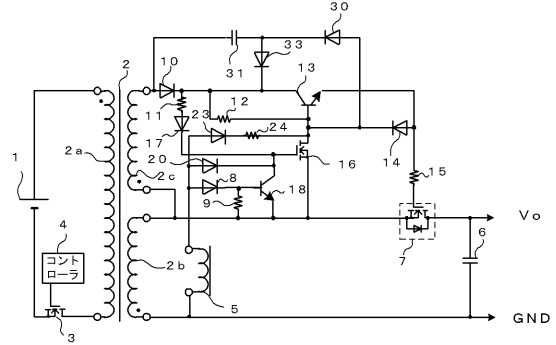
【図 6】



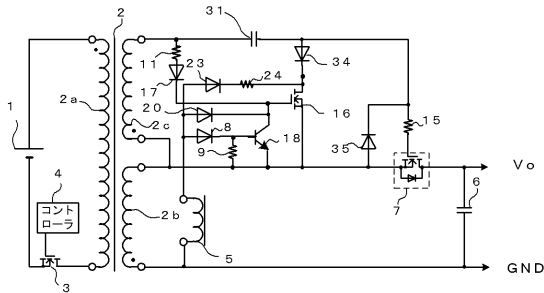
【図 7】



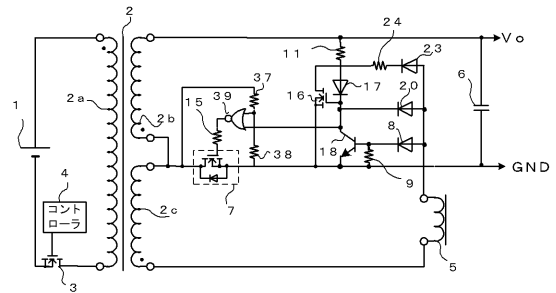
【図 8】



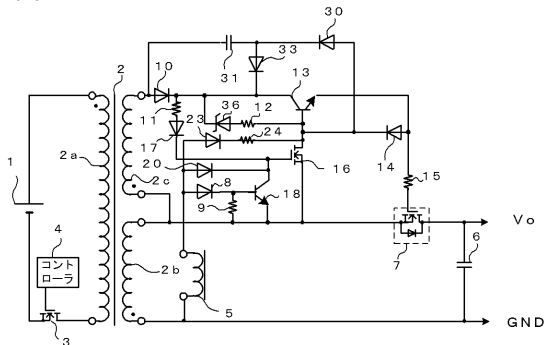
【図 9】



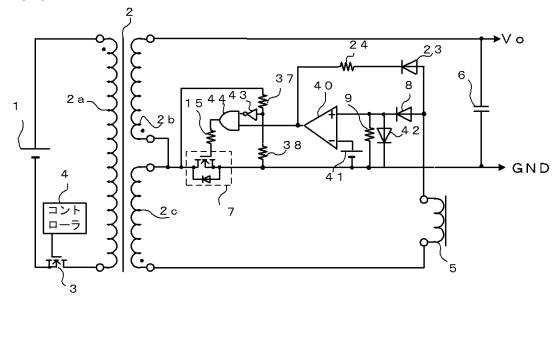
【図 11】



【図 10】



【図 12】



【図 13】

