

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2012-178812  
(P2012-178812A)

(43) 公開日 平成24年9月13日(2012.9.13)

(51) Int.Cl.	F I	テーマコード (参考)
HO4N 5/32 (2006.01)	HO4N 5/32	4M118
HO1L 27/146 (2006.01)	HO1L 27/14 C	5C024
HO4N 5/3745 (2011.01)	HO4N 5/335 745	

審査請求 未請求 請求項の数 7 O L (全 25 頁)

(21) 出願番号	特願2011-123574 (P2011-123574)	(71) 出願人	000236436 浜松ホトニクス株式会社
(22) 出願日	平成23年6月1日(2011.6.1)		静岡県浜松市東区市野町1126番地の1
(31) 優先権主張番号	特願2011-19988 (P2011-19988)	(74) 代理人	100088155 弁理士 長谷川 芳樹
(32) 優先日	平成23年2月1日(2011.2.1)	(74) 代理人	100113435 弁理士 黒木 義樹
(33) 優先権主張国	日本国(JP)	(74) 代理人	100124291 弁理士 石田 悟
		(74) 代理人	100174399 弁理士 寺澤 正太郎
		(72) 発明者	藤田 一樹 静岡県浜松市東区市野町1126番地の1 浜松ホトニクス株式会社内

最終頁に続く

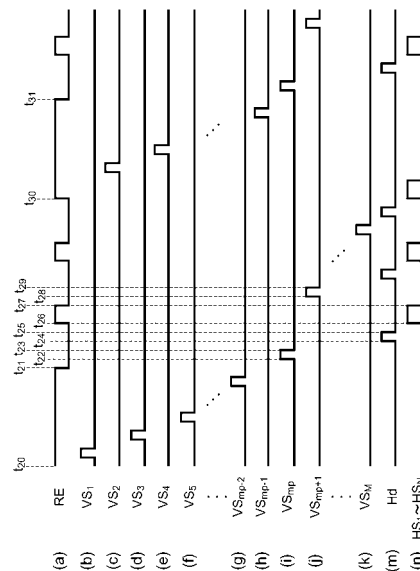
(54) 【発明の名称】 固体撮像素子の制御方法

(57) 【要約】

【課題】 受光領域のうち一部の領域の画素に蓄積された電荷を選択的に読み出す際に、一つの撮像フレームに要する時間を抑制し、また周辺回路への負荷を低減することができる固体撮像素子の制御方法を提供する。

【解決手段】 受光領域のうち一部の領域を構成する一又は複数の読出対象行に含まれる画素に蓄積された電荷を、L回(Lは2以上の整数)の撮像フレームの各々において選択的に読み出すとともに、L回の撮像フレームのそれぞれにおいて、一部の非読出対象行のみに含まれる画素に蓄積された電荷のリセットを行い、且つ、二以上の非読出対象行の各々についてL回の撮像フレームの間に少なくとも一回、リセットを行う。

【選択図】 図7



**【特許請求の範囲】****【請求項 1】**

フォトダイオード、及び該フォトダイオードに一端が接続された読出用スイッチを各々含む  $M \times N$  個 ( $M$  は 3 以上の整数、 $N$  は 2 以上の整数) の画素が  $M$  行  $N$  列に 2 次元配列されて成る受光領域を備える固体撮像素子の制御方法であって、

前記受光領域のうち一部の領域を構成する一又は複数の行 (以下、読出対象行という) に含まれる前記画素に蓄積された電荷を、 $L$  回 ( $L$  は 2 以上の整数) の撮像フレームの各々において選択的に読み出すとともに、

前記  $L$  回の撮像フレームのそれぞれにおいて、前記読出対象行を除く他の二以上の行 (以下、非読出対象行という) のうち一部の前記非読出対象行に含まれる前記画素に蓄積された電荷の排出処理を行い、且つ、前記二以上の非読出対象行の各々について前記  $L$  回の撮像フレームの間に少なくとも一回、前記排出処理を行うことを特徴とする、固体撮像素子の制御方法。

10

**【請求項 2】**

前記読出対象行に隣接する一又は複数の前記非読出対象行の前記排出処理の頻度が、他の前記非読出対象行の前記排出処理の頻度より多いことを特徴とする、請求項 1 に記載の固体撮像素子の制御方法。

**【請求項 3】**

前記一部の非読出対象行が複数行存在しており、

前記  $L$  回の撮像フレームのそれぞれにおいて、前記一部の非読出対象行に含まれる前記画素に蓄積された電荷の排出処理を同時に行うことを特徴とする、請求項 1 または 2 に記載の固体撮像素子の制御方法。

20

**【請求項 4】**

前記一部の非読出対象行が複数行存在しており、

前記  $L$  回の撮像フレームのそれぞれにおいて、前記一部の非読出対象行に含まれる前記画素に蓄積された電荷の排出処理を逐次に行うことを特徴とする、請求項 1 または 2 に記載の固体撮像素子の制御方法。

**【請求項 5】**

前記一部の非読出対象行が複数行存在しており、

前記  $L$  回の撮像フレームのそれぞれにおいて、前記一部の非読出対象行同士の間隔を 1 行以上あけることを特徴とする、請求項 1 ~ 4 のいずれか一項に記載の固体撮像素子の制御方法。

30

**【請求項 6】**

フォトダイオード、及び該フォトダイオードに一端が接続された読出用スイッチを各々含む  $M \times N$  個 ( $M$  は 3 以上の整数、 $N$  は 2 以上の整数) の画素が  $M$  行  $N$  列に 2 次元配列されて成る受光領域を備える固体撮像素子の制御方法であって、

前記受光領域のうち一部の領域を構成する一又は複数の行 (以下、読出対象行という) に含まれる前記画素に蓄積された電荷を、 $L$  回 ( $L$  は 2 以上の整数) の撮像フレームの各々において選択的に読み出すとともに、

前記  $L$  回の撮像フレームのそれぞれにおいて、前記読出対象行を除く他の行 (以下、非読出対象行という) に含まれる二以上の行のうち一部の行に含まれる前記画素に蓄積された電荷の排出処理を行い、且つ、前記二以上の行の各々について前記  $L$  回の撮像フレームの間に少なくとも一回、前記排出処理を行うことを特徴とする、固体撮像素子の制御方法。

40

**【請求項 7】**

前記  $L$  回の撮像フレームにおいて、前記非読出対象行のうち前記二以上の行を除く他の行に含まれる前記画素に蓄積された電荷の排出処理を行わないことを特徴とする、請求項 6 に記載の固体撮像素子の制御方法。

**【発明の詳細な説明】****【技術分野】**

50

## 【 0 0 0 1 】

本発明は、固体撮像素子の制御方法に関するものである。

## 【 背景技術 】

## 【 0 0 0 2 】

特許文献 1 には、X 線検出器を備える X 線診断装置の制御方法が開示されている。この方法では、第 1 の X 線照射を行って X 線検出器から画素データを読み出し、この画素データに基づいて X 線検出器から画素データを収集すべき部分領域を選択したのち、第 2 の X 線照射を行って X 線検出器の該部分領域から画素データを読み出している。そして、X 線検出器の部分領域から画素データを読み出す際、X 線検出器の他の領域の画素データ全てを、各撮像フレームにおいて同時に（或いは、順次に）排出している。

10

## 【 先行技術文献 】

## 【 特許文献 】

## 【 0 0 0 3 】

【 特許文献 1 】 特開平 1 1 - 3 1 8 8 7 7 号公報

## 【 発明の概要 】

## 【 発明が解決しようとする課題 】

## 【 0 0 0 4 】

固体撮像素子は、複数の画素が複数行及び複数列にわたって二次元状に配置された受光領域を有する。各画素には、入射した光を電子に変換するためのフォトダイオードが配置される。各画素のフォトダイオードは、各列毎に配設された読出用配線にスイッチを介して接続されており、フォトダイオード内に蓄積された電荷は、スイッチを接続状態とすることによって読出用配線へ流出する。

20

## 【 0 0 0 5 】

このような構成を備える固体撮像素子の動作方法の一つとして、受光領域のうち一部の領域（以下、関心領域という）の画素に蓄積された電荷のみを選択的に読み出す、いわゆる部分読み出し動作がある。この部分読み出し動作において、電荷が読み出される関心領域では、各画素にて電荷が読み出される毎にフォトダイオードがリセットされるので、フォトダイオードに電荷が蓄積し過ぎてオーバーフローが生じることはない。しかし、電荷が読み出されない他の領域（以下、非関心領域という）では、各画素のフォトダイオードに電荷が蓄積され続け、オーバーフローが生じる。オーバーフローが生じると、溢れた電荷が周辺画素に侵入し、周辺画素の撮像データに影響を及ぼしてしまう。従って、非関心領域に含まれる各画素のフォトダイオードをリセットする必要がある。例えば、特許文献 1 に記載された方法では、撮像フレーム毎に、非関心領域に含まれる全画素のフォトダイオードを同時に、或いは順次にリセットしている。

30

## 【 0 0 0 6 】

しかしながら、固体撮像素子の制御には、一つの撮像フレームに要する時間（フレームレート）を可能な限り短くすることも要求される。非関心領域に含まれる全画素のフォトダイオードを各撮像フレームにおいて順次にリセットすると、各撮像フレームの所要時間を長引かせる一因となる。特に、受光領域の面積が大きくなり、受光領域を構成する画素の個数が多いほど、非関心領域のフォトダイオードのリセットに長時間を要し、撮像フレームの所要時間が更に長くなってしまふ。これに対し、特許文献 1 には、各撮像フレームにおいて、非関心領域に含まれる全画素のフォトダイオードを同時にリセットする方法も開示されている。しかし、このような方法では、非関心領域のフォトダイオードがリセットされた瞬間、フォトダイオードに接続された配線に大きな電流が流れるので、電源等の周辺回路への負荷が大きくなってしまふ。

40

## 【 0 0 0 7 】

本発明は、このような課題に鑑みてなされたものであって、受光領域のうち一部の領域の画素に蓄積された電荷を選択的に読み出す際に、一つの撮像フレームに要する時間を抑制し、また周辺回路への負荷を低減することができる固体撮像素子の制御方法を提供することを目的とする。

50

## 【課題を解決するための手段】

## 【0008】

上述した課題を解決するために、本発明による固体撮像素子の制御方法は、フォトダイオード、及び該フォトダイオードに一端が接続された読出用スイッチを各々含む $M \times N$ 個（ $M$ は3以上の整数、 $N$ は2以上の整数）の画素が $M$ 行 $N$ 列に2次元配列されて成る受光領域を備える固体撮像素子の制御方法であって、受光領域のうち一部の領域を構成する一又は複数の行（以下、読出対象行という）に含まれる画素に蓄積された電荷を、 $L$ 回（ $L$ は2以上の整数）の撮像フレームの各々において選択的に読み出すとともに、 $L$ 回の撮像フレームのそれぞれにおいて、読出対象行を除く他の二以上の行（以下、非読出対象行という）のうち一部の非読出対象行に含まれる画素に蓄積された電荷の排出処理を行い、且つ、二以上の非読出対象行の各々について $L$ 回の撮像フレームの間に少なくとも一回、排出処理を行うことを特徴とする。

10

## 【0009】

上述した固体撮像素子の制御方法では、受光領域のうち一部の領域（前述した関心領域に相当）を構成する読出対象行に含まれる画素に蓄積された電荷を、 $L$ 回の撮像フレームの各々において選択的に読み出す、いわゆる部分読み出し動作を行う。更に、この制御方法では、 $L$ 回の撮像フレームのそれぞれにおいて、二以上の非読出対象行（前述した非関心領域に相当）のうち一部に含まれる画素に蓄積された電荷の排出処理（リセット）を行う。且つ、この排出処理（リセット）を、二以上の非読出対象行の各々について、 $L$ 回の撮像フレームの間に少なくとも一回行う。

20

## 【0010】

すなわち、上述した制御方法では、各撮像フレームにおいて二以上の非読出対象行の全てをリセットするのではなく、その一部のみをリセットしている。従って、各撮像フレームにおいて複数の非読出対象行を順次にリセットする場合にあっては、この制御方法によって一つの撮像フレームに要する時間を抑制できる。特に、受光領域の面積が大きくなり、受光領域を構成する画素の個数が多いほど、この効果は顕著となる。また、各撮像フレームにおいて、複数の非読出対象行を同時にリセットする場合にあっては、フォトダイオードに接続された配線に流れる電流を少なくし、電源等の周辺回路への負荷を低減することができる。

## 【0011】

また、固体撮像素子の制御方法は、読出対象行に隣接する一又は複数の非読出対象行の排出処理の頻度が、他の非読出対象行の排出処理の頻度より多いことを特徴としてもよい。これにより、読出対象行への電荷のオーバーフローをより効果的に抑制し、読出対象行の各画素に蓄積された電荷を更に精度良く読み出すことができる。

30

## 【0012】

また、固体撮像素子の制御方法は、一部の非読出対象行が複数行存在しており、 $L$ 回の撮像フレームのそれぞれにおいて、一部の非読出対象行に含まれる画素に蓄積された電荷の排出処理を同時に行うことを特徴としてもよい。上述したように、本発明に係る固体撮像素子の制御方法によれば、複数の非読出対象行の排出処理（リセット）を同時に行う場合であっても、配線に流れる電流を少なくして電源等の周辺回路への負荷を低減することができる。そして、このように複数の非読出対象行の排出処理（リセット）を同時に行うことによって、各撮像フレームの所要時間をより短くすることができる。

40

## 【0013】

或いは、固体撮像素子の制御方法は、一部の非読出対象行が複数行存在しており、 $L$ 回の撮像フレームのそれぞれにおいて、一部の非読出対象行に含まれる画素に蓄積された電荷の排出処理を逐次に行うことを特徴としてもよい。上述したように、本発明に係る固体撮像素子の制御方法によれば、複数の非読出対象行の排出処理（リセット）を順次に行う場合であっても、一つの撮像フレームに要する時間を抑制できる。そして、このように複数の非読出対象行の排出処理（リセット）を順次に行うことによって、配線に流れる電流をより少なくし、電源等の周辺回路への負荷を格段に低減することができる。

50

## 【0014】

また、固体撮像素子の制御方法は、一部の非読出対象行が複数行存在しており、L回の撮像フレームのそれぞれにおいて、一部の非読出対象行同士の間隔を1行以上あけることを特徴としてもよい。これにより、各撮像フレームにおいて排出处理（リセット）が行われる非読出対象行の位置を分散させることができ、読出対象行への電荷のオーバーフローをより効果的に抑制することができる。

## 【0015】

また、本発明による固体撮像素子の制御方法は、フォトダイオード、及び該フォトダイオードに一端が接続された読出用スイッチを各々含む $M \times N$ 個（ $M$ は3以上の整数、 $N$ は2以上の整数）の画素が $M$ 行 $N$ 列に2次元配列されて成る受光領域を備える固体撮像素子の制御方法であって、受光領域のうち一部の領域を構成する一又は複数の行（以下、読出対象行という）に含まれる画素に蓄積された電荷を、 $L$ 回（ $L$ は2以上の整数）の撮像フレームの各々において選択的に読み出すとともに、 $L$ 回の撮像フレームのそれぞれにおいて、読出対象行を除く他の行（以下、非読出対象行という）に含まれる二以上の行のうち一部の行に含まれる画素に蓄積された電荷の排出处理を行い、且つ、二以上の行の各々について $L$ 回の撮像フレームの間に少なくとも一回、排出处理を行うことを特徴とする。

## 【0016】

上述した固体撮像素子の制御方法では、読出対象行に含まれる画素に蓄積された電荷を、 $L$ 回の撮像フレームの各々において選択的に読み出す。更に、この制御方法では、 $L$ 回の撮像フレームのそれぞれにおいて、非読出対象行のうち二以上の行の一部に含まれる画素に蓄積された電荷の排出处理（リセット）を行う。且つ、この排出处理（リセット）を、二以上の行の各々について、 $L$ 回の撮像フレームの間に少なくとも一回行う。

## 【0017】

すなわち、上述した制御方法では、各撮像フレームにおいて非読出対象行に含まれる二以上の行の全てをリセットするのではなく、その一部のみをリセットしている。従って、各撮像フレームにおいて複数の非読出対象行を順次にリセットする場合にあっては、この制御方法によって一つの撮像フレームに要する時間を抑制できる。また、各撮像フレームにおいて、複数の非読出対象行を同時にリセットする場合にあっては、フォトダイオードに接続された配線に流れる電流を少なくし、電源等の周辺回路への負荷を低減することができる。

## 【0018】

また、固体撮像素子の制御方法は、 $L$ 回の撮像フレームにおいて、非読出対象行のうち二以上の行を除く他の行に含まれる画素に蓄積された電荷の排出处理を行わないことを特徴としてもよい。このように、上述した固体撮像素子の制御方法では、非読出対象行の全てについて電荷の排出处理を行うことは必須ではなく、排出处理の対象である二以上の行を除く他の行について排出处理を行わない場合も含まれる。

## 【発明の効果】

## 【0019】

本発明による固体撮像素子の制御方法によれば、受光領域のうち一部の領域の画素に蓄積された電荷を選択的に読み出す際に、一つの撮像フレームに要する時間を抑制し、且つ周辺回路への負荷を低減することができる。

## 【図面の簡単な説明】

## 【0020】

【図1】固体撮像装置を示す平面図である。

【図2】固体撮像装置の一部を拡大した平面図である。

【図3】図2のI-I線に沿った断面を示す側断面図である。

【図4】固体撮像装置の内部構成を示す図である。

【図5】固体撮像装置の画素、積分回路、及び保持回路それぞれの回路構成の一例を示す図である。

【図6】第1実施形態に係る固体撮像素子の制御方法において固体撮像素子に付与される

10

20

30

40

50

各信号のタイミングチャートであって、受光領域の全ての画素から電荷を読み出すモード（通常読み出しモード）を示している。

【図 7】第 1 実施形態に係る固体撮像素子の制御方法において固体撮像素子に付与される各信号のタイミングチャートであって、受光領域のうち一部の領域（関心領域）の画素のみから電荷を読み出すモード（部分読み出しモード）を示している。

【図 8】オーバーフローの様子を説明するための図であって、（a）トランジスタを含む切断面により切断された受光領域の断面を示す模式図、（b）トランジスタを含まない切断面により切断された受光領域の断面を示す模式図である。

【図 9】非読出対象行に含まれるフォトダイオードの電荷をリセットする過程を含む、固体撮像素子の制御方法の一例を示すタイミングチャートである。

【図 10】第 2 実施形態に係る固体撮像素子の制御方法において固体撮像素子に付与される各信号のタイミングチャートであって、受光領域のうち一部の領域（関心領域）の画素のみから電荷を読み出すモード（部分読み出しモード）を示している。

【図 11】固体撮像素子の制御方法の一比較例を示すタイミングチャートである。

【図 12】第 1 実施形態および第 2 実施形態に係る制御方法における非読出対象行のリセットの様子を模式的に示す図である。

【図 13】各撮像フレームにおけるリセット対象行の配列の第 2 の例を示す模式図である。

【図 14】各撮像フレームにおけるリセット対象行の配列の第 3 の例を示す模式図である。

【図 15】各撮像フレームにおけるリセット対象行の配列の第 4 の例を示す模式図である。

【図 16】図 15 に示されたりセット対象行の配列を実現するための制御方法を示すタイミングチャートである。

【図 17】各撮像フレームにおけるリセット対象行の配列の第 5 の例を示す模式図である。

【図 18】図 17 に示されたりセット対象行の配列を実現するための制御方法を示すタイミングチャートである。

【図 19】p 型単結晶シリコン基板上に受光領域が作成された場合における、部分読み出し時のオーバーフローの様子を説明するための図である。

【発明を実施するための形態】

【0021】

以下、添付図面を参照しながら本発明による固体撮像素子の制御方法の実施の形態を詳細に説明する。なお、図面の説明において同一の要素には同一の符号を付し、重複する説明を省略する。

【0022】

以下の各実施形態において使用される固体撮像素子は、例えば医療用 X 線撮像システムに用いられ、特に歯科医療におけるパノラマ撮影、セファロ撮影、CT 撮影といった撮像モードによって、被検者の顎部の X 線像を撮像するシステムに用いられる。このため、以下の各実施形態に係る固体撮像素子は、大面積のガラス基板上に多結晶シリコンが堆積されて成る薄膜トランジスタや、アモルファスシリコンが堆積されて成るフォトダイオードを備えており、単結晶シリコンウェハから作製される従来の固体撮像素子と比較して、格段に広い受光面積を有する。図 1 ~ 図 3 は、以下に述べる各実施形態に係る制御方法を実現するための装置の一例として、固体撮像装置 10 の構成を示す図である。図 1 は固体撮像装置 10 を示す平面図であり、図 2 は固体撮像装置 10 の一部を拡大した平面図である。さらに、図 3 は、図 2 の I - I 線に沿った断面を示す側断面図である。なお、図 1 ~ 図 3 には、理解を容易にするため X Y Z 直交座標系が併せて示されている。

【0023】

図 1 に示されるように、固体撮像装置 10 は、固体撮像素子 11 を備えている。固体撮像素子 11 は、以下の各実施形態における制御対象であり、ガラス基板 12 と、ガラス基

10

20

30

40

50

板 1 2 の主面上に作製された受光領域 2 0 及び垂直シフトレジスタ部 3 0 とを備えている。垂直シフトレジスタ部 3 0 は、受光領域 2 0 の側辺に沿って配置されている。また、固体撮像装置 1 0 は、固体撮像素子 1 1 とは別に配置された信号出力部 4 0 を更に備えている。信号出力部 4 0 は、例えば受光領域 2 0 と電氣的に接続された複数の C - M O S 型 I C チップ 4 1 によって構成される。信号出力部 4 0 は、受光領域 2 0 の N 列それぞれに設けられた N 個の積分回路を含んでおり、これら N 個の積分回路は、第 1 列ないし第 N 列の画素から出力される電荷の量に応じた電圧値を生成する。信号出力部 4 0 は、各積分回路から出力された電圧値を保持し、その保持した電圧値を逐次に出力する。

#### 【 0 0 2 4 】

なお、受光領域 2 0 及び垂直シフトレジスタ部 3 0 は、それぞれ別個のガラス基板 1 2 上に設けられてもよい。また、信号出力部 4 0 は、受光領域 2 0 及び垂直シフトレジスタ部 3 0 と並んでガラス基板 1 2 上に設けられてもよい。

#### 【 0 0 2 5 】

受光領域 2 0 は、 $M \times N$  個の画素が M 行 N 列に 2 次元配列されることにより構成されている。図 2 に示される画素  $P_{m, n}$  は、第 m 行第 n 列に位置する画素である。ここで、m は 1 以上 M 以下の整数であり、n は 1 以上 N 以下の整数である。M は 3 以上の整数であり、N は 2 以上の整数である。なお、図 2 において、列方向は X 軸方向と一致し、行方向は Y 軸方向と一致する。受光領域 2 0 に含まれる複数の画素  $P_{1, 1} \sim P_{M, N}$  それぞれは、読出用スイッチとしてのトランジスタ 2 1 と、フォトダイオード 2 2 とを備えている。トランジスタ 2 1 の一方の電流端子は、フォトダイオード 2 2 に接続されている。また、トランジスタ 2 1 の他方の電流端子は、対応する読出用配線（例えば画素  $P_{m, n}$  の場合、第 n 列読出用配線  $R_n$ ）に接続されている。トランジスタ 2 1 の制御端子は、対応する行選択用配線（例えば画素  $P_{m, n}$  の場合、第 m 行選択用配線  $Q_m$ ）に接続されている。

#### 【 0 0 2 6 】

図 3 に示されるように、ガラス基板 1 2 上の全面には、多結晶シリコン膜 1 4 が設けられている。トランジスタ 2 1、フォトダイオード 2 2、および第 n 列読出用配線  $R_n$  は、この多結晶シリコン膜 1 4 の表面に形成されている。トランジスタ 2 1、フォトダイオード 2 2、及び第 n 列読出用配線  $R_n$  は絶縁層 1 6 によって覆われており、絶縁層 1 6 の上にはシンチレータ 1 8 がガラス基板 1 2 の全面を覆うように設けられている。シンチレータ 1 8 は、入射した X 線に応じてシンチレーション光を発生して X 線像を光像へと変換し、この光像を受光領域 2 0 へ出力する。第 n 列読出用配線  $R_n$  は、金属からなる。

#### 【 0 0 2 7 】

フォトダイオード 2 2 は、入射光強度に応じた量の電荷を発生し、その発生した電荷を接合容量部に蓄積する。フォトダイオード 2 2 は、n 型半導体層 2 2 a、i 型半導体層 2 2 b、及び p 型半導体層 2 2 c を有する P I N 型フォトダイオードである。n 型半導体層 2 2 a は、n 型多結晶シリコンからなる半導体層である。i 型半導体層 2 2 b は、i 型（アンドープ）アモルファスシリコンからなる半導体層であり n 型半導体層 2 2 a 上に設けられている。このように、i 型半導体層 2 2 b がアモルファスシリコンによって形成されることにより、i 型半導体層 2 2 b を厚くすることができ、フォトダイオード 2 2 の光電変換効率を高めて固体撮像装置 1 0 の感度を向上させることができる。p 型半導体層 2 2 c は、p 型アモルファスシリコンからなる半導体層であり i 型半導体層 2 2 b 上に設けられている。

#### 【 0 0 2 8 】

トランジスタ 2 1 は、好適には電界効果トランジスタ（F E T）によって構成されるが、バイポーラトランジスタによって構成されてもよい。トランジスタ 2 1 が F E T である場合、以下の説明において制御端子はゲートを、電流端子はソースまたはドレインをそれぞれ意味する。図 3 に示されるトランジスタ 2 1 は F E T の構成を有しており、多結晶シリコンからなる領域を含む。一例としては、トランジスタ 2 1 は、それぞれ多結晶シリコンからなるチャネル領域 2 1 a、ソース領域 2 1 b、及びドレイン領域 2 1 c を有する。ソース領域 2 1 b は、チャネル領域 2 1 a の一方の側面に沿って形成されている。ドレイ

10

20

30

40

50

ン領域 21c は、チャネル領域 21a の他方の側面に沿って形成されている。また、チャネル領域 21a 上にはゲート電極 21e が設けられており、ゲート電極 21e とチャネル領域 21a との間にはゲート絶縁膜 21d が介在している。

【0029】

トランジスタ 21 のチャネル領域 21a、ソース領域 21b、及びドレイン領域 21c を構成する多結晶シリコンは、低温多結晶シリコン (Low Temperature Polycrystalline Silicon; LTPS) であると尚よい。低温多結晶シリコンは 100 ~ 600 といった比較的低温のプロセス温度下において堆積される多結晶シリコンである。このような低温下においては、例えば無アルカリガラスといったガラス基板 12 を支持基板として利用可能であることから、上記各領域 21a、21b 及び 21c の構成材料を低温多結晶シリコンとすることによって、単結晶シリコンウェハと較べて広い面積を有するガラス基板 12 を支持基板として用い、そのガラス基板 12 上に大面積の受光領域 20 を作製することが可能となる。

10

【0030】

一実施例では、ガラス基板 12 の材料として、例えば 0.3 mm ~ 1.2 mm といった厚さを有する板状の (サブストレート用の) 無アルカリガラスが用いられる。無アルカリガラスは、アルカリ分を殆ど含まず、膨張率が低く且つ耐熱性が高く、安定した特性を有している。また、低温多結晶シリコンにおける電子移動度は  $10 \sim 600 \text{ cm}^2 / \text{Vs}$  であり、アモルファスシリコンにおける電子移動度 ( $0.3 \sim 1.0 \text{ cm}^2 / \text{Vs}$ ) より大きいので、トランジスタ 21 の領域 21a、21b 及び 21c を低温多結晶シリコンによって形成することにより、トランジスタ 21 のオン抵抗を低減することが可能となる。

20

【0031】

図 3 に示されるような画素  $P_{m, n}$  は、例えば次のような工程によって作製される。まず、ガラス基板 12 上にアモルファスシリコン膜を形成する。成膜方法としては、例えばプラズマ CVD が好適である。次に、レーザビーム (例えばエキシマレーザビーム) をアモルファスシリコン膜の全体に順次照射することにより、アモルファスシリコン膜の全面を多結晶シリコン化する (エキシマレーザアニール)。こうして、多結晶シリコン膜 14 が形成される。続いて、多結晶シリコン膜 14 の一部の領域上に、ゲート絶縁膜 21d としての  $\text{SiO}_2$  膜を形成したのち、その上にゲート電極 21e を形成する。続いて、ソース領域 21b 及びドレイン領域 21c となるべき各領域にイオンを注入する。その後、多結晶シリコン膜 14 のパターニングを実施し、露光およびエッチングを繰り返し実施して、他の電極やコンタクトホール等を形成する。また、多結晶シリコン膜 14 における画素  $P_{m, n}$  となるべき領域にイオンを注入して n 型としたのち、その上に、i 型および p 型のアモルファスシリコン層 (すなわち i 型半導体層 22b 及び p 型半導体層 22c) を順に積層して PIN 型フォトダイオード 22 を形成する。その後、絶縁層 16 となるパシベーション膜を形成する。

30

【0032】

続いて、固体撮像装置 10 の回路構成について詳細に説明する。図 4 は、固体撮像装置 10 の内部構成を示す図である。前述したように、受光領域 20 は、 $M \times N$  個の画素  $P_{1, 1} \sim P_{M, N}$  が M 行 N 列に 2 次元配列されて成る。第 m 行の N 個の画素  $P_{m, 1} \sim P_{m, N}$  は、第 m 行選択用配線  $Q_m$  を介して垂直シフトレジスタ部 30 に接続されている。なお、図 4 において、垂直シフトレジスタ部 30 は制御部 6 に含まれている。

40

【0033】

信号出力部 40 は、各列毎に設けられた N 個の積分回路 42 及び N 個の保持回路 44 を有している。積分回路 42 及び保持回路 44 は、各列毎に互いに直列に接続されている。N 個の積分回路 42 は互いに共通の構成を有している。また、N 個の保持回路 44 は互いに共通の構成を有している。

【0034】

N 個の積分回路 42 それぞれは、読出用配線  $R_1 \sim R_N$  それぞれに接続された入力端を有し、読出用配線  $R_1 \sim R_N$  から入力端に入力された電荷を蓄積し、その蓄積電荷量に

50

じた電圧値を出力端からN個の保持回路44それぞれへ出力する。N個の積分回路42それぞれは、N個の積分回路42に対して共通に設けられたリセット用配線46を介して制御部6に接続されている。N個の保持回路44それぞれは、積分回路42の出力端に接続された入力端を有し、この入力端に入力される電圧値を保持し、その保持した電圧値を出力端から電圧出力用配線48へ出力する。N個の保持回路44それぞれは、N個の保持回路44に対して共通に設けられた保持用配線45を介して制御部6に接続されている。また、N個の保持回路44それぞれは、第1列選択用配線 $U_1$ ～第N列選択用配線 $U_N$ それぞれを介して制御部6の水平シフトレジスタ部61に接続されている。

【0035】

制御部6の垂直シフトレジスタ部30は、第m行選択制御信号 $V S_m$ を、第m行選択用配線 $Q_m$ を介して第m行のN個の画素 $P_{m,1} \sim P_{m,N}$ それぞれに提供する。垂直シフトレジスタ部30において、行選択制御信号 $V S_1 \sim V S_M$ は順次に有意値とされる。また、制御部6の水平シフトレジスタ部61は、列選択制御信号 $H S_1 \sim H S_N$ を、列選択用配線 $U_1 \sim U_N$ を介してN個の保持回路44それぞれに提供する。水平シフトレジスタ部61において、列選択制御信号 $H S_1 \sim H S_N$ は順次に有意値とされる。また、制御部6は、リセット制御信号 $R E$ を、リセット用配線46を介してN個の積分回路42それぞれに提供するとともに、保持制御信号 $H d$ を、保持用配線45を介してN個の保持回路44それぞれに提供する。

【0036】

図5は、固体撮像装置10の画素 $P_{m,n}$ 、積分回路42、及び保持回路44それぞれの回路構成の一例を示す図である。ここでは、 $M \times N$ 個の画素 $P_{1,1} \sim P_{M,N}$ を代表して画素 $P_{m,n}$ の回路図を示している。

【0037】

図5に示されるように、画素 $P_{m,n}$ のフォトダイオード22のアノード端子は接地され、カソード端子は、トランジスタ21を介して読出用配線 $R_n$ に接続されている。画素 $P_{m,n}$ のトランジスタ21には、垂直シフトレジスタ部30から第m行選択用配線 $Q_m$ を介して第m行選択制御信号 $V S_m$ が提供される。第m行選択制御信号 $V S_m$ は、第m行のN個の画素 $P_{m,1} \sim P_{m,N}$ それぞれに含まれるトランジスタ21の開閉動作を指示する。例えば、第m行選択制御信号 $V S_m$ が非有意値（例えばローレベル）であるときに、トランジスタ21が非導通状態となる。このとき、フォトダイオード22において発生した電荷は、列読出用配線 $R_n$ へ出力されることなくフォトダイオード22の接合容量部に蓄積される。一方、第m行選択制御信号 $V S_m$ が有意値（例えばハイレベル）であるときに、トランジスタ21が接続状態となる。このとき、フォトダイオード22の接合容量部に蓄積されていた電荷が、トランジスタ21を経て読出用配線 $R_n$ へ出力される。この電荷は、読出用配線 $R_n$ を介して積分回路42へ送られる。

【0038】

積分回路42は、アンプ42a、容量素子42b、及び放電用スイッチ42cを含む。容量素子42b及び放電用スイッチ42cは、互いに並列に接続され、且つアンプ42aの入力端子と出力端子との間に接続されている。アンプ42aの入力端子は読出用配線 $R_n$ に接続されている。放電用スイッチ42cには、制御部6からリセット用配線46を介してリセット制御信号 $R E$ が提供される。

【0039】

リセット制御信号 $R E$ は、N個の積分回路42それぞれの放電用スイッチ42cの開閉動作を指示する。例えば、リセット制御信号 $R E$ が非有意値（例えばハイレベル）であるときに、放電用スイッチ42cが閉じて、容量素子42bが放電され、積分回路42の出力電圧値が初期化される。また、リセット制御信号 $R E$ が有意値（例えばローレベル）であるときに、放電用スイッチ42cが開いて、積分回路42に入力された電荷が容量素子42bに蓄積され、その蓄積電荷量に応じた電圧値が積分回路42から出力される。

【0040】

保持回路44は、入力用スイッチ44a、出力用スイッチ44b及び容量素子44cを

10

20

30

40

50

含む。容量素子 44c の一端は接地されている。容量素子 44c の他端は、入力用スイッチ 44a を介して積分回路 42 の出力端に接続され、且つ、出力用スイッチ 44b を介して電圧出力用配線 48 と接続されている。入力用スイッチ 44a には、制御部 6 から保持用配線 45 を介して保持制御信号 Hd が与えられる。保持制御信号 Hd は、N 個の保持回路 44 それぞれの入力用スイッチ 44a の開閉動作を指示する。保持回路 44 の出力用スイッチ 44b には、制御部 6 から第 n 列選択用配線  $U_n$  を通った第 n 列選択制御信号  $HS_n$  が与えられる。選択制御信号  $HS_n$  は、保持回路 44 の出力用スイッチ 44b の開閉動作を指示する。

#### 【0041】

例えば、保持制御信号 Hd がハイレベルからローレベルに転じると、入力用スイッチ 44a が閉状態から開状態に転じて、そのときに保持回路 44 に入力されている電圧値が容量素子 44c に保持される。また、第 n 列選択制御信号  $HS_n$  がローレベルからハイレベルに転じると、出力用スイッチ 44b が閉じて、容量素子 44c に保持されている電圧値が電圧出力用配線 48 へ出力される。

#### 【0042】

(第 1 の実施の形態)

図 6 及び図 7 は、第 1 実施形態に係る固体撮像素子の制御方法において固体撮像素子 11 に付与される各信号のタイミングチャートである。図 6 は、受光領域 20 の全ての画素から電荷を読み出すモード(通常読み出しモード)を示している。また、図 7 は、受光領域 20 のうち一部の領域(関心領域)の画素のみから電荷を読み出すモード(部分読み出しモード)を示している。

#### 【0043】

なお、図 6 には、上から順に、(a)リセット制御信号 RE、(b)第 1 行選択制御信号  $VS_1$ 、(c)第 2 行選択制御信号  $VS_2$ 、(d)第 3 行選択制御信号  $VS_3$ 、(e)第 4 行選択制御信号  $VS_4$ 、(f)第 5 行選択制御信号  $VS_5$ 、(g)第 M 行選択制御信号  $VS_M$ 、(h)保持制御信号 Hd、及び(i)第 1 列選択制御信号  $HS_1$  ~ 第 N 列選択制御信号  $HS_N$  がそれぞれ示されている。また、図 7 には、上から順に、(a)リセット制御信号 RE、(b)第 1 行選択制御信号  $VS_1$ 、(c)第 2 行選択制御信号  $VS_2$ 、(d)第 3 行選択制御信号  $VS_3$ 、(e)第 4 行選択制御信号  $VS_4$ 、(f)第 5 行選択制御信号  $VS_5$ 、(g)第 (mp - 2) 行選択制御信号  $VS_{mp-2}$ 、(h)第 (mp - 1) 行選択制御信号  $VS_{mp-1}$ 、(i)第 mp 行選択制御信号  $VS_{mp}$ 、(j)第 (mp + 1) 行選択制御信号  $VS_{mp+1}$ 、(k)第 M 行選択制御信号  $VS_M$ 、(m)保持制御信号 Hd、及び(n)第 1 列選択制御信号  $HS_1$  ~ 第 N 列選択制御信号  $HS_N$  がそれぞれ示されている。

#### 【0044】

<第 1 の制御方法(通常読み出しモード)>

第 1 の制御方法(通常読み出しモード)では、受光領域 20 の全ての画素  $P_{1,1} \sim P_{M,N}$  に蓄積された電荷を読み出す。図 6 に示されるように、まず、時刻  $t_{10}$  から時刻  $t_{11}$  までの期間、制御部 6 がリセット制御信号 RE をハイレベルとする。これにより、N 個の積分回路 42 それぞれにおいて、放電用スイッチ 42c が閉状態となり、容量素子 42b が放電される。

#### 【0045】

時刻  $t_{11}$  より後の時刻  $t_{12}$  から時刻  $t_{13}$  までの期間、制御部 6 が第 1 行選択制御信号  $VS_1$  をハイレベルとする。これにより、第 1 行の画素  $P_{1,1} \sim P_{1,N}$  においてトランジスタ 21 が接続状態となり、画素  $P_{1,1} \sim P_{1,N}$  それぞれのフォトダイオード 22 において蓄積された電荷が読出用配線  $R_1 \sim R_N$  を通って積分回路 42 に出力され、容量素子 42b に蓄積される。積分回路 42 からは、容量素子 42b に蓄積された電荷量に応じた大きさの電圧値が出力される。なお、時刻  $t_{13}$  ののち、第 1 行の画素  $P_{1,1} \sim P_{1,N}$  それぞれのトランジスタ 21 は非接続状態とされる。

#### 【0046】

10

20

30

40

50

そして、時刻  $t_{13}$  より後の時刻  $t_{14}$  から時刻  $t_{15}$  までの期間、制御部 6 が保持制御信号  $Hd$  をハイレベルとし、これにより、 $N$  個の保持回路 44 のそれぞれにおいて入力用スイッチ 44a が接続状態となり、積分回路 42 から出力された電圧値が容量素子 44c によって保持される。

【0047】

続いて、時刻  $t_{15}$  より後の時刻  $t_{16}$  から時刻  $t_{17}$  までの期間、制御部 6 が第 1 列選択制御信号  $HS_1 \sim$  第  $N$  列選択制御信号  $HS_N$  を順次ハイレベルとする。これにより、 $N$  個の保持回路 44 の出力用スイッチ 44b が順次閉状態となり、容量素子 44c に保持されていた電圧値が逐次に電圧出力用配線 48 へ出力される。また、この間、制御部 6 がリセット制御信号  $RE$  をハイレベルとし、積分回路 42 の容量素子 42b が放電される。

10

【0048】

続いて、時刻  $t_{17}$  より後の時刻  $t_{18}$  から時刻  $t_{19}$  までの期間、制御部 6 が第 2 行選択制御信号  $VS_2$  をハイレベルとする。これにより、第 2 行の画素  $P_{2,1} \sim P_{2,N}$  においてトランジスタ 21 が接続状態となり、画素  $P_{2,1} \sim P_{2,N}$  それぞれのフォトダイオード 22 において蓄積された電荷が読出用配線  $R_1 \sim R_N$  を通って積分回路 42 に出力され、容量素子 42b に蓄積される。以降、第 1 行と同様の動作によって、容量素子 42b に蓄積された電荷量に応じた大きさの電圧値が  $N$  個の保持回路 44 から逐次に電圧出力用配線 48 へ出力される。そして、第 3 行ないし第  $M$  行の画素に蓄積された電荷についても、第 1 行と同様の動作によって電圧値に変換され、逐次に電圧出力用配線 48 へ出力される。こうして、受光領域 20 からの一つの撮像フレーム分の画像データの読み出しが完了する。

20

【0049】

< 第 2 の制御方法 (部分読み出しモード) >

第 2 の制御方法 (部分読み出しモード) では、受光領域 20 の画素  $P_{1,1} \sim P_{M,N}$  のうち一部の画素、すなわち読出対象行である第  $mp$  行から第  $M$  行に含まれる画素  $P_{mp,1} \sim P_{M,N}$  (但し、ここでは  $mp$  は 3 以上 ( $M-1$ ) 以下の奇数とする) に蓄積された電荷を読み出し、非読出対象行である残りの第 1 行から第  $(mp-1)$  行に含まれる画素  $P_{1,1} \sim P_{mp-1,N}$  に蓄積された電荷については排出処理 (リセット) を行う。

【0050】

図 7 に示されるように、まず、時刻  $t_{20}$  から時刻  $t_{21}$  までの期間、制御部 6 がリセット制御信号  $RE$  をハイレベルとする。これにより、 $N$  個の積分回路 42 それぞれにおいて、放電用スイッチ 42c が閉状態となる。また、この時刻  $t_{20}$  から時刻  $t_{21}$  までの期間内に、制御部 6 は、非読出対象行である第 1 行から第  $(mp-1)$  行のうち、奇数番目の行すなわち第 1 行選択制御信号  $VS_1$ 、第 3 行選択制御信号  $VS_3$ 、 $\dots$ 、第  $(mp-2)$  行選択制御信号  $VS_{mp-2}$  を逐次にハイレベルとする。これにより、 $(mp-1)$  行の非読出対象行のうち奇数番目の行において逐次に次の動作が行われる。すなわち、当該行に含まれる各画素においてトランジスタ 21 が順次接続状態となり、フォトダイオード 22 に蓄積された電荷が読出用配線  $R_1 \sim R_N$  を通って積分回路 42 に出力される。この間、積分回路 42 の放電用スイッチ 42c が常に閉状態なので、積分回路 42 に達した電荷は基準電位線 (GND 線) へ排出される。このような動作により、 $(mp-1)$  行の非読出対象行のうち奇数番目の行に含まれる画素のフォトダイオード 22 がリセットされる。

30

40

【0051】

続いて、時刻  $t_{21}$  より後の時刻  $t_{22}$  から時刻  $t_{23}$  までの期間、制御部 6 が第  $mp$  行選択制御信号  $VS_{mp}$  をハイレベルとする。これにより、第  $mp$  行の画素  $P_{mp,1} \sim P_{mp,N}$  においてトランジスタ 21 が接続状態となり、画素  $P_{mp,1} \sim P_{mp,N}$  それぞれのフォトダイオード 22 において蓄積された電荷が読出用配線  $R_1 \sim R_N$  を通って積分回路 42 に出力され、容量素子 42b に蓄積される。積分回路 42 からは、容量素子 42b に蓄積された電荷量に応じた大きさの電圧値が出力される。なお、時刻  $t_{23}$  のうち、第  $mp$  行の画素  $P_{mp,1} \sim P_{mp,N}$  それぞれのトランジスタ 21 は非接続状態と

50

される。

【0052】

そして、時刻  $t_{23}$  より後の時刻  $t_{24}$  から時刻  $t_{25}$  までの期間、制御部 6 が保持制御信号  $Hd$  をハイレベルとする。これにより、積分回路 42 から出力された電圧値が容量素子 44c によって保持される。

【0053】

続いて、時刻  $t_{25}$  より後の時刻  $t_{26}$  から時刻  $t_{27}$  までの期間、制御部 6 が第 1 列選択制御信号  $HS_1$  ~ 第  $N$  列選択制御信号  $HS_N$  を順次ハイレベルとする。これにより、容量素子 44c に保持されていた電圧値が逐次に電圧出力用配線 48 へ出力される。また、この間、制御部 6 がリセット制御信号  $RE$  をハイレベルとし、積分回路 42 の容量素子 42b が放電される。

【0054】

続いて、時刻  $t_{27}$  より後の時刻  $t_{28}$  から時刻  $t_{29}$  までの期間、制御部 6 が第  $(mp+1)$  行選択制御信号  $VS_{mp+1}$  をハイレベルとする。これにより、第  $(mp+1)$  行の画素  $P_{mp+1,1} \sim P_{mp+1,N}$  においてトランジスタ 21 が接続状態となり、画素  $P_{mp+1,1} \sim P_{mp+1,N}$  それぞれのフォトダイオード 22 において蓄積された電荷が読出用配線  $R_1 \sim R_N$  を通って積分回路 42 に出力され、容量素子 42b に蓄積される。以降、第  $mp$  行と同様の動作によって、容量素子 42b に蓄積された電荷量に応じた大きさの電圧値が  $N$  個の保持回路 44 から逐次に電圧出力用配線 48 へ出力される。そして、第  $(mp+2)$  行ないし第  $M$  行の画素に蓄積された電荷についても、第  $mp$  行と同様の動作によって電圧値に変換され、逐次に電圧出力用配線 48 へ出力される。こうして、受光領域 20 の読出対象行からの一つの撮像フレーム分の画像データの読み出しが完了する。

【0055】

続いて、時刻  $t_{30}$  から時刻  $t_{31}$  までの期間、制御部 6 がリセット制御信号  $RE$  をハイレベルとする。これにより、 $N$  個の積分回路 42 それぞれにおいて、放電用スイッチ 42c が閉状態となる。また、この時刻  $t_{30}$  から時刻  $t_{31}$  までの期間内に、制御部 6 は、非読出対象行である第 1 行から第  $(mp-1)$  行のうち、偶数番目の行すなわち第 2 行選択制御信号  $VS_2$ 、第 4 行選択制御信号  $VS_4$ 、 $\dots$ 、第  $(mp-1)$  行選択制御信号  $VS_{mp-1}$  を逐次にハイレベルとする。これにより、 $(mp-1)$  行の非読出対象行のうち偶数番目の行において、逐次にフォトダイオード 22 がリセットされる。その後、上述した時刻  $t_{21}$  から時刻  $t_{29}$  までの動作を再び繰り返す。こうして、受光領域 20 の読出対象行からの次の 1 フレーム分の画像データの読み出しが完了する。

【0056】

以下、本実施形態に係る固体撮像素子の制御方法によって得られる効果について説明する。撮像領域を部分的に読み出す場合、電荷が読み出されない領域（非読出対象行）では、フォトダイオードに電荷が蓄積され続け、オーバーフローが生じる。オーバーフローが生じると、溢れた電荷が周辺画素に侵入し、周辺画素の撮像データに影響を及ぼしてしまう。ここで、図 8 は、オーバーフローの様子を説明するための図である。図 8 (a) は、トランジスタ 21 を含む切断面により切断された、受光領域 20 の断面を示す模式図である。また、図 8 (b) は、トランジスタ 21 を含まない切断面により切断された、受光領域 20 の断面を示す模式図である。フォトダイオード 22 に電荷が過度に蓄積すると、その電荷によってフォトダイオード 22 の  $n$  型半導体層 22a の電位が低下する。そして、 $n$  型半導体層 22a の電位の低下が限度を越えると、トランジスタ 21 のゲート電極 21e に電界が印加されていなくても、ソース領域 21b とドレイン領域 21c との電位差によって、非接続状態を維持できずにチャネル領域 21a を電荷が移動してしまう（図 8 (a) に示される矢印  $E_1$ ）。そして、このような電荷の移動によって、読出用配線  $R_n$  へのオーバーフローが生じることとなる。また、図 8 (b) に示されるように、フォトダイオード 22 のうちトランジスタ 21 に接していない部分では、 $n$  型半導体層 22a が周囲のフォトダイオード 22 から独立して存在していることから、隣り合うフォトダイオード

10

20

30

40

50

22へ電荷が移動することはない。しかし、フォトダイオード22にバイアス電圧を印加する為に、p型半導体層22cは、透明な基準電位線（GND線）23に接続される。したがって、フォトダイオード22において電荷が過剰に蓄積されると、p型半導体層22cを介して基準電位線23の電位が局所的に変動してしまうと考えられる。なお、基準電位線23が有意の抵抗値を有することから、このような電位変動は当該画素の近傍にのみ生じるものと考えられる。

【0057】

上記のようなオーバーフロー等を回避する為に、非読出対象行に含まれるフォトダイオード22の電荷を適宜排出（リセット）する必要が生じる。ここで、図9は、非読出対象行に含まれるフォトダイオード22の電荷をリセットする過程を含む、固体撮像素子の制御方法の一例を示すタイミングチャートである。なお、図9において、(a)～(n)に示された各信号は、前述した図7と同様である。この例では、制御部6がリセット制御信号REをハイレベルとする時刻 $t_{20}$ から時刻 $t_{21}$ までの期間内に、非読出対象行である第1行から第 $(mp-1)$ 行に対応する第1行選択制御信号 $VS_1$ 、第2行選択制御信号 $VS_2$ 、・・・、第 $(mp-1)$ 行選択制御信号 $VS_{mp-1}$ を逐次にハイレベルとする。これにより、 $(mp-1)$ 行の非読出対象行の全てにおいて、逐次にフォトダイオード22がリセットされる。その後、図7に示された時刻 $t_{22}$ から時刻 $t_{29}$ までの動作を同様に行うことにより、受光領域20の読出対象行からの一つの撮像フレーム分の画像データの読み出しを完了する。

【0058】

固体撮像素子11の制御には、一つの撮像フレームに要する時間（フレームレート）を可能な限り短くすることが要求される。しかしながら、上述した例では、全ての非読出対象行のフォトダイオード22を一つの撮像フレームにおいて順次にリセットしているため、各撮像フレームの所要時間が長くなってしまいう問題がある。特に、受光領域20の面積が大きくなり、受光領域20を構成する画素の個数が多いほど、非読出対象行のフォトダイオード22のリセットに長時間を要し、撮像フレームの所要時間が更に長くなってしまふ。

【0059】

上述した制御方法が有する課題に対し、本実施形態に係る固体撮像素子の制御方法のうち第2の制御方法（部分読み出しモード）では、2回の撮像フレームのそれぞれにおいて、二以上の非読出対象行（第1行～第 $(mp-1)$ 行）のうち一部のみについて排出処理（リセット）を行う。具体的には、一の撮像フレームにおいて奇数番目の非読出対象行（第1行、第3行、・・・、第 $(mp-2)$ 行）に含まれる画素に蓄積された電荷のリセットを行い、次の撮像フレームにおいて偶数番目の非読出対象行（第2行、第4行、・・・、第 $(mp-1)$ 行）に含まれる画素に蓄積された電荷のリセットを行う。そして、このような動作によって、画素に蓄積された電荷のリセットを、二以上の非読出対象行の各々について2回の撮像フレームの間に一回は必ず行うこととなる。

【0060】

発明者の知見によれば、非読出対象行の画素からのオーバーフロー等を防ぐためには、撮像フレーム毎に全ての非読出対象行の画素をリセットすることは必ずしも必要ではない。そこで、本実施形態に係る制御方法のように、2回の撮像フレームの間に非読出対象行の画素を一回ずつリセットできるように、各撮像フレームにおいて奇数番目及び偶数番目の非読出対象行を交互にリセットすることによって、一つの撮像フレームに要する時間を大幅に抑制することができる。特に、受光領域20の面積が大きくなり、受光領域20を構成する画素 $P_{1,1} \sim P_{M,N}$ の個数が多いほど、この効果は顕著となる。

【0061】

また、本実施形態のように、非読出対象行に含まれる画素に蓄積された電荷のリセットは、逐次に行われることが好ましい。上述したように、本実施形態に係る制御方法によれば、非読出対象行のリセットを逐次に行う場合であっても、一つの撮像フレームに要する時間を抑制できる。そして、非読出対象行のリセットを逐次に行うことによって、配線に

10

20

30

40

50

流れる電流をより少なくし、電源等の周辺回路への負荷を格段に低減することができる。

【0062】

また、本実施形態では、一つの撮像フレームにおいてリセットされる非読出対象行（第1行、第3行、・・・、及び第（ $mp - 2$ ）行、若しくは第2行、第4行、・・・、及び第（ $mp - 1$ ）行）は、相互の間隔を1行ずつ空けて配置されている。このように、各撮像フレームにおいて、非読出対象行同士の間隔は1行以上あいていることが好ましい。これにより、各撮像フレームにおいてリセットが行われる非読出対象行の位置を分散させることができ、読出対象行（第 $mp$ 行～第 $M$ 行）への電荷のオーバーフローをより効果的に抑制することができる。

【0063】

また、本実施形態においては、トランジスタ21のチャンネル領域21a、ソース領域21b、及びドレイン領域21cが、多結晶シリコンからなる。近年、例えば医療用途（歯科のX線撮影など）に用いられる2次元フラットパネルイメージセンサといった固体撮像素子には、より広い受光面が求められている。しかし、従前の固体撮像素子のように単結晶シリコンウェハ上に受光部を作製したのでは、最大のものでも直径12インチという単結晶シリコンウェハの大きさに起因して、固体撮像素子の受光面の広さが制限されてしまう。これに対し、例えばガラス基板といった絶縁基板上に多結晶シリコンを成膜し、この多結晶シリコンの表面にフォトダイオードや他のトランジスタ等の電子部品を形成することにより、単結晶シリコンウェハを用いて形成される従来の固体撮像素子と比較して受光面を格段に広くすることが可能となる。

【0064】

なお、本実施形態において、トランジスタ21のチャンネル領域21a、ソース領域21b、及びドレイン領域21cは、アモルファスシリコンからなってもよく、多結晶シリコン及びアモルファスシリコンの双方からなってもよい。この場合においても、上述した効果を好適に得ることができる。

【0065】

但し、フレームレートが速い場合、アモルファスシリコンからなるトランジスタ21では、非接続状態とした際に過渡的に電荷がトラップされてしまうという問題がある（いわゆるメモリ効果）。アモルファスシリコンは非晶質であるため、FETのチャンネルに電荷をトラップする順位の密度が高くなるからである。これに対し、多結晶シリコン（特に、低温多結晶シリコン）はトラップ順位の密度が低いので、トランジスタ21を多結晶シリコンによって構成することにより、このようなメモリ効果の発生を抑えることが可能となる。

【0066】

（第2の実施の形態）

続いて、本発明に係る固体撮像素子の制御方法に関する第2実施形態について説明する。なお、本実施形態において、第1の制御方法（通常読み出しモード）は前述した第1実施形態と同様なので、その説明を省略する。

【0067】

<第2の制御方法（部分読み出しモード）>

図10は、第2実施形態に係る固体撮像素子の制御方法において固体撮像素子11に付与される各信号のタイミングチャートであって、受光領域20のうち一部の領域（関心領域）の画素のみから電荷を読み出すモード（部分読み出しモード）を示している。図10の（a）～（n）には、第1実施形態の図7の（a）～（n）に相当する各信号が示されている。

【0068】

本実施形態に係る第2の制御方法（部分読み出しモード）においても、第1実施形態と同様に、受光領域20の画素 $P_{1,1} \sim P_{M,N}$ のうち一部の画素、すなわち読出対象行である第 $mp$ 行から第 $M$ 行に含まれる画素 $P_{mp,1} \sim P_{M,N}$ に蓄積された電荷を読み出し、非読出対象行である残りの第1行ないし第（ $mp - 1$ ）行に含まれる画素 $P_{1,1}$

10

20

30

40

50

～  $P_{mp-1, N}$  に蓄積された電荷については排出処理（リセット）を行う。

【0069】

まず、第1実施形態と同様にして、時刻  $t_{20}$  から時刻  $t_{21}$  までの期間、制御部6がリセット制御信号REをハイレベルとする。これにより、N個の積分回路42それぞれにおいて、放電用スイッチ42cが閉状態となる。そして、この時刻  $t_{20}$  から時刻  $t_{21}$  までの期間内、制御部6が、非読出対象行である第1行ないし第  $(mp-1)$  行のうち、奇数番目の行すなわち第1行選択制御信号  $VS_1$ 、第3行選択制御信号  $VS_3$ 、・・・、第  $(mp-2)$  行選択制御信号  $VS_{mp-2}$  をハイレベルとする。但し、本実施形態では、これらの行選択制御信号  $VS_1$ 、 $VS_3$ 、・・・、 $VS_{mp-2}$  をハイレベルとするタイミングが第1実施形態と異なる。第1実施形態ではこれらの行選択制御信号  $VS_1$ 、 $VS_3$ 、・・・、 $VS_{mp-2}$  を逐次にハイレベルとしていたが、本実施形態では、これらの行選択制御信号  $VS_1$ 、 $VS_3$ 、・・・、 $VS_{mp-2}$  を同時にハイレベルとする。

10

【0070】

これにより、 $(mp-1)$  行の非読出対象行のうち奇数番目の行において同時に次の動作が行われる。すなわち、これらの行に含まれる各画素においてトランジスタ21が一斉に接続状態となり、フォトダイオード22に蓄積された電荷が読出用配線  $R_1 \sim R_N$  を通って積分回路42に出力される。この間、積分回路42の放電用スイッチ42cが常に閉状態なので、積分回路42に達した電荷は基準電位線（GND線）へ排出される。このような動作により、 $(mp-1)$  行の非読出対象行のうち奇数番目の行に含まれる画素のフォトダイオード22がリセットされる。

20

【0071】

続いて、時刻  $t_{21}$  より後の時刻  $t_{22}$  から時刻  $t_{29}$  までの期間、第1実施形態と同様の制御方法によって、受光領域20の読出対象行（第  $mp$  行ないし第  $M$  行）からの一つの撮像フレーム分の画像データの読み出しを行う。

【0072】

続いて、時刻  $t_{30}$  から時刻  $t_{31}$  までの期間、制御部6がリセット制御信号REをハイレベルとする。これにより、N個の積分回路42それぞれにおいて、放電用スイッチ42cが閉状態となる。そして、この時刻  $t_{30}$  から時刻  $t_{31}$  までの期間内、制御部6は、非読出対象行である第1行ないし第  $(mp-1)$  行のうち、偶数番目の行すなわち第2行選択制御信号  $VS_2$ 、第4行選択制御信号  $VS_4$ 、・・・、第  $(mp-1)$  行選択制御信号  $VS_{mp-1}$  をハイレベルとする。このとき、先の撮像フレームと同様に、これらの行選択制御信号  $VS_1$ 、 $VS_3$ 、・・・、 $VS_{mp-2}$  を同時にハイレベルとする。これにより、 $(mp-1)$  行の非読出対象行のうち偶数番目の行において、フォトダイオード22が同時にリセットされる。その後、上述した時刻  $t_{21}$  から時刻  $t_{29}$  までの動作を再び繰り返す。こうして、受光領域20の読出対象行からの次の撮像フレームの画像データの読み出しが完了する。

30

【0073】

以下、本実施形態に係る固体撮像素子の制御方法によって得られる効果について、比較例を示しつつ説明する。図11は、固体撮像素子の制御方法の一比較例を示すタイミングチャートである。図11に示されるように、この比較例では、制御部6がリセット制御信号REをハイレベルとする時刻  $t_{20}$  から時刻  $t_{21}$  までの期間内に、非読出対象行である第1行ないし第  $(mp-1)$  行に対応する第1行選択制御信号  $VS_1$ 、第2行選択制御信号  $VS_2$ 、・・・、第  $(mp-1)$  行選択制御信号  $VS_{mp-1}$  を同時にハイレベルとする。これにより、全ての非読出対象行において、フォトダイオード22が同時にリセットされる。その後、図10に示された時刻  $t_{22}$  から時刻  $t_{29}$  までの動作を同様に行うことにより、受光領域20の読出対象行からの一つの撮像フレーム分の画像データの読み出しを完了する。

40

【0074】

しかしながら、上述した比較例では、全ての非読出対象行のフォトダイオード22を一つの撮像フレームにおいて同時にリセットするので、リセットされた瞬間、フォトダイオ

50

ード 2 2 に接続された配線に大きな電流が流れる。従って、配線や電源等の周辺回路への負荷が大きくなってしまふ。

【 0 0 7 5 】

具体的に説明すると、全ての非読出対象行に対応する行選択制御信号  $V S_1$  ないし  $V S_{m p - 1}$  が垂直シフトレジスタ部 3 0 から一斉に出力されるので、電源の電流供給能力が十分ではない場合には、行選択制御信号  $V S_1$  ないし  $V S_{m p - 1}$  の立ち上がり時間が長くなってしまふ。また、垂直シフトレジスタ部 3 0 の内部には電源電流を受けるための配線が存在するが、行選択制御信号  $V S_1$  ないし  $V S_{m p - 1}$  を生成するための電源電流がこの配線に一度に流れることとなり、該配線における電圧降下が大きくなることによって行選択制御信号  $V S_1$  ないし  $V S_{m p - 1}$  の立ち上がり時間が更に長くなってしまふ。

10

【 0 0 7 6 】

また、全ての非読出対象行のフォトダイオード 2 2 に蓄積されていた電荷が各読出用配線  $R_1 \sim R_N$  に対して一斉に出力されるので、読出用配線  $R_1 \sim R_N$  における電圧降下が大きくなることによってフォトダイオード 2 2 の素早いリセットが妨げられてしまふ。更に、積分回路 4 2 に対して、電源は、全ての非読出対象行から一斉に出力された電荷をリセットするための電流を供給しなければならないので、電源の電流供給能力が低い場合、積分回路 4 2 のリセット動作に要する時間が長くなってしまふ。或いは、積分回路 4 2 の動作が不安定になるおそれもある。また、積分回路 4 2 の出力インピーダンスが高い場合にも、積分回路 4 2 のリセット動作に要する時間が長くなってしまふ。

【 0 0 7 7 】

20

そして、全ての非読出対象行のフォトダイオード 2 2 を同時にリセットすることに起因するこれらの現象を回避するためには、十分な容量を有する電源回路と、出力インピーダンスが十分に小さい積分回路 4 2 とが必要になり、製造コストが増加する一因となる。

【 0 0 7 8 】

上記のような比較例が有する課題に対し、本実施形態に係る固体撮像素子の制御方法のうち第 2 の制御方法（部分読み出しモード）では、前述した第 1 実施形態と同様に、二以上の非読出対象行（第 1 行～第  $(m p - 1)$  行）の各々について 2 回の撮像フレームの間に一回の排出处理（リセット）を確保しつつ、各撮像フレームにおいて、一部の非読出対象行のみに含まれる画素に蓄積された電荷のリセットを行う。これにより、垂直シフトレジスタ部 3 0 の内部や読出用配線  $R_1 \sim R_N$  に流れる電流を少なくして、電源等の周辺回路への負荷を低減することができる。

30

【 0 0 7 9 】

また、本実施形態のように、非読出対象行に含まれる画素に蓄積された電荷のリセットは、同時に行われてもよい。上述したように、本実施形態に係る制御方法によれば、非読出対象行のリセットを同時に行う場合であっても、周辺回路への負荷を低減することができる。そして、非読出対象行のリセットを同時に行うことによって、各撮像フレームの所要時間をより短くすることができる。

【 0 0 8 0 】

また、本実施形態では、第 1 実施形態と同様に、一つの撮像フレームにおいてリセットされる非読出対象行（第 1 行、第 3 行、・・・、及び第  $(m p - 2)$  行、若しくは第 2 行、第 4 行、・・・、及び第  $(m p - 1)$  行）は、相互の間隔を 1 行ずつ空けて配置されている。このように、各撮像フレームにおいて、非読出対象行同士の間隔は 1 行以上あいていることが好ましい。これにより、各撮像フレームにおいてリセットが行われる非読出対象行の位置を分散させることができ、読出対象行（第  $m p$  行～第  $M$  行）への電荷のオーバーフローをより効果的に抑制することができる。

40

【 0 0 8 1 】

（変形例）

上述した各実施形態では、2 回の撮像フレームの間に非読出対象行の画素を一回ずつリセットできるように、各撮像フレームにおいて奇数番目及び偶数番目の非読出対象行を交互にリセットする場合を例示した。図 1 2 は、このような制御方法における非読出対象行の

50

リセットの様子を模式的に示す図である。図 1 2 ( a ) ~ ( d ) それぞれは、4 つの連続する撮像フレームそれぞれを示しており、各図には、一又は二以上の読出対象行からなる関心領域 A 1 と、二以上の非読出対象行からなる非関心領域 A 2 と、各撮像フレームにおいてリセット対象となる非読出対象行 A 3 とが示されている。図 1 2 に示されるように、上述した各実施形態では、第 1 撮像フレーム ( 図 1 2 ( a ) ) 及び第 3 撮像フレーム ( 図 1 2 ( c ) ) において奇数番目の非読出対象行 A 3 がリセットされ、第 2 撮像フレーム ( 図 1 2 ( b ) ) 及び第 4 撮像フレーム ( 図 1 2 ( d ) ) において偶数番目の非読出対象行 A 3 がリセットされる。

#### 【 0 0 8 2 】

しかしながら、本発明による固体撮像素子の制御方法において、各撮像フレームにおけるリセット対象行の配列はこれに限られるものではない。図 1 3 は、各撮像フレームにおけるリセット対象行の配列の第 2 の例を示す模式図である。図 1 3 に示される例では、非関心領域 A 2 に含まれる複数の行を 4 行ずつの行群に分け、各行群毎に一フレーム当たり 1 行ずつ、逐次にリセットを行う。また、図 1 4 は、各撮像フレームにおけるリセット対象行の配列の第 3 の例を示す模式図である。図 1 4 に示される例では、非関心領域 A 2 に含まれる複数の行を 3 行ずつの行群に分け、一フレーム当たり一つの行群を逐次にリセットする。例えばこれらのようにリセット対象行を配列した場合においても、上述した各実施形態と同様の効果を好適に得ることができる。

#### 【 0 0 8 3 】

また、図 1 5 は、各撮像フレームにおけるリセット対象行の配列の第 4 の例を示す模式図である。図 1 5 に示される例では、非関心領域 A 2 に含まれる複数の行を 4 つの行群 A 2 1 ~ A 2 4 に分けている。なお、この例では、行群 A 2 1 は 1 つの非読出対象行からなり、行群 A 2 2 は 2 つの非読出対象行からなり、行群 A 2 3 は 4 つの非読出対象行からなり、行群 A 2 4 は 8 つの非読出対象行からなるものとする。そして、関心領域 A 1 に隣接する行群 A 2 1 では、撮像フレーム毎に、全ての非読出対象行 A 3 についてリセットを行う。すなわち、行群 A 2 1 では、4 つの撮像フレームの間に各非読出対象行のリセットが 4 回ずつ行われる。また、関心領域 A 1 に近い行群 A 2 2 では、第 1 撮像フレーム ( 図 1 5 ( a ) ) 及び第 3 撮像フレーム ( 図 1 5 ( c ) ) において一つの非読出対象行 A 3 をリセットし、第 2 撮像フレーム ( 図 1 5 ( b ) ) 及び第 4 撮像フレーム ( 図 1 5 ( d ) ) において他の一つの非読出対象行 A 3 をリセットする。すなわち、行群 A 2 2 では、4 つの撮像フレームの間に各非読出対象行のリセットが 2 回ずつ行われる。また、関心領域 A 1 からやや離れた行群 A 2 3 では、第 1 撮像フレーム ( 図 1 5 ( a ) ) ないし第 4 撮像フレーム ( 図 1 5 ( d ) ) のそれぞれにおいて、一つの非読出対象行 A 3 をリセットする。すなわち、行群 A 2 3 では、4 つの撮像フレームの間に各非読出対象行のリセットが 1 回ずつ行われる。また、関心領域 A 1 から最も離れた行群 A 2 4 では、第 1 撮像フレーム ( 図 1 5 ( a ) ) ないし第 8 撮像フレーム ( 不図示 ) のそれぞれにおいて、一つの非読出対象行 A 3 をリセットする。すなわち、行群 A 2 4 では、8 つの撮像フレームの間に各非読出対象行のリセットが 1 回ずつ行われる。

#### 【 0 0 8 4 】

図 1 6 は、図 1 5 に示されたリセット対象行の配列を実現するための制御方法を示すタイミングチャートである。図 1 6 は、非読出対象行 ( 第 1 行ないし第 1 5 行 ) それぞれに対するリセット動作を示しており、各撮像フレーム ( 図には第 1 撮像フレームから第 2 4 撮像フレームまで表示 ) 毎に、リセットが行われる撮像フレームではハイレベルとして示し、リセットが行われない撮像フレームではローレベルとして示している。

#### 【 0 0 8 5 】

図 1 5 及び図 1 6 に示された例のように、関心領域 A 1 に隣接する行群 A 2 1 のリセットの頻度は、他の行群のリセットの頻度より多いことが好ましい。或いは、関心領域 A 1 に近づくほど非読出対象行のリセットの頻度が多く、関心領域 A 1 から離れるほど非読出対象行のリセットの頻度が少ないことが好ましい。これにより、非読出対象行における電荷のオーバーフロー等による読出対象行 ( 関心領域 A 1 ) への影響をより効果的に抑制し

10

20

30

40

50

、読出対象行（関心領域 A 1）の各画素に蓄積された電荷を更に精度良く読み出すことができる。

【0086】

図 17 は、各撮像フレームにおけるリセット対象行の配列の第 5 の例を示す模式図である。図 17 に示される例では、非関心領域 A 2 に含まれる複数の行を 4 つの行群 A 2 1 ~ A 2 3 及び A 2 5 に分けている。なお、この例では、行群 A 2 1 は 1 つの非読出対象行からなり、行群 A 2 2 は 2 つの非読出対象行からなり、行群 A 2 3 は 4 つの非読出対象行からなり、行群 A 2 5 は 8 つの非読出対象行からなるものとする。そして、行群 A 2 1 ~ A 2 3 では、前述した第 4 の例と同様にして、各非読出対象行のリセットが行われる。一方、行群 A 2 5 では、リセットが全く行われない。

10

【0087】

図 18 は、図 17 に示されたリセット対象行の配列を実現するための制御方法を示すタイミングチャートである。図 18 は、非読出対象行（第 1 行ないし第 15 行）それぞれに対するリセット動作を示しており、各撮像フレーム（図には第 1 撮像フレームから第 24 撮像フレームまで表示）毎に、リセットが行われる撮像フレームではハイレベルとして示し、リセットが行われない撮像フレームではローレベルとして示している。

【0088】

図 17 及び図 18 に示された例のように、各撮像フレームにおいて、非読出対象行のうち二以上の行（この例では第 9 行ないし第 15 行）を除く他の行（この例では第 1 行ないし第 8 行）のリセットを行わないことも想定される。このように、本発明による固体撮像素子の制御方法では、非読出対象行の全てについてリセットを行うことは必須ではなく、非読出対象行のうちリセット対象である二以上の行を除く他の行について、リセットが行われない形態も考えられる。また、このような場合、この第 5 の例のように、リセットを行わない行群は関心領域 A 1 から最も離れた行群 A 2 5 であることが好ましい。そして、関心領域 A 1 に近い行群ほど非読出対象行のリセットの頻度が多く、関心領域 A 1 から離れた行群ほど非読出対象行のリセットの頻度が少ないことが尚好ましい。これにより、非読出対象行における電荷のオーバーフロー等による読出対象行（関心領域 A 1）への影響をより効果的に抑制しつつ、周辺回路への負荷を更に低減することができる。

20

【0089】

本発明による固体撮像素子の制御方法は、上述した各実施形態及び変形例に限られるものではなく、他に様々な変形が可能である。例えば、上記実施形態及び各変形例ではガラス基板上に多結晶シリコンやアモルファスシリコンが成膜されて成る固体撮像装置に本発明を適用した例を示したが、本発明は、このような構成に限らず、例えば単結晶シリコン基板上に作製される固体撮像素子に対しても適用可能である。

30

【0090】

図 19 は、p 型単結晶シリコン基板 70 上に受光領域が作成された場合における、部分読み出し時のオーバーフローの様子を説明するための図である。p 型単結晶シリコン基板 70 上に作成された受光領域は、図 2 に示されたフォトダイオード 22 に代えて、フォトダイオード 24 を各画素毎に有する。図 19 (a) は、トランジスタ 21 を含む切断面にてフォトダイオード 24 を切断して得られる断面を示す模式図であり、図 19 (b) は、トランジスタ 21 を含まない切断面にてフォトダイオード 24 を切断して得られる断面を示す模式図である。図 19 (a) 及び (b) に示されるように、フォトダイオード 24 は、p 型単結晶シリコン基板 70 に対するイオン注入等によって形成された n<sup>+</sup> 型半導体領域 24 a を含む。そして、この n<sup>+</sup> 型半導体領域 24 a は、p 型単結晶シリコン基板 70 に対するイオン注入等によって形成された p<sup>+</sup> 型半導体領域 24 b によって囲まれている。

40

【0091】

フォトダイオード 24 に電荷が過度に蓄積すると、その電荷によってフォトダイオード 24 の n 型半導体領域 24 a の電位が低下する。そして、n 型半導体領域 24 a の電位の低下が限度を越えると、トランジスタ 21 のゲート電極 21 e に電界が印加されていなく

50

ても、ソース領域 2 1 b とドレイン領域 2 1 c との電位差によって、非接続状態を維持できずにチャンネル領域 2 1 a を電荷が移動してしまう（図 1 9 ( a ) に示される矢印 E 2 ）。そして、このような電荷の移動によって、読出用配線  $R_n$  へのオーバーフローが生じることとなる。また、図 1 9 ( b ) に示されるように、フォトダイオード 2 4 のうちトランジスタ 2 1 に接していない部分では、n 型半導体領域 2 4 a の電位の低下が限度を越えると、p 型単結晶シリコン基板 7 0 を介して隣接画素のフォトダイオード 2 4 へ電荷が移動してしまう（図 1 9 ( b ) に示される矢印 E 3 ）。

【 0 0 9 2 】

上述したように、単結晶シリコン基板上に作製される固体撮像素子においても、部分読み出し時のオーバーフロー等による問題が生じ得る。本発明に係る制御方法によれば、このような固体撮像素子の部分読み出し動作においても、一つの撮像フレームに要する時間を抑制し、且つ周辺回路への負荷を低減することができる。

10

【 0 0 9 3 】

また、上述した実施形態及び各変形例では各画素が有するトランジスタ 2 1 として F E T を例示したが、トランジスタ 2 1 はバイポーラトランジスタであってもよい。その場合、制御端子はベースを、電流端子はコレクタまたはエミッタを意味する。また、上述した実施形態では、非読出対象行について、2 回の撮像フレームの間に少なくとも一回の排出処理を行っており、上述した各変形例では、最多で 8 回の撮像フレームの間に少なくとも一回の排出処理を行っている。しかしながら、排出処理の為の撮像フレーム数はこれらに限られるものではなく、任意の L 回（L は 2 以上の整数）の撮像フレームの間に少なくとも一回の排出処理を行うことにより、各実施形態において述べた効果を好適に奏することができる。

20

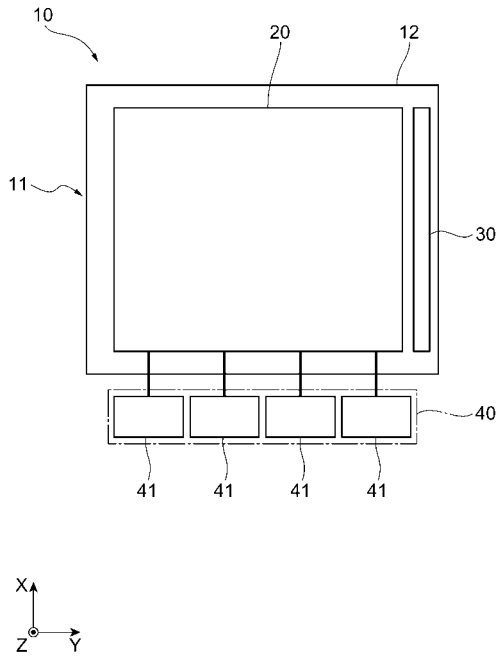
【 符号の説明 】

【 0 0 9 4 】

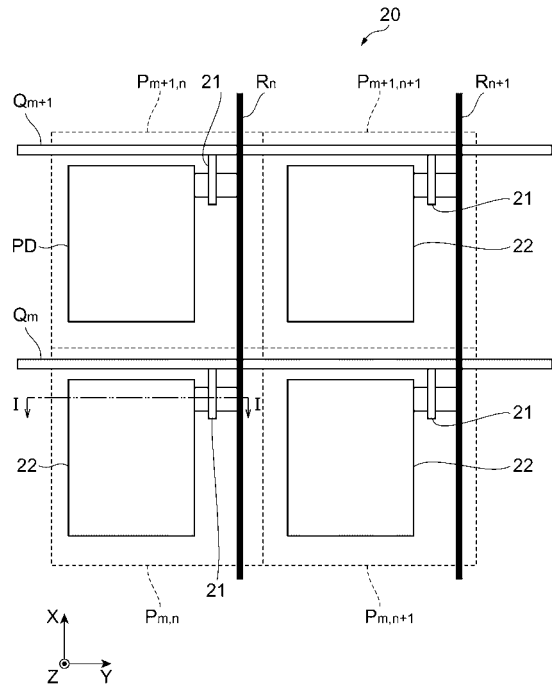
6 ... 制御部、1 0 ... 固体撮像装置、1 1 ... 固体撮像素子、1 2 ... ガラス基板、1 4 ... 多結晶シリコン膜、1 6 ... 絶縁層、1 8 ... シンチレータ、2 0 ... 受光部、2 1 ... トランジスタ、2 2 ... フォトダイオード、3 0 ... 垂直シフトレジスタ部、4 0 ... 信号出力部、4 1 ... チップ、4 2 ... 積分回路、4 2 a ... アンプ、4 2 b ... 容量素子、4 2 c ... 放電用スイッチ、4 2 d ... 差動アンプ、4 4 ... 保持回路、4 4 a ... 入力用スイッチ、4 4 b ... 出力用スイッチ、4 4 c ... 容量素子、6 1 ... 水平シフトレジスタ部、A 1 ... 関心領域、A 2 ... 非関心領域、A 3 ... 非読出対象行、A 2 1 ~ A 2 5 ... 行群、H d ... 保持制御信号、H S <sub>1</sub> ~ H S <sub>N</sub> ... 列選択制御信号、P <sub>1, 1</sub> ~ P <sub>M, N</sub> ... 画素、Q <sub>1</sub> ~ Q <sub>M</sub> ... 行選択用配線、R <sub>1</sub> ~ R <sub>N</sub> ... 読出用配線、R E ... リセット制御信号、U <sub>1</sub> ~ U <sub>N</sub> ... 列選択用配線、V S <sub>1</sub> ~ V S <sub>M</sub> ... 行選択制御信号。

30

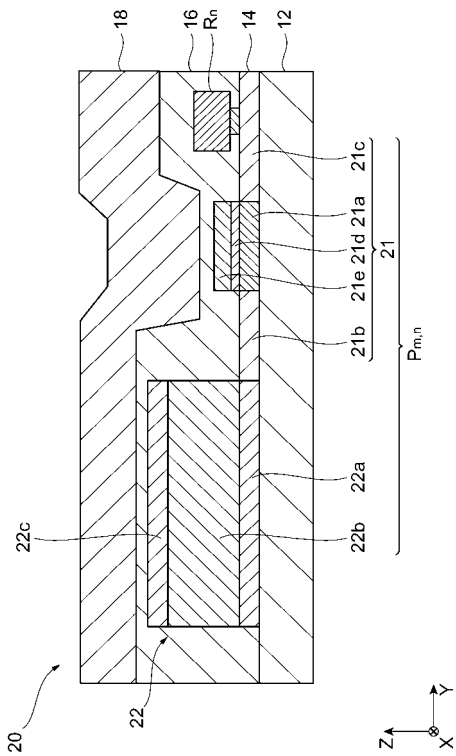
【 図 1 】



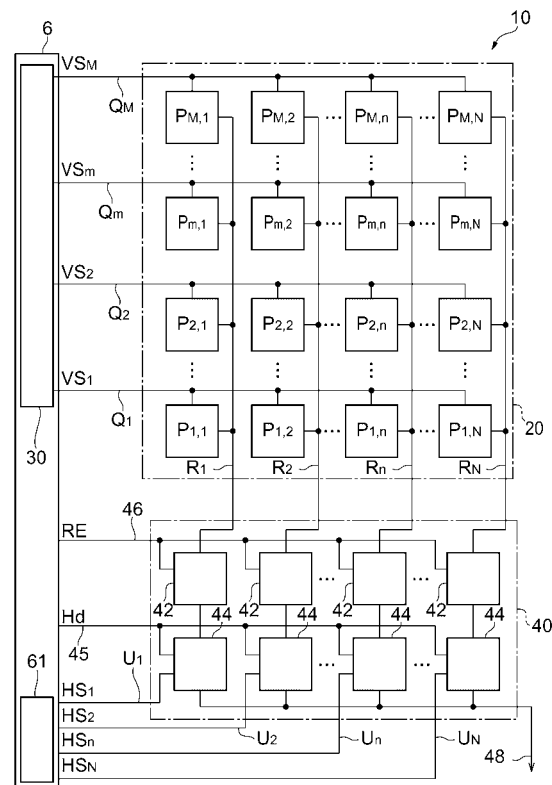
【 図 2 】



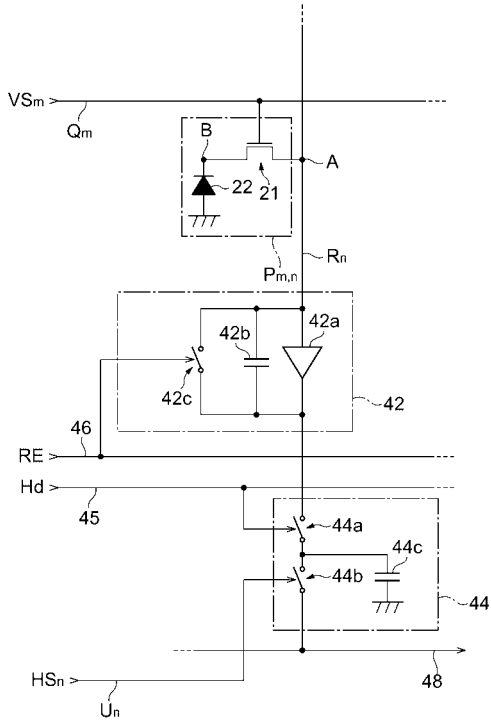
【 図 3 】



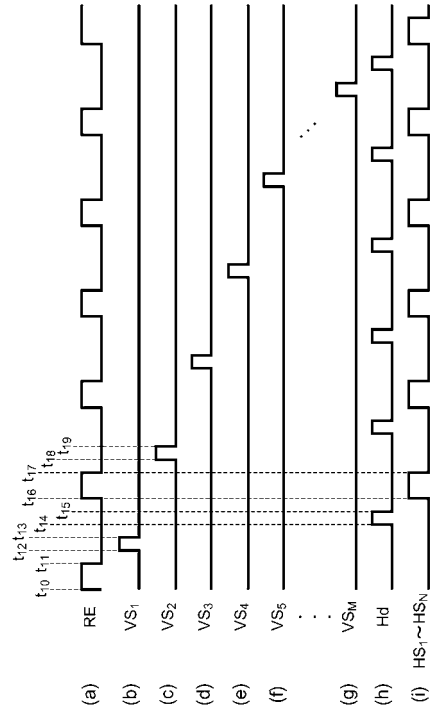
【 図 4 】



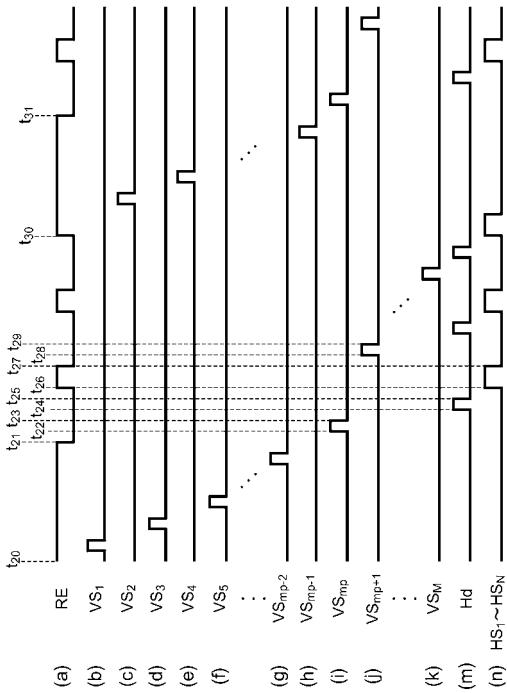
【 図 5 】



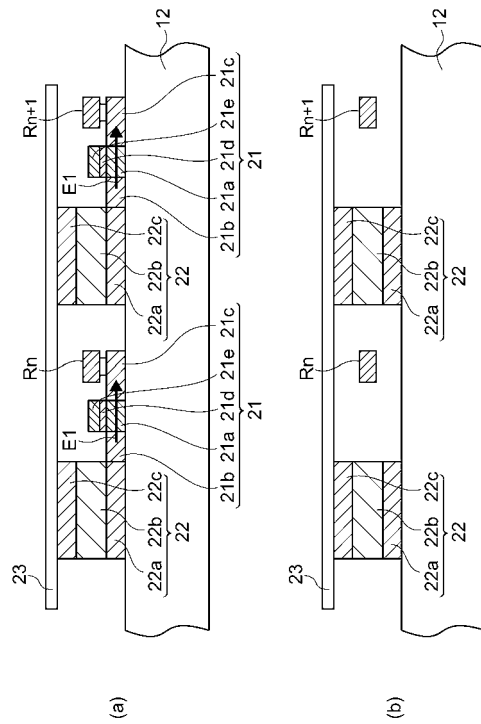
【 図 6 】



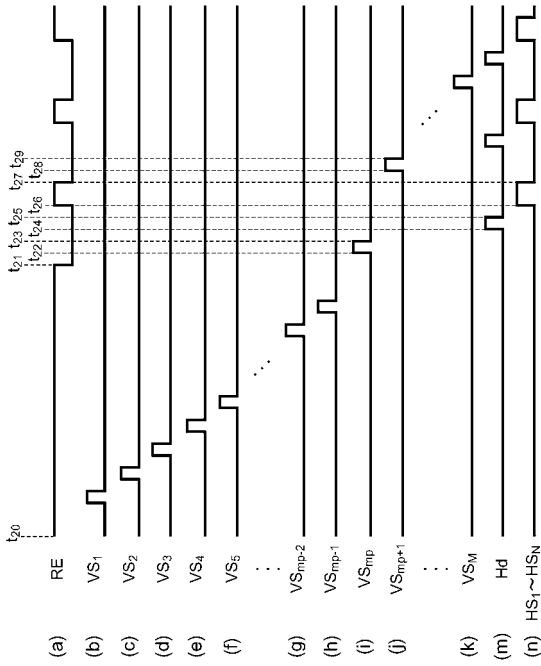
【 図 7 】



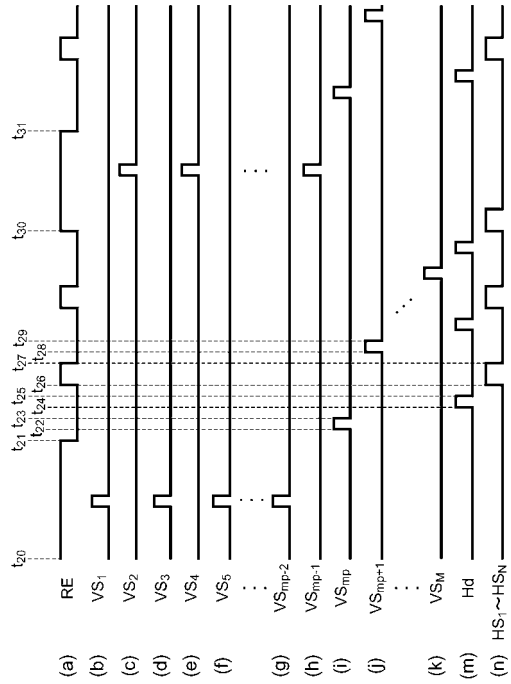
【 図 8 】



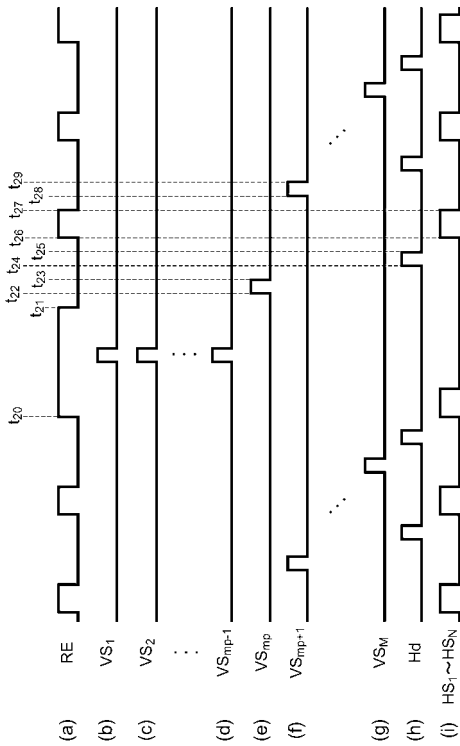
【 図 9 】



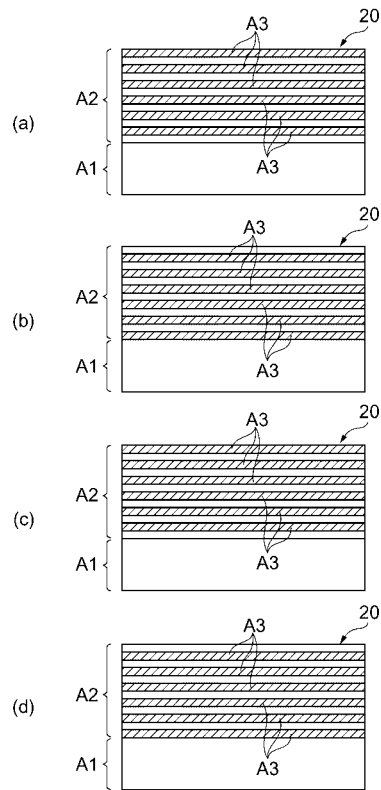
【 図 10 】



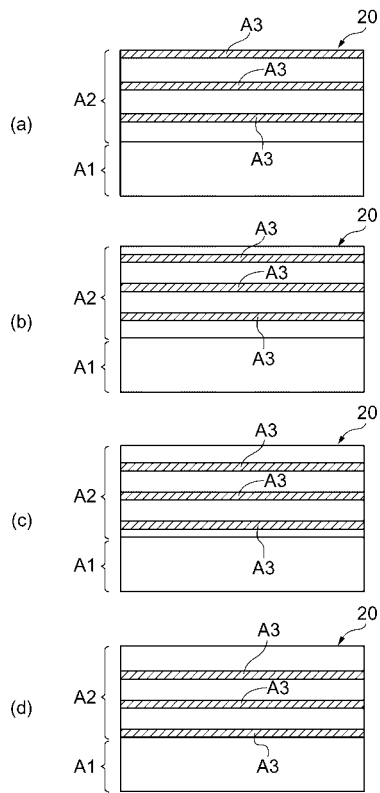
【 図 11 】



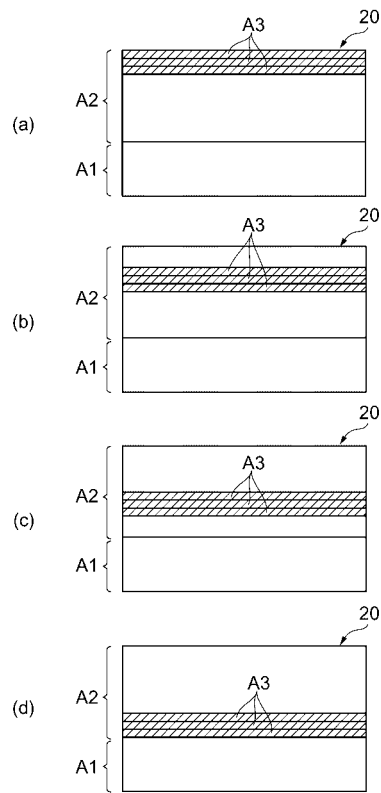
【 図 12 】



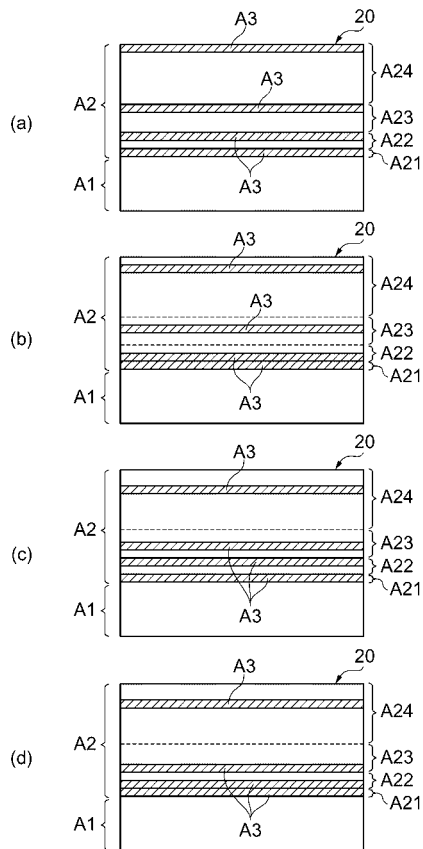
【 図 1 3 】



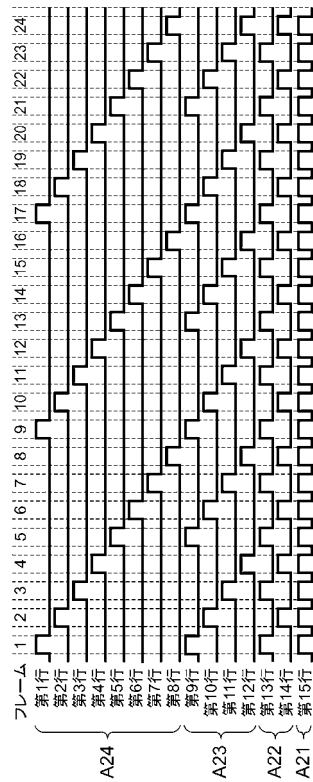
【 図 1 4 】



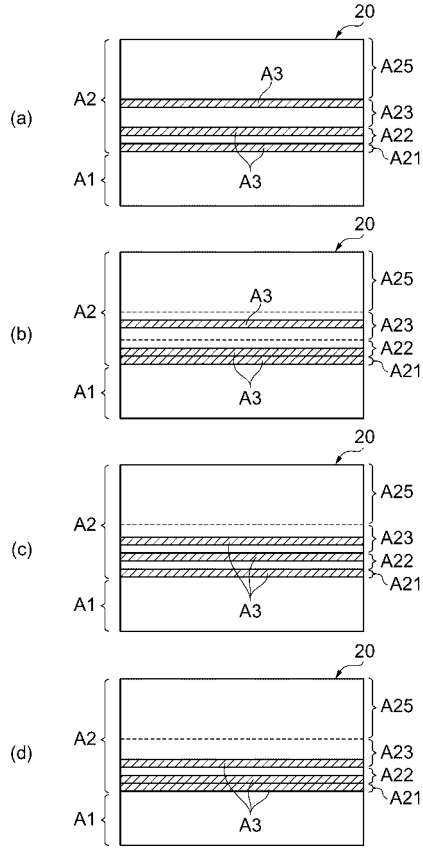
【 図 1 5 】



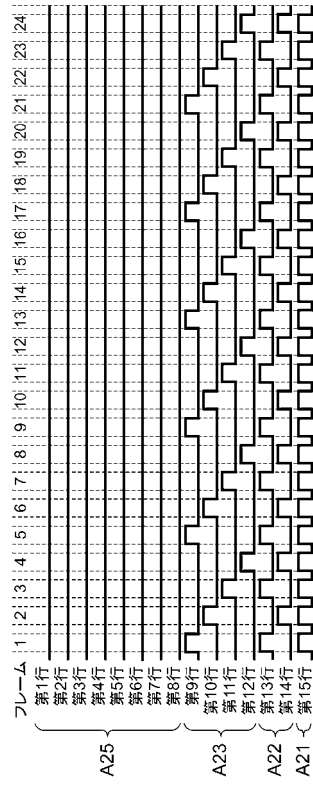
【 図 1 6 】



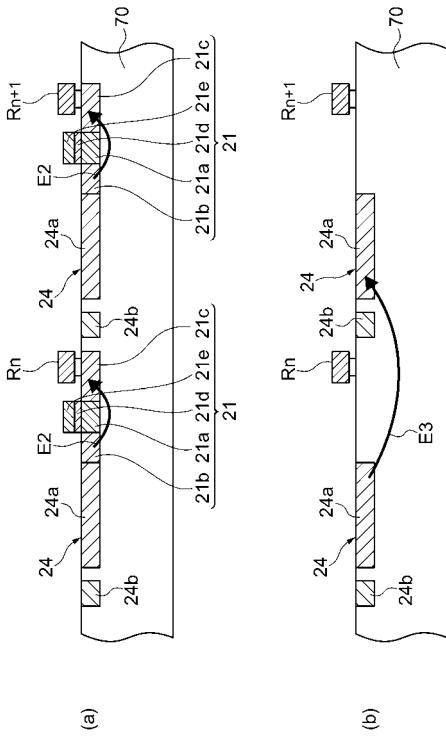
【 図 1 7 】



【 図 1 8 】



【 図 1 9 】



---

フロントページの続き

(72)発明者 久嶋 竜次

静岡県浜松市東区市野町 1 1 2 6 番地の 1 浜松ホトニクス株式会社内

(72)発明者 森 治通

静岡県浜松市東区市野町 1 1 2 6 番地の 1 浜松ホトニクス株式会社内

Fターム(参考) 4M118 AA10 AB01 BA05 CA05 CB06 CB07 CB11 DB09 DD09 DD12  
EA01 FB09 FB13 FB20 GA10  
5C024 AX11 CX51 GX03 GY31 HX31