【公報種別】特許法第１７条の２の規定による補正の掲載
【部門区分】第７部門第３区分
【発行日】平成16年7月22日(2004.7.22)

【公開番号】特開2000-174505(P2000-174505A)
【公開日】平成12年6月23日(2000.6.23)
【出願番号】特願平10-348270
【国際特許分類第７版】
　ＨＯ１Ｐ　1/26
　ＨＯ３Ｈ　7/38
　ＨＯ４Ｌ　25/02
【ＦＩ】
　ＨＯ１Ｐ　1/26
　ＨＯ３Ｈ　7/38　Z
　ＨＯ４Ｌ　25/02　V

【手続補正書】
【提出日】平成15年7月2日(2003.7.2)
【手続補正１】
【補正対象書類名】明細書
【補正対象項目名】特許請求の範囲
【補正方法】変更
【補正の内容】
【特許請求の範囲】
【請求項１】
第１の線路および第２の線路からなる対向ペア線路を有する伝送線路と、この伝送線路に整合した終端回路と、前記伝送線路および前記終端回路からなるバス配線系に相補信号を供給するドライバ回路とを有し、前記伝送線路および前記終端回路を有する配線基板に、前記ドライバ回路を有する第１の集積回路チップが搭載されてなる電子装置であって、
前記ドライバ回路は、入力ノードと、第１～第４のノードと、前記第１のノードと前記第３のノードの間のカレントパスと前記入力ノードに接続された制御電極とを有する第１のトランジスタと、前記第３のノードと前記第２のノードの間のカレントパスと前記入力ノードに接続された制御電極とを有する第２のトランジスタと、前記第１のノードと前記第４のノードの間のカレントパスと前記入力ノードに接続された制御電極とを有する第３のトランジスタと、前記第４のノードと前記第２のノードの間のカレントパスと前記入力ノードに接続された制御電極とを有する第４のトランジスタとを有しており、前記第１および第４のトランジスタは第１の導電型であり、前記第２および第３のトランジスタは第２の導電型であり、前記第１の線路は前記第３のノードに接続されており、前記第２の線路は前記第４のノードに接続されており、
前記第１の線路および前記第２の線路は、２５Ω以下の特性インピーダンスを有し、並列等長配線されており、
前記終端回路は、前記第１および第２の線路に直列に接続された２５Ω以下の純抵抗からなることを特徴とする電子装置。
【請求項２】
請求項１記載の電子装置であって、前記ドライバ回路は、カレントスイッチ型のドライバ回路であることを特徴とする電子装置。
【請求項３】
請求項２記載の電子装置であって、前記ドライバ回路には純抵抗が直列に接続され、前記伝送線路の特性インピーダンスと同等以上、好ましくは３倍以上のオン抵抗となることを特徴とする電子装置。

【請求項４】
請求項１記載の電子装置であって、前記伝送線路のバス上に分岐してレシーバ回路を有する第２の集積回路チップが接続される構成において、このレシーバ回路は、純抵抗が１ＫΩ以上のハイインピーダンスであることを特徴とする電子装置。
【請求項５】
請求項４記載の電子装置であって、前記レシーバ回路を４ｍｍ以下の伝送線路構造の分岐配線を伴って接続するときは、この分岐配線の分岐部に０．４Ｋ～１ＫΩの純抵抗が対向ペア線路の両方に直列接続されることを特徴とする電子装置。
【請求項６】
請求項５記載の電子装置であって、前記伝送線路と前記分岐配線との間の絶縁層の厚みは、前記伝送線路および前記分岐配線の対向ペア線路間の絶縁層の厚みの数倍であることを特徴とする電子装置。
【請求項７】
請求項１記載の電子装置であって、前記ドライバ回路を有する第１の集積回路チップよりファンアウトされる電源・グラウンド配線を伝送線路構造とすることを特徴とする電子装置。
【請求項８】
請求項７記載の電子装置であって、前記電源・グラウンドをペアとする配線の伝送線路は、信号線の特性インピーダンスと同等か、それよりも低いことを特徴とする電子装置。
【請求項９】
請求項１記載の電子装置であって、前記伝送線路のバス上に分岐してカレントスイッチ型のドライバ回路を有する第２の集積回路チップが接続され、前記第１の集積回路チップがハイインピーダンスのレシーバ回路を有する構成において、前記第２の集積回路チップのドライバ回路から送った相補信号を前記第１の集積回路チップのレシーバ回路で受け取ることを特徴とする電子装置。
【請求項１０】
請求項９記載の電子装置であって、前記第２の集積回路チップの前記ドライバ回路から前記伝送線路に流れた信号は前記レシーバ回路および前記終端回路の方向へ前記伝送線路上のもとの振幅の半分の振幅で流れ、前記レシーバ回路では信号エネルギが全反射してもとの振幅となり、前記レシーバ回路が正常に動作し、一方、前記終端回路へ流れた信号エネルギは吸収されて消去されることを特徴とする電子装置。
【請求項１１】
請求項１０記載の電子装置であって、前記ドライバ回路を伝送線路構造の分岐配線を伴って接続するときは、この分岐配線の分岐部にアクティブな分岐配線のゲートのみを開けるためのバストランシーバゲートのチップが挿入され、この分岐配線は前記伝送線路より低い特性インピーダンス、好ましくは１／２の特性インピーダンスを有することを特徴とする電子装置。
【請求項１２】
請求項１１記載の電子装置であって、前記バストランシーバゲートのチップは、前記伝送線路の複数のバスをそれぞれのゲートでつなぐ集合チップ構成とし、電源・グラウンド配線の上を倣うように斜めに配列されることを特徴とする電子装置。
【請求項１３】
請求項１記載の電子装置であって、前記伝送線路のバス上に分岐してレシーバ回路とカレントスイッチ型のドライバ回路とを有する第２の集積回路チップが接続され、前記第１の集積回路チップが前記ドライバ回路とハイインピーダンスのレシーバ回路とを有する構成において、前記第１の集積回路チップのドライバ回路およびレシーバ回路と、前記第２の集積回路チップのレシーバ回路およびドライバ回路との間で双方向に相補信号をやり取りすることを特徴とする電子装置。
【請求項１４】
請求項１３記載の電子装置であって、前記第１の集積回路チップのドライバ回路およびレ

シーバ回路の合成回路の出口に、出力時はハイインピーダンス、入力時は整合端になるような抵抗とゲートとを直列につないだ回路が前記伝送線路の入出力端間に挿入されることを特徴とする電子装置。

【請求項１５】

請求項１４記載の電子装置であって、前記第２の集積回路チップのレシーバ回路およびドライバ回路を伝送線路構造の分岐配線を伴って接続するときは、この分岐配線の分岐部にバストランシーバゲートと高抵抗とが並列に接続されたチップが挿入され、前記第１の集積回路チップの出力時は前記バストランシーバゲートが開き、入力時は前記バストランシーバゲートが閉じて前記高抵抗にエネルギが供給されることを特徴とする電子装置。

【請求項１６】

請求項１３記載の電子装置であって、前記伝送線路は差動相補信号を伝達する差動伝送線路であり、かつ前記第１の集積回路チップのドライバ回路は差動ドライバ回路、前記レシーバ回路は差動レシーバ回路であることを特徴とする電子装置。

【請求項１７】

請求項１３記載の電子装置であって、前記第１の集積回路チップは前記伝送線路の始端に接続されるコントローラチップであり、かつ前記第２の集積回路チップはメモリ・入出力インターフェースチップであることを特徴とする電子装置。

【請求項１８】

請求項１記載の電子装置であって、前記伝送線路のバス上に分岐して第２～第ｎの複数の集積回路チップが接続され、前記第１の集積回路チップのドライバ回路がコントロール機能を有する構成において、前記伝送線路内に数パルスの信号が進行するときのタイミングの取り方は、前記第１の集積回路チップが前記第２～第ｎの各集積回路チップのエコー時間を測定し、最長エコー時間を持つ集積回路チップに復路クロックアクティブを与え、この復路クロックアクティブが与えられた集積回路チップが往路クロック信号を検出し、それをもとに前記第１の集積回路チップが復路クロック信号を発生し、前記復路クロックアクティブが与えられた集積回路チップがデータストローブ信号を折り返し発信することを特徴とする電子装置。

【請求項１９】

請求項１８記載の電子装置であって、前記第１の集積回路チップが受け取るデータのタイミングを知る方法は、前記第１の集積回路チップからの制御信号が読み出し命令のときだけ、復路クロック信号を発生する集積回路チップがデータストローブ信号を伝送線路から再度受け取り、これも遅延データストローブ信号として折り返し発信することを特徴とする電子装置。

【請求項２０】

伝送線路と、この伝送線路に整合した終端回路と、バス配線系に相補信号を供給し、前記伝送線路および前記終端回路からなるドライバ回路とを有し、前記伝送線路および前記終端回路を有する配線基板に、前記ドライバ回路を有する第１の集積回路チップが搭載されてなる電子装置であって、前記伝送線路は、２５Ω以下の特性インピーダンスを有する対向ペア線路からなり、前記対向ペア線路が並列等長配線されるように接続されたバス構造を有しており、前記伝送線路のバス上に分岐してレシーバ回路を有する第２の集積回路チップが搭載されて接続される構成において、このレシーバ回路は、純抵抗が１ＫΩ以上のハイインピーダンスであり、

前記レシーバ回路を４ｍｍ以下の伝送線路構造の分岐配線を伴って接続するときは、この分岐配線の分岐部に０．４Ｋ～１ＫΩの純抵抗が対向ペア線路の両方に直列接続されることを特徴とする電子装置。

【請求項２１】

請求項２０記載の電子装置であって、前記伝送線路と前記分岐配線との間の絶縁層の厚みは、前記伝送線路および前記分岐配線の対向ペア線路間の絶縁層の厚みの数倍であることを特徴とする電子装置。

【請求項２２】

伝送線路と、この伝送線路に整合した終端回路と、バス配線系に相補信号を供給し、前記伝送線路および前記終端回路からなるドライバ回路とを有し、前記伝送線路および前記終端回路を有する配線基板に、前記ドライバ回路を有する第１の集積回路チップが搭載されてなる電子装置であって、前記伝送線路は、２５Ω以下の特性インピーダンスを有する対向ペア線路からなり、前記対向ペア線路が並列等長配線されるように接続されたバス構造を有しており、前記伝送経路のバス上に分岐してカレントスイッチ型のドライバ回路を有する第２の集積回路チップが接続され、前記第１の集積回路チップがハイインピーダンスのレシーバ回路を有する構成において、前記第２の集積回路チップのドライバ回路から送った相補信号を前記第１の集積回路チップのレシーバ回路で受け取り、
前記第２の集積回路チップの前記ドライバ回路から前記伝送線路に流れた信号は前記レシーバ回路および前記終端回路の方向へ前記伝送線路上のもとの振幅の半分の振幅で流れ、前記レシーバ回路では信号エネルギが全反射してもとの振幅となり、前記レシーバ回路が正常に動作し、一方、前記終端回路へ流れた信号エネルギは吸収されて消去され、
前記ドライバ回路を伝送線路構造の分岐配線を伴って接続するときは、この分岐配線の分岐部にアクティブな分岐配線のゲートのみを開けるためのバストランシーバゲートのチップが挿入され、この分岐配線は前記伝送線路より低い特性インピーダンス、好ましくは１／２の特性インピーダンスを有し、前記バストランシーバゲートのチップは、前記伝送線路の複数のバスをそれぞれのゲートでつなぐ集合チップ構成とし、電源・グラウンド配線の上を倣うように斜めに配列されることを特徴とする電子装置。

【請求項２３】

伝送線路と、この伝送線路に整合した終端回路と、バス配線系に相補信号を供給し、前記伝送線路および前記終端回路からなるドライバ回路とを有し、前記伝送線路および前記終端回路を有する配線基板に、前記ドライバ回路を有する第１の集積回路チップが搭載されてなる電子装置であって、前記伝送線路は、２５Ω以下の特性インピーダンスを有する対向ペア線路からなり、前記対向ペア線路が並列等長配線されるように接続されたバス構造を有しており、
前記伝送線路のバス上に分岐してレシーバ回路とカレントスイッチ型のドライバ回路とを有する第２の集積回路チップが接続され、前記第１の集積回路チップが前記ドライバ回路とハイインピーダンスのレシーバ回路とを有する構成において、前記第１の集積回路チップのドライバ回路およびレシーバ回路と、前記第２の集積回路チップのレシーバ回路およびドライバ回路との間で双方向に相補信号をやり取りし、
前記第１の集積回路チップのドライバ回路およびレシーバ回路の合成回路の出口に、出力時はハイインピーダンス、入力時は整合端になるような抵抗とゲートとを直列につないだ回路が前記伝送線路の入出力端間に挿入されていることを特徴とする電子装置。

【請求項２４】

請求項２３記載の電子装置であって、前記第２の集積回路チップのレシーバ回路およびドライバ回路を伝送線路構造の分岐配線を伴って接続するときは、この分岐配線の分岐部にバストランシーバゲートと高抵抗とが並列に接続されたチップが挿入され、前記第１の集積回路チップの出力時は前記バストランシーバゲートが開き、入力時は前記バストランシーバゲートが閉じて前記高抵抗にエネルギが供給されることを特徴とする電子装置。

【請求項２５】

伝送線路と、この伝送線路に整合した終端回路と、バス配線系に相補信号を供給し、前記伝送線路および前記終端回路からなるドライバ回路とを有し、前記伝送線路および前記終端回路を有する配線基板に、前記ドライバ回路を有する第１の集積回路チップが搭載されてなる電子装置であって、前記伝送線路は、２５Ω以下の特性インピーダンスを有する対向ペア線路からなり、前記対向ペア線路が並列等長配線されるように接続されたバス構造を有しており、
前記伝送線路のバス上に分岐して第２～第ｎの複数の集積回路チップが接続され、前記第１の集積回路チップのドライバ回路がコントロール機能を有する構成において、前記伝送線路内に数パルスの信号が進行するときのタイミングの取り方は、前記第１の集積回路チ

ップが前記第２～第ｎの各集積回路チップのエコー時間を測定し、最長エコー時間を持つ集積回路チップに復路クロックアクティブを与え、この復路クロックアクティブが与えられた集積回路チップが往路クロック信号を検出し、それをもとに前記第１の集積回路チップが復路クロック信号を発生し、前記復路クロックアクティブが与えられた集積回路チップがデータストローブ信号を折り返し発信することを特徴とする電子装置。

【請求項２６】

請求項２５記載の電子装置であって、前記第１の集積回路チップが受け取るデータのタイミングを知る方法は、前記第１の集積回路チップからの制御信号が読み出し命令のときだけ、復路クロック信号を発生する集積回路チップがデータストローブ信号を伝送線路から再度受け取り、これも遅延データストローブ信号として折り返し発信することを特徴とする電子装置。